



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월17일
(11) 등록번호 10-0814543
(24) 등록일자 2008년03월11일

(51) Int. Cl.
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2006-0045618
(22) 출원일자 2006년05월22일
심사청구일자 2006년05월22일
(65) 공개번호 10-2006-0121114
(43) 공개일자 2006년11월28일
(30) 우선권주장
094116630 2005년05월23일 대만(TW)
(56) 선행기술조사문헌
KR1020010071394 A
KR1020020080556 A
KR1020040017480 A
KR1020050000654 A

(73) 특허권자
선플러스 테크놀로지 코오퍼레이션, 리미티드.
중화민국, 타이완, 신-쥬 300, 사이언스 파크, 인
노베이션 퍼스트 로드, 19호.
(72) 발명자
루오 호신 청
대만, 창후아 카운티, 루강타운, 청 첩로드, 163
레인, 넘버 1.
팡 동 셴
대만, 호신 쥬 시, 나우 푸 통 로드, 251 레인,
넘버 23. 9층
양 호 호성
대만, 호신 쥬 시, 치옌 쿵 1번로드., 넘버 131,
2층
(74) 대리인
김학제, 문혜정

전체 청구항 수 : 총 13 항

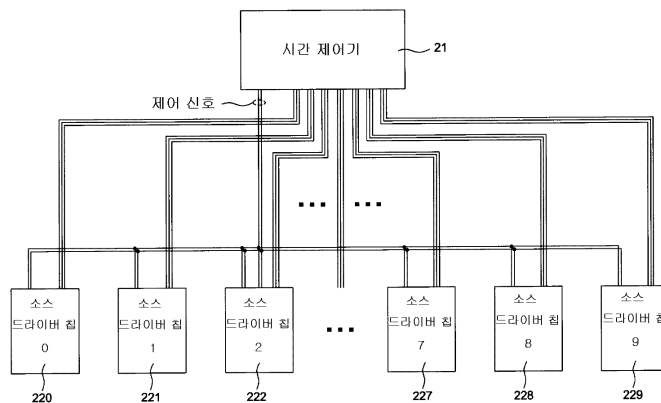
심사관 : 김세영

(54) LCD 패널용 시간제어기, 소스 드라이버, 제어 회로 및 제어 방법

(57) 요약

본원 발명은 LCD 패널용 시간 제어기, 소스 드라이버 및 제어회로와 방법에 관한 것으로, 보다 상세하게는 시간 제어기가 신호 수신기, 데이터 리더, 논리 제어 유닛 및 데이터 변환 유닛을 포함하고, 픽셀 데이터 및 제어 명령을 직렬신호로 변환하여 각 소스 드라이버 칩에 직렬로 전송함으로써 PCB 레이 아웃을 간략히 하여 제조 비용 및 전력 소비를 상당히 감소시키며, 또한 고해상 영상에서 고속 전송에 의한 병목현상을 극복하기 위한 제어회로 및 방법을 제공한다.

대표도



특허청구의 범위

청구항 1

제어 신호 및 픽셀 데이터를 포함한 전송된 신호를 수신하고 상기 제어 신호 및 상기 픽셀 데이터를 M 개의 소스 드라이버 칩에 전송되는 직렬 신호로 변환하는 LCD 패널용 시간 제어기에 있어서,

전송된 신호를 수신하는 신호 수신기(signal receiver) ;

상기 신호 수신기로부터 신호를 획득하는 데이터 리더(data reader) ;

상기 데이터 리더에 의해 획득된 데이터를 수신하고 픽셀 데이터를 발생하는 논리 제어 유닛(logical control unit) ; 및

상기 픽셀 데이터를 수신하고, 및 클럭신호(clock signal), 모드 제어 신호(mode control signal) 및 M 세트의 직렬 신호(M sets of serial signals)를 출력하는 데이터 변환유닛(data conversion unit)으로서, 상기 클럭 신호 및 상기 모드 제어 신호가 M 개의 소스 드라이버에 모두 연결되고, 상기 M 세트의 직렬 신호가 각각 M 개의 소스 드라이버에 연결되고,

여기서, 상기 모드 제어 신호가 제 1 상태에 있으면, 상기 데이터 변환유닛이 제어 신호를 상기 M세트의 직렬신호로 변환시키고, 상기 모드 제어 신호가 제 2 상태에 있으면, 상기 데이터 변환유닛이 픽셀 데이터를 상기 M세트의 직렬신호로 변환시키는 것을 특징으로 하는 시간제어기.

여기서, 상기 M은 양의 정수이다.

청구항 2

제 1항에 있어서, 상기 데이터 변환 유닛은

제 1 메모리 세그먼트(first memory segment) 및 제 2 메모리 세그먼트(second memory segment)를 가지는 메모리 ;

상기 픽셀 데이터를 수신하고 제 1 선별 신호(first selection signal)를 따라 픽셀 데이터를 제 1 메모리 세그먼트 또는 제 2 메모리 세그먼트로 전송하는 제 1 멀티플렉서(first multiplexer) ;

제 1 버퍼 섹션(first buffer section) 및 제 2 버퍼 섹션(second buffer section)을 가지는 버퍼 ;

상기 메모리로부터 상기 픽셀 데이터를 수신하고 상기 제 1 선별 신호 및 제 2 선별 신호(second selection signal)를 따라 상기 픽셀 데이터를 상기 제 1 버퍼 섹션 또는 상기 제 2 버퍼 섹션으로 선별하여 전송하는 제 2 멀티플렉서(second multiplexer) ;

상기 버퍼로부터 상기 픽셀 데이터를 수신하고 상기 제 2 선별 신호에 따라 상기 제 1 버퍼 섹션 및 상기 제 2 버퍼 섹션상의 상기 픽셀 데이터를 선별하여 수신하는 디멀티플렉서 ; 및

상기 모드 제어 신호가 제 2 상태에 있으면 상기 디멀티플렉서로부터 상기 픽셀 데이터를 수신하고, 상기 픽셀 데이터를 직렬신호로 변환하고 및 상기 직렬 신호를 출력하는 병렬-직렬 변환기(parallel-to-serial)

를 포함하는 것을 특징으로 하는 시간 제어기.

청구항 3

제 2항에 있어서, 상기 데이터 변환 유닛은 제어 신호를 인코딩하는 제어 신호 인코더(control signal encoder)를 추가로 포함하여 인코드된 신호를 발생하는 것을 특징으로 하는 시간 제어기.

청구항 4

제 3항에 있어서, 상기 모드 제어 신호가 제 1 상태에 있으면, 상기 인코드된 신호가 상기 병렬-직렬 변환기에 의해 직렬 신호로 변환되는 것을 특징으로 하는 시간 제어기.

청구항 5

삭제

청구항 6

삭제

청구항 7

직렬 신호를 수신하여 LCD 패널용 소스 드라이버 신호를 발생하는 LCD 패널용 소스 드라이버에 있어서,
 상기 직렬신호 및 모드 제어 신호를 수신하고, 상기 모드 제어 신호의 상태에 따라 제어신호 또는 픽셀 데이터를 선별하여 디코딩하고, 및 상기 제어 명령에 따라 쉬프트 제어 신호, 로드제어 신호, 극 제어 신호(polarity control signal), 스텐바이 제어 신호 및 데이터를 출력하는 제어 신호 디코더/데이터 레지스터(control signal decoder/data register) ;
 상기 제어 신호 디코더/데이터 레지스터 및 상기 쉬프트 제어신호로부터 데이터를 수신하고 상기 쉬프트 제어 신호에 따라 쉬프트 기능을 실행하는 쉬프트 레지스터(shift register) ;
 상기 쉬프트 레지스터 및 상기 로드 제어신호로부터 데이터를 수신하고 상기 로드 제어 신호에 따라 수신된 데이터를 로딩하는 데이터 래치(data latch) ;
 상기 데이터 래치 및 상기 극 제어 신호로부터 데이터를 수신하는 디지털-아날로그 변환기(digital-to-analog converter)로서, 상기 극 제어 신호는 디지털-아날로그 변환기를 제어하기 사용되는 디지털-아날로그 변환기 ;
 및
 상기 디지털-아날로그 변환기 및 상기 스텐바이 제어 신호로부터 데이터를 수신하고, 상기 스텐바이 제어 신호에 따라 데이터를 출력하는 출력 버퍼(output buffer)
 를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 8

제 7항에 있어서, 상기 제어 신호 디코더/데이터 레지스터는
 상기 모드 제어 신호 및 상기 직렬 신호를 수신하고, 상기 모드 제어 신호가 제 1 상태에 있을 때, 상기 직렬 신호를 디코딩하여 상기 쉬프트 제어 신호, 상기 로드 제어 신호, 상기 극 제어 신호 및 상기 스텐바이 제어 신호를 발생하는 제어 신호 인코더(control signal encoder) ;
 상기 모드 제어 신호 및 상기 직렬 신호를 수신하고, 상기 모드 제어 신호가 제 2 상태에 있을 때 상기 직렬 신호를 병렬 신호로 변환하고 및 상기 병렬 신호를 출력하는 직렬-병렬 변환기(serial-to-parallel converter) ;
 및
 상기 병렬 신호를 수신하는 데이터 레지스터(data register)
 를 포함하는 것을 특징으로 하는 소스 드라이버.

청구항 9

제 8항에 있어서, 상기 직렬-병렬 변환기는 참조 클락 신호(reference clock signal)로 사용된 클락 신호를 수신하는 것을 특징으로 하는 소스 드라이버.

청구항 10

시간 제어기 및 M 개의 소스 드라이버를 가지는 LCD 패널용 제어 회로로서, 상기 시간 제어기가 전송된 신호를 수신하면 제어 신호 및 픽셀 데이터가 시간 제어기로부터 소스 드라이버에 직렬로 전송되는 제어 회로에 있어서,
 전송된 신호를 수신하는 신호 수신기(signal receiver) ;
 상기 신호 수신기로부터 신호를 획득하는 데이터 리더(data reader) ;
 상기 데이터 리더에 의해 획득된 데이터를 수신하고 픽셀 데이터를 발생하는 논리 제어 유닛(logical

control unit) ; 및

상기 픽셀 데이터를 수신하고, 및 클락신호(clock signal), 모드 제어 신호(mode control signal) 및 M 세트의 직렬 신호(M sets of serial signals)를 출력하는 데이터 변환유닛(data conversion unit)을 포함하는 시간 제어기 ; 및

상기 직렬 신호 및 상기 모드 제어 신호를 수신하고, 상기 모드 제어 신호의 상태에 따라 상기 제어신호 또는 상기 픽셀 데이터를 선별하여 디코딩하고, 및 상기 제어 명령에 따라 쉬프트 제어 신호, 로드 제어 신호, 극 제어 신호(polarity control signal), 스텐바이 제어 신호 및 데이터를 출력하는 제어 신호 디코더/데이터 레지스터(control signal decoder/data register) ;

상기 제어 신호 디코더/데이터 레지스터 및 상기 쉬프트 제어 신호로부터 데이터를 수신하고 상기 쉬프트 제어 신호에 따라 쉬프트 기능을 실행하는 쉬프트 레지스터(shift register) ;

상기 쉬프트 레지스터 및 상기 로드 제어 신호로부터 데이터를 수신하고 상기 로드 제어 신호에 따라 수신된 데이터를 로딩하는 데이터 래치(data latch) ;

상기 데이터 래치 및 상기 극 제어 신호로부터 데이터를 수신하는 디지털-아날로그 변환기(digital-to-analog converter)로서, 상기 극 제어 신호는 디지털-아날로그 변환기를 제어하기 사용되는 디지털-아날로그 변환기 ; 및

상기 디지털-아날로그 변환기 및 상기 스텐바이 제어 신호로부터 데이터를 수신하고, 상기 스텐바이 제어 신호에 따라 데이터를 출력하는 출력 버퍼(output buffer)를 포함하는 상기 각각의 소스 드라이버

여기서, 상기 클락 신호 및 상기 모드 제어 신호가 M 개의 소스 드라이버에 모두 연결되고, 상기 M 세트의 직렬 신호가 각각 M 개의 소스 드라이버에 연결되고,

여기서, 상기 모드 제어 신호가 제 1 상태에 있으면, 상기 데이터 변환유닛이 제어 신호를 상기 M세트의 직렬신호로 변환시키고, 상기 모드 제어 신호가 제 2 상태에 있으면, 상기 데이터 변환유닛이 픽셀 데이터를 상기 M세트의 직렬신호로 변환시키는 것을 특징으로 하는 제어 회로.

여기서, 상기 M은 양의 정수이다.

청구항 11

제 10항에 있어서, 상기 시간 제어기가 다수의 신호 라인에 의해 상기 각 소스 드라이버에 연결되고, 및 상기 직렬 신호가 상기 신호 라인들을 통해 전송되는 것을 특징으로 하는 제어 회로.

청구항 12

제 11항에 있어서, 상기 제어 명령은 시간 제어기에 의해 직렬신호로 변환되고 하나 이상의 신호 라인들을 통해 추가로 전송되는 것을 특징으로 하는 제어회로.

청구항 13

삭제

청구항 14

LCD 패널은 제어기 및 하나 이상의 소스 드라이버를 가지고, 픽셀 데이터가 시간 제어기로부터 소스 드라이버에 직렬로 전송되는 LCD 패널 제어 방법에 있어서,

프레임 데이터를 대기하는 단계 ;

상기 프레임 데이터의 전송을 시작할지 판단하는 단계 ;

상기 프레임 데이터의 전송을 시작하면 데이터 라인들이 대기하는 단계 ;

상기 데이터 라인들의 전송을 시작할지 판단하는 단계 ;

상기 데이터 라인의 전송을 시작하면 소스 드라이버에 쉬프트 제어 명령(shift control command)을 출력하는 단계 ;

상기 픽셀 데이터를 상기 소스 드라이버에 직렬로 전송하는 단계 ;

상기 데이터 라인의 전송이 완료되었는지 판단하는 단계 ;

상기 데이터 라인의 전송이 종료되면 극 제어/로드 제어 명령(polarity control/load control command)을 상기 소스 드라이버에 출력하는 단계 ; 및

상기 프레임 데이터의 전송이 완료되었는지 판단하는 단계

를 포함하는 것을 특징으로 하는 제어 방법.

청구항 15

제 14항에 있어서, 상기 쉬프트 제어 명령이 상기 시간 제어기에 의해 출력되고, 및 상기 쉬프트 제어 명령이 시간 제어기에 의해 직렬 신호로 변환되어 상기 소스 드라이버에 직렬로 전송되는 것을 특징으로 하는 제어 방법.

청구항 16

제 14항에 있어서, 상기 극 제어/로드 제어 명령이 시간 제어기에 의해 출력되고, 및 상기 쉬프트 제어 명령이 상기 시간 제어기에 의해 직렬 신호로 변환되어 상기 소스 드라이버에 직렬로 전송되는 것을 특징으로 하는 제어 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<9> 본 발명은 액정 디스플레이 패널(liquid crystal display)(LCD)용 시간제어기(timing controller) 및 소스 드라이버(source driver), 특히 직렬 데이터 전송(serial data transmission)에 사용하는 LCD 패널용 시간 제어기, 소스 드라이버 및 제어회로에 관계된다.

발명이 이루고자 하는 기술적 과제

<10> 지난 수년간, 노트북 설계자 및 제조업체는 노트북의 배터리 수명을 연장하고 총 생산비용을 낮추기 위해 많은 노력을 기울였다. 모기관(motherboard) 및 박막 트랜지스터 액정 디스플레이(thin-film transistor liquid crystal display)(TFT-LCD) 패널 사이의 신호 전송과 관련하여, 신호 전송 규격(signal transmission specification)인 저압차동신호(low-voltage differential signaling)(이하 LVDS)에 따라야 하기 때문에 배터리 수명연장 및 비용 감소에 관련하여 개선할 여지가 없다.

<11> 반면, 시간 제어기 및 소스 드라이버 사이의 신호 전송에 관하여는, 전자파 장애(electromagnetic interference)(EMI)를 억제하는 것이 중요하고, 따라서 감소 스윙 차동 신호(reduced swing differential signaling)(RSDS)와 같은 차동 전송(differential transmission)이 주요 생산품으로 광범위하게 이용되고 있다. 그러나 RSDS 구조에 관해서는, 2.3V보다 낮은 저 구동 전압에 관한 RSDS의 요구는 때때로 충족시키기 어렵다. 또한 전류 모드 차동 쌍(current-mode differential pair)은 RSDS 구조의 전송 계면(transmission interface)으로서 종종 선택되어 상당한 전력을 소비하게 되는 결과가 된다.

<12> 도 1은 종래의 시간 제어기와 다수의 소스 드라이버 칩의 연결을 그린 개략도를 나타낸다. 도 1을 참조하면, 시간 제어기(11)는 제어 신호 및 데이터 스트림(data stream)을 각각의 소스 드라이버 칩들(120~129)로 출력하고, 신호 라인(signal lines) 및 데이터 버스(data bus)는 분리된 소스 드라이버 칩들 사이에 병렬로 연결된다. 또한 시간 제어기와 각 소스 드라이버 칩사이의 연결이 18개의 데이터 라인 및 5개의 제어 라인으로 된 23개의 라인에 의해 달성되기 때문에, 패널의 레이아웃(layout)은 복잡해지고, 레이아웃의 요구가 4개 층들의 상호접속(interconnection)에 의존하게 되므로 제조 비용 및 전력소비를 감소시키기 위한 목적을 만족시키지 못한다.

발명의 구성 및 작용

- <13> 본 발명의 목적은 위에 언급된 문제를 피하기 위해 직렬 데이터 전송에 사용하는 LCD 패널용 시간제어기, 소스 드라이버 및 제어회로와 방법을 제공한다.
- <14> 본 발명에 따르면, 시간 제어기는 제어 신호(control signals) 및 픽셀 데이터(pixel data)를 포함하는 전송된 신호를 수신하고 제어신호 및 픽셀 데이터를 다수의 소스 드라이버 칩으로 전송되는 직렬신호로 변환하기 위해 사용된다. 시간제어기는 신호 수신기(signal receiver), 데이터 리더(data reader), 논리 제어 유닛(logic control unit) 및 데이터 변환 유닛(data conversion unit)을 포함한다. 신호 수신기는 전송된 신호를 수신하고, 데이터 리더는 신호 수신기로부터 데이터를 획득한다. 논리 제어 유닛은 데이터 리더에 의해 획득된 데이터를 수신하여 픽셀 데이터를 발생하고, 데이터 변환 유닛은 픽셀 데이터를 수신하고, 이를 직렬 신호로 변환한다.
- <15> 본 발명의 설계를 통해, 시간 제어기는 픽셀 데이터 및 제어 명령을 직렬신호로 변환하고, 이 직렬신호는 각 소스 드라이버 칩에 직렬로 전송된다. 모든 데이터가 직렬신호로 미리 변환되기 때문에, 시간 제어기와 각 소스 드라이버 칩 사이의 통신은 단지 세 개의 데이터 라인(R, G 및 B), 시스템 클락(system clock), 및 모드 제어 신호(mode control signal)에 의해 달성된다. 따라서 PCB 레이 아웃이 간략히 되어 제조 비용 및 전력 소비를 상당히 감소시킨다.
- <16> 본 발명의 LCD 패널용 시간 제어기 및 소스 드라이버 칩은 도면과 관련하여 기술될 것이다.
- <17> 도 2는 본 발명에 따른 시간 제어기와 다수의 소스 드라이버 칩의 연결을 그린 개략도를 나타낸다. 도 2를 참조하면, 시간 제어기(21)용 데이터 버스는 병렬보다는 직렬로 배치되고, 따라서 단지 두 개의 제어 신호 라인들 및 세 개의 데이터 신호 라인들이 시간 제어기(21) 및 각각의 소스 드라이버 칩(220~229)을 연결하기 위해 요구된다. 따라서, 네 개 층들의 상호 접속을 두 층으로 줄이는 것과 더불어 연결 라인 수의 상당한 감소는 PCB 레이 아웃의 복잡성을 매우 크게 줄이며, 따라서 제조 비용 및 소비 전력이 감소되고 전자파 장애가 억제된다. 더 나아가, 본 발명의 구조는 대-스케일 패널(large-scale panel) 상의 칩 온 글래스(chip on glass) 패키지에 또한 적용될 수도 있고, 이러한 경우 시간 제어기 칩은 한번에 10 개의 소스 드라이버 칩들에 신호를 출력한다. 시간 제어기의 총 출력 신호 라인들의 수가 32개로 증가하지만, 하나의 소스 드라이버 칩에 연결된 출력 신호 라인의 수는 단지 5개이어서 PCB 레이 아웃의 복잡성을 매우 감소시킨다. 확실히, 소스 드라이버 칩의 수가 제한되지 않고, 소스 드라이버 칩 및 패널 해상도(panel resolution)의 채널에 따라 선별될 수도 있다.
- <18> 도 3은 본 발명에 따른 시간 제어기의 구조를 그린 블록도를 나타낸다. 도 3을 참조하면, 시간 제어기(21)는 저압 차동 신호(LVDS) 수신기(31), 데이터 리더(data reader)(32), 프레임 속도 제어(frame rate control)(FRC) 논리 유닛(33), 및 데이터 변환 유닛(34)을 포함한다. 시간 제어기(21)에 있어서, LVDS 수신기(31), 데이터 리더(32) 및 FRC 논리 유닛(33)은 종래의 시간 제어기와 유사하므로 상세하게 설명하지 않는다. 본 발명의 시간 제어기(21)를 종래의 시간 제어기와 비교한 차이점은 데이터 변환 유닛(34)이 픽셀 데이터 및 제어 신호를 직렬 신호로 변환하여 각각의 소스 드라이버 칩(220~229)으로 전송한다는 것이다.
- <19> 시간 제어기(21)는 각각의 소스 드라이버 칩에 신호를 출력하고, 그 신호는 모드 제어 신호(mode control signal) DINT, 클락 신호(clock signal) SCLK, 및 세 개의 데이터 라인들 R,G 및 B를 포함한다. 모드 제어 신호 DINT는 데이터 라인들 R,G 및 B의 두 개의 각 전송 상태를 표시하기 위해 사용된다. 정확하게는, 데이터 라인들 R,G 및 B는 전형적인 픽셀 데이터를 전송하거나(데이터 모드로) 제어 명령을 전송한다(명령 모드로). 모드 제어 신호 DINT가 제 1 상태에 있을 때(상태 1), 데이터 라인들의 전송 상태가 제어 명령을 전송하기 위한 명령 모드 상태에 있다는 것을 나타낸다. 반대로, 모드 제어 신호 DINT가 제 2 상태에 있을 때(상태 0), 데이터 라인들의 전송 상태가 픽셀 데이터를 전송하기 위한 데이터 모드 상태에 있다는 것을 나타낸다. 모드 제어 신호 DINT는 데이터 라인을 데이터 모드 및 명령 모드 사이에서 변환시키는 제어신호로서 사용된다.
- <20> 데이터 모드가 배제된 명령 모드는 칼럼 데이터의 전송 전 후에 종종 실행되어 정규 데이터 전송에 영향을 미치지 않는다. 확실히, 명령 모드는 소스 드라이버의 초기 기능 셋팅(initial function settings) 상태에 또한 적용될 수도 있다. 또한, 종래 소스 드라이버용 전송 및 제어 방법들에 기초한 모드 제어 신호 DINT는 각 프레임의 초기화 타임 시퀀스(time sequence) 및 각 칼럼 데이터 전송 타임 시퀀스에 따라 데이터 모드 또는 명령 모드를 선별하기 위해 적절한 제어 신호를 유발하는 내부 상태 머신(internal state machine)(미도시)에 의해 발생된다. 또한, 클락 신호(clock signal) SCLK는 출력 데이터를 소스 드라이버 칩과 동조시키기 위해 사용된다.
- <21> 종래의 시간 제어기에서는 픽셀 데이터가 각 소스 드라이버 칩에 병렬로 전송되기 때문에, FRC 논리 유닛(33)은

데이터를 각 소스 드라이버 칩에 차례로 전송되어 뒤의 소스 드라이버 칩은 앞선 소스 드라이버 칩이 데이터 수신 완료하기 전까지 데이터를 수신하지 않는다. 반대로, 본 발명의 시간 제어기(21)는 각 신호 라인들에 의해 동시에 모든 소스 드라이버 칩에 데이터를 출력하게 되고, 따라서 FRC 논리 유닛(33)에 의해서 데이터 출력이 미리 변환되어야 한다.

- <22> 데이터 변환 유닛(34)은 데이터 처리 유닛(data processing unit)(341), 데이터 버퍼(data buffer) 및 병렬-직렬 변환기(parallel-to-serial)(343)를 포함한다. 데이터 처리 유닛(341)은 FRC 논리 유닛(33)으로부터 데이터 출력을 수신하고, 이들을 데이터 버퍼(432)에 저장한다. 이어서, 데이터 처리 유닛(341)은 데이터 버퍼로부터 요구되는 데이터를 수신하고, 이들을 병렬-직렬 변환기(343)로 출력한다. 마침내, 병렬-직렬 변환기(343)는 데이터를 각각의 신호 라인에 의해 각각의 소스 드라이버 칩에 전송한다. 정확하게는, 데이터 변환 유닛(34)은 제어 신호 인코더(344)를 추가로 포함할 수 있고, 이 제어 신호 인코더(344)는 병렬-직렬 변환기(343)를 통해 각 소스 드라이버 칩에 전송되는 제어신호를 인코드한다.
- <23> 도 4는 도 3에 도시된 데이터 변환 유닛 구조를 그린 개략도를 나타낸다. 도 4를 참조하면, 데이터 변환유닛(34)은 제 1 멀티플렉서(first multiplexer)(41), 메모리(memory)(42), 제 2 멀티플렉서(second multiplexer)(43), 버퍼(buffer)(44), 디멀티플렉서(demultiplexer)(45), 병렬-직렬 변환기(343) 및 제어 신호 인코더(344)를 포함한다. 메모리(42)는 제 1 메모리 세그먼트(first memory segment)(421) 및 제 2 메모리 세그먼트(second memory segment)(422)를 포함하고, 버퍼(44)는 제 1 버퍼 섹션(first buffer section)(441) 및 제 2 버퍼 섹션(second buffer section)(442)를 포함한다. FRC 논리 유닛으로부터 전송된 데이터(R, G, 및 B 픽셀 데이터를 포함한)는 라인 스위치 신호(line switch signal) LT에 의해 제어되는 제 1 멀티플렉서(41)의 제어를 통해 제 1 메모리 세그먼트(first memory segment)(421) 또는 제 2 메모리 세그먼트(second memory segment)(422)에 저장된다. 이어서, 메모리 세그먼트 상에 저장된 데이터는 제 2 멀티플렉서(43)의 제어를 통해 제 1 버퍼 섹션(441) 또는 제 2 버퍼 섹션(442) 상에 추가로 저장될 수 있다. 제 2 멀티플렉서(43)는 라인 스위치 신호 LT 및 포인트 스위치 신호(point switch signal) PT에 의해 제어된다. 라인 스위치 신호 LT는 제 1 메모리 세그먼트(421) 또는 제 2 메모리 세그먼트(422)에서 읽은 데이터를 제어하는 반면 포인트 스위치 신호 PT는 제 1 버퍼 섹션(441) 또는 제 2 버퍼 섹션(442)에 기록되는 데이터를 제어한다. 이어서, 제 1 버퍼 섹션(441) 또는 제 2 버퍼 섹션(442) 상의 데이터가 임혀진 후 디멀티플렉서(45)의 제어를 통해서 병렬-직렬 변환기(343)에 전송된다. 디멀티플렉서(45)는 포인트 스위치 신호 PT에 의해 제어된다.
- <24> 그러므로, 라인 스위치 신호 LT 및 포인트 스위치 신호 PT의 상태 전이에 따라, 데이터 변환 유닛(34)에 의한 데이터 전송은 아래에서 기술되는 바와 같이 4가지 가능한 경로 중 하나를 따를 것이다.
- <25> 경로 1 : 라인 스위치 신호 LT가 제 1 상태(상태 1 과 같이)에 있고 포인트 스위치 신호 PT가 또한 제 1 상태(상태 0 과 같이)에 있을 때, FRC 논리 유닛으로부터 전송된 데이터(R,G 및 B 픽셀 데이터를 포함한)는 제 1 멀티플렉서(41)의 제어를 통해 제 2 메모리 세그먼트(422)에 저장되고, 제 1 메모리 세그먼트(421)의 데이터는 제 2 멀티플렉서(43)의 제어를 통해 제 2 버퍼 섹션(442)에 저장된다. 또한, 도 4에 도시된 화살 방향인 점선과 같이, 제 1 버퍼 섹션(441)의 데이터는 디멀티플렉서(45)의 제어를 통해서 병렬-직렬 변환기(343)에 전송된다.
- <26> 경로 2 : 라인 스위치 신호 LT가 제 1 상태(상태 1과 같이)에 있고 포인트 스위치 신호 PT가 제 2 상태(상태 1 과 같이)에 있을 때, FRC 논리 유닛으로부터 전송된 데이터(R,G 및 B 픽셀 데이터를 포함한)는 제 1 멀티플렉서(41)의 제어를 통해 제 2 메모리 세그먼트(422)에 저장되고, 제 1 메모리 세그먼트(421)의 데이터는 제 2 멀티플렉서(43)의 제어를 통해 제 버퍼 섹션(441)에 저장된다. 또한, 제 2 버퍼 섹션(442)의 데이터는 디멀티플렉서(45)의 제어를 통해서 병렬-직렬 변환기(343)에 전송된다.
- <27> 경로 3 : 라인 스위치 신호 LT가 제 2 상태(상태 0과 같이)에 있고 포인트 스위치 신호 PT가 제 1 상태(상태 0 과 같이)에 있을 때, FRC 논리 유닛(33)으로부터 전송된 데이터(R,G 및 B 픽셀 데이터를 포함한)는 제 1 멀티플렉서(41)의 제어를 통해 제 1 메모리 세그먼트(421)에 저장되고, 제 2 메모리 세그먼트(422)의 데이터는 제 2 멀티플렉서(43)의 제어를 통해 제 2 버퍼 섹션(442)에 저장된다. 또한, 제 1 버퍼 섹션(441)의 데이터는 디멀티플렉서(45)의 제어를 통해서 병렬-직렬 변환기(343)에 전송된다.
- <28> 경로 4 : 라인 스위치 신호 LT가 제 2 상태(상태 0과 같이)에 있고 포인트 스위치 신호 PT가 또한 제 2 상태(상태 1과 같이)에 있을 때, FRC 논리 유닛(33)으로부터 전송된 데이터(R,G 및 B 픽셀 데이터를 포함한)는 제 1 멀티플렉서(41)의 제어를 통해 제 1 메모리 세그먼트(421)에 저장되고, 제 2 메모리 세그먼트(422)의 데이터는 제 2 멀티플렉서(43)의 제어를 통해 제 1 버퍼 섹션(441)에 저장된다. 또한, 제 2 버퍼 섹션(442)의 데이터는 디멀티플렉서(45)의 제어를 통해서 병렬-직렬 변환기(343)에 전송된다.

- <29> 도 5는 본 발명의 소스 드라이버의 구조를 그린 개략도를 나타낸다. 도 5를 참조하면, 소스 드라이버(50)는 제어 신호 디코더(control signal decoder)/데이터 레지스터(data register)(51), 쉬프트 레지스터(shift register)(52), 데이터 래치(data latch), 디지털-아날로그 변환기(digital-to-analog converter)(54) 및 출력 버퍼(output buffer)(55)를 포함한다. 쉬프트 레지스터(52), 데이터 래치, 디지털-아날로그 변환기(54) 및 출력 버퍼(55)는 당해 기술분야에서 잘 알려져 있으므로 상세히 설명하지 아니한다.
- <30> 제어 신호 디코더/데이터 레지스터(51)는 모드 제어 신호 DINT, 클럭 신호(clock signal) SCLK, 및 세 개의 데이터 라인들 R, G 및 B를 수신한다. 제어 신호 디코더/데이터 레지스터(51)는 요구되는 제어신호를 발생하거나 또는 모드 제어 신호 DINT의 상태에 따라 픽셀 데이터를 수신한다. 전형적인 종래 제어신호가 쉬프트 레지스터(shift register)(52)를 제어하기 위해 쉬프트 제어신호(shift control signal) STH로, 데이터 래치(data latch)(53)를 제어하기 위해 로드 제어 신호(load control signal) LOAD로, 디지털-아날로그 변환기(54)를 제어하기 위해 극 제어 신호(polarity control signal) POL로, 또는 출력 버퍼(55)를 제어하기 위해 스탠바이-제어 신호(standby control signal)로 변경될 수도 있다. 이러한 신호의 제어 방법은 당해 기술분야에서 잘 알려져 있으므로 상세히 설명하지 않는다.
- <31> 도 6은 도 5에 도시된 제어 신호 디코더/데이터 레지스터의 구조를 그린 개략도를 나타낸다. 도 6을 참조하면, 제어 신호 디코더/데이터 레지스터(51)는 제어 신호 디코더(control signal decoder)(511), 직렬-병렬 변환기(serial-to-parallel converter)(512) 및 데이터 레지스터(513)를 포함한다. 제어 신호 디코더(511)는 모드 제어신호 DINT 및 데이터 라인 R을 수신하고 모드 제어 신호 DINT가 명령 모드를 가리킬 때 데이터 라인 R상의 데이터에 따라 요구되는 쉬프트 제어 신호 STH, 로드 제어 신호 LOAD, 극 제어신호 POL, 및 스탠바이-제어신호 STBY를 발생한다. 직렬-병렬 변환기(512)는 모드 제어 신호 DINT 및 데이터 라인들 R, G 및 B를 수신하고 직렬 데이터를 병렬 데이터로 변환하고 이어서 병렬 데이터를 데이터 레지스터(513)에 저장한다. 직렬-병렬 변환기(512)는 데이터 라인들 R, G 및 B상의 신호를 샘플링하기 위해 클럭 신호 SCLK를 샘플링 클럭으로 채택하고, 이어서 샘플링된 신호는 데이터 버스를 통해 데이터 레지스터(513)에 전송된다. 데이터 레지스터(513)에 저장된 데이터가 어떻게 쉬프트 레지스터(52) 및 데이터 래치(53)에 전송되는가에 대한 기술은 당해 기술분야에서 잘 알려져 있으므로 상세히 설명하지 않는다.
- <32> 도 7A 및 7B는 칼럼 데이터의 데이터 전송을 그린 개략도를 나타낸다. 시간 제어기(21)가 제어 명령을 소스 드라이버에 전송할 때, 모드 제어 신호 DINT의 상태는 명령 모드(하이 레벨(high level)과 같이)로 고정된다. 동시에, 제어 명령(쉬프트 제어 신호 STH와 같은)은 인코드 되고 이어서 병렬-직렬 변환기(343)를 통해 각각의 소스 드라이버에 전송된다. 이어서, 모드제어 신호 DINT의 상태가 데이터 모드로 고정되면(로우 레벨(low level)와 같이), 픽셀 데이터는 대응되는 소스 드라이버에 연속하여 전송된다. 그러므로 명령 모드하에서는, 데이터 R0-R9는 분리되어 제어되기 쉬우므로 데이터들은 일치될 수도 또는 일치되지 않을 수도 있다. 그러나, 데이터 모드 하에서는, 데이터 R0-R9는 병렬 데이터로 각 소스 드라이버에 전송된다. 직렬 데이터의 전송이 종료되면, 모드 제어 신호 DINT는 소스 드라이버의 전기 특성(electric characteristic)에 따라 적절한 때에 명령 모드로 고정되고, 제어명령(제어신호 LOAD 및 POL와 같은)은 제어신호 인코더(344)에 의해 인코드되고 이어서 칼럼 데이터 전송을 완료하기 위해 직렬-병렬 변환기(343)를 통해 각 소스 드라이버로 전송된다. 또한 명령 모드하에서, 데이터 전송용으로 사용된 데이터 라인은 데이터 라인 R0-R9를 포함하지만 반드시 이에 한정되는 것은 아니며, 데이터 라인의 선별은 양측의 일치된 프로토콜에 따른다. 또한, 도 7A에 도시된 전송된 제어 신호는 도 7B에 도시된 신호와 다르다. 더 나아가, 도 7A 및 도 7B에 도시된 데이터가 비록 6-비트일지라도, 이 데이터는 패널의 해상도에 따라 선택된 8-비트 또는 다른 비트 수일 수 있다.
- <33> 또한, 도 7A 및 도 7B에 도시된 바와 같이, 만약 상승에지(rising edge) 및 하강에지(falling edge)가 전송된 직렬 데이터를 샘플링하기 위해 모두 사용된다면, 시스템 클럭(system clock) SCLK의 주파수가 종래 시스템 클럭 주파수의 1/2로 감소하게 된다. 그러므로, RSDS 구조가 적용되는 종래 시스템과 비교하면, 감소된 주파수로 인해 전력소비가 상당히 줄어들게 된다. 더 나아가, 고해상 영상에서 고속 전송에 의한 병목현상을 극복하기 위해 고 전송 스피드 및 성능을 가진 본원 발명의 제어회로 및 방법을 제공할 수 있게 되었다.
- <34> 도 8은 본 발명에 따른 LCD 패널용 데이터 제어 방법을 그린 흐름도이고 여기서, 픽셀 데이터는 시간 제어기로부터 소스 드라이버 칩으로 직렬로 전송된다. 이러한 데이터 제어방법은 아래에 기술된 단계들을 포함한다.
- <35> 단계 S802 : 시작
- <36> 단계 S804 : 프레임 데이터를 대기하는 단계. 시간 제어기는 프레임 데이터를 대기하는 조건하에 있다.

- <37> 단계 S806 : 프레임데이터의 전송을 시작할지 판단하는 단계. 만약 전송을 시작하지 않는다면, 단계 S804 로 되돌아가고 ; 만약 시작한다면 다음 단계 S808 로 계속 진행한다.
- <38> 단계 S808 :데이터 라인들을 대기하는 단계. 이 시스템은 데이터 라인들을 대기하는 조건하에 있다.
- <39> 단계 S810 : 데이터 라인들의 전송을 시작할지 판단하는 단계. 만약 전송을 시작하지 않는다면, 단계 S808로 되돌아가고 ; 만약 시작한다면 다음 단계 S812로 계속 진행한다.
- <40> 단계 S812 : STH 명령을 출력하는 단계. 시간 제어기는 STH 명령을 각 소스 드라이버 칩으로 출력한다. STH 명령은 미리 직렬 신호로 변환되고, 이어서 직렬로 전송된다.
- <41> 단계 S814 : 픽셀 데이터를 직렬로 전송하는 단계. 시간 제어기는 픽셀 데이터를 직렬 신호로 변환하고 이들을 각 소스 드라이버 칩으로 직렬로 전송한다.
- <42> 단계 S816 : 데이터 라인의 전송이 완료되었는지 판단하는 단계. 만약 완료되지 않았다면, 단계 S814 로 되돌아가고 ; 만약 완료되었다면 다음 단계 S818 로 계속 진행한다.
- <43> 단계 S818 : POL/LOAD 명령을 출력하는 단계. 시간 제어기는 POL/LOAD 명령을 각 소스 드라이버 칩에 출력한다. POL/LOAD 명령은 미리 직렬 신호로 변환되고, 이어서 직렬로 전송된다.
- <44> 단계 S820 : 프레임데이터의 전송이 완료되었는지 판단하는 단계. 만약 전송이 완료되지 않았다면, 단계 S808 로 되돌아가고 ; 만약 완료되었다면 다음 단계 S822 로 계속 진행한다.
- <45> 단계 S822 : 프레임 데이터의 전송을 종료하는 단계. 다음으로 단계 S804로 진행한다.
- <46> 본 발명의 설계를 통해, 시간 제어기는 픽셀 데이터 및 제어 명령을 직렬 신호로 변환하고, 이어서, 이들이 각 소스 드라이버 칩에 직렬로 전송된다. 모든 데이터가 직렬신호로 미리 변환되기 때문에, 시간 제어기와 각 소스 드라이버 칩간의 통신은 단지 R, G 및 B 데이터 라인, 시스템 클럭 SCLK 및 모드 제어 신호 DINT에 의해 달성된다.

발명의 효과

- <47> 본원 발명의 시간 제어기는 픽셀 데이터 및 제어 명령을 직렬신호로 변환하여 각 소스 드라이버 칩에 직렬로 전송되므로 시간 제어기와 각 소스 드라이버 칩 사이의 통신은 단지 세 개의 데이터 라인(R, G 및 B), 시스템 클럭(system clock), 및 모드 제어 신호(mode control signal)에 의해 달성된다. 따라서 PCB 레이 아웃이 간략히 되어 제조 비용 및 전력 소비를 상당히 감소시킨다.
- <48> 또한 도 7A 및 도7B에 도시된 바와 같이 시스템 클럭(system clock) SCLK의 주파수가 종래 시스템 클럭 주파수의 1/2로 감소하게 되어 종래 시스템과 비교하면, 주파수의 감소로 인해 전력소비가 상당히 줄어들게 된다. 더 나아가, 고해상 영상에서 고속 전송에 의한 병목현상을 극복하기 위해 고 전송 스피드 및 성능을 가진 본원 발명의 제어회로 및 방법을 제공할 수 있게 되었다.
- <49> 본 발명이 예들 특히 바람직한 구현예에 기초하여 기술되었지만, 본 발명은 개시된 구현예에 한정되지 않는다. 반대로, 본 발명의 다양한 변경 및 유사한 배열이 당해 기술분야에서 통상의 지식을 가진 당업자에게 자명한 사항 이라면 본 발명은 이것을 포괄한다. 그러므로 아래 청구항의 청구범위는 모든 수정 및 유사한 배열을 포함 하도록 가장 넓게 해석되어야 한다.

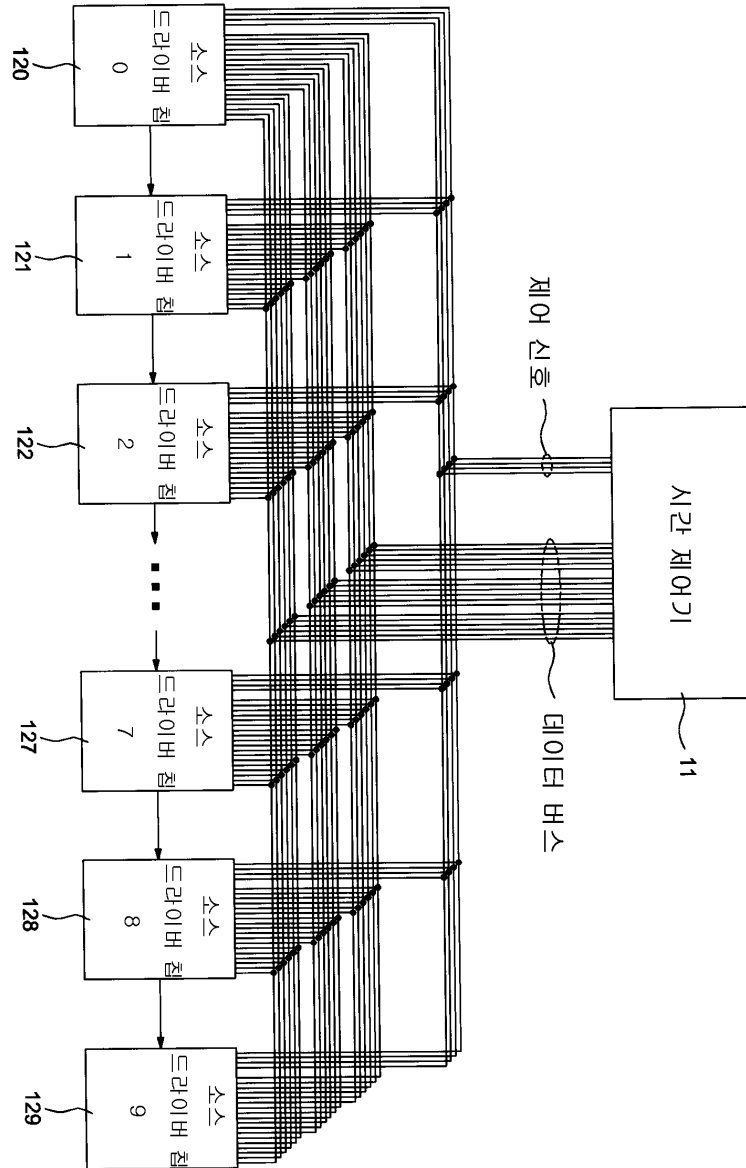
도면의 간단한 설명

- <1> 도 1은 종래의 시간 제어기와 다수의 소스 드라이버 칩의 연결을 그린 개략도를 나타낸다.
- <2> 도 2는 본 발명에 따른 시간 제어기와 다수의 소스 드라이버 칩의 연결을 그린 개략도를 나타낸다.
- <3> 도 3은 본 발명에 따른 시간 제어기의 구조를 그린 블록도를 나타낸다.
- <4> 도 4는 도 3에 도시된 데이터 변환 유닛 구조를 그린 개략도를 나타낸다.
- <5> 도 5는 본 발명의 소스 드라이버의 구조를 그린 개략도를 나타낸다.
- <6> 도 6은 도 5에 도시된 제어신호 디코더(control signal decoder)/데이터 레지스터(data register)의 구조를 그린 개략도를 나타낸다.

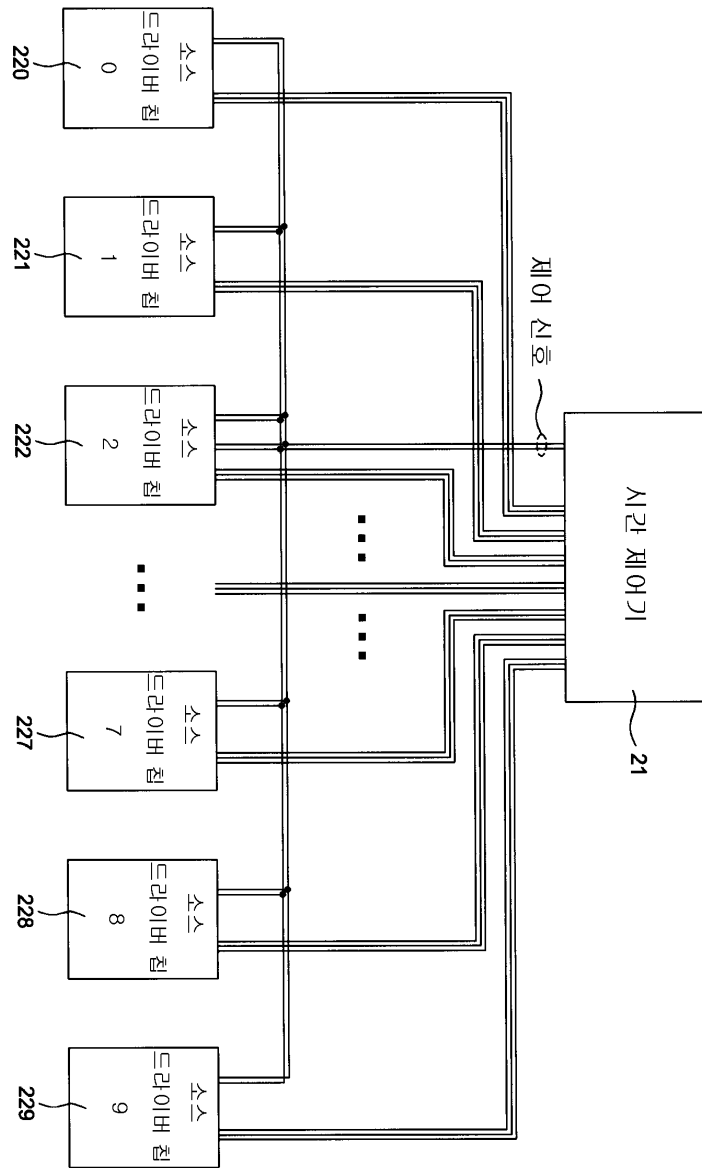
- <7> 도 7A 및 7B는 칼럼 데이터의 데이터 전송을 그린 개략도를 나타낸다.
- <8> 도 8은 본 발명에 따른 LCD 패널용 데이터 제어 방법을 그린 흐름도이다.

도면

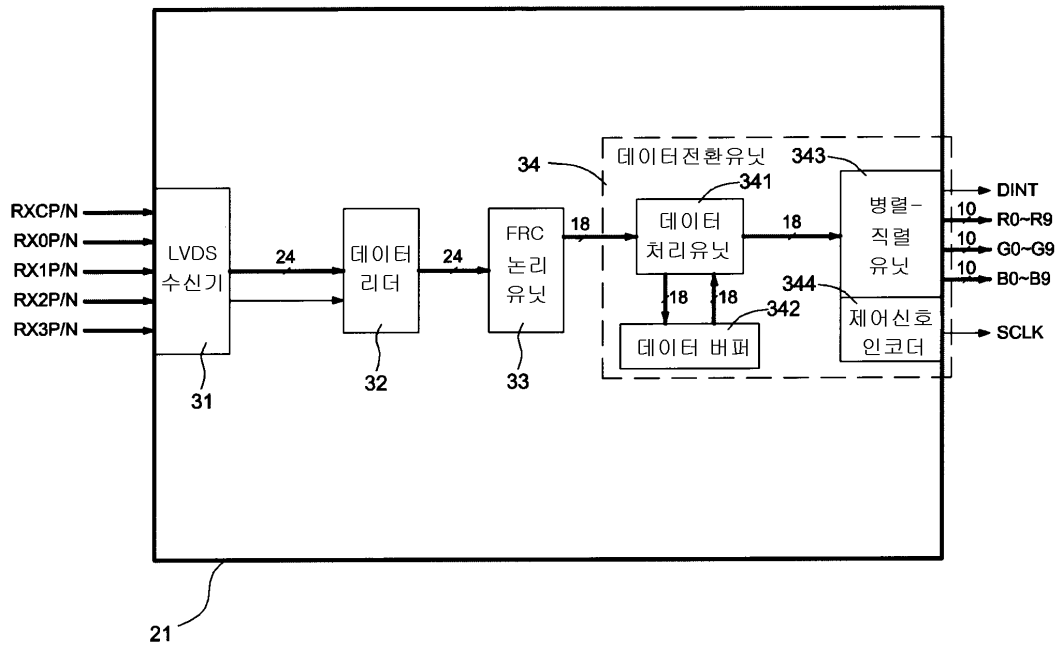
도면1



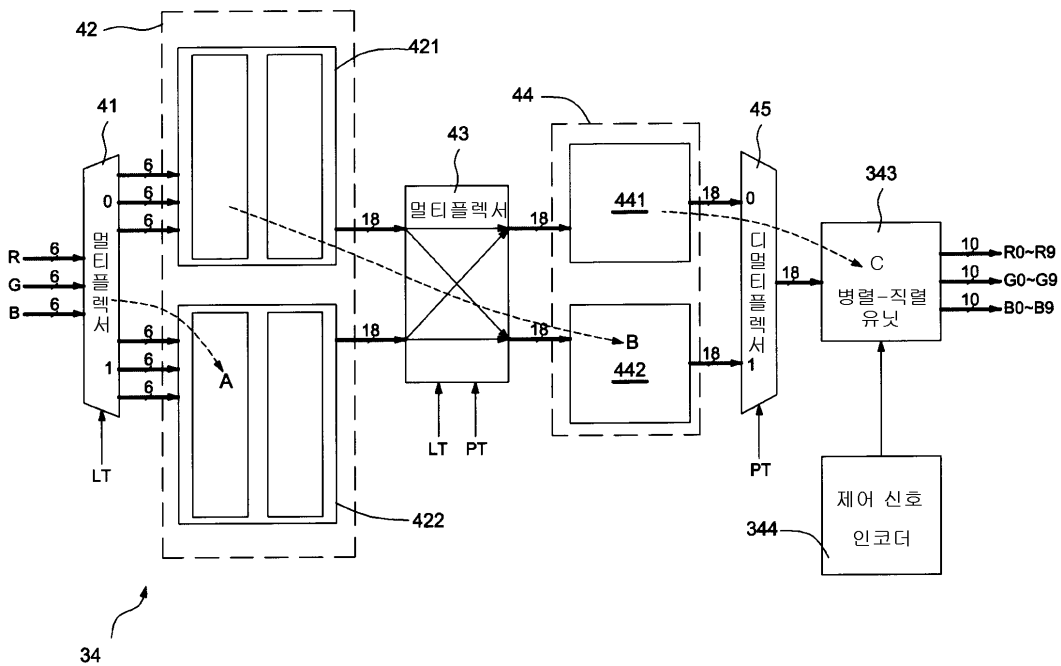
도면2



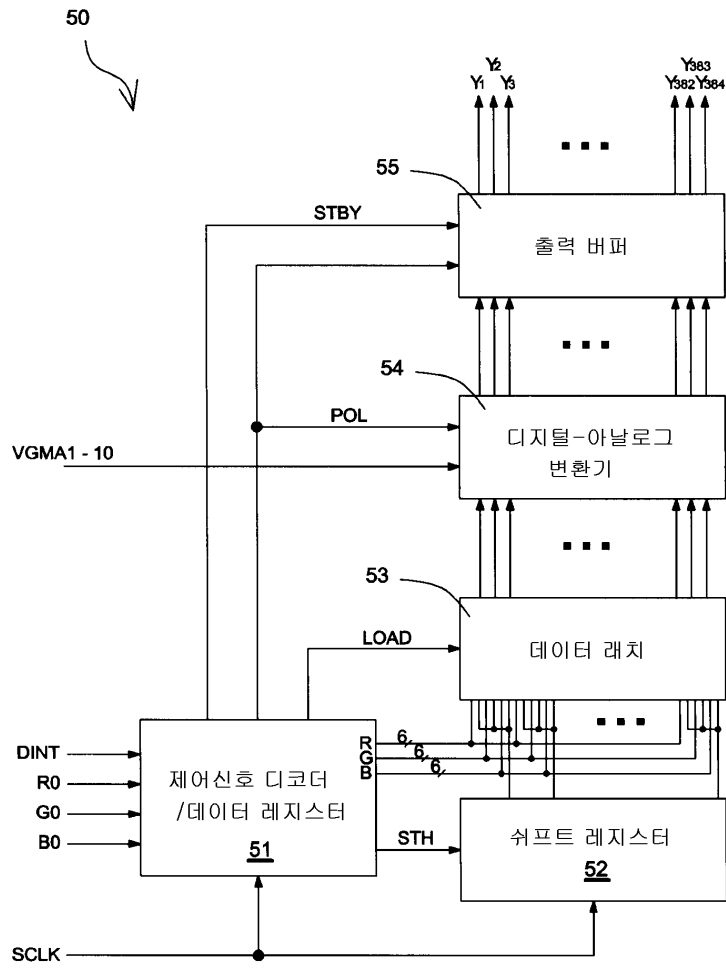
도면3



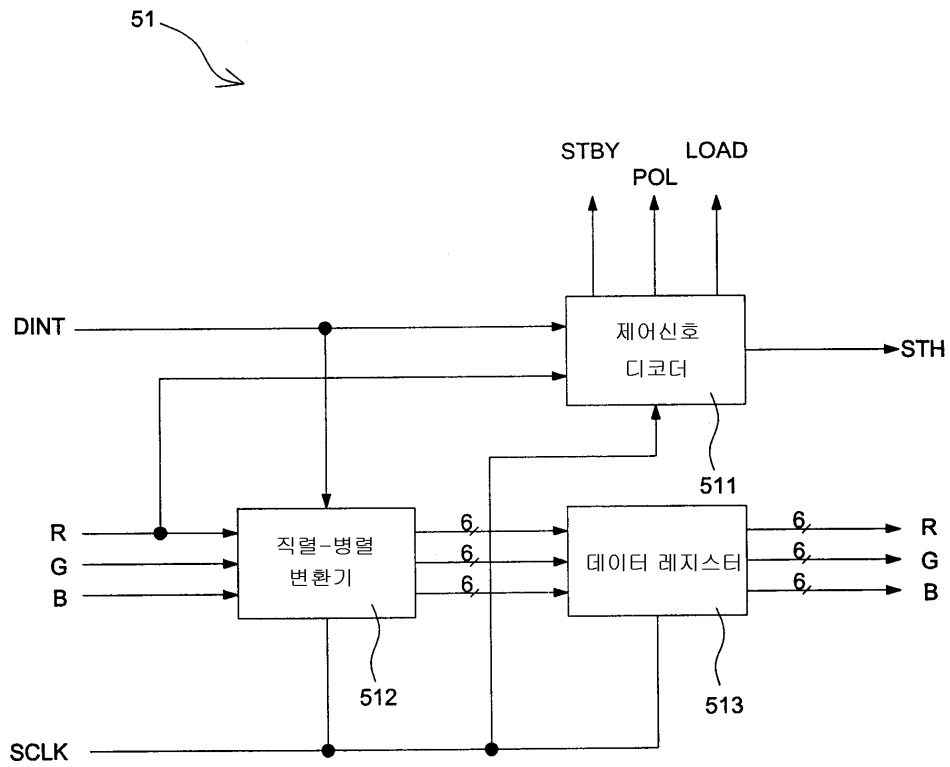
도면4



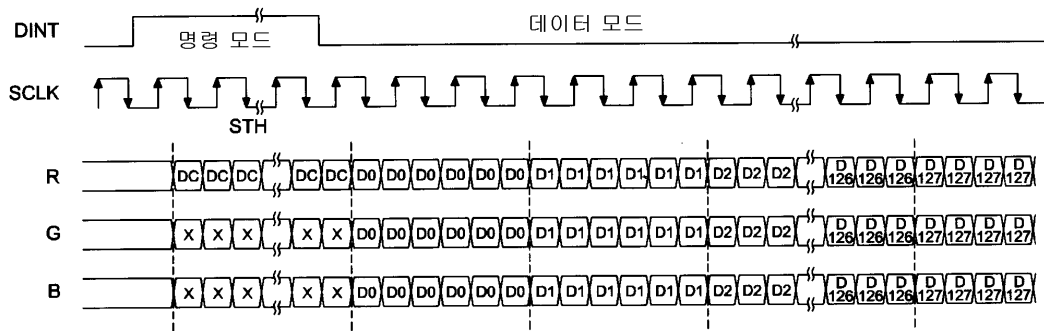
도면5



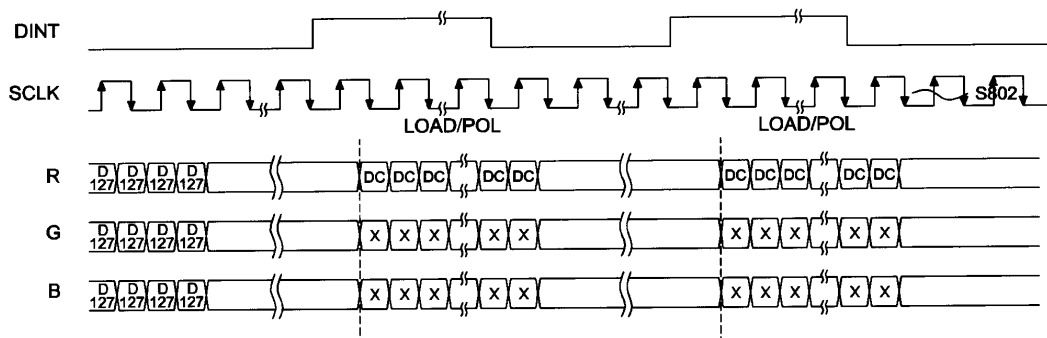
도면6



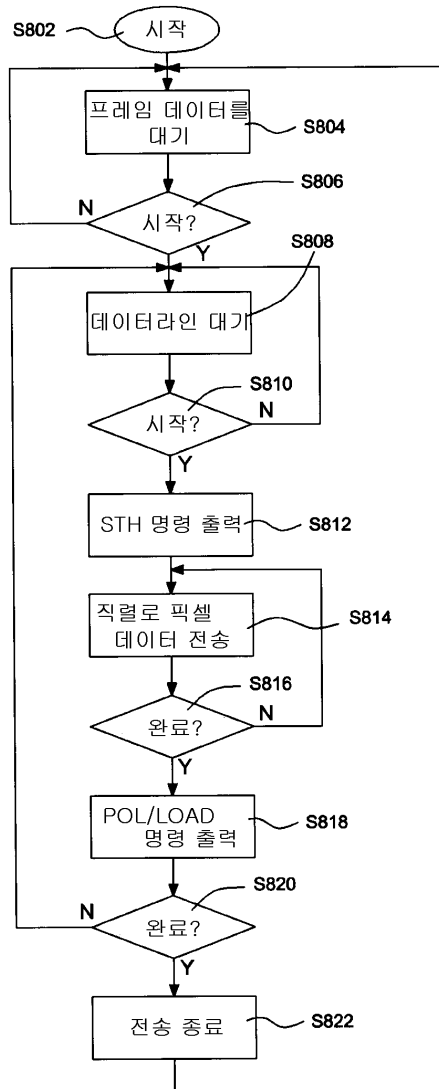
도면7a



도면7b



도면8



专利名称(译)	LCD面板的时间控制器，源极驱动器，控制电路和控制方法		
公开(公告)号	KR100814543B1	公开(公告)日	2008-03-17
申请号	KR1020060045618	申请日	2006-05-22
[标]申请(专利权)人(译)	凌阳科技股份有限公司		
申请(专利权)人(译)	善加技术合作，品牌.		
当前申请(专利权)人(译)	善加技术合作，品牌.		
[标]发明人	LUO HSIN CHUNG 루오흐신청 FANG DONG SEN 팡동센 YANG HO HSING 양호흐성		
发明人	루오흐신청 팡동센 양호흐성		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/2096 G09G3/3685 G09G2330/06		
代理人(译)	Munhyejeong Gimhakje		
优先权	094116630 2005-05-23 TW		
其他公开文献	KR1020060121114A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种用于LCD面板的时间控制器，源极驱动器和控制电路以及方法，更具体地说，涉及一种包括信号接收器，数据读取器，逻辑控制单元和数据转换单元的时间控制器，串联信号到每个源极驱动器芯片以简化PCB布局，从而显著降低制造成本和功耗，并且还提供用于克服由高分辨率图像中的高速传输引起的瓶颈的控制电路和方法的。

