



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월11일
(11) 등록번호 10-0812492
(24) 등록일자 2008년03월04일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2002-0080612

(22) 출원일자 2002년12월17일

심사청구일자 2006년05월26일

(65) 공개번호 10-2003-0052995

(43) 공개일자 2003년06월27일

(30) 우선권주장

JP-P-2001-00388306 2001년12월20일 일본(JP)

(56) 선행기술조사문헌

JP10012882 A

JP08250742 A

KR1019990009248 A

KR1019970016712 A

(73) 특허권자

샤프 가부시기가이샤

일본 오사카후 오사카시 아베노구 나가이쵸 22
방 22고

(72) 발명자

도이세이지

일본가나가와켄가와사끼시나카하라꾸가미코다나까
4쵸메1-1후지쓰디스플레이테크놀로지스코퍼레이션
내

홋파가즈시게

일본가나가와켄가와사끼시나카하라꾸가미코다나까
4쵸메1-1후지쓰디스플레이테크놀로지스코퍼레이션
내

(뒷면에 계속)

(74) 대리인

구영창, 장수길, 주성민

전체 청구항 수 : 총 19 항

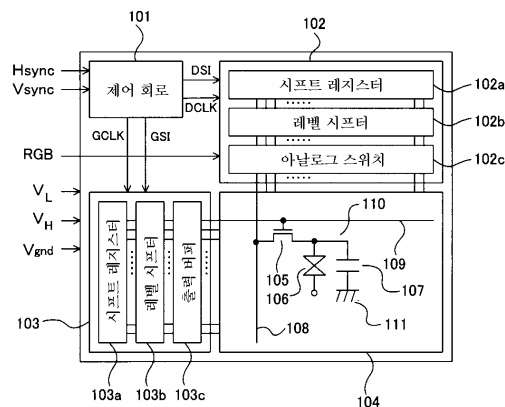
심사관 : 임동제

(54) 박막 트랜지스터 장치 및 그 제조 방법과 액정 표시 장치

(57) 요약

본 발명은, 액정 표시 장치 등의 절연성 기판 위에 형성되는 박막 트랜지스터 장치 및 그 제조 방법과 액정 표시 장치에 관한 것이다. 그 구성은, 제1 섬 형상 반도체막(24a)을 피복하는 제1 절연막(25) 위에 네거티브 포토레지스트막(26)을 형성하는 공정과, 투명 기판(21)의 이면측으로부터 네거티브 포토레지스트막(26)을 노광하고, 현상하여 제1 섬 형상 반도체막(24a)의 주연부보다 내측의 표면에 개구부를 갖는 레지스트 마스크를 형성하는 공정과, 레지스트 마스크의 개구부 내의 제1 절연막(25)을 에칭하는 공정과, 제1 절연막(25)을 피복하는 제2 절연막과, 그 위의 도전체막을 형성하는 공정과, 도전체막을 패터닝하여, 제1 게이트 전극과 제2 게이트 전극을 형성하는 공정을 갖는다.

대표도 - 도7



(72) 발명자

히라노다꾸야

일본가나가와켄가와사키시나카하라꾸가미코다나까
4쵸메1-1후지쓰디스플레이테크놀로지스코포레이션
내

야나이겐이찌

일본가나가와켄가와사키시나카하라꾸가미코다나까
4쵸메1-1후지쓰디스플레이테크놀로지스코포레이션
내

특허청구의 범위

청구항 1

투명 기판의 표면에 제1 및 제2 섬 형상 반도체막을 형성하는 공정과,
 상기 제1 및 제2 섬 형상 반도체막을 피복하는 제1 절연막을 형성하는 공정과,
 상기 제1 절연막 위에 네거티브 포토레지스트막을 형성하는 공정과,
 상기 제1 섬 형상 반도체막의 전역을 차광하는 마스크를 개재하여 상기 네거티브 포토레지스트막을 노광하는 공정과,
 상기 투명 기판의 이면측으로부터 상기 네거티브 포토레지스트막을 노광하는 공정과,
 상기 네거티브 포토레지스트막을 현상하여 상기 제1 섬 형상 반도체막의 주연부로부터 내측의 표면에 개구부를 갖는 레지스트 패턴을 형성하는 공정과,
 상기 레지스트 패턴의 개구부 내의 상기 제1 절연막을 에칭하는 공정과,
 상기 레지스트 패턴을 제거하는 공정과,
 상기 투명 기판의 표면측 전면에 제2 절연막을 형성하고, 다시 그 위에 도전체막을 형성하는 공정과,
 상기 제1 섬 형상 반도체막 상방의 도전체막 위에 제1 마스크 패턴을 형성하고, 상기 제2 섬 형상 반도체막 상방의 도전체막 위에 제2 마스크 패턴을 형성하는 공정과,
 상기 제1 마스크 패턴을 마스크로 하여 상기 도전체막을 에칭하여 제1 게이트 전극을 형성하고, 상기 제2 마스크 패턴을 마스크로 하여 상기 도전체막을 에칭하여 제2 게이트 전극을 형성하는 공정
 을 포함하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 2

제1항에 있어서,
 상기 투명 기판의 이면측으로부터 상기 네거티브 포토레지스트막을 노광하는 공정에서, 상기 노광에 이용하는 광은 g선, h선, i선, 엑시머 레이저 또는 UV광인 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 3

기판 위에 제1 및 제2 섬 형상 반도체막을 형성하는 공정과,
 상기 제1 및 제2 섬 형상 반도체막을 피복하는 반도체막을 형성하고, 다시 그 반도체막 위에 절연막을 형성하는 공정과,
 상기 제2 섬 형상 반도체막 상방의 상기 절연막을 선택적으로 에칭하여 상기 절연막의 패턴을 형성하는 공정과,
 상기 절연막의 패턴의 하부 및 그 밖의 부분의 반도체막을 산화하여, 상기 제1 섬 형상 반도체막 위에 상기 반도체막을 산화하여 이루어지는 절연막으로 이루어지는 제1 게이트 절연막을 형성하고, 상기 제2 섬 형상 반도체막 위에 상기 반도체막을 산화하여 이루어지는 절연막과 상기 절연막의 패턴으로 이루어지는 제2 게이트 절연막을 형성하는 공정과,
 상기 제1 게이트 절연막 위에 제1 게이트 전극을 형성하고, 상기 제2 게이트 절연막 위에 제2 게이트 전극을 형성하는 공정
 을 포함하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 4

제3항에 있어서,
 상기 제1 및 제2 섬 형상 반도체막은 폴리실리콘막이고, 상기 반도체막은 비정질 실리콘막인 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 5

제3항에 있어서,

상기 제2 섬 형상 반도체막 상방의 상기 절연막을 선택적으로 에칭하여 상기 절연막의 패턴을 형성하는 공정에서,

상기 절연막을 에칭할 때에 상기 반도체막을 에칭의 스톱퍼로 하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 6

제3항에 있어서,

상기 반도체막을 형성하기 전에, 상기 제1 및 제2 섬 형상 반도체막을 피복하는 절연막을 형성하는 공정을 갖고, 상기 제1 게이트 절연막은 상기 제1 섬 형상 반도체막을 피복하는 절연막과 상기 반도체막을 산화하여 이루어지는 절연막으로 이루어지며, 상기 제2 게이트 절연막은 상기 제2 섬 형상 반도체막을 피복하는 절연막과 상기 반도체막을 산화하여 이루어지는 절연막과 상기 절연막의 패턴으로 이루어지는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 7

기판 위에 제1 반도체막을 형성하는 공정과,

상기 제1 반도체막 위에 제1 절연막과 제2 반도체막과 제2 절연막을 이 순서대로 형성하는 공정과,

상기 제2 절연막을 선택적으로 에칭하여 상기 제2 절연막의 패턴을 형성하는 공정과,

상기 제2 반도체막을 선택적으로 에칭하여, 상기 제2 절연막의 패턴을 포함하지 않는 섬 형상의 제2 반도체막과, 상기 제2 절연막의 패턴을 포함하는 섬 형상의 제2 반도체막을 형성하는 공정과,

상기 제2 절연막의 패턴의 하부 및 그 밖의 부분의 섬 형상의 제2 반도체막을 산화함과 함께, 상기 섬 형상의 제2 반도체막으로 피복되어 있지 않은 영역의 제1 반도체막을 상기 제1 절연막을 개재하여 산화하여, 상기 제2 절연막의 패턴을 포함하지 않는 섬 형상의 제2 반도체막으로 피복되어 있는 영역에 상기 제1 반도체막으로 이루어지는 제1 섬 형상 반도체막을 형성하고, 상기 제2 절연막의 패턴을 포함하는 섬 형상의 제2 반도체막으로 피복되어 있는 영역에 상기 제1 반도체막으로 이루어지는 제2 섬 형상 반도체막을 형성함과 함께, 상기 제1 섬 형상 반도체막 위에 상기 제2 반도체막을 산화하여 이루어지는 절연막과 상기 제1 절연막으로 이루어지는 제1 게이트 절연막을 형성하고, 상기 제2 섬 형상 반도체막 위에 상기 제2 절연막의 패턴과 상기 제2 반도체막을 산화하여 이루어지는 절연막과 상기 제1 절연막으로 이루어지는 제2 게이트 절연막을 형성하는 공정과,

상기 제1 게이트 절연막 위에 제1 게이트 전극을 형성하고, 상기 제2 게이트 절연막 위에 제2 게이트 전극을 형성하는 공정

을 포함하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 제1 반도체막은 폴리실리콘막이고, 제2 반도체막은 비정질 실리콘막인 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 9

제7항에 있어서,

상기 제2 절연막을 선택적으로 에칭하여 상기 제2 절연막의 패턴을 형성하는 공정에서, 상기 제2 절연막을 에칭할 때에 상기 제2 반도체막을 에칭의 스톱퍼로 하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 10

제7항에 있어서,

상기 제2 반도체막을 선택적으로 에칭하여, 상기 제2 절연막의 패턴을 포함하지 않는 섬 형상의 제2 반도체막과, 상기 제2 절연막의 패턴을 포함하는 섬 형상의 제2 반도체막을 형성하는 공정에서,

상기 제2 반도체막을 선택적으로 에칭할 때 상기 제1 절연막을 에칭의 스톱퍼로 하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 11

채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제1 섬 형상 반도체막과, 상기 제1 섬 형상 반도체막의 상기 채널 영역 위에 형성된 제1 절연막으로 이루어지는 제1 게이트 절연막과, 상기 제1 게이트 절연막 위에 형성된 제1 도전체막으로 이루어지는 제1 게이트 전극으로 구성된 제1 박막 트랜지스터와,

채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제2 섬 형상 반도체막과, 상기 제2 섬 형상 반도체막의 상기 채널 영역 위에 형성된 상기 제1 절연막 및 상기 제1 절연막 위에 형성된 제2 절연막으로 이루어지는 제2 게이트 절연막과, 상기 제2 게이트 절연막 위에 형성된 제2 도전체막으로 이루어지는 제2 게이트 전극으로 구성된 제2 박막 트랜지스터를 동일한 기판 위에 갖고,

상기 제1 박막 트랜지스터는 상기 제1 섬 형상 반도체막의 측부의 엣지의 상방에서, 또한 제1 게이트 전극 위에 상기 제2 절연막을 개재하여 상기 제2 도전체막으로 이루어지는 전계 완화 전극을 갖고,

상기 제2 박막 트랜지스터는 상기 제2 게이트 전극 아래에서, 또한 상기 제2 섬 형상 반도체막의 측부의 엣지 위에 상기 제1 절연막을 개재하여 상기 제1 도전체막으로 이루어지는 전계 완화 전극을 갖는 것을 특징으로 하는 박막 트랜지스터 장치.

청구항 12

기판 위에 제1 및 제2 섬 형상 반도체막을 형성하는 공정과,

상기 제1 및 제2 섬 형상 반도체막을 피복하는 제1 절연막을 형성하는 공정과,

상기 제1 절연막의 전면에 제1 도전체막을 형성하고, 또한 상기 제1 도전체막을 선택적으로 에칭하여 상기 제1 섬 형상 반도체막의 상방의 제1 절연막 위에 제1 게이트 전극을 형성하는 공정과,

상기 제1 게이트 전극의 상부를 포함한 상기 제1 절연막의 전면에 제2 절연막과 제2 도전체막을 차례로 형성하는 공정과,

상기 제2 도전체막 위에 마스크 패턴을 형성하고, 그 마스크 패턴을 마스크로 하여 상기 제2 도전체막을 사이드 에칭하여 상기 마스크 패턴보다 폭이 좁은 제2 게이트 전극을 형성하는 공정과,

상기 마스크 패턴을 마스크로 하여 상기 제2 절연막을 이방성 에칭하고, 또한 상기 제1 게이트 전극 및 상기 마스크 패턴을 마스크로 하여 상기 제1 절연막을 이방성 에칭하여, 상기 제1 게이트 전극 아래에 상기 제1 절연막으로 이루어지는 제1 게이트 절연막을 형성함과 함께, 상기 제2 게이트 전극 아래에 상기 제1 및 제2 절연막으로 이루어지는 제2 게이트 절연막을 형성하는 공정과,

상기 마스크 패턴을 제거하는 공정과,

상기 제1 게이트 전극을 마스크로 하여 상기 제1 섬 형상 반도체막에 불순물을 이온 주입하여 상기 제1 게이트 전극의 양측에 고농도 불순물 영역을 형성하고, 상기 제2 게이트 전극 및 상기 제2 게이트 절연막을 마스크로 하여 상기 제2 섬 형상 반도체막에 불순물을 이온 주입하여, 상기 제2 게이트 전극의 양측에 한쌍의 고농도 불순물 영역을 형성하는 공정과,

상기 제2 게이트 전극을 마스크로 하고, 또한 상기 제2 게이트 전극의 주변부의 제2 게이트 절연막을 투과하는 조건에서 상기 제2 섬 형상 반도체막에 불순물을 이온 주입하여, 상기 제2 게이트 전극의 양측에서 상기 제2 게이트 절연막 아래에 상기 고농도 불순물 영역보다 불순물 농도가 낮은 한쌍의 저농도 불순물 영역을 형성하는 공정

을 포함하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 13

제12항에 있어서,

상기 마스크 패턴을 마스크로 하여 상기 제2 절연막을 이방성 에칭하고, 또한 상기 제1 게이트 전극 및 상기 마스크 패턴을 마스크로 하여 상기 제1 절연막을 이방성 에칭하는 공정에서,

상기 제1 및 제2 섬 형상 반도체막이 상기 제1 절연막으로 피복되도록, 상기 제1 절연막을 남기는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 14

제12항에 있어서,

상기 제1 절연막의 전면에서 제1 도전체막을 형성하고, 또한 상기 제1 도전체막을 선택적으로 에칭하여 상기 제1 섬 형상 반도체막의 상부의 제1 절연막 위에 제1 게이트 전극을 형성하는 공정에서,

제2 게이트 전극을 형성해야 할 영역에서, 또한 상기 제2 섬 형상 반도체막의 양측부의 엣지 위에 상기 제1 절연막을 개재하여 상기 제1 도전체막으로 이루어지는 전계 완화 전극을 형성하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 15

제12항에 있어서,

상기 제2 도전체막 위에 마스크 패턴을 형성하고, 그 마스크 패턴을 마스크로 하여 상기 제2 도전체막을 사이드 에칭하여 상기 마스크 패턴보다 폭이 좁은 제2 게이트 전극을 형성하는 공정에서,

상기 제1 섬 형상 반도체막의 양측부의 엣지의 상방에서, 또한 상기 제1 게이트 전극 위에 상기 제2 절연막을 개재하여 상기 제2 도전체막으로 이루어지는 전계 완화 전극을 형성하는 것을 특징으로 하는 박막 트랜지스터 장치의 제조 방법.

청구항 16

기관 위에 형성된 제1 박막 트랜지스터와, 제2 박막 트랜지스터와, 상기 제2 박막 트랜지스터의 소스/드레인 영역과 접속된 화소 전극과, 상기 화소 전극과 교차하는 축적 용량 버스 라인을 갖고,

상기 제1 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제1 섬 형상 반도체막과, 상기 제1 섬 형상 반도체막의 상기 채널 영역 위에 형성된 제1 절연막으로 이루어지는 제1 게이트 절연막과, 상기 제1 게이트 절연막 위에 형성된 제1 도전체막으로 이루어지는 제1 게이트 전극에 의해 구성되며,

상기 제2 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖고, 그 중 어느 하나가 상기 화소 전극과 접속한 제2 섬 형상 반도체막과, 상기 제2 섬 형상 반도체막의 상기 채널 영역 위에 형성된 상기 제1 절연막 및 상기 제1 절연막 위에 형성된 제2 절연막으로 이루어지는 제2 게이트 절연막과, 상기 제2 게이트 절연막 위에 형성된 제2 도전체막으로 이루어지는 제2 게이트 전극에 의해 구성되며,

상기 축적 용량 버스 라인은, 상기 제1 도전체막에 의해 구성되며, 상기 화소 전극 및 그 주변부를 포함하는 영역에서, 상기 축적 용량 버스 라인 위에 상기 제2 절연막과 상기 화소 전극과 접속된 제2 도전체막이 이 순서대로 적층되어 이루어지는 것을 특징으로 하는 액정 표시 장치.

청구항 17

기관 위에 형성된 제1 박막 트랜지스터와, 제2 박막 트랜지스터와, 상기 제2 박막 트랜지스터의 소스/드레인 영역의 어느 하나와 접속된 화소 전극과, 상기 화소 전극과 교차하는 축적 용량 버스 라인을 갖고,

상기 제1 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제1 섬 형상 반도체막과, 상기 제1 섬 형상 반도체막의 상기 채널 영역 위에 형성된 제1 절연막으로 이루어지는 제1 게이트 절연막과, 상기 제1 게이트 절연막 위에 형성된 제1 도전체막으로 이루어지는 제1 게이트 전극에 의해 구성되며,

상기 제2 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖고, 그 중 어느 하나가 상기 화소 전극과 접속한 제2 섬 형상 반도체막과, 상기 제2 섬 형상 반도체막의 상기 채널 영역 위에 형성된 상기 제1 절연막 및 상기 제1 절연막 위에 형성된 제2 절연막으로 이루어지는 제2 게이트 절연막과, 상기

제2 게이트 절연막 위에 형성된 제2 도전체막으로 이루어지는 제2 게이트 전극에 의해 구성되며, 상기 축적 용량 버스 라인은, 상기 제1 도전체막에 의해 구성되고, 상기 화소 전극 및 그 주변부를 포함하는 영역에서, 상기 축적 용량 버스 라인을 게이트 전극으로 하고, 상기 화소 전극과 접속된 소스/드레인 영역을 갖는 제3 섬 형상 반도체막과, 상기 제1 절연막으로 이루어지는 게이트 절연막을 갖는 제3 박막 트랜지스터를 포함하는 것을 특징으로 하는 액정 표시 장치.

청구항 18

제17항에 있어서,

상기 제1 및 제2 박막 트랜지스터는 n채널형이고, 상기 제3 박막 트랜지스터는 p채널형인 것을 특징으로 하는 액정 표시 장치.

청구항 19

제17항에 있어서,

상기 제1, 제2 및 제3 섬 형상 반도체막은 동일한 반도체막으로 이루어지는 것을 특징으로 하는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <29> 본 발명은, 박막 트랜지스터 장치, 그 제조 방법 및 액정 표시 장치에 관한 것으로, 보다 상세하게는, 액정 표시 장치 등의 절연성 기판 위에 형성되는 박막 트랜지스터 장치 및 그 제조 방법과 액정 표시 장치에 관한 것이다.
- <30> 액정 표시 장치는 경량, 박형, 저소비 전력 등의 특징을 갖고 있어, 휴대 단말기나 비디오 카메라의 파인더, 노트북 퍼스널 컴퓨터 등 폭넓은 분야에 응용되고 있다. 특히, 컴퓨터용 디스플레이 등 고품질이며 고정밀한 표시를 얻는 용도에, 박막 트랜지스터(이하, TFT로 칭함)를 스위칭 소자로 하는 액티브 매트릭스형 액정 표시 장치가 많이 이용되고 있다.
- <31> 액티브 매트릭스형 액정 표시 장치에서는, 높은 구동 능력 때문에 폴리실리콘막을 동작층으로 하는 TFT(이하, pSi-TFT로 칭함)가 이용되고 있다. 최근, 폴리실리콘의 성막 기술의 진보에 수반하여, 저비용화, 고기능화를 목적으로 하여, 표시 영역 내의 박막 트랜지스터(이하, 화소 TFT로 칭함)와, 표시 영역 밖의 주변 회로부의 TFT를 동일한 기판 위에 형성하는 검토가 행해지고 있다.
- <32> 화소 TFT는 액정 구동에 이용하기 위해 게이트나 드레인에 고전압을 인가할 필요가 있고, 게이트 전압이나 드레인 전압에 대하여 고내압인 것이 요구된다. 한편, 주변 회로부의 TFT는 저소비 전력으로 고속의 동작이 가능한 것이 요구된다.
- <33> 이것을 실현하기 위해, 특개평10-170953호 공보 등에는, 게이트 절연막을 두껍게 한 화소 TFT와, 게이트 절연막을 얇게 한 주변 회로부의 TFT를 동일한 기판 위에 설치한 예가 제안되어 있다.
- <34> 도 1에, 동일 기판 위에 형성된 화소 TFT와 주변 회로부의 TFT에서, 게이트 절연막의 막 두께가 다른 액정 표시 장치의 단면 구조를 도시한다. 또한, 주변 회로부의 TFT에서도 고전압이 걸리는 경우가 있어, 화소 TFT와 동일한 구조가 채용된다.
- <35> 상기한 액정 표시 장치의 제조 방법에서는, 폴리실리콘막으로 이루어지는 섬 형상 반도체막(4a, 4b) 위에 실리콘 산화막으로 이루어지는 게이트 절연막을 형성한다. 그 때에, 후막부와 박막부에서 절연막의 적층 수를 변화시켜 막 두께의 조정을 행하고 있다. 구체적으로는, 이하와 같이, 다층의 절연막을 순차적으로 형성하고, 또한 불필요한 절연막을 에칭한다.
- <36> 즉, 기판 전면에서 제1 절연막을 성막한다. 계속해서, 에칭에 의해 후막부의 TFT의 형성 영역에는 제1 절연막

(5)을 남기고, 그 밖의 영역에서는 제거한다.

- <37> 계속해서, 전면에 제2 절연막과 금속막을 이 순서로 성막한다. 계속해서, 금속막을 패터닝한다. 이에 의해, 박막부의 TFT의 형성 영역에서, 제2 절연막(6a) 위에 제1 게이트 전극(7a)을 형성한다. 또한, 후막부의 TFT의 형성 영역에서 제1 절연막(5)과 제2 절연막(6b)의 적층 구조 위에 제2 게이트 전극(7b)을 형성한다. 그 결과, 박막부의 TFT의 형성 영역에서, 제1 게이트 전극(7a) 아래에 제2 절연막(6a)의 단층 구조로 이루어지는 제1 게이트 절연막이 형성된다. 또한, 후막부의 TFT의 형성 영역에서 제2 게이트 전극(7b) 아래에 제1 및 제2 절연막(5, 6b)의 2층 구조로 이루어지는 제2 게이트 절연막이 형성된다.
- <38> 또한, 후막부의 TFT에서는, 일반적으로, 핫 캐리어에 의한 온 특성의 열화를 억제하여, 오프 전류를 저감한다. 그 때문에, 그 구조는, 도 5에 도시한 바와 같이, 게이트 전극(75) 아래의 채널 영역(4be)과 고농도 불순물 영역(4ba, 4bb)의 인접 영역에 저농도 불순물 영역(4bc, 4bd)이 형성된 LDD(Lightly Doped Drain) 구조를 갖고 있다. 위에서 보았을 때, 채널 영역(4be)과 저농도 불순물 영역(4bc, 4bd)과의 경계는, 게이트 전극(75)의 엣지의 거의 바로 아래에 위치하고 있다. 또한, 저농도 불순물 영역(4bc, 4bd)에 대응하는 영역을 불순물을 도입하지 않은 오프셋 영역으로 하는 경우도 있다.
- <39> 박막부에서 통상의 TFT를 형성하고, 또한 후막부에서 LDD 구조를 갖는 TFT를 형성한다. 이 때문에, 도 6a에 도시한 바와 같이, 우선, 박막부의 TFT의 형성 영역에서 제1 절연막(71) 위에 제1 게이트 전극(72)을 형성한다. 계속해서, 후막부의 TFT의 형성 영역에서 게이트 전극의 형성 영역보다 편측에서 LDD 영역분만큼 폭이 넓은 레지스트 마스크(73a)로 피복한다. 계속해서, 제1 게이트 전극(72)과 레지스트 마스크(73a)를 마스크로 하여 이온 주입한다. 이에 의해, 제1 게이트 전극(72)의 양측의 섬 형상 반도체막(4a) 내에 고농도 불순물 영역(4aa, 4ab)을 형성한다. 또한, 레지스트 마스크(73a)의 양측의 섬 형상 반도체막(4b) 내에 고농도 불순물 영역(4ba, 4bb)을 형성한다.
- <40> 계속해서, 레지스트 마스크(73a)를 제거한 후, 도 6b에 도시한 바와 같이, 후막부의 TFT의 형성 영역에서, 레지스트 마스크(73a)가 형성되어 있던 영역보다 좁은 영역에 새로운 레지스트 마스크(73b)를 형성한다. 계속해서, 레지스트 마스크(73b)에 기초하여 이온 주입한다. 이에 의해, 레지스트 마스크(73b)의 엣지로부터 고농도 불순물 영역(4ba, 4bb)의 엣지 사이의 영역에 저농도 불순물 영역(4bc, 4bd)을 형성한다. 또한, 저농도 불순물 영역(4bc, 4bd) 사이에 개재된 영역이 채널 영역(4be)으로 된다.
- <41> 다음으로, 제1 게이트 전극(72)과 레지스트 마스크(73b)를 마스크로 하여 제1 절연막(71)을 에칭한다. 이에 의해, 도 5에 도시한 바와 같이, 제1 게이트 전극(72) 아래에 제1 게이트 절연막(71a)을 형성하고, 레지스트 마스크(73b) 아래에 제1 절연막(71b)을 남긴다. 계속해서, 레지스트 마스크(73b)를 제거한 후, 전면에 제2 절연막과 금속막을 형성한다.
- <42> 계속해서, 금속막을 패터닝한다. 이에 의해, 도 5에 도시한 바와 같이, 후막부의 TFT의 형성 영역에서 채널 영역(4be)의 상방에 제2 게이트 전극(75)을 형성한다. 계속해서, 제2 게이트 전극(75)을 마스크로 하여 제2 절연막을 에칭하여 제2 절연막(74a)을 남긴다. 이에 의해, 제2 게이트 전극(75) 아래에 제1 및 제2 절연막(71b, 74a)으로 이루어지는 2층 구조의 제2 게이트 절연막이 형성된다.
- <43> 이후, 통상의 공정을 거쳐, 도 5에 도시한 박막 트랜지스터 장치를 작성할 수 있다. 또한, 도 5에서, 참조 부호 76은 제1 층간 절연막, 참조 부호 76a 내지 76d는 콘택트홀, 참조 부호 77a 내지 77d는 소스/드레인 전극, 참조 부호 78은 제2 층간 절연막이다.

발명이 이루고자 하는 기술적 과제

- <44> 그러나, 도 1에 도시한 종래의 제조 방법에서는, 도 2에 도시한 바와 같이, 드라이 에칭법으로 제1 절연막(5)을 에칭한다. 이 경우, 특히 박막부의 TFT의 형성 영역의 섬 형상 반도체막(4a)의 표면, 특히 채널 영역의 표면이 에칭 가스의 플라스마에 노출된다. 이 때문에, 섬 형상 반도체막(4a)의 표면에 손상층(13)이 생겨, 박막부의 TFT의 특성이 후막부의 TFT의 특성에 비해 열화되는 문제가 있었다.
- <45> 한편, 도 3a에 도시한 바와 같이, 불산 등을 이용한 웨트 에칭법으로 제1 절연막(5)을 에칭한다. 이 경우, 섬 형상 반도체막(4a, 4b)의 하층의 기초 실리콘 산화막(3)과의 에칭 선택비를 취하는 것이 곤란하기 때문에, 오버 에칭 시에 기초 실리콘 산화막(3)도 에칭되게 된다. 이 때문에, 섬 형상 반도체막(4a, 4b)의 엣지부 아래의 실리콘 산화막(3)에 「깎인 부분(scraped portion)(14)」이 생긴다.
- <46> 이것을 피하기 위해, 도 3b에 도시한 바와 같이, 그 후 제2 절연막(6) 및 게이트 전극으로 되는 금속막(7)을 형

성하고, 계속해서, 도 4a, 도 4b에 도시한 바와 같이, 레지스트 마스크(9c)에 의해 패터닝하여 게이트 전극(7a)을 형성한다. 이와 같이 하면, 박막부의 TFT의 게이트 절연막은 제2 절연막(6a)만으로 얇아지기 때문에, 섬 형상 반도체막(4a)의 엣지부의 각인 부분에서 제2 절연막(6a)에 크랙이 발생하기 쉬워진다. 따라서, 박막부의 TFT의 게이트 내압이 극단적으로 열화되는 문제가 있었다.

- <47> 또한, 섬 형상 반도체막(4a)의 엣지부는 에칭에 의해 테이퍼되어 선단이 예각으로 되어 있다. 이 때문에, 섬 형상 반도체막(4a)의 엣지부에 각인 부분이 생기지 않아도, 특히 박막부의 TFT에서는, 게이트 전압을 인가하면 전계의 집중이 발생한다. 이 때문에, 소위 기생 TFT가 정규보다 빠르게 동작하게 되는 문제가 있었다.
- <48> 또한, 이들을 방지하기 위해, 박막부의 TFT의 섬 형상 반도체막(4a)의 엣지부만을 피복하는 구조를 채용하고 있다. 이 구조는, 일반적으로 기관(1) 상면으로부터의 마스크 노광에 의해 형성한다. 이 경우, 마스크 정밀도나 위치 정렬 정밀도의 마진을 확보하는 점에서, 섬 형상 반도체막(4a, 4b)의 폭을 크게 할 필요가 있다. 따라서, TFT의 미세화에 한계가 발생하게 된다.
- <49> 또한, 도 6a, 도 6b에 도시한 종래의 제조 방법에서는, 미세화가 진전되고 있다. 이 때문에, LDD 구조를 형성할 때, 고농도 불순물 영역(4ba, 4bb)과 저농도 불순물 영역(4bc, 4bd)과 게이트 전극(75)을 상호의 배치를 유지한 채로 형성하는 것이 곤란해지고 있다. 이것은, 미세화의 저해 요인이 되고 있다.
- <50> 또한, 도 5에 도시한 게이트 절연막을 구성하는 다층의 절연막(71b, 74a)을 각각 별개의 공정에서 에칭하고 있다. 이 때문에 시간이 걸리므로, 공정의 간략화가 요망되고 있다.
- <51> 본 발명은, 첫번째로, 게이트 절연막의 막 두께가 서로 다른 TFT를 동일 기관 위에 갖고, 후막부의 TFT를 LDD 구조로 하는 박막 트랜지스터 장치로서, 특성이나 내압의 열화를 방지하여, 동작층의 엣지부에서의 기생 TFT의 동작을 억제할 수 있는 박막 트랜지스터 장치를 제공하는 것을 목적으로 한다.
- <52> 두번째로, 공정의 간략화를 도모하고, 또한 한층 더한 미세화를 도모하면서 그와 같은 박막 트랜지스터 장치를 형성하는 것이 가능한 박막 트랜지스터 장치의 제조 방법을 제공하는 것을 목적으로 한다.
- <53> 세번째로, 상기한 박막 트랜지스터 장치를 이용한 액정 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <54> 본 발명의 박막 트랜지스터 장치의 제조 방법은, 투명 기관의 표면에 제1 및 제2 섬 형상 반도체막을 형성하는 공정과, 상기 제1 및 제2 섬 형상 반도체막을 피복하는 제1 절연막을 형성하는 공정과, 상기 제1 절연막 위에 네거티브 포토레지스트막을 형성하는 공정과, 상기 제1 섬 형상 반도체막의 전역을 차광하는 마스크를 개재하여 상기 네거티브 포토레지스트막을 노광하는 공정과, 상기 투명 기관의 이면측으로부터 상기 네거티브 포토레지스트막을 노광하는 공정과, 상기 네거티브 포토레지스트막을 현상하여 상기 제1 섬 형상 반도체막의 주연부로부터 내측의 표면에 개구부를 갖는 레지스트 패턴을 형성하는 공정과, 상기 레지스트 패턴의 개구부 내의 상기 제1 절연막을 에칭하는 공정과, 상기 레지스트 패턴을 제거하는 공정과, 상기 투명 기관의 표면측 전면에 제2 절연막을 형성하고, 다시 그 위에 도전체막을 형성하는 공정과, 상기 제1 섬 형상 반도체막 상방의 도전체막 위에 제1 마스크 패턴을 형성하고, 상기 제2 섬 형상 반도체막 상방의 도전체막 위에 제2 마스크 패턴을 형성하는 공정과, 상기 제1 마스크 패턴을 마스크로 하여 상기 도전체막을 에칭하여 제1 게이트 전극을 형성하고, 상기 제2 마스크 패턴을 마스크로 하여 상기 도전체막을 에칭하여 제2 게이트 전극을 형성하는 공정을 포함하는 것을 특징으로 한다.
- <55> 본 발명에서는, 얇은 막 두께의 제1 게이트 절연막을 갖는 박막 트랜지스터의 형성 영역에서, 제1 게이트 절연막을 형성하기 전에, 제1 절연막으로 제1 섬 형상 반도체막의 주연부를 피복하고 있다. 따라서, 제1 절연막 위에 제1 게이트 절연막이 되는 제2 절연막과 제1 게이트 전극이 되는 도전체막을 적층하면, 제1 게이트 전극 아래의 제1 섬 형상 반도체막의 주연부는 제2 절연막 이외에 제1 절연막으로 피복된다. 이 때문에, 제1 섬 형상 반도체막의 주연부에서 게이트 전압 인가 시의 전계 집중이 완화되어 기생 박막 트랜지스터가 동작하는 것을 방지할 수 있다.
- <56> 또한, 얇은 막 두께의 제1 게이트 절연막을 갖는 박막 트랜지스터의 형성 영역에서, 제1 섬 형상 반도체막의 상방의 네거티브 포토레지스트막의 미노광 영역에 대하여, 제1 섬 형상 반도체막을 마스크로 하여 투명 기관의 이면으로부터 노광광을 조사한다. 따라서, 제1 섬 형상 반도체막의 주연부로부터 광이 회절하는 범위에서 자기정합적으로 그 미노광 영역이 노광된다. 이 때문에, 매우 양호한 정밀도로 제1 섬 형상 반도체막의 주연부를 제1 절연막으로 피복할 수 있다. 이에 의해, 제1 섬 형상 반도체막의 채널 폭 방향의 치수 마진을 최소로 할

수 있다. 따라서, 박막 트랜지스터의 미세화가 가능하다.

- <57> 본 발명의 박막 트랜지스터 장치의 제조 방법은, 기판 위에 제1 및 제2 섬 형상 반도체막을 형성하는 공정과, 상기 제1 및 제2 섬 형상 반도체막을 피복하는 반도체막을 형성하고, 다시 상기 반도체막 위에 절연막을 형성하는 공정과, 상기 제2 섬 형상 반도체막 상방의 상기 절연막을 선택적으로 에칭하여 상기 절연막의 패턴을 형성하는 공정과, 상기 절연막의 패턴의 하부 및 그 밖의 부분의 반도체막을 산화하여, 상기 제1 섬 형상 반도체막 위에 상기 반도체막을 산화하여 이루어지는 절연막으로 이루어지는 제1 게이트 절연막을 형성하고, 상기 제2 섬 형상 반도체막 위에 상기 반도체막을 산화하여 이루어지는 절연막과 상기 절연막의 패턴으로 이루어지는 제2 게이트 절연막을 형성하는 공정과, 상기 제1 게이트 절연막 위에 제1 게이트 전극을 형성하고, 상기 제2 게이트 절연막 위에 제2 게이트 전극을 형성하는 공정을 포함하는 것을 특징으로 한다.
- <58> 본 발명에 따르면, 반도체막 위의 절연막을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막을 형성할 때에, 기초의 반도체막에 의해 제1 섬 형상 반도체막이 보호된다. 따라서, 제1 섬 형상 반도체막의 채널 영역이 절연막의 에칭 가스의 플라즈마에 노출되지 않는다. 이 때문에, 얇은 막 두께의 제1 게이트 절연막을 갖는 박막 트랜지스터의 특성이 열화되는 것을 방지하여, 두꺼운 막 두께의 제2 게이트 절연막을 갖는 박막 트랜지스터 및 얇은 막 두께의 제1 게이트 절연막을 갖는 박막 트랜지스터 모두 양호한 특성을 확보할 수 있다.
- <59> 또한, 제1 및 제2 섬 형상 반도체막의 기초의 기판도 반도체막에 의해 보호되어 있다. 이 때문에, 기판 표면에 절연막이 형성되어 있는 경우, 제1 및 제2 섬 형상 반도체막의 단부에서 기판 표면의 절연막이 에칭되는 것에 의한 「깍인 부분」도 생기지 않는다.
- <60> 또한, 반도체막 위의 절연막을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막을 형성할 때에, 절연막의 에칭에 대하여 반도체막은 에칭 내성을 갖기 때문에 막 두께 감소가 발생하지 않는다. 본 실시예에서는, 반도체막을 산화하여 제1 게이트 절연막을 형성하고 있기 때문에, 제1 게이트 절연막의 막 두께를 양호한 정밀도로, 또한 용이하게 제어하는 것이 가능하다.
- <61> 본 발명의 박막 트랜지스터 장치의 제조 방법은, 이하의 공정을 갖는 것을 특징으로 한다. 기판 위에 제1 반도체막을 형성하는 공정과, 상기 제1 반도체막 위에 제1 절연막과 제2 반도체막과 제2 절연막을 이 순서대로 형성하는 공정과, 상기 제2 절연막을 선택적으로 에칭하여 상기 제2 절연막의 패턴을 형성하는 공정과, 상기 제2 반도체막을 선택적으로 에칭하여, 상기 제2 절연막의 패턴을 포함하지 않는 섬 형상의 제2 반도체막과, 상기 제2 절연막의 패턴을 포함하는 섬 형상의 제2 반도체막을 형성하는 공정을 포함한다. 또한, 상기 제2 절연막의 패턴의 하부 및 그 밖의 부분의 섬 형상의 제2 반도체막을 산화함과 함께, 상기 섬 형상의 제2 반도체막으로 피복되어 있지 않은 영역의 제1 반도체막을 상기 제1 절연막을 개재하여 산화한다. 이에 의해, 상기 제2 절연막의 패턴을 포함하지 않는 섬 형상의 제2 반도체막으로 피복되어 있던 영역에 상기 제1 반도체막으로 이루어지는 제1 섬 형상 반도체막을 형성하고, 상기 제2 절연막의 패턴을 포함하는 섬 형상의 제2 반도체막으로 피복되어 있던 영역에 상기 제1 반도체막으로 이루어지는 제2 섬 형상 반도체막을 형성한다. 또한, 상기 제1 섬 형상 반도체막 위에 상기 제2 반도체막을 산화하여 이루어지는 절연막과 상기 제1 절연막으로 이루어지는 제1 게이트 절연막을 형성하고, 상기 제2 섬 형상 반도체막 위에 상기 제2 절연막의 패턴과 상기 제2의 반도체막을 산화하여 이루어지는 절연막과 상기 제1 절연막으로 이루어지는 제2 게이트 절연막을 형성하는 공정을 포함한다. 또한, 상기 제1 게이트 절연막 위에 제1 게이트 전극을 형성하고, 상기 제2 게이트 절연막 위에 제2 게이트 전극을 형성하는 공정을 포함하는 것을 특징으로 한다.
- <62> 본 발명에 따르면, 제2 반도체막 상의 제2 절연막을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막을 형성할 때에, 기초의 제2 반도체막에 의해 제1 섬 형상 반도체막이 보호되기 때문에, 제1 섬 형상 반도체막의 채널 영역이 제2 절연막의 에칭 가스의 플라즈마에 노출되지 않는다. 이 때문에, 얇은 막 두께의 제1 게이트 절연막을 갖는 박막 트랜지스터의 특성이 열화되는 것을 방지할 수 있다. 이에 의해, 막 두께가 두꺼운 제2 게이트 절연막을 갖는 박막 트랜지스터 및 막 두께가 얇은 제1 게이트 절연막을 갖는 박막 트랜지스터 모두 양호한 특성을 확보할 수 있다.
- <63> 또한, 제2 게이트 절연막 중 두꺼운 절연막으로 되는, 제2 반도체막 위의 제2 절연막을 에칭한 후에, 제2 반도체막을 산화함과 함께, 제2 반도체막 아래의 제1 반도체막을 선택적으로 산화하여 제1 및 제2 섬 형상 반도체막을 형성하고 있다. 이와 같이, 기초의 기판 표면은 절연막의 에칭 가스 등에 노출되지 않기 때문에, 제1 및 제2 섬 형상 반도체막의 단부에서 소위 「깍인 부분」이 생기지 않는다.
- <64> 또한, 제2 절연막을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막을 형성할 때에, 제2 절연막의 에칭에

대하여 제2 반도체막은 에칭 내성을 갖기 때문에 막 두께가 감소되지 않는다. 본 실시예에서는, 제2 반도체막을 산화하여 이루어지는 절연막과 제1 절연막에 의해 제1 게이트 절연막을 형성하고 있기 때문에, 제1 게이트 절연막의 막 두께를 양호한 정밀도로, 또한 용이하게 제어하는 것이 가능하다.

<65> 본 발명의 박막 트랜지스터 장치는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제1 섬 형상 반도체막과, 상기 제1 섬 형상 반도체막의 상기 채널 영역 위에 형성된 제1 절연막으로 이루어지는 제1 게이트 절연막과, 상기 제1 게이트 절연막 위에 형성된 제1 도전체막으로 이루어지는 제1 게이트 전극으로 구성된 제1 박막 트랜지스터와, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제2 섬 형상 반도체막과, 상기 제2 섬 형상 반도체막의 상기 채널 영역 위에 형성된 상기 제1 절연막 및 제2 절연막으로 이루어지는 제2 게이트 절연막과, 상기 제2 게이트 절연막 위에 형성된 제2 도전체막으로 이루어지는 제2 게이트 전극으로 구성된 제2 박막 트랜지스터를 동일한 기판 위에 갖고, 상기 제1 박막 트랜지스터는 상기 제1 섬 형상 반도체막의 양측부의 엣지의 상방에서, 또한 제1 게이트 전극 위에 상기 제2 절연막을 개재하여 상기 제2 도전체막으로 이루어지는 전계 완화 전극을 갖고, 상기 제2 박막 트랜지스터는 상기 제2 게이트 전극 아래에서, 또한 상기 제2 섬 형상 반도체막의 양측부의 엣지 위에 상기 제1 절연막을 개재하여 상기 제1 도전체막으로 이루어지는 전계 완화 전극을 갖는 것을 특징으로 한다.

<66> 본 발명에 따르면, 제1 박막 트랜지스터에서는, 제1 섬 형상 반도체막의 양측부의 엣지의 상방에서, 또한 제1 게이트 전극 위에, 제2 절연막을 개재하여 전계 완화 전극을 갖고 있다. 따라서, 이 부분의 기생 용량은, 제1 섬 형상 반도체막과 제1 절연막과 제1 게이트 전극으로 형성되는 용량에 대하여, 제1 게이트 전극과 제2 절연막과 전계 완화 전극으로 형성되는 정전 용량분만큼 커진다. 이 때문에, 박막 트랜지스터의 게이트를 교류로 구동하는 경우, 제1 섬 형상 반도체막의 양측부의 엣지 부분에 걸리는 게이트 전위는 느리게 상승한다. 따라서, 제1 섬 형상 반도체막의 양측부의 엣지부의 기생 트랜지스터가 동작하는 것을 억제할 수 있다.

<67> 또한, 제2 박막 트랜지스터에서는, 제2 게이트 전극 아래에서, 또한 제2 섬 형상 반도체막의 양측부의 엣지 위에 제1 절연막을 개재하여 전계 완화 전극을 갖고 있다. 따라서, 전계 완화 전극의 전위를 제2 섬 형상 반도체막의 양측부의 엣지부의 채널이 도통하지 않는 전위로 설정해 둬으로써, 제2 섬 형상 반도체막의 양측부의 엣지부의 채널이 도통하는 것을 억제하고, 또한, 제2 게이트 전극으로부터의 전계의 영향을 실드하여, 기생 트랜지스터가 온하는 것을 억제할 수 있다.

<68> 본 발명의 박막 트랜지스터 장치의 제조 방법은, 기판 위에 제1 및 제2 섬 형상 반도체막을 형성하는 공정과, 상기 제1 및 제2 섬 형상 반도체막을 피복하는 제1 절연막을 형성하는 공정과, 전면에서 제1 도전체막을 형성하고, 또한 상기 제1 도전체막을 선택적으로 에칭하여 상기 제1 섬 형상 반도체막의 상방의 제1 절연막 위에 제1 게이트 전극을 형성하는 공정과, 전면에서 제2 절연막과 제2 도전체막을 이 순서대로 형성하는 공정과, 상기 제2 도전체막 위에 마스크 패턴을 형성하고, 상기 마스크 패턴을 마스크로 하여 상기 제2 도전체막을 사이드 에칭하여 상기 마스크 패턴보다 폭이 좁은 제2 게이트 전극을 형성하는 공정과, 상기 마스크 패턴을 마스크로 하여 상기 제2 절연막을 이방성 에칭하고, 또한 상기 제1 게이트 전극 및 상기 마스크 패턴을 마스크로 하여 상기 제1 절연막을 이방성 에칭하여, 상기 제1 게이트 전극 아래에 상기 제1 절연막으로 이루어지는 제1 게이트 절연막을 형성함과 함께, 상기 제2 게이트 전극 아래에 상기 제1 및 제2 절연막으로 이루어지는 제2 게이트 절연막을 형성하는 공정과, 상기 마스크 패턴을 제거하는 공정과, 상기 제1 게이트 전극을 마스크로 하여 상기 제1 섬 형상 반도체막에 불순물을 이온 주입하여 상기 제1 게이트 전극의 양측에 고농도 불순물 영역을 형성하고, 상기 제2 게이트 전극 및 상기 제2 게이트 절연막을 마스크로 하여 상기 제2 섬 형상 반도체막에 불순물을 이온 주입하여, 상기 제2 게이트 전극의 양측에 한쌍의 고농도 불순물 영역을 형성하는 공정과, 상기 제2 게이트 전극을 마스크로 하고, 또한 상기 제2 게이트 전극의 주변부의 제2 게이트 절연막을 투과하는 조건에서 상기 제2 섬 형상 반도체막에 불순물을 이온 주입하여, 상기 제2 게이트 전극의 양측에서 상기 제2 게이트 절연막 아래에 한쌍의 저농도 불순물 영역을 형성하는 공정을 포함하는 것을 특징으로 한다.

<69> 본 발명에 따르면, 마스크 패턴에 기초하여, 제2 도전체막을 사이드 에칭하여, 마스크 패턴보다 폭이 좁은 제2 게이트 전극을 형성하고 있다. 또한, 동일한 마스크 패턴에 기초하여, 제1 및 제2 절연막을 이방성 에칭하여 제2 게이트 전극보다 폭이 넓은 제2 게이트 절연막을 형성하고 있다. 그리고, 제2 게이트 전극 및 제2 게이트 절연막을 투과하지 않도록 하는 조건에서 이온 주입하여 고농도 불순물 영역을 형성하고 있다. 또한 제2 게이트 전극을 투과하지 않고, 또한 제2 게이트 절연막을 투과하는 조건에서 이온 주입하여, 제2 섬 형상 반도체막에 저농도 불순물 영역을 형성하고 있다. 이에 의해, 제2 게이트 전극 아래의 채널 영역을 사이에 두고 채널 영역 부근으로부터 저농도 불순물 영역과 고농도 불순물 영역이 제2 섬 형상 반도체막에 형성된다.

- <70> 따라서, 사이드 에칭의 폭이 LDD 영역으로서 필요한 폭이 되도록 조정함으로써, 노광용 마스크를 증가시키지 않고서, 게이트 전극이나 게이트 절연막을 이용하여 자기 정합적으로 LDD 구조를 형성할 수 있다.
- <71> 또한, 막 두께가 서로 다른 제1 및 제2 게이트 절연막을 한번의 에칭에 의해 형성할 수 있기 때문에, 공정의 간략화를 도모할 수 있다. 이 경우, 제1 및 제2 섬 형상 반도체막의 채널 영역은 서로 에칭 가스의 플라즈마에 노출되지 않기 때문에, 제1 및 제2 섬 형상 반도체막의 채널 영역 표면에 손상층이 발생하는 것을 방지할 수 있다.
- <72> 본 발명의 액정 표시 장치는, 기판 위에 형성된 제1 박막 트랜지스터와, 제2 박막 트랜지스터와, 상기 제2 박막 트랜지스터의 소스/드레인 영역과 접속된 화소 전극과, 상기 화소 전극과 교차하는 축적 용량 버스 라인을 갖고, 상기 제1 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제1 섬 형상 반도체막과, 상기 제1 섬 형상 반도체막의 상기 채널 영역 위에 형성된 제1 절연막으로 이루어지는 제1 게이트 절연막과, 상기 제1 게이트 절연막 위에 형성된 제1 도전체막으로 이루어지는 제1 게이트 전극에 의해 구성되며, 상기 제2 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖고, 그 중 어느 하나가 상기 화소 전극과 접속한 제2 섬 형상 반도체막과, 상기 제2 섬 형상 반도체막의 상기 채널 영역 위에 형성된 상기 제1 절연막 및 제2 절연막으로 이루어지는 제2 게이트 절연막과, 상기 제2 게이트 절연막 위에 형성된 제2 도전체막으로 이루어지는 제2 게이트 전극에 의해 구성되며, 상기 축적 용량 버스 라인은, 상기 제1 도전체막에 의해 구성되며, 그 일부 영역에서, 상기 축적 용량 버스 라인 위에 상기 제2 절연막과 상기 화소 전극과 접속된 제2 도전체막이 이 순서대로 적층되어 이루어지는 것을 특징으로 한다.
- <73> 본 발명에 따르면, 제1 박막 트랜지스터의 제1 게이트 전극과 동일한 재료의 표시부의 축적 용량 버스 라인을 갖고, 축적 용량 버스 라인 위에 제2 절연막과 화소 전극과 접속된 제2 도전체막이 이 순서대로 적층되어 이루어진다. 다시 말하면, 축적 용량 버스 라인을 한쪽의 전극으로 하고, 제2 게이트 절연막 중 제2 절연막과 동일한 재료의 절연막을 용량 절연막으로 하며, 제2 게이트 전극과 동일한 재료의 제2 도전체막을 다른쪽의 전극으로 하는 용량 소자가 형성된다.
- <74> 이에 의해, 게이트 절연막은 통상 얇게 형성되기 때문에, ITO막을 다른쪽의 전극으로 하고, 층간 절연막을 용량 절연막으로 하는 용량 소자보다, 단위 면적당 높은 용량값의 용량 소자를 얻을 수 있다. 이에 의해, 축적 용량을 형성하기 위해 필요한 축적 용량 버스 라인의 면적, 즉 차광 영역을 줄일 수 있기 때문에, 개구율을 향상시킬 수 있다.
- <75> 본 발명의 액정 표시 장치는, 기판 위에 형성된 제1 박막 트랜지스터와, 제2 박막 트랜지스터와, 상기 제2 박막 트랜지스터의 소스/드레인 영역과 접속된 화소 전극과, 상기 화소 전극과 교차하는 축적 용량 버스 라인을 갖고, 상기 제1 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖는 제1 섬 형상 반도체막과, 상기 제1 섬 형상 반도체막의 상기 채널 영역 위에 형성된 제1 절연막으로 이루어지는 제1 게이트 절연막과, 상기 제1 게이트 절연막 위에 형성된 제1 도전체막으로 이루어지는 제1 게이트 전극에 의해 구성되며, 상기 제2 박막 트랜지스터는, 채널 영역을 사이에 두고 형성된 한쌍의 소스/드레인 영역을 갖고, 그 중 어느 하나가 상기 화소 전극과 접속한 제2 섬 형상 반도체막과, 상기 제2 섬 형상 반도체막의 상기 채널 영역 위에 형성된 상기 제1 절연막 및 제2 절연막으로 이루어지는 제2 게이트 절연막과, 상기 제2 게이트 절연막 위에 형성된 제2 도전체막으로 이루어지는 제2 게이트 전극에 의해 구성되며, 상기 축적 용량 버스 라인은, 상기 제1 도전체막에 의해 구성되고, 그 일부 영역에서, 상기 축적 용량 버스 라인을 게이트 전극으로 하고, 상기 화소 전극과 접속된 소스/드레인 영역을 갖는 제3 섬 형상 반도체막과, 상기 제1 절연막으로 이루어지는 게이트 절연막을 갖는 제3 박막 트랜지스터를 포함하는 것을 특징으로 한다.
- <76> 본 발명에 따르면, 축적 용량 버스 라인은, 제1 게이트 전극과 동일한 재료인 제1 도전체막에 의해 구성되고, 그 일부 영역에서, 축적 용량 버스 라인을 게이트 전극으로 하는 제3 박막 트랜지스터를 구비하고 있다. 제3 박막 트랜지스터는, 또한, 화소 전극과 접속된 소스/드레인 영역을 갖는 제3 섬 형상 반도체막과, 제2 게이트 절연막 중 제1 절연막과 동일한 재료의 절연막으로 이루어지는 게이트 절연막을 갖고 있다.
- <77> 채널이 항상 도통하도록 한 게이트 전압을 게이트 전극에 인가함으로써, 제3 섬 형상 반도체막은 저저항의 전극으로 될 수 있다. 따라서, 축적 용량 버스 라인을 한쪽의 전극으로 하고, 제1 절연막을 용량 절연막으로 하며, 제3 섬 형상 반도체막을 다른쪽의 전극으로 하는 축적 용량 소자가 형성된다.
- <78> 이에 의해, 게이트 절연막은 통상 얇게 형성되기 때문에, ITO막을 다른쪽의 전극으로 하고, 층간 절연막을 용량 절연막으로 하는 축적 용량 소자보다, 단위 면적당 높은 용량값의 축적 용량 소자를 얻을 수 있다. 이에 의해,

축적 용량을 형성하기 위해 필요한 축적 용량 버스 라인의 면적, 즉 차광 영역을 줄일 수 있기 때문에, 개구율을 향상시킬 수 있다.

- <79> 이하, 본 발명의 실시예에 대하여 도면을 참조하여 설명한다.
- <80> (제1 실시예)
- <81> (박막 트랜지스터 장치의 구조)
- <82> 도 7은 본 발명의 제1 실시예인 박막 트랜지스터 장치(투과형 액정 표시 장치)의 구성을 도시하는 블록도이다. 도 8은 표시부의 일 화소의 구성을 도시하는 평면도이다. 단, 이하의 예에서는 XGA(1024×768픽셀) 모드의 액정 표시 장치에 대하여 설명한다. 1개의 픽셀은 R(적색), G(녹색) 및 B(청색)의 3개의 화소로 구성된다.
- <83> 본 실시예의 액정 표시 장치는, 제어 회로(101), 데이터 드라이버(102), 게이트 드라이버(103) 및 표시부(104)로 구성되어 있다. 이 액정 표시 장치에는, 컴퓨터 등의 외부 장치(도시 생략)로부터 표시 신호 RGB, 수평 동기 신호 Hsync 및 수직 동기 신호 Vsync 등의 신호가 공급된다. 전원(도시 생략)으로부터 고전압 V_H (18V), 저전압 V_L (3.3V 또는 5V) 및 접지 전위 V_{gnd} 가 공급된다.
- <84> 표시부(104)에는, 수평 방향으로 3072(1024×RGB)개, 수직 방향으로 768개의 화소가 배열되어 있다. 각 화소는, n채널형의 TFT(이하, n형 TFT로 칭함. 특별히 언급하지 않는 한 TFT의 기재는 n형 TFT를 함함)(105)와, 이 TFT(105)의 소스 전극에 접속된 표시 셀(액정 셀)(106) 및 축적 용량(107)에 의해 구성되어 있다.
- <85> 표시 셀(106)은, TFT(105)의 소스 전극과 접속된 화소 전극(110)을 한쪽의 전극으로 하고, CF 기판 위의 전극(도시 생략)을 다른쪽의 전극으로 하는 한쌍의 전극과, 이들 전극간의 액정(도시 생략)에 의해 구성된다.
- <86> 또한, 표시부(104)에는, 수직 방향으로 연장되는 3072개의 데이터 버스 라인(108)과, 수평 방향으로 연장되는 768개의 게이트 버스 라인(109)과, 동일하게 수평 방향으로 연장되는 축적 용량 버스 라인(111)이 설치되어 있다. 수평 방향으로 나란히 배열되는 화소의 각 TFT(105)의 게이트 전극은 동일한 게이트 버스 라인(109)에 접속되어 있다. 수직 방향으로 나란히 배열되는 각 화소의 TFT(105)의 드레인 전극은 동일한 데이터 버스 라인(108)에 접속되어 있다. 또한, 축적 용량 버스 라인(111)은 화소 전극(110)과 교차하도록 형성되며, 축적 용량(107)의 한쌍의 전극 중 한쪽의 전극으로 된다. 축적 용량(107)은 화소 전극(110)과 축적 용량 버스 라인(111)을 한쌍의 전극으로 하고, 한쌍의 전극 사이에 개재된 층간 절연막을 용량 절연막으로 한다.
- <87> 제어 회로(101)는, 수평 동기 신호 Hsync 및 수직 동기 신호 Vsync를 입력으로 하고, 1수평 동기 기간의 개시 시에 액티브 상태로 되는 데이터 스타트 신호 DSI와, 1수평 기간을 일정한 간격으로 분할하는 데이터 클럭 DCLK와, 1수직 동기 기간의 개시 시에 액티브 상태로 되는 게이트 스타트 신호 GSI와, 1수직 동기 기간을 일정한 간격으로 분할하는 게이트 클럭 GCLK를 출력한다. 이 제어 회로(101)는, 저전압 V_L 에서 구동하는 n형 TFT 및 p채널형의 TFT(p형 TFT)로 구성되어 있다.
- <88> 데이터 드라이버(102)는, 시프트 레지스터(102a), 레벨 시프터(102b) 및 아날로그 스위치(102c)로 구성되어 있다.
- <89> 시프트 레지스터(102a)는 3072개의 출력 단자를 갖고 있다. 이 시프트 레지스터(102a)는 데이터 스타트 신호 DSI에 의해 초기화되어, 데이터 클럭 DCLK에 동기한 타이밍에서 각 출력 단자로부터 순서대로 저전압(3.3V 또는 5V)의 액티브 신호를 출력한다. 이 시프트 레지스터(102a)는 저전압 V_L 에서 구동하는 n형 TFT 및 p형 TFT로 구성되어 있다.
- <90> 레벨 시프터(102b)는, 3072개의 입력 단자와 3072개의 출력 단자를 구비하고 있다. 그리고, 시프트 레지스터(102a)로부터 출력된 저전압의 액티브 신호를, 고전압(18V)으로 변환하여 출력한다. 이 레벨 시프터(102b)는, 저전압 V_L 에서 구동하는 n형 TFT 및 p형 TFT와, 고전압 V_H 에서 구동하는 n형 TFT 및 p형 TFT로 구성되어 있다.
- <91> 아날로그 스위치(102c)도 3072개의 입력 단자와 3072개의 출력 단자를 갖고 있다. 아날로그 스위치(102c)의 각 출력 단자는, 각각 대응하는 데이터 버스 라인(108)에 접속되어 있다. 아날로그 스위치(102c)는, 레벨 시프터(102b)로부터 액티브 신호를 입력받으면, 액티브 신호를 받은 입력 단자에 대응하는 출력 단자에 표시 신호 RGB(R 신호, G 신호 및 B 신호 중 어느 하나)를 출력한다. 이 아날로그 스위치(102c)는, 고전압 V_H 에서 구동하

는 n형 TFT 및 p형 TFT로 구성되어 있다.

- <92> 즉, 데이터 드라이버(102)는, 1수평 기간 내에 데이터 클럭 DCLK에 동기한 타이밍에서, 표시부(104)의 3072개의 데이터 버스 라인(108)에 R 신호, G 신호 및 B 신호를 순서대로 출력한다.
- <93> 게이트 드라이버(103)는, 시프트 레지스터(103a), 레벨 시프터(103b) 및 출력 버퍼(103c)로 구성되어 있다.
- <94> 시프트 레지스터(103a)는 768개의 출력 단자를 갖고 있다. 이 시프트 레지스터(103a)는 게이트 스타트 신호에 의해 초기화되어, 게이트 클럭 GCLK에 동기한 타이밍에서 각 출력 단자로부터 순서대로 저전압(3.3V 또는 5V)의 주사 신호를 출력한다. 이 시프트 레지스터(103a)는, 저전압 V_L 에서 구동하는 n형 TFT 및 p형 TFT로 구성되어 있다.
- <95> 레벨 시프터(103b)는, 768개의 입력 단자와 768개의 출력 단자를 갖고 있다. 출력 버퍼(103c)의 각 출력 단자는, 각각 대응하는 게이트 버스 라인(109)에 접속되어 있다. 출력 버퍼(103c)는, 레벨 시프터(103b)로부터 입력된 주사 신호를, 입력 단자에 대응하는 출력 단자를 통해 게이트 버스 라인(109)에 공급한다. 이 출력 버퍼(103c)는, 고전압 V_H 에서 구동하는 n형 TFT 및 p형 TFT로 구성되어 있다.
- <96> 즉, 게이트 드라이버(103)로부터는, 1수직 동기 기간 내에 게이트 클럭 GCLK에 동기한 타이밍에서, 표시부(104)의 768개의 게이트 버스 라인(109)에 주사 신호를 순서대로 공급한다.
- <97> 표시부(104)의 TFT(105)는, 게이트 버스 라인(109)에 주사 신호가 공급되면 온으로 된다. 이 때, 데이터 버스 라인(108)에 표시 신호 RGB(R 신호, G 신호 및 B 신호 중 어느 하나)가 공급되면, 표시 셀(106) 및 축적 용량(107)에 표시 신호 RGB가 기입된다. 표시 셀(106)에서는, 기입된 표시 신호 RGB에 의해 액정 분자의 경사각이 변화되고, 그 결과 표시 셀(106)의 광 투과율이 변화된다. 각 화소마다 표시 셀(106)의 광 투과율을 제어함으로써, 원하는 화상이 표시된다.
- <98> 이하의 실시예에서는, 표시부(104) 내에 설치된 TFT를 화소 TFT라고 한다. 또한, 데이터 드라이버(102) 및 게이트 드라이버(103) 내의 TFT 중 고전압(18V)에서 구동하는 TFT를, 고전압 구동용 TFT라고 한다. 또한, 제어 회로(101), 데이터 드라이버(102) 및 게이트 드라이버(103) 내의 TFT 중 저전압(3.3V 또는 5V)에서 구동하는 TFT를, 저전압 구동용 TFT라고 한다.
- <99> (액정 표시 장치에 이용된 박막 트랜지스터의 구조)
- <100> 이하에, 상기 3종류의 TFT의 구조에 대하여 설명한다. 여기서, 고전압 구동용 TFT는 화소 TFT와 거의 동일한 구조를 갖기 때문에, 이들을 대표하여 화소 TFT에 대하여 설명하고, 고전압 구동용 TFT에 대한 설명은 생략한다. 또한, p형 TFT는 n형 TFT와 거의 동일한 구조를 갖기 때문에, 그에 대한 설명을 생략한다.
- <101> 도 9p의 좌측 도면은 저전압 구동용 TFT의 구조를 도시하는 단면도이다. 동일하게 우측 도면은 화소 TFT의 구조를 도시하는 단면도로, 도 8의 I-I 선을 따라 취한 단면을 도시한다.
- <102> 우선, 저전압 구동용 TFT에서는, 도 9p의 좌측 도면에 도시한 바와 같이, 유리 기판(21) 위에 실리콘 질화막(22a)과 실리콘 산화막(22b)의 적층 구조로 이루어지는 기초 절연막(22)이 형성되어 있다. 이 기초 절연막(22) 위에 TFT의 동작층으로 되는 폴리실리콘막으로 이루어지는 제1 섬 형상 반도체막(24a)이 형성되어 있다. 이 제1 섬 형상 반도체막(24a)에는, TFT의 소스/드레인인 한쌍의 고농도 불순물 영역(오믹 컨택트 영역)(24aa, 24ab)이 채널 영역(24ac)을 사이에 두고 형성되어 있다.
- <103> 기초 절연막(22) 및 제1 섬 형상 반도체막(24a) 위에는, 두께가 30nm인 실리콘 산화막(SiO_2 막)(28a)으로 이루어지는 게이트 절연막이 형성되어 있다. 또한, 이 실리콘 산화막(28a) 위에는, 게이트 전극(29a)이 형성되어 있다. 저전압 구동용 TFT에서는, 고농도 불순물 영역(24aa, 24ab)의 채널 영역측의 엣지가, 모두 게이트 전극(29a)의 엣지의 거의 바로 아래에 위치하고 있다.
- <104> 실리콘 산화막(28a) 및 게이트 전극(29a) 위에는, 두께가 90nm인 실리콘 산화막(31)과 두께가 350nm인 실리콘 질화막(SiN 막)(32)이 적층되어 있다. 실리콘 질화막(32) 위에는 전극(소스 전극 및 드레인 전극)(34a, 34b)이 형성되어 있다. 이들 전극(34a, 34b)은, 실리콘 질화막(32)의 상면으로부터 고농도 불순물 영역(24aa, 24ab)을 관통하는 컨택트홀(33a, 33b) 내에 매립된 금속에 의해, 고농도 불순물 영역(24aa, 24ab)에 전기적으로 접속되어 있다.
- <105> 이상과 같이, 저전압 구동용 TFT는, 게이트 절연막이 두께가 30nm인 실리콘 산화막(28a)만으로 구성되어 있고,

또한 LDD 영역이 형성되어 있지 않기 때문에, 저전압에서의 고속 동작이 가능하다. 또한, 불순물 영역(24aa, 24ab)이 게이트 전극(29a)에 대하여, 자기 정합적으로 형성할 수 있기 때문에, 소자의 미세화가 용이하다. 또한, 이 저전압 구동용 TFT에는 LDD 영역이 형성되어 있지 않지만, 저전압 구동하기 때문에 열 전자가 적어, 열 전자에 기인하는 온 특성의 열화와 오프 전류의 증대가 회피된다.

<106> 다음으로, 화소 TFT에서는, 도 9p의 우측 도면에 도시한 바와 같이, 유리 기판(21) 위에는 상기한 바와 같은 동일한 적층 구조의 기초 절연막(22)이 형성되어 있다. 이 기초 절연막(22) 위에는, TFT의 동작층으로 되는 폴리 실리콘막으로 이루어지는 제2 섬 형상 반도체막(24b)이 형성되어 있다. 제2 섬 형상 반도체막(24b)에 TFT의 소스/드레인인 한쌍의 n형 고농도 불순물 영역(오믹 콘택트 영역)(24ba, 24bb)이 채널 영역(24be)을 사이에 두고 형성되어 있다. 또한, 이들 n형 고농도 불순물 영역(24ba, 24bb)의 채널 영역(24be)측의 단부에는, n형 저농도 불순물 영역인 LDD 영역(24bc, 24bd)이 형성되어 있다.

<107> 기초 절연막(22) 및 제2 섬 형상 반도체막(24b) 위에는, 두께가 90nm인 실리콘 산화막(25a)과 두께가 30nm인 실리콘 산화막(28b)을 적층하여 이루어지는 게이트 절연막이 형성되어 있다. 그리고, 실리콘 산화막(28b) 위에는 게이트 전극(29b)이 형성되어 있다. 게이트 전극(29b)은 게이트 버스 라인(109)과 일체적으로 형성되어 있다. 또한, 게이트 전극(29b)과 동일한 재료로 축적 용량 버스 라인(111)이 형성되어 있다.

<108> 이 화소 TFT에서는, 위에서 보았을 때에, 게이트 전극(29b)의 양측의 엣지의 거의 바로 아래에, LDD 영역(24bc, 24bd)의 채널 영역측 엣지가 배치되어 있다. 화소 TFT에서는, 표시 신호로서 플러스 및 마이너스의 신호가 인가되기 때문에, 소스측 및 드레인측의 양방에 LDD 영역(24bc, 24bd)을 형성하지 않으면, 열 전자에 의한 트랜지스터 특성의 열화가 발생한다.

<109> 게이트 전극(29b)의 노출된 표면을 피복하도록 실리콘 산화막(31)과 두께가 350nm인 실리콘 질화막(32)이 형성되어 있다. 실리콘 질화막(32) 위에는 전극(소스/드레인 전극)(34c, 34d)이 형성되어 있다. 이들 전극(34c, 34d)은, 실리콘 질화막(32)의 상면으로부터 고농도 불순물 영역(24ba, 24bb)을 관통하는 콘택트홀(33c, 33d) 내에 매립된 금속에 의해, 고농도 불순물 영역(24ba, 24bb)에 전기적으로 접속되어 있다. 한쌍의 소스/드레인 전극(34c, 34d) 중 드레인측의 소스/드레인 전극(34c)은 데이터 버스 라인(108)과 일체적으로 형성되어 있다.

<110> 이상과 같이, 이들 화소 TFT에 따르면, 게이트 절연막이 120nm로 두꺼운 실리콘 산화막(실리콘 산화막(25a)+실리콘 산화막(28b))으로 형성되어 있기 때문에, 내압이 높아, 고전압에서 구동시킬 수 있다.

<111> 또한, 설명을 생략한 고전압 구동용 TFT에서, 화소 TFT와 다른 점은 고전압이 걸리는 드레인측에만 LDD 영역을 갖고 있는 점이다. 또한, 설명을 생략한 주변 회로의 고전압 구동용 p형 TFT에서는 LDD 영역은 형성되어 있지 않다. 이것은, p형 TFT의 경우에는, 캐리어가 정공이기 때문에, 핫 캐리어의 발생이 거의 없어, LDD 영역을 형성하지 않아도 트랜지스터 특성에 지장이 없기 때문이다.

<112> (박막 트랜지스터 장치의 제조 방법)

<113> 다음으로, 본 실시예의 박막 트랜지스터 장치의 제조 방법에 대하여, 도 9~도 11을 참조하여 설명한다. 또한, 이들 도면 중 도 9에서, 좌측 도면이 저전압 구동용 TFT의 형성 영역에서의 단면도이고, 우측 도면은 화소 TFT의 형성 영역에서의 단면도이다. 또한, 도 10a는 저전압 구동용 TFT의 제조 공정 도중의 도 9k에서의 평면도이다. 도 10b는 동일하게 도 9l에서의 평면도 및 II-II선을 따라 취한 단면도이다. 도 11a는 화소 TFT의 제조 공정 도중의 도 9k에서의 평면도이다. 도 11b는 동일하게 도 9l에서의 평면도 및 III-III선을 따라 취한 단면도이다.

<114> 우선, 도 9a에 도시한 바와 같이, 플라즈마 CVD법에 의해, 유리 기판(21) 위에, 기초 절연막으로서 실리콘 질화막(22a)을 약 50nm, 실리콘 산화막(22b)을 200nm의 두께로 형성한다. 계속해서, 실리콘 산화막(22b) 위에 비정질 실리콘막(24)을 약 50nm의 두께로 형성한다.

<115> 다음으로, 비정질 실리콘막(24) 중의 수소를 저감하기 위해, 450℃의 온도에서 어닐링한다. 그리고, 비정질 실리콘막(24)에 엑시머 레이저를 조사하여, 비정질 실리콘막(24)을 폴리실리콘막으로 변화시킨다.

<116> 다음으로, 폴리실리콘막 위에 포토레지스트를 도포하고, 선택 노광 및 현상 공정을 거쳐, 소정의 레지스트 마스크(도시 생략)를 형성한다. 그리고, 이 레지스트 마스크에 기초하여, 폴리실리콘막을 드라이 에칭하여, 도 9b에 도시한 바와 같이, 소정의 영역에만 폴리실리콘막으로 이루어지는 제1 및 제2 섬 형상 반도체막(24a, 24b)을 남긴다. 그 후, 레지스트 마스크를 제거한다.

<117> 다음으로, 도 9c에 도시한 바와 같이, 플라즈마 CVD법에 의해, 유리 기판(21)의 상측 전면에 제1 실리콘 산화막

(제1 절연막)(25)을 90nm의 두께로 성막한다. 계속해서, 도포법에 의해 제1 실리콘 산화막(25) 위에 네거티브 포토레지스트막(26)을 형성한다. 계속해서, 저전압 구동용 TFT의 형성 영역의 제1 섬 형상 반도체막(24a) 전체를 차광하는 마스크를 이용하여, 네거티브 포토레지스트막(26)을 노광한다. 이에 의해, 저전압 구동용 TFT의 형성 영역의 제1 섬 형상 반도체막(24a) 상방으로서, 제1 섬 형상 반도체막(24a)의 형성 영역보다 넓은 범위에서 네거티브 포토레지스트막(26)의 미노광 영역이 남는다.

<118> 다음으로, 도 9d에 도시한 바와 같이, 배면으로부터 유리 기판(21)을 통하여 네거티브 포토레지스트막(26)을 노광한다. 이 때, 노광광은 제1 섬 형상 반도체막(24a)에 의해 차광된다. 한편, 주연부에서의 광의 회절에 의해, 제1 섬 형상 반도체막(24a)의 주연부로부터 내측의 일정한 범위까지 네거티브 포토레지스트막(26)이 노광된다.

<119> 다음으로, 도 9e에 도시한 바와 같이, 네거티브 포토레지스트막(26)을 현상한다. 이에 의해, 네거티브 포토레지스트막(26)에는 제1 섬 형상 반도체막(24a)의 주연부보다 내측의 영역에 개구부(26a)가 형성된다.

<120> 다음으로, 도 9f에 도시한 바와 같이, 현상에 의해 형성된 레지스트 마스크(26)의 개구부(26a)를 통해 제1 실리콘 산화막(25)을 드라이 에칭한다. 이에 의해, 제1 섬 형상 반도체막(24a)의 주연부보다 내측의 영역에 제1 실리콘 산화막(25)의 개구부(25a)가 형성된다. 즉, 제1 실리콘 산화막(25)은 제1 섬 형상 반도체막(24a)의 주연부를 피복하기 위해 남겨 둔다. 그 후, 네거티브 포토레지스트막(26)을 제거한다.

<121> 다음으로, 도 9g에 도시한 바와 같이, 플라즈마 CVD법에 의해, 유리 기판(21)의 상측 전면에 제2 실리콘 산화막(제2 절연막)(28)을 30nm의 두께로 형성한다.

<122> 다음으로, 도 9h에 도시한 바와 같이, 제2 실리콘 산화막(28) 위에 Al-Nd(알루미늄-네오디뮴 : Nd 함유량은 2at.%, 도전체막)막(29)을 약 300nm의 두께로 형성한다. 계속해서, Al-Nd막(29) 위에 포토레지스트막(30)을 형성한다.

<123> 다음으로, 포토레지스트막(30)을 선택 노광하고, 현상하여, 도 9i에 도시한 바와 같이, 각 TFT의 게이트 전극을 형성해야 할 영역에 레지스트 마스크(30a, 30b)를 형성한다. 계속해서, 도 9j에 도시한 바와 같이, 레지스트 마스크(30a, 30b)에 기초하여, Al-Nd막(29)을 에칭하여, 저전압 구동용 TFT의 게이트 전극(29a)과, 화소 TFT의 게이트 전극(29b)을 형성한다.

<124> 다음으로, 도 9k에 도시한 바와 같이, 레지스트 마스크(30a, 30b)에 기초하여, 제2 실리콘 산화막(28)을 이방성 에칭한다. 이 때, 저전압 구동용 TFT의 형성 영역을 위에서 본 경우, 도 10a에 도시한 바와 같이 되어 있다. 또한, 화소 TFT의 형성 영역을 위에서 본 경우, 도 11a에 도시한 바와 같이 되어 있다.

<125> 계속해서, 도 9l에 도시한 바와 같이, 유리 기판(21) 상방에 남겨지고, 또한 레지스트 마스크(30a, 30b)로 피복되어 있지 않은 실리콘 산화막(25)을 에칭에 의해 제거한다. 이 때, 저전압 구동용 TFT의 형성 영역에서, 제1 섬 형상 반도체막(24a)의 주연부를 게이트 전극(29a)이 가로지르는 영역에서는, 도 10b에 도시한 바와 같이, 게이트 전극(29a) 아래에 제1 섬 형상 반도체막(24a)을 피복하여 실리콘 산화막(25b, 28a)이 남는다. 또한, 화소 TFT의 형성 영역에서도, 제2 섬 형상 반도체막(24b)의 주연부를 게이트 전극(29b)이 가로지르는 영역에서는, 도 11b에 도시한 바와 같이, 게이트 전극(29b) 아래에 제2 섬 형상 반도체막(24b)을 피복하여 실리콘 산화막(25a, 28b)이 남는다. 또한, 고전압 구동용 TFT의 형성 영역에서도 마찬가지로 게이트 전극 아래에 섬 형상 반도체막을 피복하여 두꺼운 실리콘 산화막과 얇은 실리콘 산화막이 모두 남는다.

<126> 그 후, 레지스트 마스크(30a, 30b)를 제거한다.

<127> 다음으로, 도 9m에 도시한 바와 같이, 게이트 전극(29a, 29b) 및 게이트 절연막(28b, 25b)을 투과하지 않고, 게이트 절연막(28a)을 투과하는 조건, 예를 들면, 가속 전압이 25keV, 주입량이 $7 \times 10^{14} \text{cm}^{-2}$ 인 조건에서 제1 및 제2 섬 형상 반도체막(24a, 24b)에 인(P)을 이온 주입한다. 이에 의해, 저전압 구동용 TFT의 형성 영역의 게이트 전극(29a)으로 피복되어 있지 않은 영역의 제1 섬 형상 반도체막(24a)에 고농도 불순물 영역(소스/드레인 영역)(24aa, 24ab)이 형성된다. 또한, 화소 TFT의 형성 영역의 게이트 전극(29b) 및 게이트 절연막(28b, 25b)으로 피복되어 있지 않은 영역의 제2 섬 형상 반도체막(24b)에 고농도 불순물 영역(소스/드레인 영역)(24ba, 24bb)이 형성된다. 이 때, 고전압 구동용 TFT의 형성 영역의 섬 형상 반도체막에도 고농도 불순물 영역(소스/드레인 영역)이 형성된다.

<128> 다음으로, 게이트 전극(29a, 29b)을 투과하지 않고, 게이트 절연막(28b, 25b)을 투과하는 가속 전압의 조건, 예

를 들면 가속 전압이 70keV이고, 저도우즈량, 예를 들면 $2 \times 10^{13} \text{ cm}^{-2}$ 의 조건에서 인을 이온 주입한다. 이에 의해, 화소 TFT의 형성 영역의 게이트 전극(29b) 옻지와 게이트 절연막(28b, 25b) 옻지 사이에, 저농도 불순물 영역(저농도 소스/드레인 영역)(24bc, 24bd)을 형성한다. 이 때, 고전압 구동용 TFT의 형성 영역의 섬 형상 반도체막에도 드레인층에 저농도 불순물 영역인 LDD 영역이 형성된다. 또한, 저전압 구동용 TFT의 형성 영역에서는, 주입 이온은 가속 전압이 높기 때문에, 제1 섬 형상 반도체막(24a)을 투과한다. 이 때문에, 제1 섬 형상 반도체막(24a) 중에는 불순물이 도입되지 않는다.

<129> 다음으로, 도 9n에 도시한 바와 같이, 플라스마 CVD법에 의해, 유리 기판(21)의 상측 전면에 실리콘 산화막(31)을 90nm의 두께로 형성한다. 또한 그 위에 실리콘 질화막(32)을 350nm의 두께로 형성한다.

<130> 다음으로, 도 9o에 도시한 바와 같이, 저전압 구동용 TFT의 형성 영역에서, 고농도 불순물 영역(24aa, 24ab) 위의 실리콘 질화막(32)과 실리콘 산화막(31)을 관통하는 콘택트홀(33a, 33b)을 형성한다. 그와 함께, 화소 TFT의 형성 영역에서, 고농도 불순물 영역(24ba, 24bb) 위의 실리콘 질화막(32)과 실리콘 산화막(31)을 관통하는 콘택트홀(33c, 33d)을 형성한다.

<131> 다음으로, 도 9p에 도시한 바와 같이, 스퍼터법에 의해, 유리 기판(21)의 상측 전면에, Ti막을 100nm, Al막을 200nm, Ti막을 50nm의 두께로 순차적으로 퇴적한다. 이에 의해, 이들 금속막으로 콘택트홀(33a, 33b, 33c, 33d)을 매립함과 함께 실리콘 질화막(32) 위에 이들 금속막으로 이루어지는 금속의 적층막을 형성한다. 그 후, 포토리소그래피에 의해 레지스트 마스크(도시 생략)를 형성한다. 계속해서, 이 레지스트 마스크를 기초로 금속막을 드라이 에칭한다. 이와 같이 하여, 저전압 구동용 TFT의 고농도 불순물 영역(24aa, 24ab)과 접촉한 소스/드레인 전극(34a, 34b)을 형성한다. 그와 동시에, 화소 TFT의 고농도 불순물 영역(24ba, 24bb)과 접촉한 소스/드레인 전극(34c, 34d)을 형성한다.

<132> 또한, 액정 표시 장치의 표시부(104)에서는, 소스/드레인 전극(34a 내지 34d)의 형성과 동시에, 데이터 버스 라인(108)을 형성한다. 또한, 제어 회로(101), 데이터 드라이버(102) 및 게이트 드라이버(103)의 형성 영역에서는, 소스/드레인 전극(34a 내지 34d)의 형성과 동시에, 소정의 배선 패턴을 형성한다. 계속해서, 감광성 수지를 도포하여 두께가 3.0μm인 수지막(35)을 형성한다.

<133> 이상과 같이 하여, 박막 트랜지스터 장치가 완성된다. 액정 표시 장치를 작성하기 위해, 계속해서 이하의 공정을 행한다.

<134> 다음으로, 수지막(35)의 소정 영역에, 배선 패턴을 통하여 소스/드레인 전극(34d)에 연결되는 비아홀을 형성한다. 그 후, 스퍼터법에 의해, 유리 기판(21)의 상측 전면에 두께가 70nm인 ITO(indium-tin oxide: 인듐 산화주석)막을 성막한다. 계속해서, 통상의 포토리소그래피 공정에 의해 ITO막을 패터닝하여, 화소 TFT의 소스측 불순물 영역에 전기적으로 접속한 화소 전극(36)을 형성한다. 그 후, 유리 기판(21)의 상측 전면에, 액정 분자의 초기 상태(전압 무인가 시)의 배향 방향을 결정하는 배향막(도시 생략)을 형성한다.

<135> 이와 같이 하여, 액정 표시 장치의 TFT 기판이 완성된다.

<136> 액정 표시 장치의 대향 기판은, 공지된 방법으로 작성한다. 즉, 유리 기판 위에, 예를 들면 Cr(크롬)에 의해, 화소간의 영역을 차광하기 위한 블랙 매트릭스를 형성한다. 또한, 유리 기판 위에 적색, 녹색 및 청색의 컬러 필터를 형성하고, 각 화소마다 적색, 녹색 및 청색 중 어느 1색의 컬러 필터를 배치한다. 그 후, 유리 기판의 상측 전면에 ITO막으로 이루어지는 투명 전극을 형성하고, 투명 전극 위에 배향막을 형성한다.

<137> 이와 같이 하여 제조된 TFT 기판과 대향 기판을 접합하고, 양자간에 액정을 봉입하여 액정 패널로 한다. 이 액정 패널의 양면에 편광판을 배치하고, 이면층에 백 라이트를 배치하면, 액정 표시 장치가 완성된다.

<138> 이상과 같이, 본 발명의 제1 실시예에 따르면, 도 9f에 도시한 바와 같이, 저전압 구동용 TFT의 형성 영역에서, 게이트 절연막(28)을 형성하기 전에, 제1 섬 형상 반도체막(24a)의 주연부가 고전압 구동용 TFT의 두꺼운 게이트 절연막의 일부가 되는 두꺼운 실리콘 산화막(25)으로 피복되어 있다. 이 상태에서, 계속해서, 두꺼운 실리콘 산화막(25) 위에 게이트 절연막으로 되는 실리콘 산화막(28)과 게이트 전극으로 되는 금속막(29)을 적층한다. 또한, 도 9l에 도시한 바와 같이, 제1 섬 형상 반도체막(24a)과 교차하는 띠 형상의 레지스트 마스크(30a)에 기초하여, 게이트 전극(29a) 및 게이트 절연막(28a)을 에칭에 의해 형성한다. 이에 의해, 도 10b에 도시한 바와 같이, 게이트 전극(29a) 아래의 제1 섬 형상 반도체막(24a)의 주연부는 실리콘 산화막(28a) 이외에 두꺼운 실리콘 산화막(25b)으로 피복된다. 이 때문에, 제1 섬 형상 반도체막(24a)의 주연부에서 게이트 전압 인가 시의 전계 집중이 완화되어 기생 TFT가 동작하는 것을 방지할 수 있다.

- <139> 또한, 도 9c, 도 9d에 도시한 바와 같이, 저전압 구동용 TFT의 형성 영역에서, 제1 섬 형상 반도체막(24a)의 상방의 네거티브 포토레지스트막(26)의 미노광 영역에 대하여, 제1 섬 형상 반도체막(24a)을 마스크로 하여 유리 기판(21)의 이면으로부터 노광광을 조사한다. 이에 의해, 제1 섬 형상 반도체막(24a)의 주연부로부터 광이 회절하는 범위에서 자기 정합적으로 그 미노광 영역이 노광된다. 이 때문에, 매우 양호한 정밀도로 제1 섬 형상 반도체막(24a)의 주연부를 실리콘 산화막(25)으로 피복할 수 있다. 이에 의해 또한, 제1 섬 형상 반도체막(24a)의 채널 폭 방향의 치수 마진을 최소로 할 수 있기 때문에, TFT의 미세화가 가능하다.
- <140> (제2 실시예)
- <141> 다음으로, 본 발명의 제2 실시예에 대하여 도면을 참조하여 설명한다.
- <142> (액정 표시 장치에 이용된 박막 트랜지스터 장치의 구조)
- <143> 이하에, 제2 실시예인, 액정 표시 장치에 이용된 박막 트랜지스터 장치의 구조에 대하여, 도 12h를 참조하여 설명한다. 여기서, 고전압 구동용 TFT는 화소 TFT와 거의 동일한 구조를 갖는다. 따라서, 이들을 대표하여 화소 TFT에 대하여 설명하고, 고전압 구동용 TFT에 대한 설명은 생략한다. 또한, p형 TFT는 n형 TFT와 거의 동일한 구조를 갖기 때문에, 그에 대한 설명을 생략한다.
- <144> 도 12h의 좌측 도면은 n채널형의 저전압 구동용 TFT의 구조를 도시하는 단면도이고, 동일하게 우측 도면은 n채널형의 화소 TFT의 구조를 도시하는 단면도이다.
- <145> 우선, 저전압 구동용 TFT에서는, 도 12h의 좌측 도면에 도시한 바와 같이, 유리 기판(21) 위에 두께가 50nm인 실리콘 질화막(22a)과 두께가 200nm인 실리콘 산화막(22b)의 적층 구조로 이루어지는 기초 절연막(22)이 형성되어 있다. 이 기초 절연막(22) 위에 TFT의 동작층으로 되는 두께가 40nm인 폴리실리콘막으로 이루어지는 제1 섬 형상 반도체막(24a)이 형성되어 있다. 이 제1 섬 형상 반도체막(24a)에는, TFT의 소스/드레인인 한쌍의 고농도 불순물 영역(오믹 콘택트 영역)(24aa, 24ab)이 채널 영역(24ac)을 사이에 두고 형성되어 있다.
- <146> 기초 절연막(22) 및 제1 섬 형상 반도체막(24a) 위에는, 두께가 약 30nm인 실리콘 산화막으로 이루어지는 제1 게이트 절연막(51a)이 형성되어 있다. 이 실리콘 산화막(51a)은 비정질 실리콘막을 산화하여 형성되어 있다.
- <147> 또한, 이 제1 게이트 절연막(51a) 위에는, 제1 게이트 전극(54a)이 형성되어 있다. 고농도 불순물 영역(24aa, 24ab)의 채널 영역측의 엣지가, 모두 게이트 전극(54a)의 엣지의 거의 바로 아래에 위치하고 있다.
- <148> 제1 게이트 절연막(51a) 및 제1 게이트 전극(54a) 위에는, 두께가 370nm인 실리콘 질화막(제1 층간 절연막)(55)이 형성되어 있다. 실리콘 질화막(55) 위에는 한쌍의 소스/드레인 전극(57a, 57b)이 형성되어 있다. 이들 소스/드레인 전극(57a, 57b)은, 실리콘 질화막(55)의 상면으로부터 고농도 불순물 영역(24aa, 24ab)을 관통하는 콘택트홀(56a, 56b) 내에 매립된 금속에 의해, 고농도 불순물 영역(24aa, 24ab)에 전기적으로 접속되어 있다.
- <149> 이상과 같이, 저전압 구동용 TFT는, 제1 게이트 절연막(51a)이 두께가 약 30nm인 실리콘 산화막만으로 구성되어 있고, 또한 LDD 영역이 형성되어 있지 않기 때문에, 저전압에서의 고속 동작이 가능하다. 또한, 고농도 불순물 영역(24aa, 24ab)이 제1 게이트 전극(54a)에 대하여, 자기 정합적으로 형성될 수 있기 때문에, 소자의 미세화가 용이하다. 또한, 이 저전압 구동용 TFT에는 LDD 영역이 형성되어 있지 않지만, 저전압 구동하기 때문에 열 전자가 적어, 열 전자에 기인하는 온 특성의 열화와 오프 전류의 증대가 회피된다.
- <150> 다음으로, 화소 TFT에서는, 도 12h의 우측 도면에 도시한 바와 같이, 유리 기판(21) 위에는 상기한 바와 같은 동일한 적층 구조의 기초 절연막(22)이 형성되어 있다. 이 기초 절연막(22) 위에는, TFT의 동작층으로 되는 제2 섬 형상 반도체막(24b)이 형성되어 있다. 제2 섬 형상 반도체막(24b)에 TFT의 소스/드레인의 오믹 콘택트 영역인 한쌍의 n형의 고농도 불순물 영역(24ba, 24bb)이 채널 영역(24be)을 사이에 두고 형성되어 있다. 또한, 이들 고농도 불순물 영역(24ba, 24bb)의 채널 영역(24be)측의 단부에는, 각각 n형의 저농도 불순물 영역(LDD 영역)(24bc, 24bd)이 형성되어 있다.
- <151> 기초 절연막(22) 및 제2 섬 형상 반도체막(24b) 위에는, 두께가 약 10nm인 실리콘 산화막(51a)과 두께가 100nm인 실리콘 산화막(52a)이 적층되어 있다. 그리고, 실리콘 산화막(52a) 위에는 제2 게이트 전극(54b)이 형성되어 있다. 제2 게이트 전극(54b) 아래의 실리콘 산화막(51a)과 실리콘 산화막(52a)으로 구성된 절연막의 적층 구조가 제2 게이트 절연막으로 된다.

- <152> 이 화소 TFT에서는, 위에서 보았을 때에, 제2 게이트 전극(54b)의 양측의 엣지의 거의 바로 아래에, LDD 영역(24bc, 24bd)의 채널 영역측 엣지가 배치되어 있다. 화소 TFT에서는, 표시 신호로서 플러스 및 마이너스의 신호가 인가되기 때문에, 소스측 및 드레인측의 양방에 LDD 영역(24bc, 24bd)을 형성하지 않으면, 열 전자에 의한 트랜지스터 특성의 열화가 발생한다.
- <153> 제2 게이트 전극(54b) 및 실리콘 산화막(51a) 위에는 두께가 370nm인 실리콘 질화막(55)이 형성되어 있다. 실리콘 질화막(55) 위에는 한쌍의 소스/드레인 전극(57c, 57d)이 형성되어 있다. 이들 소스/드레인 전극(57c, 57d)은 콘택트홀(56c, 56d)을 통해 고농도 불순물 영역(24ba, 24bb)과 접촉하고 있다.
- <154> 이상과 같이, 상기 화소 TFT에 따르면, 제2 게이트 절연막이 110nm로 두꺼운 실리콘 산화막(실리콘 산화막(51a)+실리콘 산화막(52a))으로 형성되어 있기 때문에, 내압이 높아, 고전압에서 구동시킬 수 있다.
- <155> 또한, 설명을 생략한 고전압 구동용 TFT에서, 화소 TFT와 다른 점은 고전압이 걸리는 드레인측에만 LDD 영역을 갖고 있는 점이다. 또한, 설명을 생략한 주변 회로의 고전압 구동용 p형 TFT에서는 LDD 영역은 형성되어 있지 않다. 이것은, p형 TFT의 경우에는, 캐리어가 정공이기 때문에, 핫 캐리어의 발생이 거의 없어, LDD 영역을 형성하지 않아도 트랜지스터 특성에 지장이 없기 때문이다.
- <156> (액정 표시 장치에 이용된 박막 트랜지스터의 제조 방법)
- <157> 다음으로, 본 실시예의 액정 표시 장치에 이용된 박막 트랜지스터 장치의 제조 방법에 대하여, 도 12a~도 12h를 참조하여 설명한다. 또한, 이들 도면에서, 좌측 도면이 저전압 구동용 TFT의 형성 영역에서의 단면도이다. 우측 도면은 화소 TFT의 형성 영역에서의 단면도이다.
- <158> 우선, 도 12a에 도시한 바와 같이, 플라즈마 CVD법에 의해, 유리 기판(21) 위에, 기초 절연막으로서 실리콘 질화막(22a)을 약 50nm의 두께로, 실리콘 산화막(22b)을 200nm의 두께로 이 순서대로 형성한다. 계속해서, 실리콘 산화막(22b) 위에 비정질 실리콘막을 약 40nm의 두께로 형성한다.
- <159> 다음으로, 비정질 실리콘막 중의 수소를 저감하기 위해, 450℃의 온도에서 어닐링한다. 그리고, 비정질 실리콘막에 엑시머 레이저를 조사하여, 비정질 실리콘막을 폴리실리콘막으로 변화시킨다.
- <160> 다음으로, 폴리실리콘막 위에 포토레지스트를 도포하고, 노광 및 현상 공정을 거쳐, 소정의 레지스트 마스크(도시 생략)를 형성한다. 그리고, 이 레지스트 마스크에 기초하여, 폴리실리콘막을 드라이 에칭하여, 소정의 영역에만 폴리실리콘막으로 이루어지는 제1 섬 형상 반도체막(24a) 및 제2 섬 형상 반도체막(24b)을 남긴다. 그 후, 레지스트 마스크를 제거한다.
- <161> 다음으로, 플라즈마 CVD법에 의해, 유리 기판(21)의 상측 전면에 비정질 실리콘막(51)을 10nm의 두께로 성막하고, 또한 실리콘 산화막(절연막)(52)을 100nm의 두께로 성막한다.
- <162> 계속해서, 도포법에 의해 실리콘 산화막(52) 위에 포토레지스트막을 형성한다. 그 후, 노광 및 현상 공정을 거쳐, 도 12b에 도시한 바와 같이, 화소 TFT의 형성 영역에 레지스트 마스크(53)를 형성한다.
- <163> 계속해서, 레지스트 마스크(53)에 기초하여 실리콘 산화막(52)을 희불산에 의해 웨트 에칭한다. 이 때, 희불산에 대하여 에칭 내성이 있는, 실리콘 산화막(52) 아래의 비정질 실리콘막(51)을 에칭의 스톱퍼로 한다. 이에 의해, 레지스트 마스크(53) 아래에 실리콘 산화막의 패턴(절연막의 패턴)(52a)을 형성한다. 그 후, 레지스트 마스크(53)를 제거한다.
- <164> 다음으로, 도 12c에 도시한 바와 같이, 고압 산화법에 의해 실리콘 산화막의 패턴(52a)의 하부를 포함하는 전체의 비정질 실리콘막(51)을 산화하여, 실리콘 산화막(반도체막을 산화하여 이루어지는 절연막)(51a)을 형성한다. 고압 산화는, 예를 들면 압력 2MPa로 조정된 수증기 분위기 속에서, 온도 550℃, 산화 시간 1시간의 조건에서 행한다. 또한, 고압 산화법 대신에 잘 알려진 열 산화법, 혹은 플라즈마 산화법 등의 방법을 이용하는 것이 가능하다.
- <165> 이에 의해, 제1 섬 형상 반도체막(24a) 위에 실리콘 산화막(51a)으로 이루어지는 제1 게이트 절연막이 형성되고, 제2 섬 형상 반도체막(24b) 위에 실리콘 산화막(51a)과 실리콘 산화막의 패턴(52a)으로 이루어지는 제2 게이트 절연막이 형성된다.
- <166> 다음으로, 도 12d에 도시한 바와 같이, 스퍼터법에 의해, Al-Nd막을 두께 300nm로 성막한다. 계속해서, 도시하지 않은 레지스트 마스크에 기초하여 Al-Nd막을 에칭한다. 이에 의해, 저전압 구동용 TFT의 형성 영역에서 제1 게이트 절연막(51a) 위에 제1 게이트 전극(54a)을 형성하고, 화소 TFT의 형성 영역에서, 제2 게이트 절연막

(51a, 52a) 위에 제2 게이트 전극(54b)을 형성한다. 이 때, 제2 게이트 전극(54b)은 제2 게이트 절연막(52a)의 상면의 면적보다 작은 면적으로, 또한 제2 게이트 절연막(52a)의 상면의 주변부보다 내측에 형성한다. 그 후, 레지스트 마스크를 제거한다.

<167> 다음으로, 도 12e에 도시한 바와 같이, 제1 게이트 전극(54a)을 마스크로 하여 제1 섬 형상 반도체막(24a) 내에 고농도의 인을 이온 주입한다. 동시에, 제2 게이트 전극(54b) 및 제2 게이트 절연막(51a, 52a)을 마스크로 하여 제2 섬 형상 반도체막(24b) 내에 고농도의 인을 이온 주입한다. 이 때, 이온 주입의 조건을, 예를 들면, 가속 전압을 25keV, 주입량을 $7 \times 10^{14} \text{ cm}^{-2}$ 로 한다. 이에 의해, 제1 게이트 전극(54a)의 양측의 제1 섬 형상 반도체막(24a)에 n형의 고농도 불순물 영역(24aa, 24ab)이 형성된다. 또한, 제2 게이트 절연막(51a, 52a)의 양측의 제2 섬 형상 반도체막(24b) 내에 n형의 고농도 불순물 영역(24ba, 24bb)이 형성된다.

<168> 계속해서, 제1 및 제2 게이트 전극을 투과하지 않고, 또한 제1 및 제2 섬 형상 반도체막(24a, 24b)을 투과하고, 제2 게이트 절연막(51a, 52a)을 투과하는 조건에서 제2 섬 형상 반도체막(24b) 내에 저농도의 인을 이온 주입한다. 이온 주입의 조건을, 예를 들면, 가속 전압을 70keV로 하고, 낮은 도우즈량을 $2 \times 10^{13} \text{ cm}^{-2}$ 로 한다. 이에 의해, 제2 게이트 전극(54b)의 엣지와 고농도 불순물 영역(24ba, 24bb)의 엣지 사이의 제2 섬 형상 반도체막(24b) 내에 n형의 저농도 불순물 영역(LDD 영역)(24bc, 24bd)이 형성된다.

<169> 다음으로, 도 12f에 도시한 바와 같이, 플라즈마 CVD법에 의해, 유리 기판(21) 표면의 전면에 실리콘 질화막(55)을 두께 370nm로 성막한다.

<170> 다음으로, 도 12g에 도시한 바와 같이, 도시하지 않은 레지스트 마스크에 기초하여, 실리콘 질화막(제1 층간 절연막)(55)을 SF_6 가스에 의해 드라이 에칭하여, 제1 섬 형상 반도체막(24a)의 고농도 불순물 영역(24aa, 24ab) 위의 실리콘 질화막(55)을 관통하는 콘택트홀(56a, 56b)을 형성한다. 동시에, 제2 섬 형상 반도체막(24b)의 고농도 불순물 영역(24ba, 24bb) 위의 실리콘 질화막(55)을 관통하는 콘택트홀(56c, 56d)을 형성한다. 그 후, 레지스트 마스크를 제거한다.

<171> 계속해서, 도 12h에 도시한 바와 같이, 스퍼터법에 의해, 유리 기판(21)의 상측 전면에, Ti막을 50nm, Al막을 100nm, Ti막을 50nm의 두께로 순차적으로 퇴적한다. 이에 의해, 이들 금속막으로 콘택트홀(56a, 56b, 56c, 56d)을 매립함과 함께 실리콘 질화막(55) 위에 금속의 적층막을 형성한다. 그 후, 포토리소그래피에 의해 레지스트 마스크(도시 생략)를 형성하고, 계속해서, 이 레지스트 마스크에 기초하여, 금속막을 드라이 에칭한다. 이에 의해, 저전압 구동용 TFT의 고농도 불순물 영역(소스/드레인 영역)(24aa, 24ab)과 접촉한 소스/드레인 전극(57a, 57b)을 형성한다. 동시에, 화소 TFT의 고농도 불순물 영역(소스/드레인 영역)(24ba, 24bb)과 접촉한 소스/드레인 전극(57c, 57d)을 형성한다.

<172> 또한, 소스/드레인 전극(57a 내지 57d)의 형성과 동시에, 표시부(104)에서는 데이터 버스 라인(108)을 형성한다. 한편, 제어 회로(101), 데이터 드라이버(102) 및 게이트 드라이버(103)의 형성 영역에서는, 소정의 배선 패턴을 형성한다.

<173> 다음으로, 감광성 수지를 도포하여 두께가 $3.0 \mu\text{m}$ 인 수지막(제2 층간 절연막)(58)을 형성한다. 이상과 같이 하여, 박막 트랜지스터 장치가 완성된다. 계속해서, 액정 표시 장치를 작성하기 위해, 이하의 공정을 행한다.

<174> 다음으로, 이 수지막(58)의 소스/드레인 전극(57d) 위에 비아홀(59)을 형성한다. 그 후, 스퍼터법에 의해, 유리 기판(21)의 상측 전면에 두께가 70nm인 ITO막을 성막한다. 그 후, 통상의 포토리소그래피 공정에 의해 ITO막을 패터닝하여, 화소 TFT의 소스측 불순물 영역에 접촉하는 화소 전극(60)을 형성한다. 그 후, 유리 기판(21)의 상측 전면에, 액정 분자의 초기 상태(전압 무인가 시)의 배향 방향을 결정하는 배향막(도시 생략)을 형성한다.

<175> 이와 같이 하여, 액정 표시 장치의 TFT 기판이 완성된다.

<176> 액정 표시 장치의 대향 기판은, 공지된 방법으로 작성한다. 즉, 유리 기판 위에, 예를 들면 Cr(크롬)에 의해, 화소간의 영역을 차광하기 위한 블랙 매트릭스를 형성한다. 또한, 유리 기판 위에 적색, 녹색 및 청색의 컬러 필터를 형성하고, 각 화소마다 적색, 녹색 및 청색 중 어느 1색의 컬러 필터를 배치한다. 그 후, 유리 기판의 상측 전면에 ITO막으로 이루어지는 투명 전극을 형성하고, 투명 전극 위에 배향막을 형성한다.

<177> 이와 같이 하여 제조된 TFT 기판과 대향 기판을 접합하고, 양자간에 액정을 봉입하여 액정 패널로 한다. 이 액정 패널의 양면에 편광판을 배치하고, 이면측에 백 라이트를 배치하면, 액정 표시 장치가 완성된다.

- <178> 이상과 같이, 제2 실시예에 따르면, 도 12b에 도시한 바와 같이, 실리콘 산화막(52)을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막을 형성할 때에, 기초의 비정질 실리콘막(51)에 의해 제1 섬 형상 반도체막(24a)이 보호된다. 이 때문에, 제1 섬 형상 반도체막(24a)의 채널 영역이 실리콘 산화막(52)의 에칭 가스의 플라즈마에 노출되지 않는다. 이 때문에, 저전압 구동용 TFT로 대표되는 박막부의 TFT의 특성이 열화되는 것을 방지하여, 화소 TFT로 대표되는 후막부의 TFT 및 박막부의 TFT 모두 양호한 특성을 확보할 수 있다.
- <179> 또한, 제1 및 제2 섬 형상 반도체막(24a, 24b)의 기초의 실리콘 산화막(22b)도 비정질 실리콘막(51)에 의해 보호되어 있다. 이 때문에, 제1 및 제2 섬 형상 반도체막(24a, 24b)의 단부에서 실리콘 산화막(22b)이 에칭되는 것에 의한 「깍인 부분」도 생기지 않는다.
- <180> 또한, 실리콘 산화막(52)을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막을 형성할 때에, 실리콘 산화막(52)의 에칭제에 대하여 비정질 실리콘막(51)은 에칭 내성을 갖기 때문에 막 두께가 감소되지 않는다. 본 실시예에서는, 비정질 실리콘막(51)을 산화하여 제1 게이트 절연막(51a)을 형성하고 있기 때문에, 제1 게이트 절연막(51a)의 막 두께를 양호한 정밀도로, 또한 용이하게 제어하는 것이 가능하다.
- <181> 또한, 상기한 실시예에서는, 제1 및 제2 섬 형상 반도체막(24a, 24b) 위에 직접 비정질 실리콘막(51)을 형성하고 있지만, 제1 및 제2 섬 형상 반도체막(24a, 24b)을 피복하는 실리콘 산화막을 형성하고, 그 위에 비정질 실리콘막(51)과 실리콘 산화막(52)을 형성해도 된다. 이에 의해, 상기한 효과 이외에, 비정질 실리콘막(51)을 산화하여 제1 게이트 절연막을 형성할 때에, 제1 게이트 절연막의 막 두께의 제어가 더욱 용이해진다. 이 경우, 제1 게이트 절연막의 막 두께는 제1 섬 형상 반도체막(24a)을 피복하는 실리콘 산화막과, 비정질 실리콘막을 산화하여 이루어지는 실리콘 산화막(51a)으로 구성되게 된다. 또한, 제2 게이트 절연막은 제2 섬 형상 반도체막(24b)을 피복하는 실리콘 산화막과, 비정질 실리콘막을 산화하여 이루어지는 실리콘 산화막(51a)과, 실리콘 산화막(52a)으로 구성되게 된다.
- <182> (박막 트랜지스터 장치의 다른 제조 방법)
- <183> 도 13a~도 13d는 본 발명의 제2 실시예인 박막 트랜지스터 장치의 다른 제조 방법에 대하여 설명하는 단면도이다.
- <184> 도 13a에 도시한 바와 같이, 제1 실시예와 마찬가지로, 유리 기판(21) 위에 막 두께 50nm의 실리콘 질화막(22a)과 막 두께 200nm의 실리콘 산화막(22b)과 막 두께 40nm의 비정질 실리콘막을 형성한다. 그 후, 비정질 실리콘막에 엑시머 레이저를 조사하여 비정질 실리콘막을 폴리실리콘막(제1 반도체막)(24)으로 변환한다.
- <185> 계속해서, 플라즈마 CVD법에 의해, 막 두께 10nm의 제1 실리콘 산화막(제1 절연막)(62)과, 막 두께 10nm의 비정질 실리콘막(제2 반도체막)(63)과, 막 두께 100nm의 제2 실리콘 산화막(제2 절연막)(64)을 성막한다.
- <186> 다음으로, 도 13b에 도시한 바와 같이, 화소 TFT의 형성 영역에 레지스트 마스크(65)를 형성한다. 그 후, 레지스트 마스크(65)에 기초하여, 회불산에 의해 실리콘 산화막(64)을 에칭하여, 제2 실리콘 산화막의 패턴(제2 절연막의 패턴)(64a)을 형성한다. 그 후 레지스트 마스크(65)를 제거한다.
- <187> 계속해서, 도 13c에 도시한 바와 같이, 도시하지 않은 새로운 레지스트 마스크를 형성한다. 그 후, 새로운 레지스트 마스크에 기초하여, 불소를 포함하는 에칭 가스를 이용하여 비정질 실리콘막(63)을 드라이 에칭한다. 이에 의해, 제1 섬 형상의 비정질 실리콘막(제2 절연막의 패턴을 포함하지 않은 섬 형상의 제2 반도체막)(63a)과 제2 섬 형상의 비정질 실리콘막(제2 절연막의 패턴을 포함하는 섬 형상의 제2 반도체막)(63b)을 형성한다. 그 후, 레지스트 마스크를 제거한다.
- <188> 다음으로, 예를 들면, 고압 산화법에 의해, 제1 섬 형상의 비정질 실리콘막(63a), 및 제2 실리콘 산화막의 패턴(64a)의 하부 및 그 밖의 부분의 제2 섬 형상의 비정질 실리콘막(63b)을 산화한다. 동시에, 제1 섬 형상의 비정질 실리콘막(63a)으로 피복되어 있지 않은 영역의 폴리실리콘막(24)과, 제2 섬 형상의 비정질 실리콘막(63b)으로 피복되어 있지 않은 영역의 폴리실리콘막(24)을 제1 실리콘 산화막(62)을 개재하여 산화한다. 이에 의해, 도 13d에 도시한 바와 같이, 제1 섬 형상의 비정질 실리콘막(63a)으로 피복되어 있는 영역에 폴리실리콘막으로 이루어지는 제1 섬 형상 반도체막(24a)을 형성한다. 동시에, 제2 섬 형상의 비정질 실리콘막(63b)으로 피복되어 있는 영역에 폴리실리콘막으로 이루어지는 제2 섬 형상 반도체막(24b)을 형성한다. 즉, 제1 섬 형상 반도체막(24a) 위에, 제1 실리콘 산화막(62) 및 제1 섬 형상의 비정질 실리콘막(63a)을 산화하여 이루어지는 절연막으로 구성되는 제1 게이트 절연막(65)을 형성한다. 동시에, 제2 섬 형상 반도체막(24b) 위에, 제1 실리콘 산화막(62) 및 제2 섬 형상의 비정질 실리콘막(63b)을 산화하여 이루어지는 절연막으로 구성되는 절연막(65)과, 제2

실리콘 산화막의 패턴(64a)으로 이루어지는 제2 게이트 절연막을 형성한다.

- <189> 이후, 도 12d~도 12f의 공정과 마찬가지로 공정을 거쳐, 박막 트랜지스터 장치를 작성한다. 그 후, 또한, 제1 및 다른 제2 실시예에서 설명한 액정 표시 장치의 제조 방법에서의 통상의 공정을 거쳐 액정 표시 장치를 작성한다.
- <190> 이상과 같이, 제2 실시예인 다른 박막 트랜지스터 장치의 제조 방법에 따르면, 도 13b에 도시한 바와 같이, 실리콘 산화막(64)을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막(64a)을 형성할 때에, 기초의 비정질 실리콘막(63)에 의해 제1 섬 형상 반도체막(24a)이 보호된다. 이 때문에, 제1 섬 형상 반도체막(24a)의 채널 영역이 실리콘 산화막(64)의 에칭 가스의 플라즈마에 노출되지 않는다. 이 때문에, 박막부의 TFT의 특성이 열화되는 것을 방지하여, 후막부의 TFT 및 박막부의 TFT 모두 양호한 특성을 확보할 수 있다.
- <191> 또한, 도 13d에 도시한 바와 같이, 제2 게이트 절연막 중 두꺼운 절연막으로 되는, 비정질 실리콘막(63) 위의 실리콘 산화막(64)을 에칭한다. 계속해서, 비정질 실리콘막(63) 아래의 폴리실리콘막(24)을 선택적으로 산화하여 제1 및 제2 섬 형상 반도체막(24a, 24b)을 형성한다. 이와 같이, 기초의 실리콘 산화막(22b)은 에칭 가스 등에 노출되지 않는다. 이 때문에, 제1 및 제2 섬 형상 반도체막(24a, 24b)의 단부에서 기초의 실리콘 산화막(22b)이 에칭되는 것에 의한 「각인 부분」이 생기지 않는다.
- <192> 또한, 실리콘 산화막(64)을 에칭하여 제2 게이트 절연막의 일부가 되는 절연막을 형성할 때에, 실리콘 산화막(64)의 에칭제에 대하여 비정질 실리콘막(63)은 에칭 내성을 갖기 때문에, 비정질 실리콘막(63)의 막 두께는 감소되지 않는다. 본 실시예에서는, 비정질 실리콘막(63)을 산화하여 이루어지는 절연막(63a)과 제1 실리콘 산화막(62)에 의해 제1 게이트 절연막을 형성하고 있기 때문에, 제1 게이트 절연막의 막 두께를 양호한 정밀도로, 또한 용이하게 제어하는 것이 가능하다.
- <193> (제3 실시예)
- <194> 다음으로, 본 발명의 제3 실시예의 박막 트랜지스터 장치의 구조에 대하여 도면을 참조하여 설명한다.
- <195> 제3 실시예의 박막 트랜지스터 장치는, n형 TFT 및 p형 TFT 중 적어도 어느 하나의 얇은 게이트 절연막을 갖는 TFT(이하, 박막부의 TFT로 칭함)와, n형 TFT 및 p형 TFT 중 적어도 어느 하나의 두꺼운 게이트 절연막을 갖는 TFT(후막부의 TFT로 칭함)를 동일 기판 위에 탑재하고 있다. 이하에, 박막부의 n형 TFT 및 후막부의 n형 TFT의 구조를 설명한다.
- <196> 도 16a는 박막부의 TFT의 위에서 본 평면도이고, 도 14f의 좌측 도면은 도 16a의 IV-IV선을 따라 취한 단면도이다. 또한, 도 16b는 도 16a의 V-V선을 따라 취한 단면도이다.
- <197> 박막부의 TFT(제1 박막 트랜지스터)는, 도 16a, 도 14f의 좌측 도면에 도시한 바와 같은 구성 요소를 갖는다. 즉, 막 두께가 약 50nm인 폴리실리콘막으로 이루어지는 제1 섬 형상 반도체막(24a)과, 막 두께 30nm의 제1 실리콘 산화막(제1 절연막)으로 이루어지는 제1 게이트 절연막(81a)과, 막 두께 300nm의 제1 Al-Nd막(제1 도전체막)으로 이루어지는 제1 게이트 전극(82)이다. 제1 섬 형상 반도체막(24a)에는 채널 영역(24ac)을 사이에 두고 한쌍의 n형의 소스/드레인 영역(24aa, 24ab)이 형성되어 있다. 제1 섬 형상 반도체막(24a)의 채널 영역(24ac) 위에, 제1 게이트 절연막(81a)과 제1 게이트 전극(82)이 순서대로 형성되어 있다.
- <198> 또한, 막 두께 400nm의 실리콘 질화막으로 이루어지는 제1 층간 절연막(87)과, 제1 층간 절연막(87)에 형성된 콘택트홀(87a, 87b)과, 전체 막 두께 200nm의 Ti막/Al막/Ti막의 3층의 금속막으로 이루어지는 소스/드레인 전극(88a, 88b)과, 막 두께 400nm의 실리콘 질화막으로 이루어지는 제2 층간 절연막(89)을 갖는다. 제1 층간 절연막(87)은 제1 섬 형상 반도체막(24a)과 제1 게이트 전극(82)을 피복하고 있다. 소스/드레인 전극(88a, 88b)은 콘택트홀(87a, 87b)을 통해, 제1 섬 형상 반도체막(24a)에 형성된 소스/드레인 영역(24aa, 24ab)과 각각 접속되어 있다. 제2 층간 절연막(89)은 소스/드레인 전극(88a, 88b)을 피복하고 있다.
- <199> 또한, 박막부의 TFT는, 도 16a, 도 16b에 도시한 바와 같이, 제1 섬 형상 반도체막(24a)의 양측부의 엣지의 상방에서, 또한 제1 게이트 전극(82) 위에, 제2 실리콘 산화막(제2 절연막)(83b)을 개재하여 막 두께 300nm의 제2 Al-Nd막(제2 도전체막)으로 이루어지는 전계 완화 전극(84c 내지 84f)을 갖고 있다.
- <200> 다음으로, 후막부의 TFT에 대하여 설명한다. 도 17a는 후막부의 TFT의 위에서 본 평면도이다. 도 14f의 우측 도면은 도 17a의 VI-VI선을 따라 취한 단면도이다. 도 17b는 도 17a의 VII-VII선을 따라 취한 단면도이다.
- <201> 후막부의 TFT(제2 박막 트랜지스터)는, 도 17a, 도 14f의 우측 도면에 도시한 바와 같은 구성 요소를 갖는다.

즉, 막 두께가 약 50nm인 폴리실리콘막으로 이루어지는 제2 섬 형상 반도체막(24b)과, 막 두께 30nm의 제1 실리콘 산화막(81a) 및 막 두께 70nm의 제2 실리콘 산화막(83b)으로 이루어지는 제2 게이트 절연막과, 막 두께 300nm의 제2 Al-Nd막(제2 도전체막)으로 이루어지는 제2 게이트 전극(84a)을 갖는다. 제2 섬 형상 반도체막(24b)에는 채널 영역(24be)을 사이에 두고 한쌍의 n형의 소스/드레인 영역(24ba, 24bb)이 형성되어 있다. 채널 영역(24be) 위에 제2 게이트 절연막과 제2 게이트 전극(84a)이 순서대로 형성되어 있다.

<202> 또한, 후막부의 TFT(제2 박막 트랜지스터)는, 실리콘 질화막(제1 층간 절연막)(87)과 소스/드레인 전극(88c, 88d)과, 소스/드레인 전극(88c, 88d)을 피복하는 실리콘 산화막(제2 층간 절연막)(89)을 갖는다. 실리콘 질화막(87)은 제2 섬 형상 반도체막(24b)과 제2 게이트 전극(84a)을 피복하고 있다. 소스/드레인 전극(88c, 88d)은, 실리콘 질화막(87)에 형성된 컨택트홀(87c, 87d)을 통해 제2 섬 형상 반도체막(24b)에 형성된 소스/드레인 영역(24ba, 24bb)과 각각 접촉하고 있다.

<203> 또한, 후막부의 TFT는, 도 17a, 도 17b에 도시한 바와 같이, 제2 게이트 전극(84a) 아래에서, 또한 제2 섬 형상 반도체막(24b)의 측부의 엣지 위에 제1 실리콘 산화막(81b)을 개재하여 제1 Al-Nd막으로 이루어지는 전계 완화 전극(82b, 82c)을 갖고 있다.

<204> 이상과 같이, 본 발명의 제3 실시예의 박막 트랜지스터 장치에 따르면, 박막부의 TFT에서는, 제1 섬 형상 반도체막(24a)의 양측부의 엣지의 상방에서, 또한 제1 게이트 전극(82) 위에, 제2 실리콘 산화막(83b)을 개재하여 전계 완화 전극(84c 내지 84f)을 갖고 있다. 따라서, 이 부분의 기생 용량은, 제1 섬 형상 반도체막(24a)과 제1 실리콘 산화막(81a)과 제1 게이트 전극(82)으로 형성되는 용량에 대하여, 제1 게이트 전극(82)과 전계 완화 전극(84c 내지 84f)으로 형성되는 정전 용량분만큼 커진다. 이 때문에, TFT의 게이트를 교류로 구동하는 경우, 제1 섬 형상 반도체막(24a)의 양측부의 엣지 부분에 걸리는 게이트 전위의 변화는 느려진다. 따라서, 제1 섬 형상 반도체막(24a)의 양측부의 엣지부의 기생 트랜지스터가 동작하는 것을 억제할 수 있다.

<205> 또한, 후막부의 TFT에서는, 제2 게이트 전극(84a) 아래에서, 또한 제2 섬 형상 반도체막(24b)의 양측부의 엣지 위에 제1 실리콘 산화막(81b)을 개재하여 전계 완화 전극(82b, 82c)을 갖고 있다. 이 구성에서, 전계 완화 전극(82b, 82c)의 전위를 제2 섬 형상 반도체막(24b)의 양측부의 엣지부의 채널이 도통하지 않는 전위로 설정해 둔다. 이에 의해, 제2 섬 형상 반도체막(24b)의 양측부의 엣지부의 채널이 도통하는 것을 억제할 수 있다. 또한, 제2 게이트 전극(84a)으로부터의 전계의 영향을 실드하여, 기생 트랜지스터가 온하는 것을 억제할 수 있다.

<206> 다음으로, 제3 실시예의 박막 트랜지스터 장치의 제조 방법에 대하여 도 14a~도 14f를 참조하여 설명한다.

<207> 도 14a에 도시한 바와 같이, 유리 기판(21) 위에 막 두께 50nm의 실리콘 질화막(22a)과 막 두께 250nm의 실리콘 산화막(22b)을 순차적으로 적층하여 기판을 작성한다. 또한, 경우에 따라서, 실리콘 질화막(22a)을 생략해도 된다.

<208> 그 후, 기판 위에 막 두께 50nm의 비정질 실리콘막을 형성한다. 계속해서, 온도 400℃에서 가열하여 수소 제거를 행한다. 계속해서, 엑시머 레이저를 이용하여 에너지 300mJ/cm²의 조건에서 비정질 실리콘막을 어닐링하여, 폴리실리콘막으로 변환한다. 계속해서, 폴리실리콘막을 패터닝하여 제1 및 제2 섬 형상 반도체막(24a, 24b)을 형성한다.

<209> 다음으로, 제1 및 제2 섬 형상 반도체막(24a, 24b)을 피복하는 막 두께 30nm의 제1 실리콘 산화막(제1 절연막)(81)을 CVD법에 의해 형성한다. 그 후, 전면에 막 두께 300nm의 제1 Al-Nd막(제1 도전체막)을 PVD법에 의해 형성한다. 또한, 인산과 아세트산을 포함하는 용액에 의해 도시하지 않은 레지스트 마스크를 기초로 제1 Al-Nd막을 선택적으로 에칭하여 제1 섬 형상 반도체막(24a)의 상방의 제1 실리콘 산화막(81) 위에 제1 게이트 전극(82)을 형성한다.

<210> 이 때, 후막부의 TFT의 제2 게이트 전극(84a)과 교차하는 영역에서, 또한 제2 섬 형상 반도체막(24b)의 양측부의 엣지 위에, 제1 실리콘 산화막(81)을 개재하여, 도 17a, 도 17b에 도시한 제1 Al-Nd막으로 이루어지는 전계 완화 전극(82b, 82c)을 형성한다.

<211> 계속해서, 박막부의 TFT의 형성 영역을 도시하지 않은 레지스트 마스크로 피복한다. 계속해서, 불산을 포함하는 용액으로 실리콘 산화막을 약간 에칭한다. 그 후, 레지스트 마스크를 제거한다. 또한, 박막부의 TFT의 게이트 절연막(81)의 재료를 실리콘 질화막으로 하고, 제1 게이트 전극(82)의 재료를 크롬(Cr)으로 한 경우, 이들 재료는 불산을 포함하는 용액에 대하여 에칭 내성이 있기 때문에, 박막부의 TFT의 형성 영역을 레지스트 마스크

로 보호하지 않아도 된다.

- <212> 다음으로, 도 14b에 도시한 바와 같이, 전면에 막 두께 70nm의 제2 실리콘 산화막(제2 절연막)(83)을 CVD법에 의해 형성한다. 계속해서, 막 두께 300nm의 제2 Al-Nd막(제2 도전체막)(84)을 PVD법에 의해 형성한다.
- <213> 다음으로, 도 14c에 도시한 바와 같이, 제2 Al-Nd막(84) 위에 레지스트 마스크(마스크 패턴)(85)를 형성한다. 계속해서, 레지스트 마스크(85)에 기초하여, 인산과 아세트산을 포함하는 용액으로 제2 Al-Nd막(84)을 웨트 에칭하여 레지스트 마스크(85)로 피복되어 있지 않은 영역의 제2 Al-Nd막(84)을 제거한다. 또한 레지스트 마스크(85) 아래의 제2 Al-Nd막(84)을 사이드 에칭하여 레지스트 마스크(85)보다 편측에서 LDD 영역분만큼 폭을 좁게 한 제2 게이트 전극(84a)을 형성한다.
- <214> 이 때, 제1 섬 형상 반도체막(24a)의 양측부의 엣지의 상방에서, 또한 제1 게이트 전극(24a) 위에, 제2 실리콘 산화막(83b, 83c)을 개재하여 도 16a, 도 16b에 도시한 제2 Al-Nd막으로 이루어지는 전계 완화 전극(84c 내지 84f)을 형성한다.
- <215> 다음으로, 도 14d에 도시한 바와 같이, 동일한 레지스트 마스크(85)에 기초하여, CHF_3 을 포함하는 에칭 가스를 이용하여 제2 실리콘 산화막(83)을 이방성 에칭한다. 또한 제1 게이트 전극(82) 및 레지스트 마스크(85)에 기초하여, 제1 실리콘 산화막(81)을 이방성 에칭한다. 이에 의해, 제1 게이트 전극(82) 아래에 제1 실리콘 산화막(81a)으로 이루어지는 제1 게이트 절연막을 형성한다. 동시에, 제2 게이트 전극(84a) 아래에 제1 및 제2 실리콘 산화막(81b, 83a)으로 이루어지는 제2 게이트 절연막(86)을 형성한다.
- <216> 또한, 이 때, 도 15에 도시한 바와 같이, 섬 형상 반도체막(24a, 24b) 위 및 그 밖의 영역에 제1 실리콘 산화막(81c)을 막 두께 10nm 정도 남겨 두어도 된다.
- <217> 그 후, 레지스트 마스크(85)를 제거한다.
- <218> 다음으로, 도 14e에 도시한 바와 같이, 제1 게이트 전극(82)을 마스크로 하여 제1 섬 형상 반도체막(24a)에 인(불순물)을 고농도로 이온 주입한다. 이에 의해, 제1 게이트 전극(82)의 양측에 고농도 불순물 영역(24aa, 24ab)을 형성한다. 동시에, 제2 게이트 전극(84a) 및 제2 게이트 절연막(83a, 81b)을 마스크로 하여 제2 섬 형상 반도체막(24b)에 인(불순물)을 고농도로 이온 주입한다. 이에 의해, 제2 게이트 전극(84a)의 양측에 한쌍의 고농도 불순물 영역(24ba, 24bb)을 형성한다. 이 때, 이온 주입 조건을, 예를 들면, 가속 전압을 10kV, 도우즈량을 $1 \times 10^{15} / \text{cm}^{-2}$ 로 한다.
- <219> 계속해서, 제2 게이트 전극(84a)을 마스크로 하고, 또한 제2 게이트 전극(84a)의 주변부의 제2 게이트 절연막(83a, 81b)을 투과하는 조건에서 제2 섬 형상 반도체막(24b)에 인(불순물)을 저농도로 이온 주입한다. 이에 의해, 제2 게이트 전극(84a)의 양측에서 제2 게이트 절연막(83a, 81b) 아래에 LDD 영역인 한쌍의 저농도 불순물 영역(24bc, 24bd)을 형성한다. 이 때, 이온 주입 조건을, 예를 들면, 가속 전압을 100kV, 도우즈량을 $1 \times 10^{14} / \text{cm}^{-2}$ 로 한다.
- <220> 또한, p채널형 TFT가 혼재되어 있는 경우, 인의 이온 주입에서는 p채널형 TFT의 동작층을 마스크하지 않고서 이온 주입하고, 그 전이어도 후이어도 되지만, 붕소를 고농도로, 예를 들면 가속 전압 10kV, 도우즈량 $1 \times 10^{16} / \text{cm}^{-2}$ 의 조건에서 이온 주입한다. 이에 의해, p채널형 TFT의 동작층에서는 인의 농도가 붕소에 의해 보상되어 p채널형 TFT의 동작층이 p형화된다.
- <221> 계속해서, 온도 400℃에서 어닐링함으로써, 제1 및 제2 섬 형상 반도체막(24a, 24b) 내의 수소 제거를 행한다. 계속해서, 250mJ/cm²의 조건에서, 레이저 조사하여 어닐링하여, 제1 및 제2 섬 형상 반도체막(24a, 24b) 내의 인을 활성화한다.
- <222> 다음으로, 도 14f에 도시한 바와 같이, CVD법에 의해, 실리콘 질화막(제1 층간 절연막)(87)을 두께 400nm로 성막한다. 계속해서, 제1 실리콘 질화막(87)을 패터닝하여, 박막부의 TFT의 형성 영역의 고농도 불순물 영역(24aa, 24ab) 위에 콘택트홀(87a, 87b)을 형성한다. 동시에 후막부의 TFT의 형성 영역의 고농도 불순물 영역(24ba, 24bb) 위에 콘택트홀(87c, 87d)을 형성한다.
- <223> 다음으로, PVD법에 의해, Ti막/Al막/Ti막의 3층의 금속막을 전체 막 두께 200nm로 성막한다. 계속해서, 3층의 금속막을 패터닝하여 콘택트홀(87a, 87b)을 통해 고농도 불순물 영역(24aa, 24ab)과 접촉하는 소스/드레인 전극(88a, 88b)을 형성한다. 동시에, 콘택트홀(87c, 87d)을 통해 고농도 불순물 영역(24ba, 24bb)과 접촉하는 소스

/드레인 전극(88c, 88d)을 형성한다.

- <224> 다음으로, CVD법에 의해, 소스/드레인 전극(88a 내지 88d)을 피복하는 실리콘 질화막(제2 층간 절연막)(89)을 막 두께 400nm로 성막한다. 이에 의해, 박막 트랜지스터 장치가 완성된다.
- <225> 액정 표시 장치의 TFT 기관 및 액정 표시 장치를 작성하는 경우, 도 14f의 우측 도면에 도시한 바와 같이, 소스/드레인 전극(88d) 위의 실리콘 질화막(89)에 비아홀(89a)을 형성한다. 계속해서, ITO막을 성막한 후, ITO막을 패터닝하여, 비아홀(89a)을 통해 소스/드레인 전극(88d)과 접촉하는 화소 전극(90)을 형성한다. 그 후, 제1 및 제2 실시예에서 설명한 제조 방법에 따른다.
- <226> 이상과 같이, 본 발명의 제3 실시예의 박막 트랜지스터 장치의 제조 방법에서는, 도 14c에 도시한 바와 같이, 레지스트 마스크(85)에 기초하여, Al-Nd막을 사이드 에칭하여, 레지스트 마스크(85)의 엣지보다 편측에서 LDD 영역분만큼 작은 제2 게이트 전극(84a)을 형성한다. 또한, 레지스트 마스크(85)에 기초하여, 실리콘 산화막(83, 81)을 이방성 에칭하여 제2 게이트 전극(84a)보다 편측에서 LDD 영역분만큼 큰 제2 게이트 절연막(86)을 형성하고 있다. 그리고, 도 14e에 도시한 바와 같이, 이온 주입 시에 제2 게이트 절연막(86)을 투과하지 않는 조건에서 고도우즈량의 이온 주입을 행하고 있다. 또한 제2 게이트 절연막(86)을 투과하는 조건에서 저도우즈량의 이온 주입을 행한다. 이에 의해, 제2 섬 형상 반도체막(24b)에 LDD 구조를 형성한다.
- <227> 이와 같이, 노광용 마스크를 증가시키지 않고, 게이트 전극(84a)나 게이트 절연막(86)을 이용하여 자기 정합적으로 LDD 구조를 형성할 수 있다.
- <228> 또한, 도 14c, 도 14d에 도시한 바와 같이, 막 두께가 서로 다른 게이트 절연막(81a, 86)을 한번의 에칭에 의해 형성할 수 있기 때문에, 공정의 간략화를 도모할 수 있다. 이 경우, 섬 형상 반도체막(24a, 24b)의 채널 영역은 서로 에칭 가스의 플라즈마에 노출되지 않기 때문에, 섬 형상 반도체막(24a, 24b)의 채널 영역 표면에 손상층이 발생하는 것을 방지할 수 있다.
- <229> (제4 실시예)
- <230> 다음으로, 본 발명의 제4 실시예의 박막 트랜지스터 장치를 탑재한 액정 표시 장치의 구조에 대하여 도면을 참조하여 설명한다.
- <231> 그 액정 표시 장치에서는, 제1 실시예에서 이미 설명한 바와 같이, 동일한 기관 위에 박막부의 TFT(제1 박막 트랜지스터)와, 후막부의 TFT(제2 박막 트랜지스터)가 형성되어 있다. 박막부의 TFT는 주변 회로부에서 이용되고, 후막부의 TFT는 표시부에서 이용된다. 또한, 주변 회로부에서도 고전압을 취급하는 버퍼부에서는, 후막부의 TFT와 유사한 TFT가 이용된다.
- <232> 본 제4 실시예에서는, 표시부의 구조, 특히 축적 용량 버스 라인에 부속하는 축적 용량 소자의 구조에 특징이 있기 때문에, 그것을 중심으로 설명한다.
- <233> 도 18은 본 발명의 제4 실시예의 액정 표시 장치의 표시부의 일 화소를 위에서 본 구조를 도시하는 평면도이다. 도 18의 VIII-VIII선을 따라 취한 단면도는 TFT의 단면이고, 그것을 도 14f의 우측 도면에 도시한다. 도 19a는 도 18의 IX-IX선을 따라 취한 단면도이다. 도 19b는 도 18의 X-X선을 따라 취한 단면도이다.
- <234> 도 18에 도시한 바와 같이, 화소 전극(110)(90)이 후막부의 TFT의 소스/드레인 전극(88d)을 통해 소스/드레인 영역(24bb)과 접속되어 있다. 그리고, 화소 전극(90)과 교차하도록 축적 용량 버스 라인(111)(82c)이 형성되어 있다. 축적 용량 버스 라인(82c)은 박막부의 TFT의 제1 게이트 전극(82)과 동일한 재료로 형성되어 있다. 그것은, 후막부의 TFT의 소스/드레인 전극(88d)과 접속되어 있다.
- <235> 데이터 버스 라인(108)은 소스/드레인 전극(88c)과 동일한 재료로 형성되어 있다. 그것은, 후막부의 TFT의 다른 한쪽의 소스/드레인 영역(24ba)과 접속되어 있다. 또한, 게이트 버스 라인(109)은 후막부의 TFT의 제2 게이트 전극(84a)과 동일한 재료로 형성되어 있다. 그것은, 제2 게이트 전극(84a)과 연결되어 있다.
- <236> 후막부의 TFT는, 도 14f의 우측 도면에 도시한 바와 같이, 제2 섬 형상 반도체막(24b)과, 제1 및 제2 실리콘 산화막(81b, 83a)으로 이루어지는 제2 게이트 절연막(86)과, 제2 Al-Nd로 이루어지는 제2 게이트 전극(84a)에 의해 구성되어 있다. 제2 섬 형상 반도체막(24b)은 채널 영역(24be)을 사이에 두고 형성된 한쌍의 소스/드레인 영역(24ba, 24bb)을 갖고, 그 중 어느 하나가 화소 전극(90)과 접속되어 있다. 채널 영역(24be) 위에, 제2 게이트 절연막(86)과 제2 게이트 전극(84a)이 순서대로 형성되어 있다.
- <237> 축적 용량 버스 라인(82c)은, 도 19a, 도 19b의 각각 우측 도면에 도시한 바와 같이, 제1 Al-Nd막으로 구성되어

있다. 그 일부 영역에서, 축적 용량 버스 라인(82c) 위에 제2 실리콘 산화막(83d)과 제2 Al-Nd막(84f)이 이 순서대로 적층되어 이루어진다. 또한, 도 19a에 도시한 바와 같이, 제2 Al-Nd막(84f)은 후막부의 TFT의 소스/드레인 전극(88d)과 접촉되어 있다. 또한, 도 19b의 좌측 도면에 도시한 바와 같이, 제2 Al-Nd막(84f)은 소스/드레인 전극(88d)을 통해 화소 전극(90)과 접촉되어 있다. 또한, 소스/드레인 전극(88d)은 Ti막(88da)/Al막(88db)/Ti막(88dc)의 3층 구조로 되어 있다. 도면에서, 도 14f와 동일한 부호로 나타내는 것은 도 14f와 동일한 것을 나타내기 때문에, 그에 대한 설명은 생략한다.

<238> 또한, 박막부의 TFT는, 도 14f의 좌측 도면과 동일한 구조를 갖기 때문에, 그에 대한 설명은 생략한다.

<239> 이상과 같이, 본 발명의 제4 실시예의 액정 표시 장치에 따르면, 박막부의 TFT의 제1 게이트 전극(82)과 동일한 재료에 의해 표시부의 축적 용량 버스 라인(108)을 형성하고 있다. 또한, 축적 용량 버스 라인(108)을 한쪽의 전극으로 하고, 제2 게이트 절연막(86) 중 제2 절연막(83a)과 동일한 재료로 용량 절연막(83d)을 형성하며, 제2 게이트 전극(84a)과 동일한 재료로 다른쪽의 전극(84f)을 형성한 용량 소자를 갖고 있다.

<240> 이에 의해, 게이트 절연막은 통상 얇게 형성되기 때문에, ITO막을 다른쪽의 전극으로 하고, 층간 절연막을 용량 절연막으로 하는 용량 소자보다, 단위 면적당 높은 용량값의 용량 소자를 얻을 수 있다. 따라서, 축적 용량을 형성하기 위해 필요한 축적 용량 버스 라인(108)의 면적, 즉 차광 영역을 줄일 수 있기 때문에, 개구율을 향상시킬 수 있다.

<241> 이 액정 표시 장치에 이용하는 박막 트랜지스터 장치의 작성은, 제3 실시예의 박막 트랜지스터 장치의 제조 방법을 적용한다. 이 경우, 축적 용량 버스 라인(82c) 등은, 이하와 같이, TFT의 게이트 전극 등의 형성 공정과 공통의 공정에서 형성된다.

<242> 축적 용량 버스 라인(82c)은, 제1 게이트 전극(82)을 형성할 때에 동시에 제1 Al-Nd막으로 형성한다. 또한, 후막부의 TFT의 제2 게이트 절연막(86)을 형성하기 위해 제2 실리콘 산화막(83)을 에칭할 때에, 축적 용량 버스 라인(82a) 위에 제2 실리콘 산화막(83d)을 남긴다. 제2 실리콘 산화막(83d) 위의 제2 Al-Nd막(84f)은 제2 게이트 전극(84a)을 형성할 때에 동시에 패터닝하여 형성한다. 또한, 게이트 전극(84a)의 형성과 동시에 게이트 버스 라인(109)을 형성하고, 소스/드레인 전극(88a 내지 88d)의 형성과 동시에 데이터 버스 라인(108)을 형성한다.

<243> 그 후, 제3 실시예에서 설명한 실리콘 질화막(89)을 형성하는 공정에 이어서, 실리콘 질화막(89)을 패터닝하여, 소스/드레인 전극(88d) 위에 비아홀(89a)을 형성한다. 다음으로, PVD법에 의해, 막 두께 100nm의 ITO막을 형성한 후, 패터닝하여 화소 전극(90)을 형성한다.

<244> 계속해서, 유리 기판(21)의 상측 전면에, 액정 분자의 초기 상태(전압 무인가 시)의 배향 방향을 결정하는 배향막(도시 생략)을 형성한다.

<245> 이와 같이 하여, 액정 표시 장치의 TFT 기판이 완성된다.

<246> 액정 표시 장치의 대향 기판은, 공지된 방법으로 작성한다. 즉, 유리 기판 위에, 예를 들면 Cr(크롬)에 의해, 화소간의 영역을 차광하기 위한 블랙 매트릭스를 형성한다. 또한, 유리 기판 위에 적색, 녹색 및 청색의 컬러 필터를 형성하고, 각 화소마다 적색, 녹색 및 청색 중 어느 1색의 컬러 필터를 배치한다. 그 후, 유리 기판의 상측 전면에 ITO막으로 이루어지는 투명 전극을 형성하고, 투명 전극 위에 배향막을 형성한다.

<247> 이와 같이 하여 제조된 TFT 기판과 대향 기판을 접합하고, 양자간에 액정을 봉입하여 액정 패널로 한다. 이 액정 패널의 양면에 편광판을 배치하고, 이면측에 백 라인을 배치하면, 액정 표시 장치가 완성된다.

<248> (제5 실시예)

<249> 다음으로, 본 발명의 제5 실시예의 박막 트랜지스터 장치를 탑재한 액정 표시 장치의 구조에 대하여 도면을 참조하여 설명한다.

<250> 제5 실시예의 액정 표시 장치는, 제4 실시예의 액정 표시 장치와 마찬가지로, 기판 위에 형성된 박막부의 TFT와, 후막부의 TFT와, 후막부의 TFT의 소스/드레인 영역과 접촉된 화소 전극(110)(90) 및 데이터 버스 라인(108)(88c)과, 후막부의 TFT의 게이트 전극과 접촉된 게이트 버스 라인(109)(84a)과, 화소 전극(90)과 교차하는 축적 용량 버스 라인(111)(82c)을 갖는다.

<251> 제4 실시예와 다른 점은, 표시부, 특히 축적 용량 버스 라인(82c)에 부속하는 축적 용량 소자의 구조이다.

- <252> 도 20은 본 발명의 제5 실시예인 액정 표시 장치의 표시부의 일 화소를 위에서 본 구조를 도시하는 평면도이다. 도 20의 XI-XI선을 따라 취한 단면도는 TFT의 단면으로, 도 14f의 우측 도면에 도시한다. 도 21a는 도 20의 XII-XII선을 따라 취한 단면도이다.
- <253> 표시부의 구성 요소 중, 박막부의 TFT 및 후막부의 TFT는, 제4 실시예와 동일한 구조이기 때문에, 그에 대한 상세한 설명은 생략한다.
- <254> 축적 용량 버스 라인(82c)(111)은, 도 21a, 21b에 도시한 바와 같이, 박막부의 TFT의 제1 게이트 전극(82)과 동일한 재료인 제1 Al-Nd막(제1 도전체막)에 의해 구성되어 있다. 그 일부 영역에서, 축적 용량 버스 라인(82c)을 한쪽의 전극으로 하는 축적 용량 소자를 구비하고 있다. 그 축적 용량 소자는 축적 용량 버스 라인(82c)으로 이루어지는 한쪽의 전극과, 박막부의 TFT의 제1 게이트 절연막(81a)과 동일한 재료인 제1 실리콘 산화막(81e)으로 이루어지는 용량 절연막과, 제1 및 제2 섬 형상 반도체막(24a, 24b)과 동일한 재료인 제3 섬 형상 반도체막(24c)으로 이루어지는 다른쪽의 전극으로 구성된다. 축적 용량 버스 라인(82c)의 양측의 제3 섬 형상 반도체막(24c)에 한쌍의 p형 불순물 영역이 형성되어 있다. 한쌍의 p형 불순물 영역 중 어느 하나는 화소 전극(90)과 접촉되어 있다. 다시 말하면, 축적 용량 버스 라인(82c)을 제3 게이트 전극으로 하고, 제1 실리콘 산화막(81e)을 제3 게이트 절연막으로 하며, 제3 섬 형상 반도체막(24c)을 동작층으로 하고, 한쌍의 p형 불순물 영역을 소스/드레인 영역으로 하는, p채널형의 제3 박막 트랜지스터와 동일한 구조로 되어 있다.
- <255> 여기서, p채널형의 제3 박막 트랜지스터를 이용하고 있는 것은, 이하의 이유에 의한다. 즉, 화소 TFT를 n채널형으로 하면 온 전류가 높아, 화소의 축적 전하량을 증가시키기 쉽다. 또한, 화소 TFT를 n채널형으로 하여, 기생 TFT의 영향을 방지하기 위해, 도 17a, 도 17b와 같은 구조를 이용한 경우, 화소 TFT의 전계 완화 전극(82a, 82b)에의 인가 전압을 마이너스로 하는 것이 바람직하다. 또한, 화소 TFT의 전계 완화 전극(82a, 82b)과 축적 용량 소자의 게이트 전극(축적 용량 버스 라인)(82c)을 동일 전위로 함으로써 전원을 줄일 수 있다. 이상에 의해, 축적 용량 소자의 게이트 전극(축적 용량 버스 라인)(82c)에는 마이너스의 전위가 걸리기 때문에, 제3 박막 트랜지스터를 p채널형으로 함으로써, 항상 채널이 도통하고 있는 상태를 유지할 수 있다. 즉, 전극으로서 이용할 수 있다.
- <256> 다음으로, 제5 실시예의 액정 표시 장치의 제조 방법에 대하여 설명한다. 그 중, 박막 트랜지스터 장치의 작성은, 제3 실시예의 박막 트랜지스터 장치의 제조 방법을 적용한다. 이 경우, 축적 용량 버스 라인(82c) 등은, 이하와 같이, TFT의 게이트 전극 등의 형성 공정과 공통의 공정에서 형성된다.
- <257> 제3 섬 형상 반도체막(24c)은, 제1 및 제2 섬 형상 반도체막(24a, 24b)을 형성할 때에, 동시에 패터닝하여 형성한다. 제1 실리콘 산화막(81e)으로 이루어지는 게이트 절연막은, 제1 실리콘 산화막(81)을 패터닝하여 제1 게이트 절연막(81a)과, 제2 게이트 절연막(86)의 일부를 형성할 때에 동시에 패터닝하여 형성한다. 축적 용량 버스 라인(82c)은 제1 Al-Nd막을 패터닝하여 제1 게이트 전극(82)을 형성할 때에 동시에 패터닝하여 형성한다.
- <258> 그 후, 제3 실시예에서 설명한 실리콘 질화막(89)을 형성하는 공정에 이어서, 실리콘 질화막(89)을 패터닝하여, 소스/드레인 전극(88d) 위에 비아홀(89a)을 형성한다. 다음으로, PVD법에 의해, 막 두께 100nm의 ITO막을 형성한 후, 패터닝하여 화소 전극(90)을 형성한다.
- <259> 계속해서, 유리 기판(21)의 상측 전면에, 액정 분자의 초기 상태(전압 무인가 시)의 배향 방향을 결정하는 배향막(도시 생략)을 형성한다.
- <260> 이와 같이 하여, 액정 표시 장치의 TFT 기판이 완성된다.
- <261> 액정 표시 장치의 대향 기판은, 공지된 방법으로 작성한다. 즉, 유리 기판 위에, 예를 들면 Cr(크롬)에 의해, 화소간의 영역을 차광하기 위한 블랙 매트릭스를 형성한다. 또한, 유리 기판 위에 적색, 녹색 및 청색의 컬러 필터를 형성하고, 각 화소마다 적색, 녹색 및 청색 중 어느 1색의 컬러 필터를 배치한다. 그 후, 유리 기판의 상측 전면에 ITO막으로 이루어지는 투명 전극을 형성하고, 투명 전극 위에 배향막을 형성한다.
- <262> 이와 같이 하여 제조된 TFT 기판과 대향 기판을 접합하고, 양자간에 액정을 봉입하여 액정 패널로 한다. 이 액정 패널의 양면에 편광판을 배치하고, 이면측에 백 라인을 배치하면, 액정 표시 장치가 완성된다.
- <263> 이상과 같이, 본 발명의 제5 실시예에서는, 이하의 요소로 구성된 축적 용량 소자를 구비하고 있다. 즉, 축적 용량 소자는, 박막부의 TFT의 제1 게이트 전극(82)과 동일한 재료인 축적 용량 버스 라인(108)을 이용한 한쪽의 전극과, 제2 게이트 절연막(86) 중 제1 절연막(81b)과 동일한 재료로 형성된 용량 절연막(81e)과, 제1 및 제2 섬 형상 반도체막(24a, 24b)과 동일한 재료로 형성된 다른쪽의 전극(24c)을 갖고 있다.

- <264> 이에 의해, 게이트 절연막은 통상 얇게 형성되기 때문에, IT0막을 다른쪽의 전극으로 하고, 층간 절연막을 용량 절연막으로 하는 축적 용량 소자보다, 단위 면적당 높은 용량값의 축적 용량 소자를 얻을 수 있다. 이에 의해, 축적 용량을 형성하기 위해 필요한 축적 용량 버스 라인(108)의 면적, 즉 차광 영역을 줄일 수 있기 때문에, 개 구율을 향상시킬 수 있다.
- <265> 또한, 화소 TFT를 도 17a, 도 17b의 전계 완화 전극(82a, 82b)을 구비하도록 한 구조로 해도, 축적 용량 소자의 게이트 전극(82c)과 전계 완화 전극(82a, 82b)에 하나의 축적 용량 버스 라인(82c)으로부터 전압을 공급할 수 있다. 따라서, 축적 용량 소자의 게이트 전극(82c) 및 전계 완화 전극(82a, 82b)에의 전압 공급을 위한 여분의 배선을 증가시킬 필요가 없기 때문에, 개구율의 저하를 방지할 수 있다.
- <266> 이상, 실시예에 의해 본 발명을 구체적으로 설명하였지만, 본 발명은 상기 실시예에 구체적으로 제시한 예에 한정되는 것이 아니며, 본 발명의 요지를 이탈하지 않는 범위의 상기 실시예의 변경은 본 발명의 범위에 포함된다.
- <267> 예를 들면, 상기에서는 박막 트랜지스터 장치를 액정 표시 장치에 응용하고 있지만, 유기 EL 표시 장치에 적용 하는 것도 가능하다.
- <268> 또한, 기판으로서, 유리 기판 위에 실리콘 질화막 및 실리콘 산화막을 적층한 투명한 기판을 이용하고 있지만, 이면으로부터 노광광을 조사하는 공정을 갖는 제조 방법을 적용하고 있는 경우를 제외하고, 불투명한 기판을 이용할 수도 있다.

발명의 효과

- <269> 따라서, 본 발명에 따르면, 특성이나 내압의 열화를 방지하여, 동작층의 앳지부에서의 기생 TFT의 동작을 억제 할 수 있는 박막 트랜지스터 장치를 제공할 수 있다.

도면의 간단한 설명

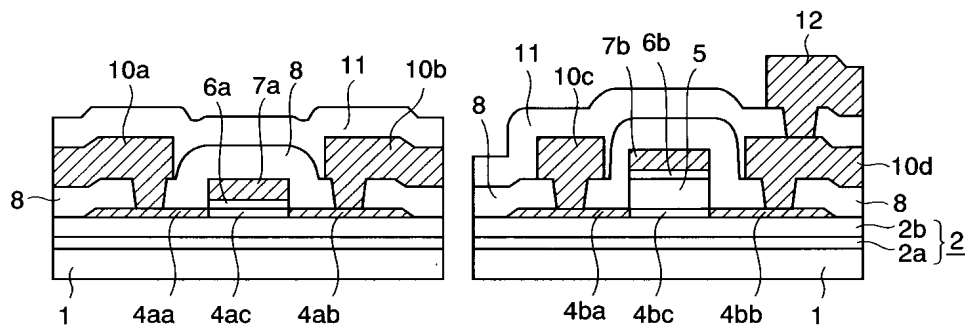
- <1> 도1은 종래예의 박막 트랜지스터 장치를 도시하는 단면도.
- <2> 도2는 종래예의 박막 트랜지스터 장치의 제조 방법에서의 문제점을 도시하는 단면도.
- <3> 도 3a, 도 3b는 종래예의 박막 트랜지스터 장치의 제조 방법에서의 다른 문제점을 도시하는 단면도.
- <4> 도4a는 종래예의 박막 트랜지스터 장치의 제조 방법의 도중 공정을 도시하는 평면도이고, 도 4b는 동일하게 박 막 트랜지스터 장치의 제조 방법의 다른 도중 공정을 도시하는 평면도(위의 도면)와 XIV-XIV선을 따라 취한 단 면도(아래의 도면).
- <5> 도5는 종래예의 다른 박막 트랜지스터 장치를 도시하는 단면도.
- <6> 도 6a, 도 6b는 종래예의 다른 박막 트랜지스터 장치의 제조 방법에서의 문제점을 도시하는 단면도.
- <7> 도 7은 본 발명의 제1 실시예의 박막 트랜지스터 장치(투과형 액정 표시 장치)의 구성을 도시하는 블록도.
- <8> 도 8은 본 발명의 제1 실시예의 박막 트랜지스터 장치를 도시하는 평면도.
- <9> 도 9a~도 9p는 본 발명의 제1 실시예의 박막 트랜지스터 장치의 제조 방법을 도시하는 단면도.
- <10> 도 10a는 본 발명의 제1 실시예의 박막 트랜지스터 장치의 제조 방법의 도중공정을 도시하는 평면도이고, 도 10b는 동일하게 박막 트랜지스터 장치의 제조 방법의 다른 도중 공정을 도시하는 평면도(위의 도면)와, II-II 선 을 따라 취한 단면도(아래의 도면).
- <11> 도 11a는 본 발명의 제1 실시예의 박막 트랜지스터 장치의 제조 방법의 도중 공정을 도시하는 평면도이고, 도 11b는 동일하게 박막 트랜지스터 장치의 제조 방법의 다른 도중 공정을 도시하는 평면도(위의 도면), III-III선을 따라 취한 단면도(아래의 도면).
- <12> 도 12a~도 12h는 본 발명의 제2 실시예의 박막 트랜지스터 장치의 제조 방법을 도시하는 단면도.
- <13> 도 13a~도 13d는 본 발명의 제2 실시예의 박막 트랜지스터 장치의 다른 제조 방법을 도시하는 단면도.
- <14> 도 14a~도 14f는 본 발명의 제3 실시예의 박막 트랜지스터 장치의 제조 방법을 도시하는 단면도.

- <15> 도15는 본 발명의 제3 실시예의 박막 트랜지스터 장치의 다른 제조 방법을 도시하는 단면도.
- <16> 도 16a는 본 발명의 제3 실시예의 박막 트랜지스터 장치를 도시하는 평면도이고, 도 16b는 도 16a의 IV-IV선을 따라 취한 단면도.
- <17> 도 17a는 본 발명의 제3 실시예의 박막 트랜지스터 장치를 도시하는 평면도이고, 도 17b는 도 17a의 VI-VI선을 따라 취한 단면도.
- <18> 도 18은 본 발명의 제4 실시예의 박막 트랜지스터 장치를 구비한 액정 표시 장치를 도시하는 평면도.
- <19> 도 19a는 동일하게 도 18의 IX-IX선을 따라 취한 단면도이고, 도 19b는 동일하게 도 18의 X-X선을 따라 취한 단면도.
- <20> 도 20은 본 발명의 제5 실시예의 박막 트랜지스터 장치를 구비한 액정 표시 장치를 도시하는 평면도.
- <21> 도 21a는 동일하게 도 20의 XII-XII선을 따라 취한 단면도이고, 도 21b는 동일하게 도 20의 XIII-XIII선을 따라 취한 단면도.
- <22> <도면의 주요 부분에 대한 부호의 설명>
- <23> 101 : 제어 회로
- <24> 102 : 데이터 드라이버
- <25> 103 : 게이트 드라이버
- <26> 104 : 표시부
- <27> 105 : TFT
- <28> 106 : 표시 셀

도면

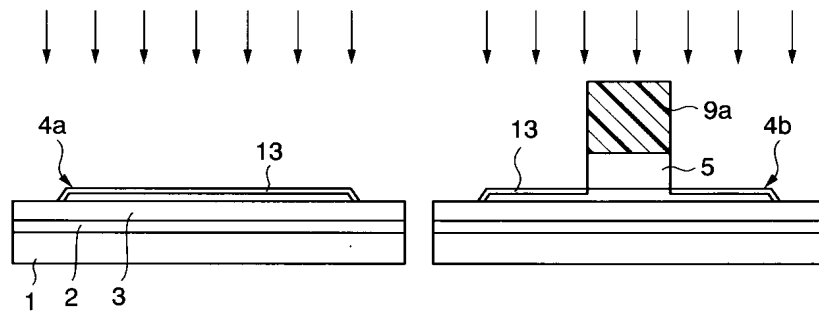
도면1

(종래 기술)



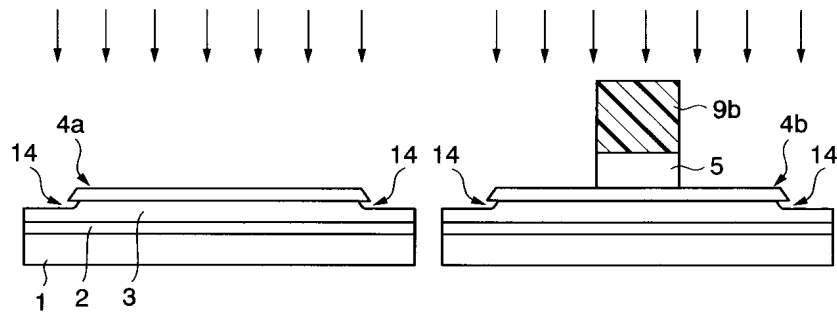
도면2

(종래 기술)



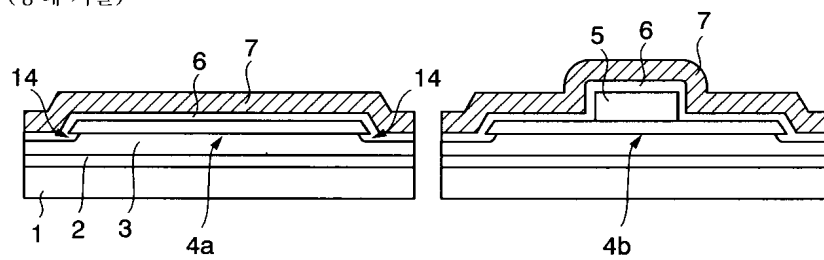
도면3a

(종래 기술)



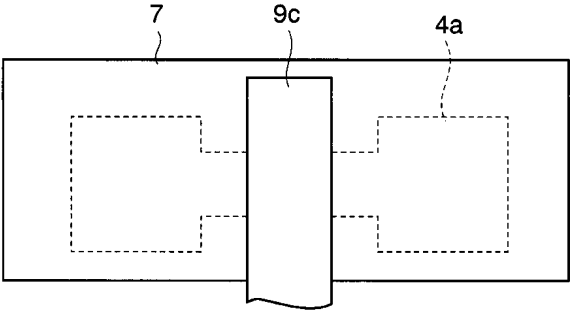
도면3b

(종래 기술)



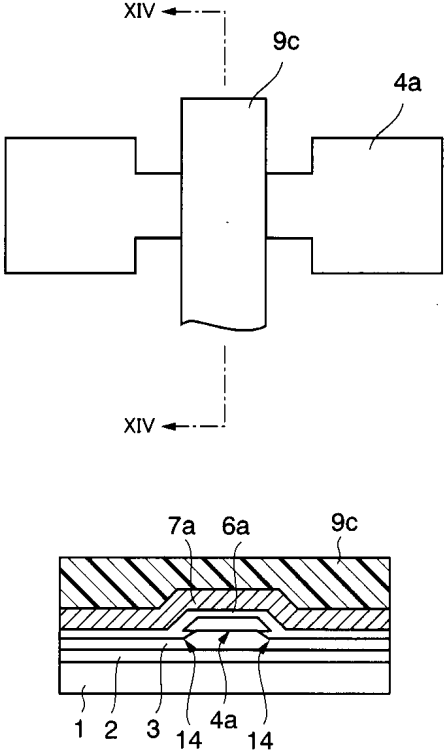
도면4a

(종래 기술)



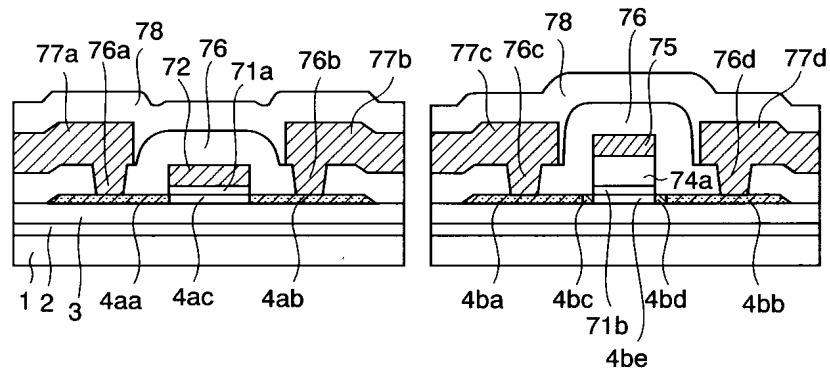
도면4b

(종래 기술)



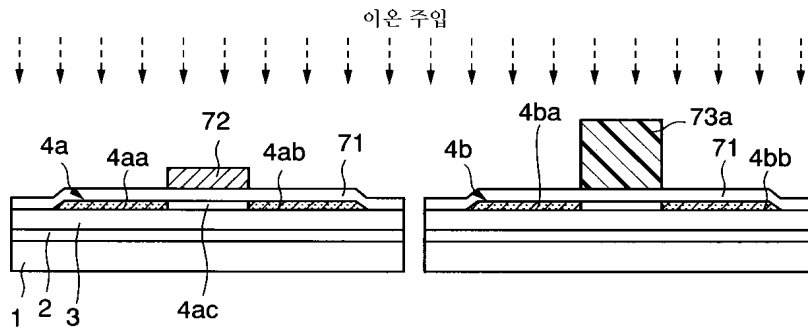
도면5

(종래 기술)



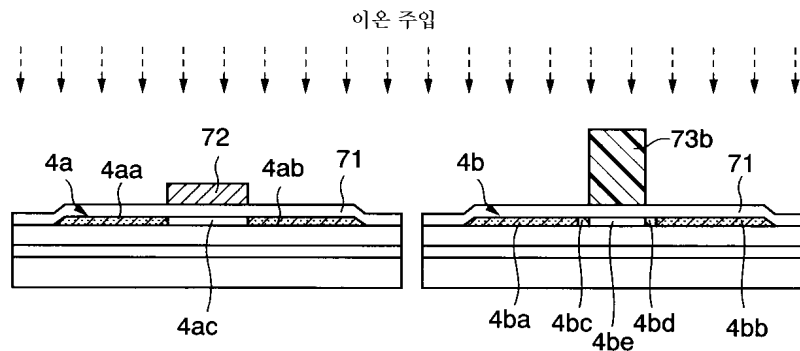
도면6a

(종래 기술)

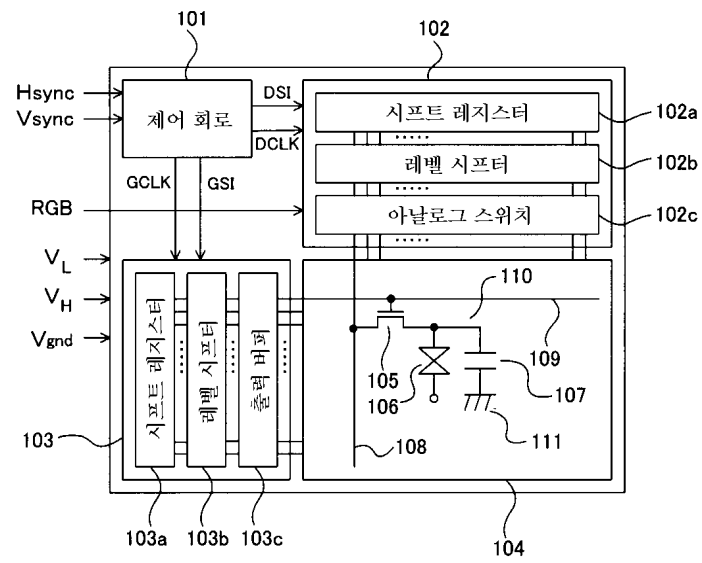


도면6b

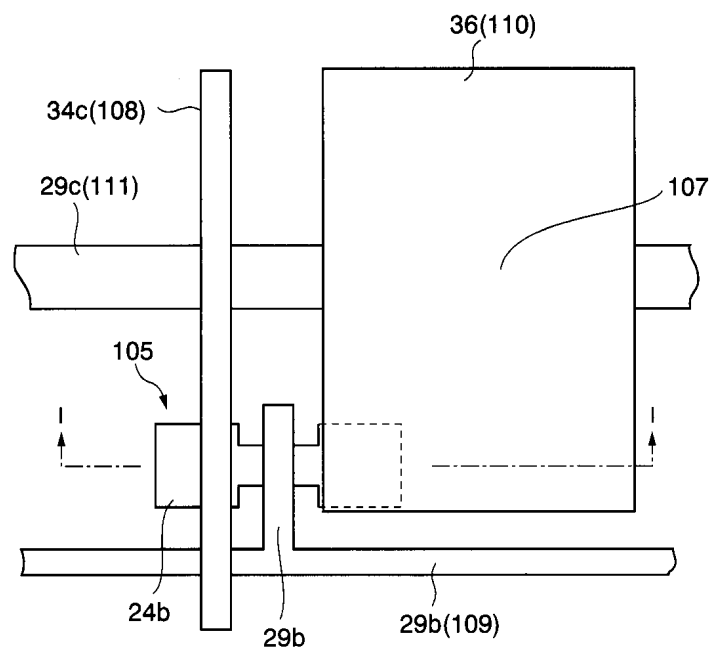
(종래 기술)



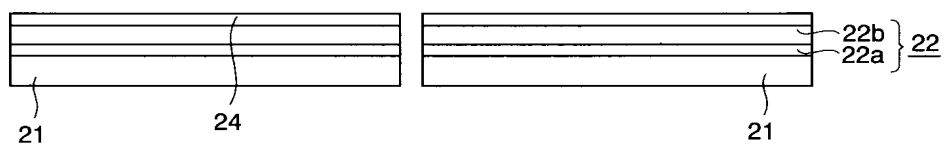
도면7



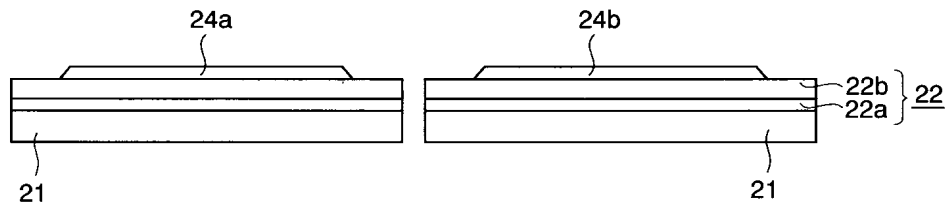
도면8



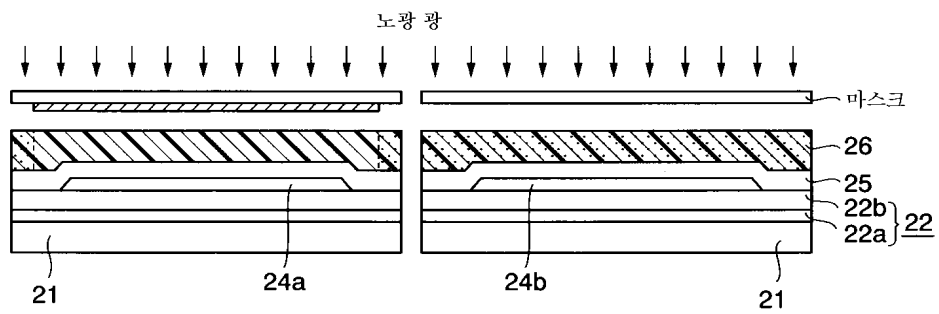
도면 9a



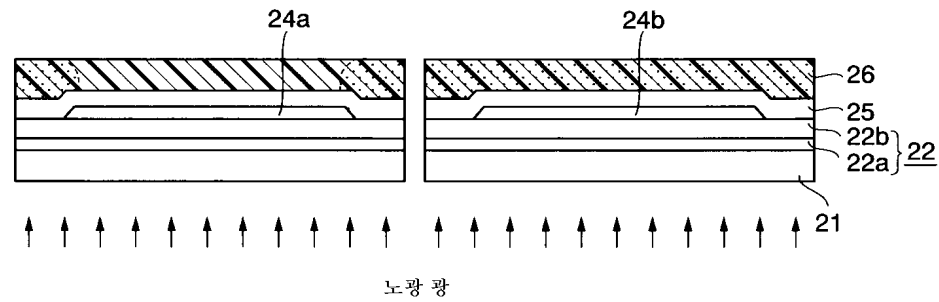
도면9b



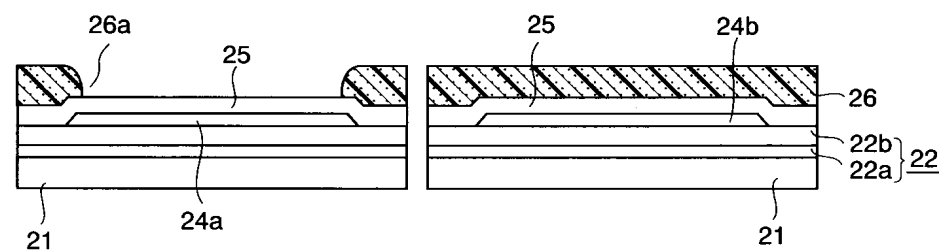
도면9c



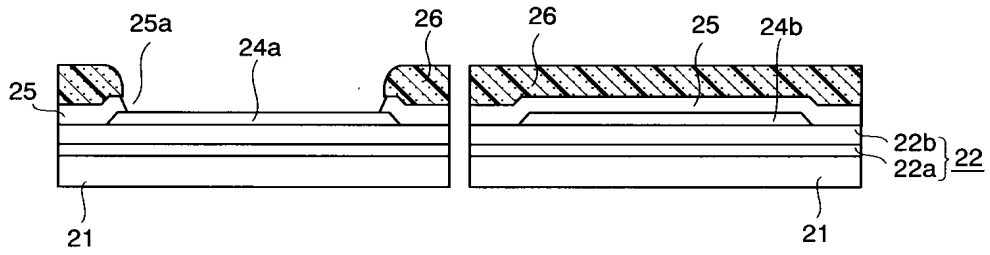
도면9d



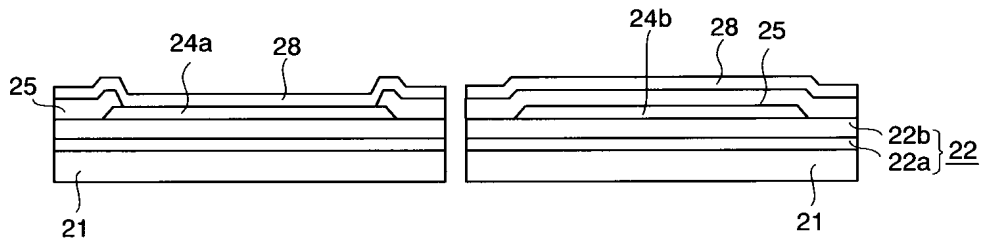
도면9e



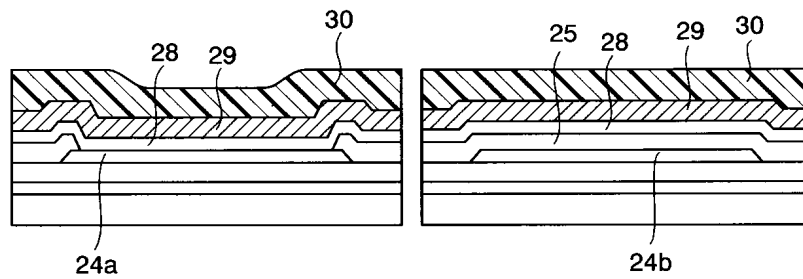
도면9f



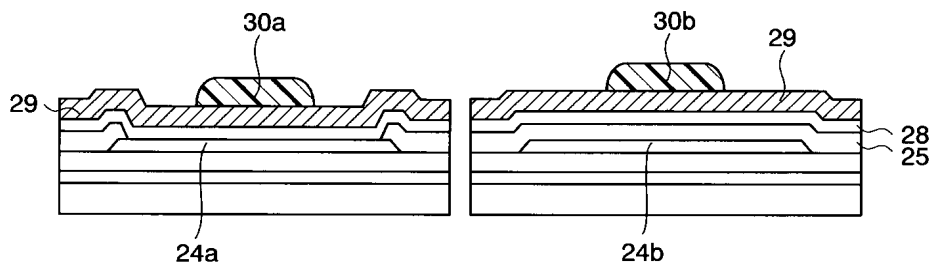
도면9g



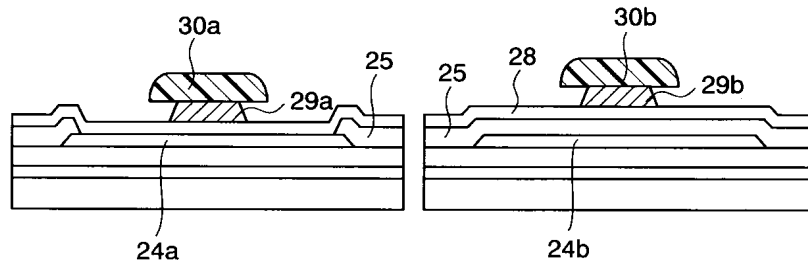
도면9h



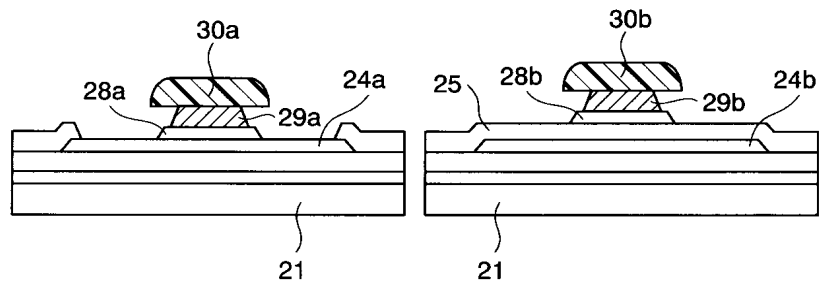
도면9i



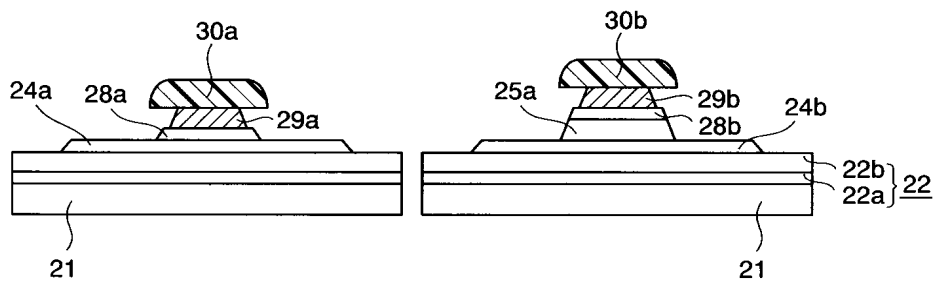
도면9j



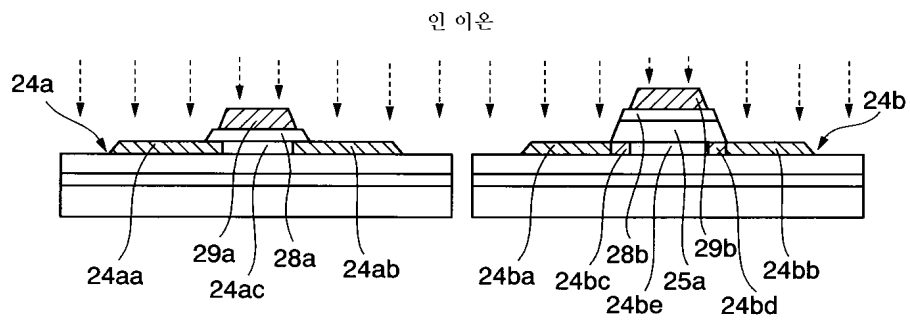
도면9k



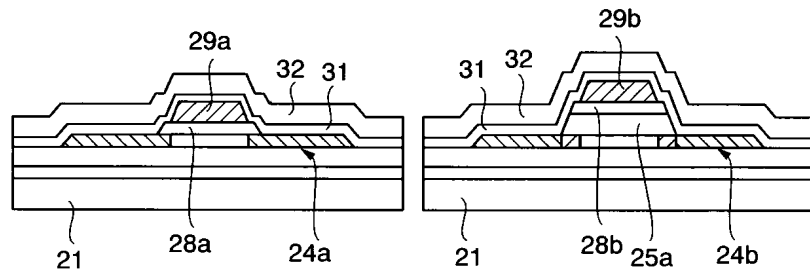
도면9l



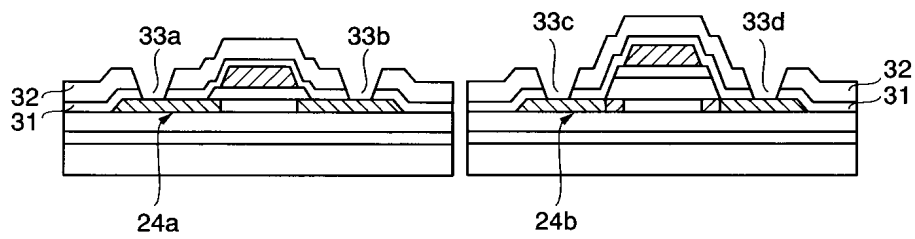
도면9m



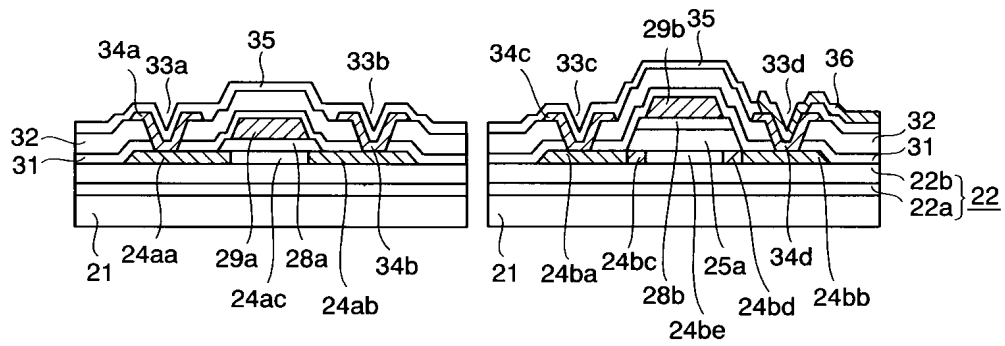
도면9n



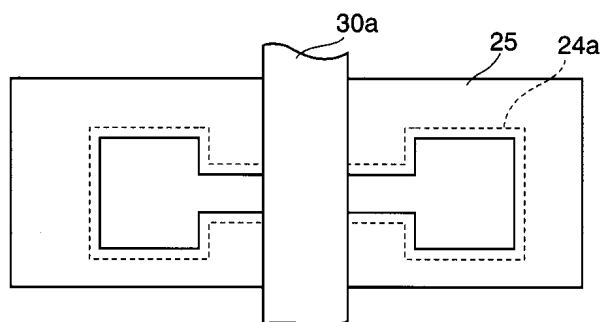
도면9o



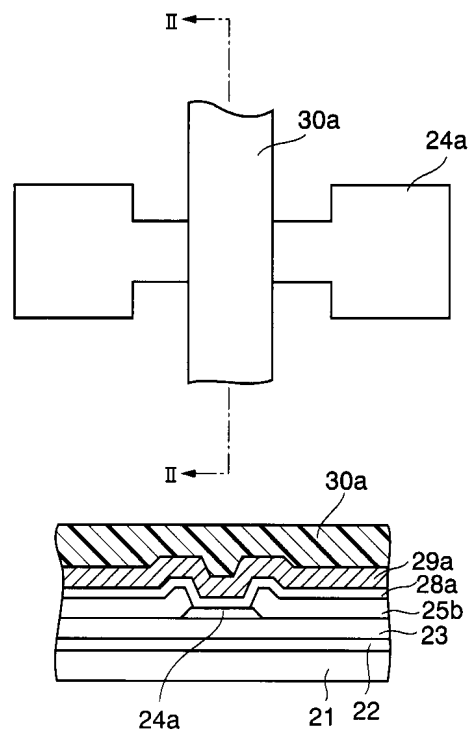
도면9p



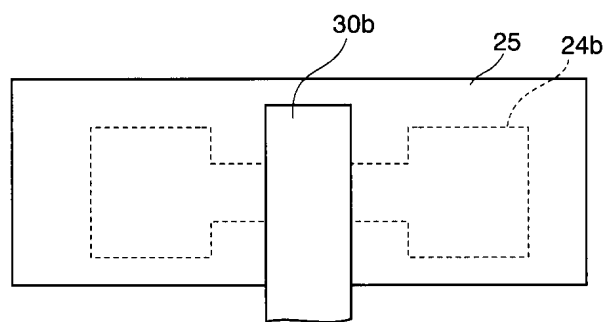
도면10a



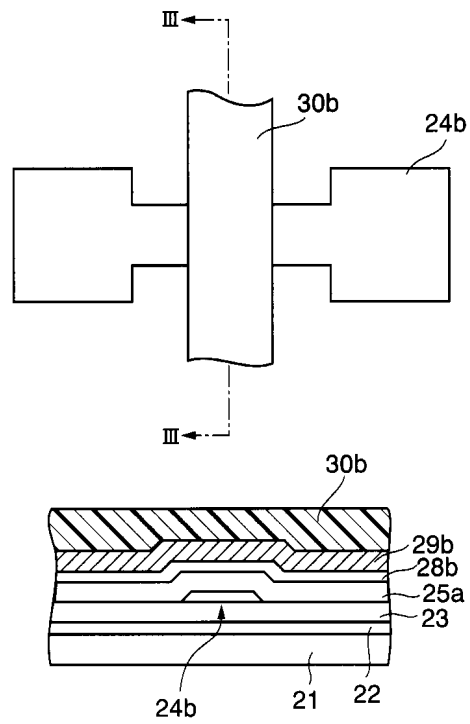
도면10b



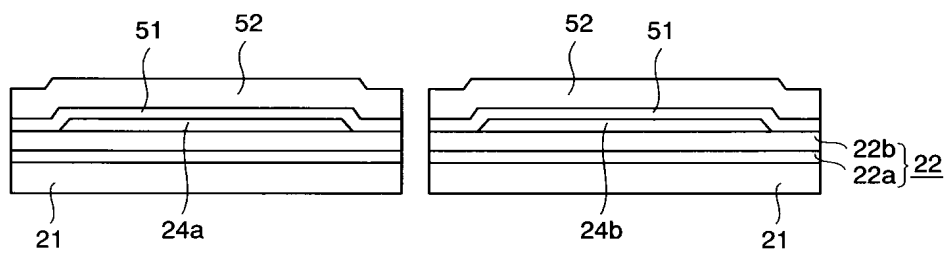
도면11a



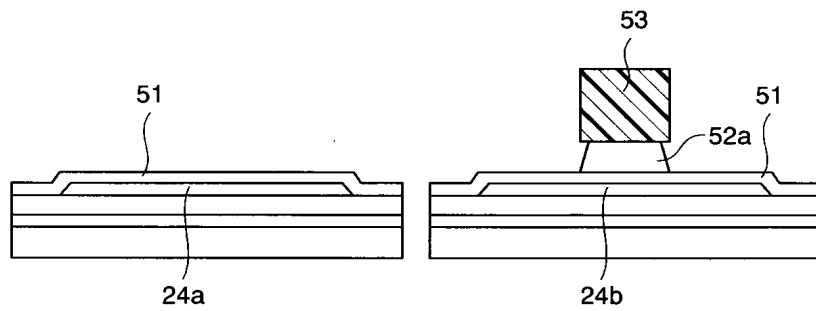
도면11b



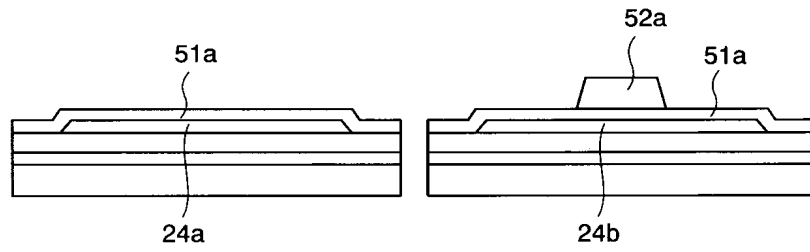
도면12a



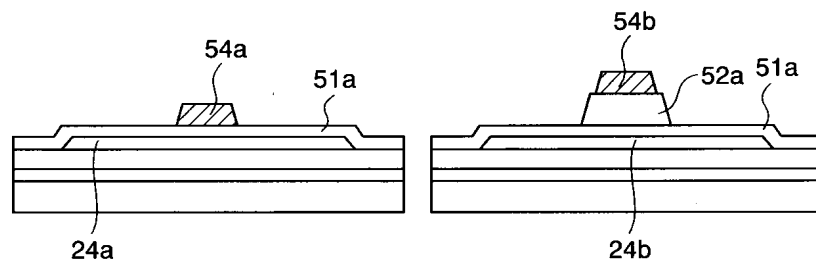
도면12b



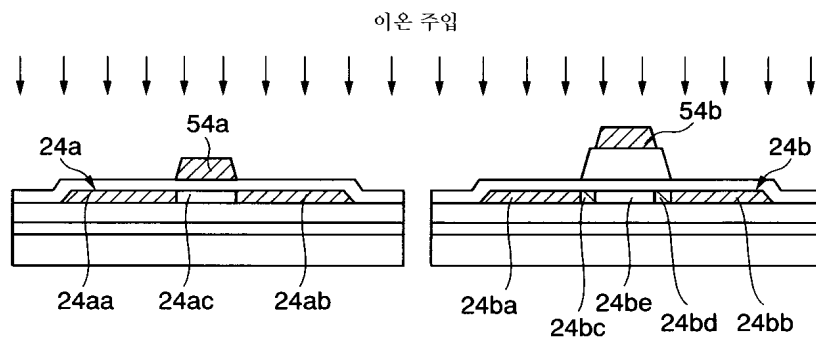
도면12c



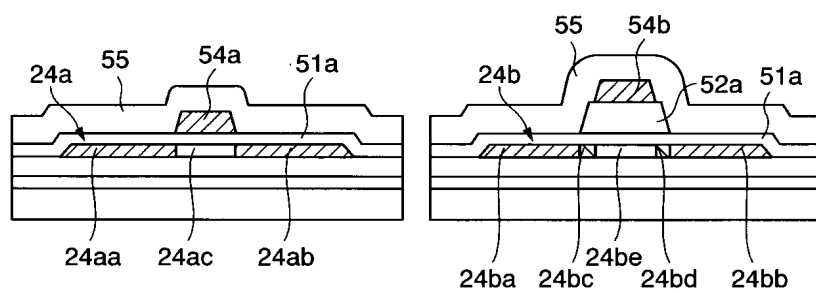
도면12d



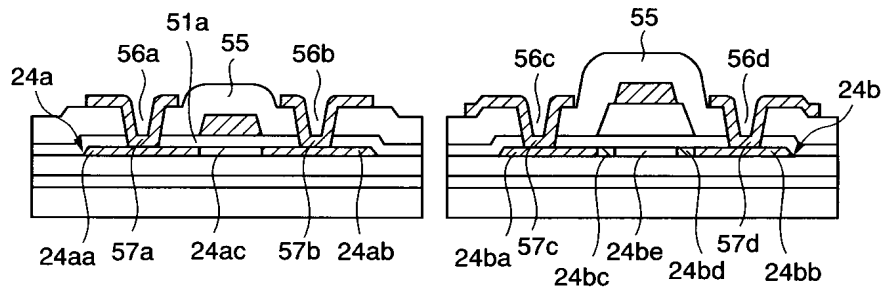
도면12e



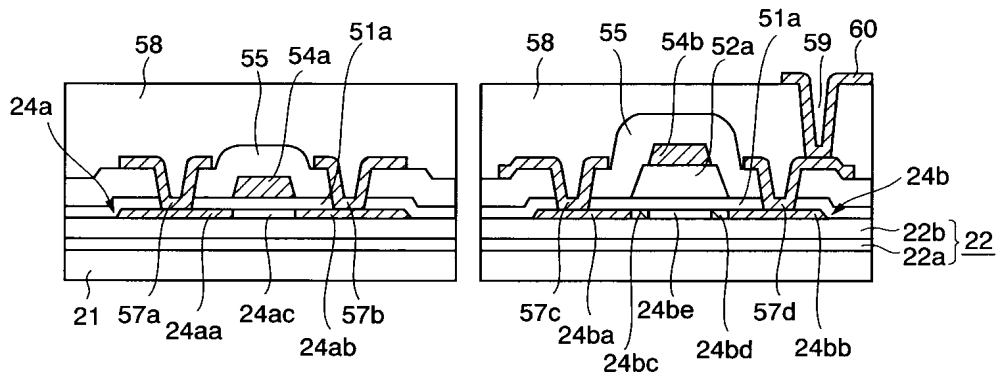
도면12f



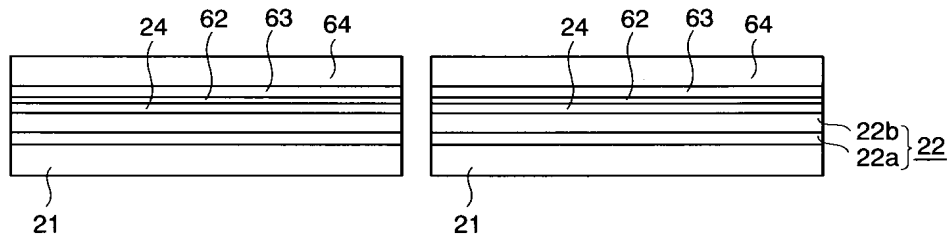
도면12g



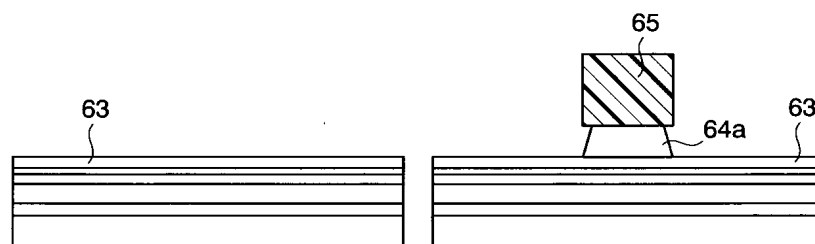
도면12h



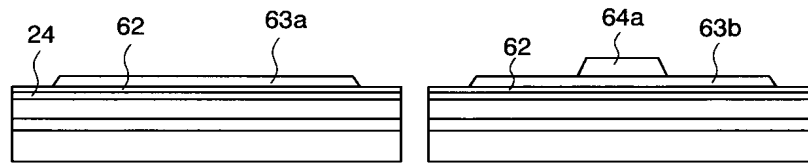
도면13a



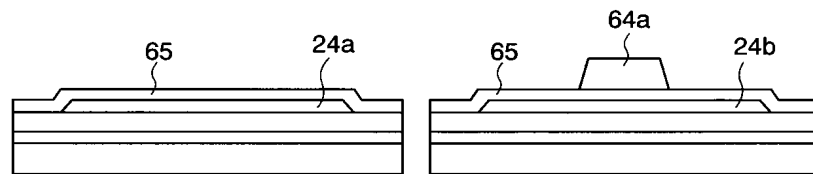
도면13b



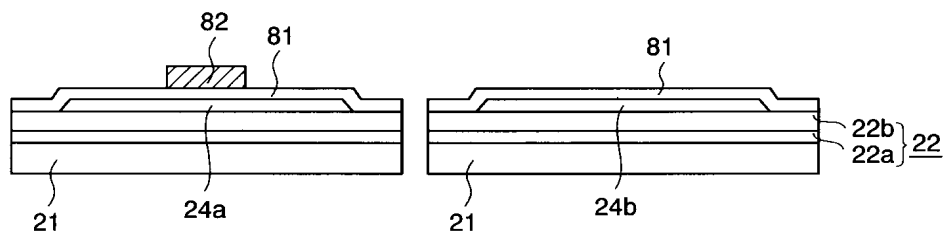
도면13c



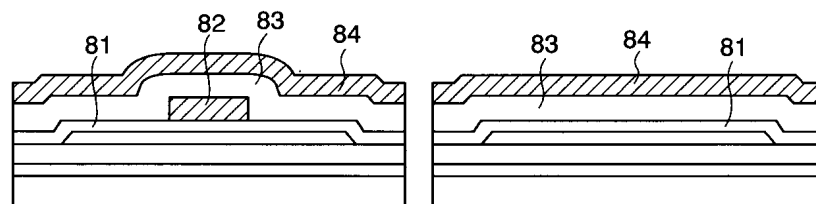
도면13d



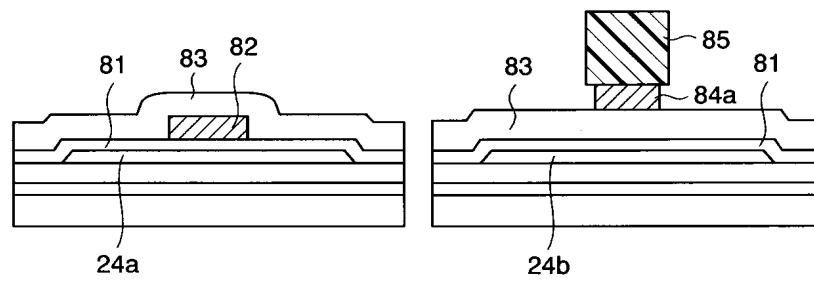
도면14a



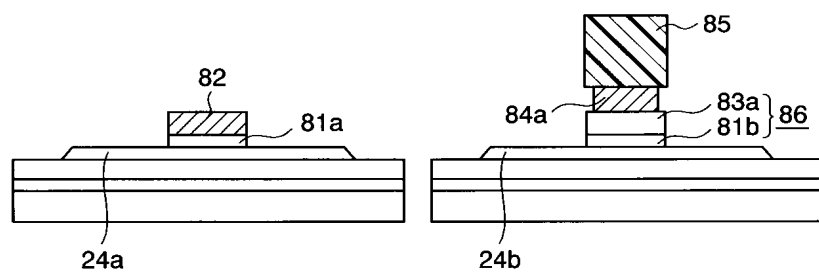
도면14b



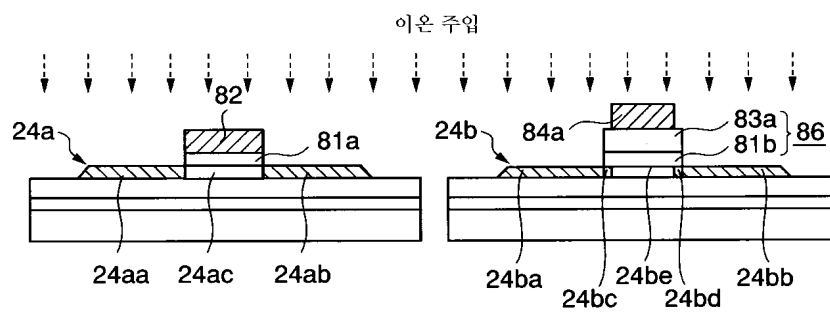
도면14c



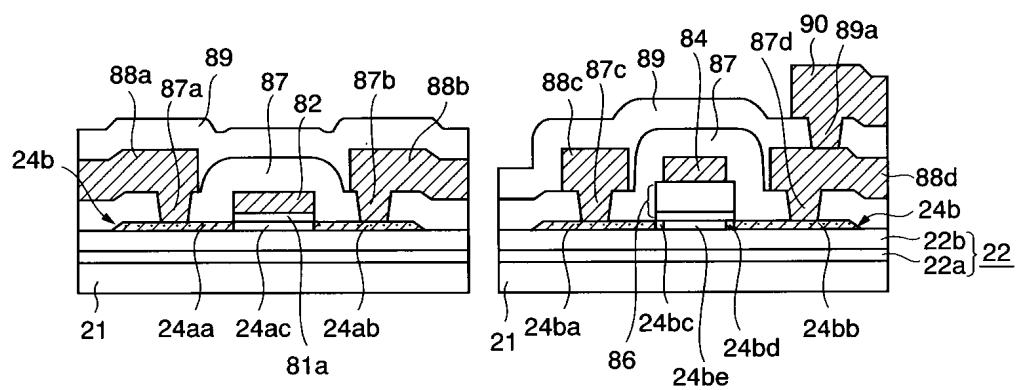
도면 14d



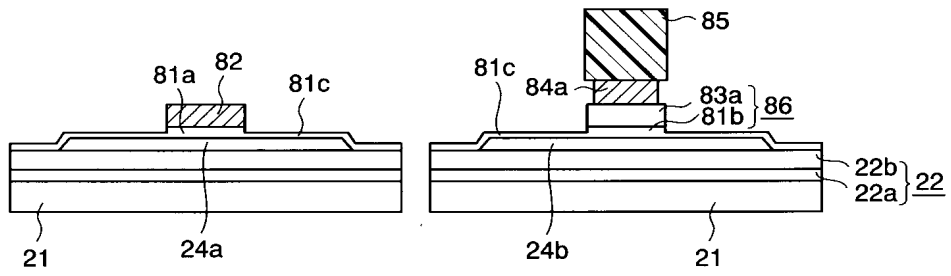
도면 14e



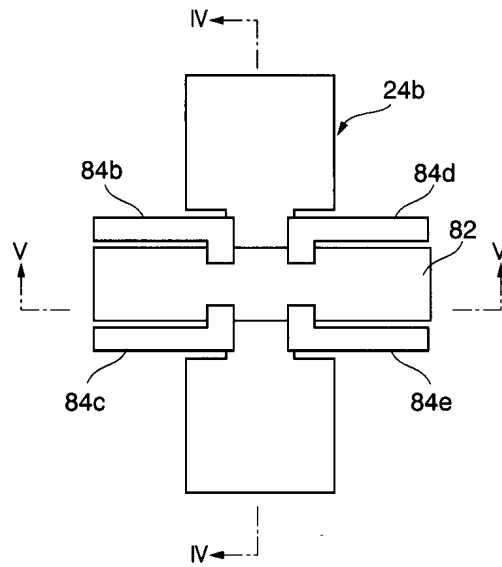
도면14f



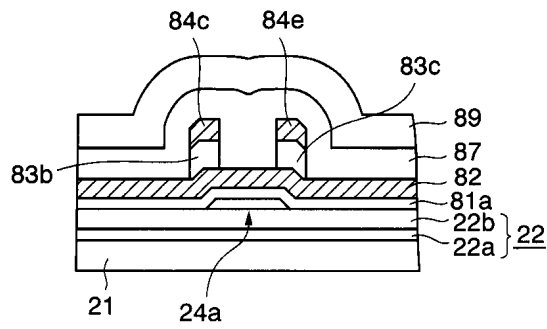
도면15



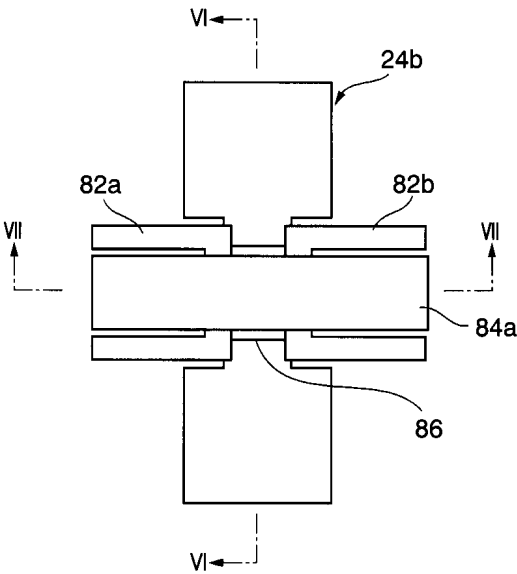
도면16a



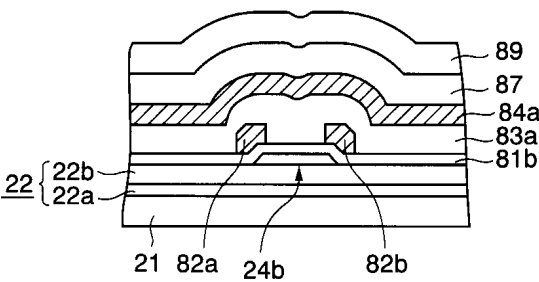
도면16b



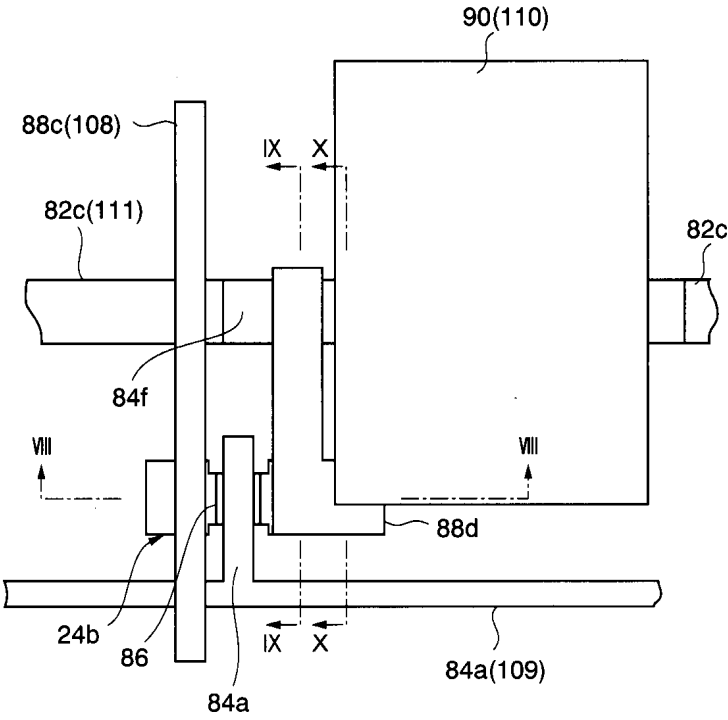
도면17a



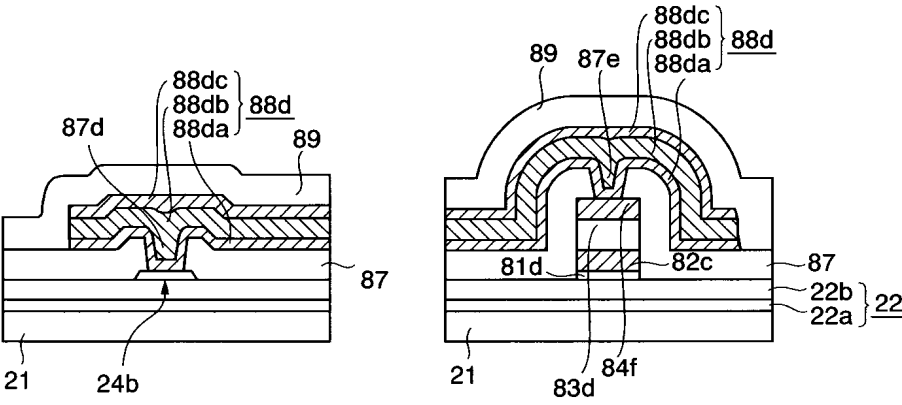
도면17b



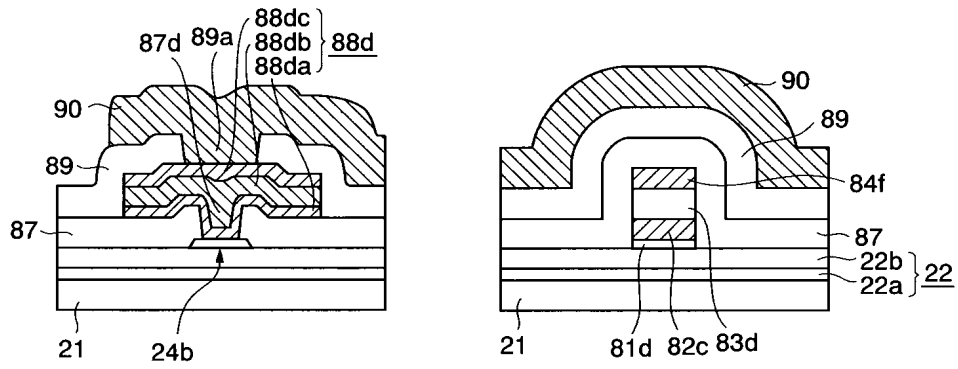
도면18



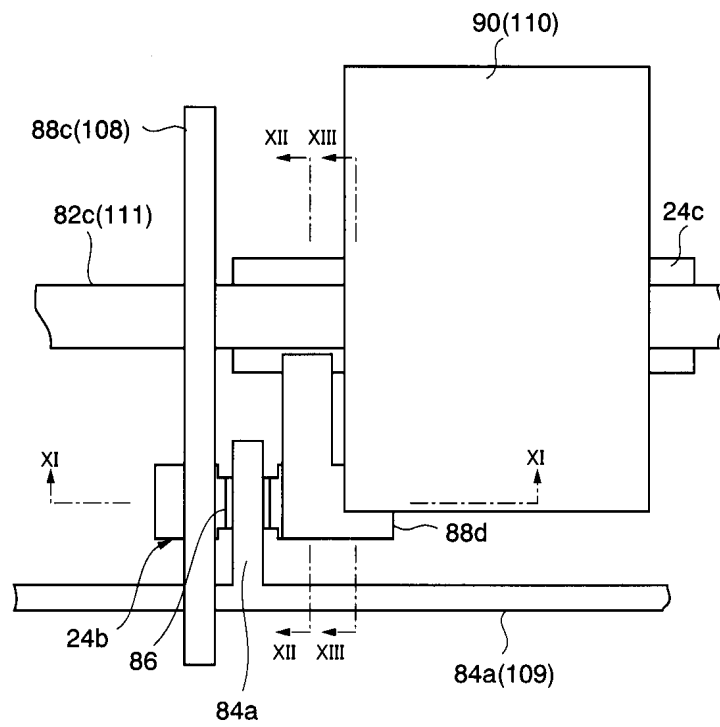
도면19a



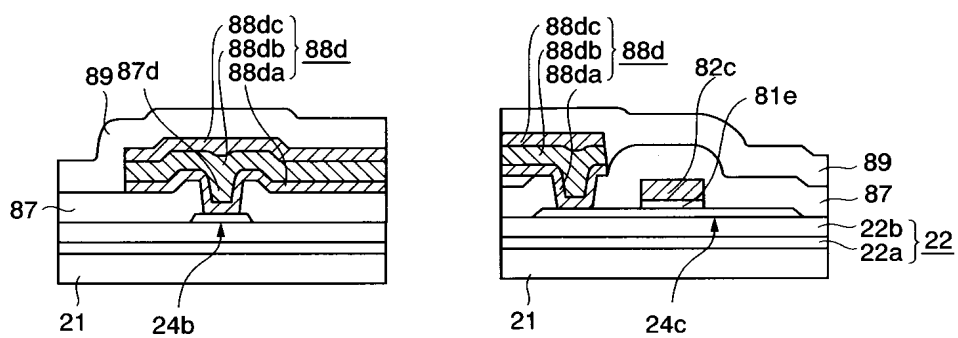
도면19b



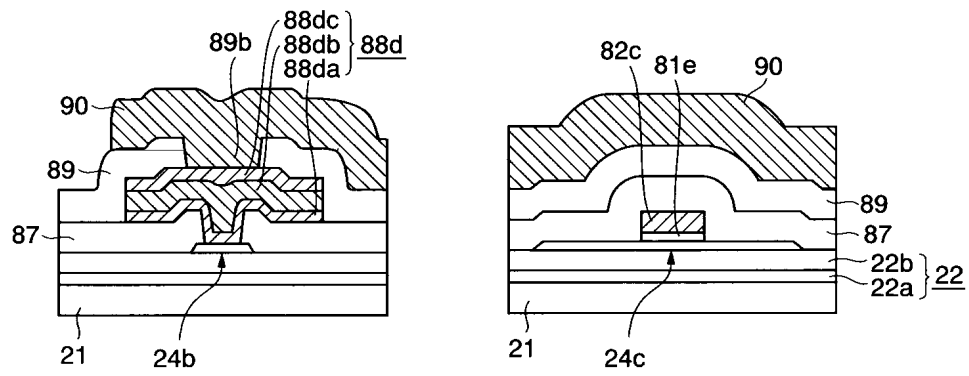
도면20



도면21a



도면21b



专利名称(译)	薄膜晶体管器件，其制造方法和液晶显示器件		
公开(公告)号	KR100812492B1	公开(公告)日	2008-03-11
申请号	KR1020020080612	申请日	2002-12-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	DOI SEIJI 도이세이지 HOTTA KAZUSHIGE 홋타가즈시게 HIRANO TAKUYA 히라노다꾸야 YANAI KENICHI 야나이겐이찌		
发明人	도이세이지 홋타가즈시게 히라노다꾸야 야나이겐이찌		
IPC分类号	G02F1/136 G02F1/1368 G02F1/1362 G09F9/00 G09F9/30 G09F9/35 H01L21/336 H01L21/77 H01L21/8238 H01L21/84 H01L27/08 H01L27/092 H01L27/12 H01L29/423 H01L29/786		
CPC分类号	H01L27/1288 G02F1/13454 H01L27/1214 H01L27/1237 H01L27/127 H01L29/42384		
代理人(译)	Jangsugil Juseongmin		
优先权	2001388306 2001-12-20 JP		
其他公开文献	KR1020030052995A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管器件及其制造方法和液晶显示器件技术领域本发明涉及在诸如液晶显示器件的绝缘基板上形成的薄膜晶体管器件，其制造方法和液晶显示器件。该结构包括在覆盖第一岛状半导体膜24a的第一绝缘膜25上形成负性光致抗蚀剂膜26的步骤，曝光和显影负性光致抗蚀剂膜26以形成在第一岛状半导体膜24a的周边的内表面上具有开口的抗蚀剂掩模的步骤；以及形成第一绝缘膜25的步骤），覆盖第一绝缘膜（25）的第二绝缘膜和第二绝缘膜形成导体膜的步骤，以及图案化导体膜以形成第一栅电极和第二栅电极的步骤。

