



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/1335 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월02일 10-0714139 2007년04월26일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2003-0011336 2003년02월24일 2004년12월22일	(65) 공개번호 (43) 공개일자	10-2003-0070549 2003년08월30일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 JP-P-2002-00048074 2002년02월25일 일본(JP)

(73) 특허권자 어드밴스트 디스플레이 인코포레이티드
 일본국 구마모또켄 키쿠치군 니시고시마찌 미요시 997

(72) 발명자 나카시마겐
 일본구마모또켄기꾸찌군니시고시마찌미요시997반찌어드밴스트디스플
 레이인코포레이티드나이

 마쯔이야스시
 일본구마모또켄기꾸찌군니시고시마찌미요시997반찌어드밴스트디스플
 레이인코포레이티드나이

 니와노야스노리
 일본구마모또켄기꾸찌군니시고시마찌미요시997반찌어드밴스트디스플
 레이인코포레이티드나이

(74) 대리인 특허법인코리아나

(56) 선행기술조사문헌 1019990014250 *	1020000058153 *
1020010011324 *	1020010066259 *
JP 11-281992	JP 13-350158
* 심사관에 의하여 인용된 문헌	

심사관 : 윤성주

전체 청구항 수 : 총 14 항

(54) 액정표시장치 및 그 제조방법

(57) 요약

(과제) 간단한 제조공정에 의해 고수율을 실현하는 액정표시장치 및 그 제조방법을 제공하는 것.

(해결수단) 본 발명의 액정표시장치는 액정층을 사이에 두고 서로 대향하여 배치된 1 쌍의 기판 중 일방의 기판 위에, 외광을 반사하는 반사전극 (10, 11) 및 배면 광원으로부터의 광을 투과하는 투과전극 (9) 을 1 화소 내에 구성하는 화소전극을 구비한 이른바 반투과형 액정표시장치에 관한 것이다. 특히 화소전극을 구성하는 반사전극 (10, 11) 과 투과전극 (9) 이 절연층을 개재하지 않고 형성되어 있다. 또한, 하프톤 노광을 활용하여 제조공정을 간단하게 하고 있다.

대표도

도 1

특허청구의 범위

청구항 1.

액정층을 사이에 두고 서로 대향하여 배치된 1 쌍의 기판 중 일방의 기판 위에, 외광을 반사하는 반사전극 및 배면 광원으로부터의 광을 투과하는 투과전극을 1 화소 내에 구성하는 화소전극을 구비한 액정표시장치로서,

상기 화소전극을 구성하는 상기 반사전극과 상기 투과전극이 절연층을 개재하지 않고 형성되고,

상기 투과전극과 상기 일방의 기판 상에 형성된 제 1 금속박막 사이의 접속부 또는 상기 투과전극과, 절연층을 개재하여 상기 제 1 금속박막보다도 상층에 형성된 제 2 금속박막 사이의 접속부에 있어서, 상기 투과전극은 일부가 제거되어 그 부분이 반사전극으로 덮이고, 상기 반사전극은 상기 제 1 금속박막 또는 제 2 금속박막에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 반사전극은 최상층에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 3.

삭제

청구항 4.

제 2 항에 있어서,

상기 반사전극은 알루미늄을 함유하는 재료에 의해 구성되는 것을 특징으로 하는 액정표시장치.

청구항 5.

삭제

청구항 6.

제 4 항에 있어서,

화소부에서 상기 투과전극은 상기 반사전극에 포함되어 있는 것을 특징으로 하는 액정표시장치.

청구항 7.

제 6 항에 있어서,

화소부에서 상기 투과전극부에 존재하는 단차부는 상기 반사전극에 의해 덮여 있는 것을 특징으로 하는 액정표시장치.

청구항 8.

제 7 항에 있어서,

화소부에서 상기 단차부는 상기 반사전극에 의해 2 내지 6 μm 덮여 있는 것을 특징으로 하는 액정표시장치.

청구항 9.

제 1 항, 제 2 항, 제 4 항, 제 6 항 내지 제 8 항 중 어느 한 항에 있어서,

화소부에서 TFT 부의 반도체막을 소스배선 하부까지 연속형상으로 잔존시킨 것을 특징으로 하는 액정표시장치.

청구항 10.

액정층을 사이에 두고 서로 대향하여 배치된 1 쌍의 기관 중 일방의 기관 위에, 외광을 반사하는 반사전극 및 배면 광원으로부터의 광을 투과하는 투과전극을 1 화소 내에 구성하는 화소전극을 구비한 액정표시장치의 제조방법으로서,

투과전극을 형성하는 단계, 및

형성된 상기 투과전극 위에 절연층을 개재하지 않고 반사전극을 형성하는 단계를 포함하며,

상기 반사전극을 형성하는 단계는,

패턴 형성 전에 상기 반사전극을 덮는 도전성 재료를 형성하는 단계, 및

패턴 형성 후에 상기 도전성 재료를 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11.

삭제

청구항 12.

제 10 항에 있어서,

상기 반사전극은 알루미늄을 함유하는 재료로 구성되고, 상기 도전성 재료는 크롬, 몰리브덴, 탄탈, 텅스텐 중 어느 하나를 함유하는 재료로 구성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13.

제 10 항 또는 제 12 항에 있어서,

절연기관 위에 제 1 금속박막을 형성하여 패터닝하는 단계,

제 1 절연막, 반도체 능동막, 오믹 접촉막, 및 제 2 금속박막을 형성하는 단계,

하프톤 노광을 이용하여 레지스트 패턴을 형성하는 단계, 및

상기 반도체 능동막, 오믹 접촉막, 및 제 2 금속박막을 에칭에 의해 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 14.

제 10 항 또는 제 12 항에 있어서,

상기 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 에칭에 의해 패터닝하는 단계 후에,

제 2 절연막을 형성하는 단계,

하프톤 노광을 이용하여 요철패턴을 형성하는 단계, 및

상기 제 1 절연막 및 제 2 절연막을 에칭에 의해 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 15.

제 10 항 또는 제 12 항에 있어서,

절연기관 위에 제 1 금속박막을 형성하여 패터닝하는 단계,

제 1 절연막, 반도체 능동막, 오믹 접촉막, 및 제 2 금속박막을 형성하는 단계,

하프톤 노광을 이용하여 레지스트 패턴을 형성하는 단계, 및

상기 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 에칭에 의해 패터닝하는 단계 후에,

제 2 절연막을 형성하는 단계,

하프톤 노광을 이용하여 요철패턴을 형성하는 단계, 및

상기 제 1 절연막 및 제 2 절연막을 에칭에 의해 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 16.

제 10 항 또는 제 12 항에 있어서,

상기 투과전극 및 반사전극을 형성하는 단계는,

비정질 ITO 를 형성하는 단계, 비정질 ITO 를 패터닝하는 단계, 비정질 ITO 를 결정화 ITO 로 결정화하는 단계, 및 반사 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17.

제 16 항에 있어서,

상기 비정질 ITO 를 결정화 ITO 로 결정화하는 단계는, 200 ℃ 이상으로 가열함으로써 ITO 의 결정화를 실시하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 외광을 반사하는 반사전극 및 배면 광원으로부터의 광을 투과하는 투과전극을 1 화소 내에 구성하는 화소전극을 구비한 액정표시장치 및 그 제조방법에 관한 것이다.

일반적으로, 액정표시장치는 각각의 상면 및 하면에 전극을 구비한 2 장의 기관 사이에 액정으로 이루어지는 액정층이 끼워지고, 또한 2 장의 기관 상하에 편광판이 설치되며, 투과형의 경우에는 배면에 백라이트가 설치된 구조를 갖는다. 이들 기관의 전극을 갖는 표면에는 이른바 배향처리가 이루어지고, 액정분자의 방향을 평균적으로 나타내는 디렉터 (director) 가 소정 액정에서는 복굴절성을 갖고, 백라이트로부터 편광판을 통해 입사되는 광은 복굴절에 의해 타원편광으로 변화되어 반대측 편광판에 입사된다. 이 상태에서 상하 전극사이의 전압이 인가되면 디렉터의 배열상태가 변화되어 액정층의 복굴절률이 변화되고, 반대측 편광판에 입사되는 타원편광상태가 변화되며, 따라서 액정표시장치를 투과하는 광강도 및 스펙트럼이 변화되는 전기광학효과가 얻어진다.

액정표시장치에는, 백라이트 (배면 광원) 를 그 배면 또는 측방에 설치하여 화상표시를 행하는 투과형 액정표시장치와, 기관에 반사판을 설치하여 주위광을 반사판 표면에서 반사시켜 화상표시를 행하는 반사형 액정표시장치가 있다. 투과형 액정표시장치에는, 주위광이 매우 밝을 경우, 주위광에 비해 표시광이 어둡기 때문에 표시를 관찰할 수 없다는 문제가 있다. 한편, 반사형 액정표시장치에는, 주위광이 어두울 경우, 시인성이 극단적으로 저하된다는 결점이 있다.

이러한 문제점을 해결하기 위해서, 광의 일부는 투과시키고, 또한 광의 일부는 반사시키는 반투과형 반사막을 사용하는 액정표시장치 (이하, 반투과형 액정표시장치) 가 제안되어 있다. 예를 들어, 반투과형 액정표시장치가 일본 특개평 제 7-333598 호, 일본 공개특허공보 제 2000-19563 호, 및 일본 공개특허공보 제 2000-305110 호에 개시되어 있다.

발명이 이루고자 하는 기술적 과제

이들 문헌에 개시된 종래의 반투과형 액정표시장치는 제조공정이 복잡하고 수율이 낮았다.

본 발명은 이와 같은 문제점을 해결하기 위해 이루어진 것으로, 간단한 제조공정에 의해 고수율을 실현하는 액정표시장치 및 그 제조방법을 제공하는 것을 목적으로 한다.

발명의 구성

본 발명에 따른 액정표시장치는 액정층을 사이에 두고 서로 대향하여 배치된 1 쌍의 기관 중 일방의 기관 위에, 외광을 반사하는 반사전극 (예를 들어, 발명의 실시형태 3 의 금속박막 (10, 11)) 및 배면 광원으로부터의 광을 투과하는 투과전극

(예를 들어, 발명의 실시형태의 도전성 박막 (9)) 을 1 화소 내에 구성하는 화소전극을 구비한 액정표시장치로서, 상기 화소전극을 구성하는 상기 반사전극과 상기 투과전극이 절연층을 개재하지 않고 형성되는 것을 특징으로 하는 것이다. 이와 같은 구성의 액정표시장치는 제조가 용이해져 고수율을 실현할 수 있다.

여기서, 상기 반사전극은 최상층에 형성하는 것이 바람직하다. 또한, 상기 반사전극은, 패턴 형성 전에 당해 반사전극을 덮는 도전성 재료를 형성하고, 패턴 형성 후에 당해 도전성 재료를 제거하여 형성하면 된다. 그럼으로써, 투과전극이 침식되는 것을 방지할 수 있다.

바람직한 실시형태에서, 상기 반사전극은 알루미늄을 함유하는 재료에 의해 구성되고, 상기 도전성 재료는 크롬, 몰리브덴, 탄탈, 텅스텐 중 어느 하나를 함유하는 재료에 의해 구성된다.

또한, 상기 투과전극과 제 1 금속박막 사이의 접속부 또는 상기 투과전극과 제 2 금속박막 사이의 접속부에 있어서, 당해 투과전극은 일부가 제거되어 그 부분이 반사전극으로 덮이고, 당해 반사전극은 상기 제 1 금속박막 또는 제 2 금속박막에 접속되도록 할 수 있다. 이와 같은 구성에 의해, 투과전극과 제 1 또는 제 2 금속박막의 접속저항을 저감할 수 있다.

또한, 화소부에서, 투과전극은 반사전극에 포함되어도 좋다. 이와 같은 구성에 의해, 투과전극과 반사전극의 밀착력을 향상시킬 수 있다.

또한, 화소부에서, 상기 투과전극부에 존재하는 단차부는 상기 반사전극에 의해 덮이도록 할 수 있다.

화소부에서, 상기 단차부는 상기 반사전극에 의해 2 내지 6 μ m 덮여 있으면 더욱 좋다.

그리고, 화소부에서, TFT 부의 반도체막을 소스배선 하부까지 연속형상으로 잔존시킬 수 있다.

한편, 본 발명에 따른 액정표시장치의 제조방법은, 액정층을 사이에 두고 서로 대향하여 배치된 1 쌍의 기판 중 일방의 기판 위에, 외광을 반사하는 반사전극 및 배면 광원으로부터의 광을 투과하는 투과전극을 1 화소 내에 구성하는 화소전극을 구비한 액정표시장치의 제조방법으로서, 투과전극을 형성하는 단계, 및 형성된 상기 투과전극 위에 반사전극을 절연층을 개재하지 않고 형성하는 단계를 구비한 것이다. 이와 같은 제조방법에 따르면 제조가 용이해져 고수율을 실현할 수 있다.

여기서, 상기 반사전극을 형성하는 단계는, 패턴 형성 전에 당해 반사전극을 덮는 도전성 재료를 형성하는 단계, 및 패턴 형성 후에 당해 도전성 재료를 제거하는 단계를 구비하는 것이 바람직하다.

바람직한 실시형태에서, 상기 반사전극은 알루미늄을 함유하는 재료로 구성되고, 상기 도전성 재료는 크롬, 몰리브덴, 탄탈, 텅스텐 중 어느 하나를 함유하는 재료로 구성된다.

본 발명에 따른 다른 액정표시장치의 제조방법은, 액정층을 사이에 두고 서로 대향하여 배치된 1 쌍의 기판 중 일방의 기판 위에, 외광을 반사하는 반사전극 및 배면 광원으로부터의 광을 투과하는 투과전극을 1 화소 내에 구성하는 화소전극을 구비한 액정표시장치의 제조방법으로서, 절연기판 위에 제 1 금속박막을 형성하여 패터닝하는 단계, 제 1 절연막, 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 형성하는 단계, 하프톤 노광을 이용하여 레지스트 패턴을 형성하는 단계, 및 상기 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 에칭에 의해 패터닝하는 단계를 구비한다. 이와 같은 제조방법에 따르면, 포토리소그래피공정을 더욱 줄일 수 있고 제조가 용이해져 고수율을 실현할 수 있다.

여기서, 상기 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 에칭에 의해 패터닝하는 단계 후에, 제 2 절연막을 형성하는 단계, 하프톤 노광을 이용하여 요철패턴을 형성하는 단계, 및 상기 제 1 절연막 및 제 2 절연막을 에칭에 의해 패터닝하는 단계를 추가로 구비하도록 할 수 있다. 이와 같은 제조방법에 따르면, 포토리소그래피공정을 추가적으로 줄일 수 있고 제조가 용이해져 고수율을 실현할 수 있다.

본 발명에 따른 액정표시장치의 다른 제조방법은, 액정층을 사이에 두고 서로 대향하여 배치된 1 쌍의 기판 중 일방의 기판 위에, 외광을 반사하는 반사전극 및 배면 광원으로부터의 광을 투과하는 투과전극을 1 화소 내에 구성하는 화소전극을 구비한 액정표시장치의 제조방법으로서, 절연기판 위에 제 1 금속박막을 형성하여 패터닝하는 단계, 제 1 절연막, 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 형성하는 단계, 상기 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 형성하는 단계, 하프톤 노광을 이용하여 레지스트 패턴을 형성하는 단계, 및 상기 반도체 능동막, 오믹 접촉막 및 제 2 금속박막을 에칭

에 의해 패터닝하는 단계 후에, 제 2 절연막을 형성하는 단계, 하프톤 노광을 이용하여 요철패턴을 형성하는 단계, 및 상기 제 1 절연막 및 제 2 절연막을 에칭에 의해 패터닝하는 단계를 구비한다. 이와 같은 제조방법에 따르면, 포토리소그래피공정을 줄일 수 있고 제조가 용이해져 고수율을 실현할 수 있다.

여기서, 상기 투과전극 및 반사전극을 형성하는 단계는, 비정질 ITO 를 형성하는 단계, 비정질 ITO 를 패터닝하는 단계, 비정질 ITO 를 결정화 ITO 로 결정화하는 단계, 및 반사전극을 형성하는 단계를 구비하도록 할 수 있다. 비정질 ITO 를 결정화 ITO 로 결정화하는 단계에서는 200°C 이상으로 가열함으로써 ITO 의 결정화를 실시할 수 있다.

[발명의 실시형태]

발명의 실시형태 1

도 1 에 본 발명의 실시형태 1 에 따른 반투과형 액정표시장치의 제조 프로세스 흐름을 나타낸다. 이 제조 프로세스에서는 7 회의 포토리소그래피공정에 의해 반투과형 TFT 어레이를 제조한다.

먼저, 절연성 기판으로서 유리기판을 세정하여 표면을 청정화한다. 절연성 기판으로는 유리기판 등의 투명한 절연성 기판을 사용한다. 또한, 절연성 기판의 두께는 임의적이지만, 액정표시장치의 두께를 얇게 하기 위해 1.1 mm 두께 이하인 것이 바람직하다. 절연성 기판이 너무 얇은 경우에는 각종 형성이나 프로세스의 열이력에 의해 기판의 변형이 발생하여 패터닝 정밀도가 저하되는 등의 문제를 일으키므로, 절연성 기판의 두께는 이용하는 프로세스를 고려하여 선택할 필요가 있다. 또한, 절연성 기판이 유리 등의 취성(脆性) 파괴재료로 이루어진 경우, 기판의 단면은 모따기를 실시해 두는 것이 단면으로부터의 티핑에 의한 이물의 혼입을 방지하는데 바람직하다. 또한, 절연성 기판의 일부에 노치를 형성하여 기판의 방향을 특정할 수 있게 하면, 각 프로세스에서의 기판처리의 방향을 특정할 수 있게 하여, 프로세스 관리가 용이해져 보다 바람직하다.

다음, 스퍼터링 등의 방법으로 제 1 금속박막 (1) 을 형성한다. 제 1 금속박막 (1) 으로는, 예를 들어, 크롬, 몰리브덴, 탄탈, 티탄, 알루미늄, 구리, 또는 이들에 다른 물질을 미량 첨가한 합금 등 중의 어느 하나로 이루어지는 100 nm 내지 500 nm 정도 막두께의 박막을 사용할 수 있다. 바람직한 실시예에서는, 200 nm 막두께의 크롬이 사용된다. 제 1 금속박막 (1) 위에는, 후술하는 공정에서, 드라이 에칭에 의해 컨택트홀이 형성되고 도전성 박막이 형성되므로, 표면산화가 일어나기 어려운 금속박막 또는 산화되더라도 도전성을 갖는 금속박막을 제 1 금속박막 (1) 에 사용하는 것이 바람직하고, 적어도 표면이 크롬, 티탄, 탄탈, 몰리브덴 등 중의 어느 하나인 것이 바람직하다. 또한, 제 1 금속박막 (1) 으로서, 종류가 다른 금속박막을 적층한 금속박막이나 막두께방향으로 조성이 다른 금속박막을 사용할 수도 있다. 또한, 제 1 금속박막 (1) 으로서 알루미늄을 함유하는 재료를 사용한 경우에는, 적어도 표면이 10 ~ 1000 $\mu\Omega$ 정도의 비저항을 갖는 질화알루미늄인 것이 바람직하다.

다음, 제 1 포토리소그래피 프로세스 (포토리소그래피공정) 에서 제 1 금속박막 (1) 에 게이트전극 및 게이트배선, 보조용량전극 및 보조용량배선을 패터닝한다. 그럼으로써, 도 1(a) 에 나타낸 구조가 형성된다. 포토리소그래피 프로세스는 TFT 어레이 기판을 세정한 후, 감광성 레지스트를 도포·건조시킨 다음, 소정 패턴이 형성된 마스크패턴을 통해 노광하고, 현상함으로써 사진 제판적으로 TFT 어레이 기판 위에 마스크패턴을 전사한 레지스트를 형성하고, 감광성 레지스트를 가열경화시킨 후에 에칭을 하고, 감광성 레지스트를 박리함으로써 행해진다. 감광성 레지스트와 TFT 어레이 기판의 습윤성이 불량하여 감광성 레지스트의 텅김이 발생하는 경우에는, 도포 전에 UV 세정을 실시하거나 습윤성 개선을 위해 HMDS (헥사메틸디실라잔) 를 증기도포하는 등의 처리를 한다. 또한, 감광성 레지스트와 TFT 어레이 기판의 밀착성이 불량하여 박리가 발생하는 경우에는, 가열경화온도를 높이거나 시간을 길게 한다. 제 1 금속박막 (1) 의 에칭은 공지의 에천트 (etchant ; 예를 들어, 제 1 금속박막 (1) 이 크롬으로 이루어진 경우에는 제 2 질산세륨암몬 및 질산이 혼합된 수용액) 를 사용하여 습식 에칭으로 에칭할 수 있다. 또한, 제 1 금속박막 (1) 의 에칭은 패턴 에지가 테이퍼 형상이 되도록 에칭하는 것이 다른 배선과의 단차에서의 단락을 방지하는데 바람직하다. 여기서, 테이퍼형상이란, 단면이 사다리꼴 형상이 되도록 패턴 에지가 에칭되는 것을 말한다. 또한, 이 공정에서는, 게이트전극 및 게이트배선, 보조용량전극 및 보조용량배선을 형성하는 것을 나타내었지만, 그 밖에 TFT 어레이 기판을 제조하는 데에 필요한 각종 마크류나 배선도 형성한다.

다음, 플라즈마 CVD 에 의해 제 1 절연막 (2), 반도체 능동막 (3), 오믹 접촉막 (4) 을 연속적으로 형성한다. 게이트 절연막이 되는 제 1 절연막 (2) 으로는 SiN_x 막, SiO_y 막, SiO_zN_w 막 또는 이들의 적층막이 사용된다 (또 x, y, z, w 는 각각 정수이다). 제 1 절연막 (2) 의 막두께는 300 nm 내지 600 nm 정도로 한다. 막두께가 얇은 경우에는 게이트배선과 소스배선의

교차부에서 단락을 일으키기 쉬워 제 1 금속박막 (1) 의 두께 이상으로 하는 것이 바람직하다. 막두께가 두꺼운 경우에는 TFT 의 ON 전류가 작아져 표시특성이 저하되므로, 가급적 얇게 하는 것이 바람직하다. 바람직한 실시예에서는, 300 nm 의 SiN 막을 형성한 후, 100 nm 의 SiN 막을 형성함으로써, 제 1 절연막 (2) 을 형성한다.

반도체 능동막 (3) 으로는 어모퍼스 실리콘 (a-Si) 막, 폴리실리콘 (p-Si) 막이 사용된다. 반도체 능동막 (3) 의 막두께는 100 nm 내지 300 nm 정도로 한다. 막두께가 얇은 경우에는 후술하는 오믹 접촉막 (4) 의 드라이 에칭시에 소실이 발생하고, 두꺼운 경우에는 TFT 의 ON 전류가 작아진다는 점에서, 오믹 접촉막 (4) 의 드라이 에칭시의 에칭 깊이 제어성 및 필요한 TFT ON 전류에 기초하여 막두께를 선택한다. 반도체 능동막 (3) 으로서 a-Si 막을 사용하는 경우에는, 제 1 절연막 (2) 과 a-Si 막의 계면을 SiN_x 막 또는 SiO_2N_w 막으로 하는 것이 TFT 가 도통상태가 되는 게이트 전압인 TFT 의 V_{th} 에 대한 제어성 및 신뢰성의 관점에서 바람직하다. 반도체 능동막 (3) 으로서 p-Si 막을 사용하는 경우에는, 제 1 절연막 (2) 과 p-Si 막의 계면을 SiO_y 막 또는 SiO_2N_w 막으로 하는 것이 TFT 의 V_{th} 에 대한 제어성 및 신뢰성의 관점에서 바람직하다. 또한, 반도체 능동막 (3) 으로서 a-Si 막을 사용하는 경우에는, 제 1 절연막 (2) 과의 계면 부근을 막형성물이 작은 조건으로 형성하고, 상층부를 막형성물이 큰 조건으로 형성하는 것이, 짧은 형성시간으로 이동도가 큰 TFT 특성을 얻을 수 있으며 TFT 오프시의 리크 전류를 작게할 수 있어 바람직하다. 바람직한 실시예에서는, 반도체 능동막 (3) 으로서 150 nm 의 i-a-Si 막을 형성한다.

오믹 접촉막 (4) 으로는 a-Si 에 인 (P) 을 미량 도핑한 m-a-Si 막, n-p-Si 막이 사용된다. 오믹 접촉막 (4) 의 두께는 20 nm 내지 70 nm 정도로 할 수 있다. 이들 SiN_x 막, SiO_y 막, SiO_2N_w 막, a-Si 막, p-Si 막, n-a-Si 막, n-p-Si 막은 공지된 가스 (SiH_4 , NH_3 , H_2 , NO_2 , PH_3 , N_2 , 및 이들의 혼합가스) 를 사용하여 형성할 수 있다. 바람직한 실시예에서는, 오믹 접촉막 (4) 으로서 30 nm 의 n-a-Si 막을 형성한다.

다음, 제 2 포토리소그래피 프로세스에서 반도체 능동막 (3) 및 오믹 접촉막 (4) 에 적어도 TFT 부가 형성되는 부분을 패터닝한다. 그럼으로써, 도 1(b) 에 나타난 구조가 형성된다. 제 1 절연막 (2) 은 전체에 걸쳐 잔존한다. 반도체 능동막 (3) 및 오믹 접촉막 (4) 은, TFT 부가 형성되는 부분 이외에, 소스배선과 게이트배선 및 보조용량배선이 평면적으로 교차하는 부분에도 패터닝하여 잔존시키는 것이 교차부에서의 내전압이 커지는 점에서 바람직하다. 또한, TFT 부의 반도체 능동막 (3) 및 오믹 접촉막 (4) 을 소스배선의 하부까지 연속형상으로 잔존시키면, 소스전극이 반도체 능동막 (3) 및 오믹 접촉막 (4) 의 단차를 타고 넘는 경우가 없고, 단차부에서의 소스전극 단선이 발생하기 어려우므로 바람직하다.

반도체 능동막 (3) 및 오믹 접촉막 (4) 의 에칭은 공지된 가스 조성물 (, 예를 들어, SF_6 과 O_2 의 혼합가스 또는 CF_4 와 O_2 의 혼합가스) 의 드라이 에칭일 수 있다.

다음, 스퍼터링 등의 방법으로 제 2 금속박막을 형성한다. 제 2 금속박막 (1) 으로는, 예를 들어, 크롬, 몰리브덴, 탄탈, 티탄, 알루미늄, 구리 또는 이들에 다른 물질을 미량 첨가한 합금, 또는 이들의 적층막이 사용된다. 바람직한 실시예에서는, 200 nm 막두께의 크롬을 형성한다.

다음, 제 3 포토리소그래피 프로세스에서 제 2 금속박막을 소스전극 (5) 및 드레인전극 (6) 이 형성되도록 패터닝한다. 그럼으로써 도 1(c) 에 나타난 구조가 형성된다. 소스전극 (5) 은 소스배선과 게이트배선이 교차하는 부분으로까지 형성된다. 드레인전극 (6) 은 반사부까지 형성된다. 이어서, 오믹 접촉막 (4) 을 에칭한다. 이 프로세스에 의해, TFT 부의 오믹 접촉막 (4) 의 중앙부가 제거되어 반도체 능동막 (3) 이 노출된다. 오믹 접촉막 (4) 의 에칭은 공지된 가스 조성 (예를 들어, SF_6 과 O_2 의 혼합가스 또는 CF_4 와 O_2 의 혼합가스) 의 드라이 에칭일 수 있다.

다음, 플라즈마 CVD 에 의해 제 2 절연막 (7) 을 형성하고, 이어서 스핀도포, 슬릿도포, 전사 등에 의해 유기막 (8) 을 형성한다. 바람직한 실시예에서는, 제 2 절연막 (7) 으로서 100 nm 막두께의 SiN 이 사용된다. 또한, 유기막 (8) 으로는 공지된 감광성 유기막으로서, 예를 들어, JSR 제 PC 335 또는 PC 405 가 사용된다.

다음, 제 4 포토리소그래피 프로세스에서 도 1(d) 에 나타난 형상으로 유기막 (8) 을 패터닝한다. 구체적으로, 계속되는 제 5 포토리소그래피 프로세스에 의해 제 1 및 제 2 절연막 (2 및 7) 을 제거하는 부분에서 당해 제 1 및 제 2 절연막 (2 및 7) 이 노출되도록, 유기막 (8) 을 패터닝한다. 또한, 반사부도 유기막 (8) 이 제거된 영역과 제거되지 않은 영역을 형성하여 요철 형상을 형성한다.

다음, 제 5 포토리소그래피 프로세스에서 유기막을 패터닝한다. 이때, 제 1 및 제 2 절연막 (2 및 7) 이 제거되는 부분의 유기막은 제거한다. 또한, 요철부의 유기막은 제거하지 않고 1 층째의 요철을 적절히 완화함으로써, 양호한 산란특성을 얻을

수 있다. 계속하여 태이퍼 에칭을 실행하여, 도 1(e)의 구조를 형성한다. 즉, 게이트 단자부에서는 게이트배선과 구동신호원을 전기적으로 접속하는 컨택트홀이 형성되기 때문에, 제 1 절연막 (2) 및 제 2 절연막 (7)의 쌍방이 제거되어 제 1 금속박막 (1)이 노출된다. 소스단자부에서는 제 2 절연막 (7)이 제거되어 제 2 금속박막이 노출된다. TFT 부와 반사부 사이에서는 제 2 절연막이 제거되어 드레인전극 (6)이 노출된다. 또한, 투과부에서는 제 1 절연막 및 제 2 절연막의 쌍방이 제거되어 제 1 절연성 기판이 노출된다. 또한, 투과부의 유기막을 제거하지 않는 경우에는, 공지된 블리칭 처리, 즉 자외광조사에 의한 감광성 유기막의 투명도 향상처리를 유기막의 포토리소그래피 프로세스에 의한 패터닝 후에 추가하는 것이 바람직하다.

다음, 스퍼터링 등의 방법으로 도전성 박막 (9)을 형성한다. 도전성 박막 (9)으로는 투명 도전막인 ITO, SnO₂ 등을 사용할 수 있고, 특히 화학적 안정성 면에서 ITO가 바람직하다. 바람직한 실시예에서는, 도전성 박막 (9)으로 80 nm의 막두께를 가진 ITO가 사용된다. 또한, ITO는 결정화 ITO 또는 어모퍼스 ITO 중 어느 것이나 사용할 수 있지만, 어모퍼스 ITO를 사용한 경우라면, 제 3 금속박막 형성 전에 결정화 온도 180℃ 이상으로 가열하여 결정화할 필요가 있다. 바람직한 실시예에서는, 200℃ 이상으로 가열한다.

다음, 제 6 포토리소그래피 프로세스에서, 도 1(f)에 나타난 바와 같이, 도전성 박막 (9)을 화소전극 등의 형상으로 패터닝한다. 도전성 박막 (9)의 에칭은 사용하는 재료에 따라 공지된 습식 에칭 (예를 들어, 도전성 박막 (9)이 결정화 ITO로 이루어지는 경우에는 염산 및 질산이 혼합되어 있는 수용액) 등을 사용하여 실시할 수 있다. 도전성 박막 (9)이 ITO인 경우, 공지된 가스 조성 (예를 들어, HI, HBr)에서의 드라이 에칭에 의한 에칭도 가능하다. 또한, 이 공정에서는 화소전극을 형성하는 것을 나타내었으나, 그 밖에 도전성 입자를 함유하는 수지를 사용하여 대향기판과 TFT 어레이 기판 사이를 전기적으로 접속하기 위한 트랜스퍼 단자부의 도전성 박막 (9)에 의한 전극 등을 형성한다. 또한, 어모퍼스 ITO인 경우, 상기가열 후라면 결정화 ITO와 동일하게, 상기가열 전이라면 공지된 옥살산이 혼합되어 이루어지는 수용액으로, 패터닝을 행한다.

다음, 스퍼터링 등의 방법으로 제 3 금속박막 (10, 11)을 형성한다. 제 3 금속박막 (10, 11)으로는, 예를 들어, 크롬, 몰리브덴, 탄탈, 티탄, 알루미늄, 구리, 또는 이것들에 다른 물질을 미량 첨가한 합금 등 중의 어느 하나로 이루어지는 100 nm 내지 500 nm 정도 막두께의 박막을 사용할 수 있다. 금속박막 (10)은 금속박막 (11)이 컨택트홀부 등의 단차로 단끊김이 발생하는 것을 방지하는 효과가 있다. 이 단끊김을 무시할 수 있는 경우라면, 금속박막 (10)은 형성하지 않아도 된다. 이 경우, 공정수가 감소되어 비용절감이 가능하다. 바람직한 실시예에서는, 100 nm의 막두께를 갖는 크롬을 형성한 후, 300 nm의 막두께를 갖는 알루미늄과 Cu의 합금을 형성하고, 또한 100 nm의 막두께를 갖는 크롬을 형성한다. 알루미늄과 Cu의 합금이 노출되어 있으면, 다음의 포토리소그래피공정 현상시에 ITO (9)의 부식이 진행되기 때문에, 이것을 방지하기 위해 최상층에 크롬을 형성한다. 또한, 동일한 효과를 갖는 금속으로는 몰리브덴, 탄탈, 및 텅스텐이 있다.

다음, 제 7 포토리소그래피 프로세스에서 제 3 금속박막 (10, 11) 및 최상층의 크롬을 반사전극 형상으로 패터닝하고 최상층의 크롬을 에칭제거하여 반사전극을 형성한다. 이때, 투과부의 유기막을 제거한 경우라면, 당해 영역의 단차에 의해 액정의 배향 이상이 발생하여 표시품질이 저하되는 경우가 있다. 이를 방지하기 위해서는, 도 1(g)에 나타난 바와 같이, 단차부를 반사전극으로 덮으면 된다. 또한, 다양한 검토 결과, 단차부로부터 배향 이상 영역이 발생하는 범위는 최소 2 μm에서 최대 6 μm였다. 따라서, 반사전극을 오버랩시키는 길이는 2 μm 이상일 필요가 있으며, 투과의 개구율 저하를 허용할 수 있는 경우라도 6 μm면 충분함을 알 수 있다. 그러므로, 2 내지 6 μm가 바람직하다. 또한, 금속막 (10)이 크롬인 경우, 최상층의 크롬과 동시에 에칭할 수도 있다. 또한, 금속막 (10)과 최상층의 금속박막이 동일한 경우, 금속막 (10)과 최상층의 금속박막을 동일한 에칭공정으로 제거할 수 있다. 또한, 반사전극은 크롬으로 이루어진 금속박막 (10) 위에 알루미늄과 Cu의 합금으로 이루어진 금속박막 (11)이 적층된 상태로 형성된다. 최상층의 크롬은 ITO (9)의 부식방지를 위해 형성되었지만, 반사율을 높이기 위해 이 단계에서 제거된다. 제 3 금속박막의 에칭은 공지된 에천트를 사용하여 습식 에칭으로 수행할 수 있다. 최종적으로 도 1(g)에 나타난 구조가 형성된다. 본 발명의 실시형태에 따른 액정표시장치는, 이와 같이, 반사전극 (10, 11)과 도전성 박막 (9)이 절연층을 개재하지 않고 형성되어 있는 점에 특징이 있다.

이상의 공정에 의해, TFT 어레이 기판이 7 공정의 포토리소그래피 프로세스에 의해 제조되므로 수율을 향상시킬 수 있다.

또한 발명의 실시형태 1에서는, 제 3 금속박막 (10, 11)을 2층 형성하였으나, 이에 한정되지 않으며, 도 7에 나타난 바와 같이, 제 3 금속박막 (11)만의 1층으로 할 수도 있다.

이하 발명의 실시형태 2, 3 및 4에서는, 제 3 금속박막 (11)만의 1층으로 한 예에 대해 설명한다.

또한, 미츠비시 화학 제조의 ELM-DSA 등의 ITO 부식억제효과를 가진 현상액을 금속박막 (10 또는 11) 의 포토리소그래피 공정에 사용함으로써, 최상층의 금속, 즉 몰리브덴, 탄탈, 텅스텐 중 어느 하나를 함유하는 금속은 필요없어진다. 이 경우, 공정수를 삭감할 수 있다. 또한, 이하의 실시형태에서는 최상층에 크롬을 형성한 예에 대해 설명한다.

발명의 실시형태 2

도 2 에 본 발명의 실시형태 2 에 따른 반투과형 액정표시장치의 제조 프로세스 흐름을 나타낸다. 이 제조 프로세스에서는 6 회의 포토리소그래피공정에 의해 반투과형 TFT 어레이를 제조한다.

먼저, 절연성 기판으로서 0.7 mm 두께의 유리기판을 세정하여 표면을 청정화한다. 절연성 기판에 대해서는, 상술한 발명의 실시형태 1 에서 설명한 바와 같으므로, 설명을 생략한다.

다음, 스퍼터링 등의 방법으로 제 1 금속박막 (1) 을 형성한다. 제 1 금속박막 (1) 으로는, 예를 들어, 크롬, 몰리브덴, 탄탈, 티탄, 알루미늄, 구리 또는 이들에 다른 물질을 미량 첨가한 합금 등 중의 어느 하나로 이루어진 100 nm 내지 500 nm 정도 막두께의 박막을 사용할 수 있다. 바람직한 실시예에서는, 200 nm 막두께의 크롬이 사용된다. 제 1 금속박막 (1) 에 대해서도, 상술한 발명의 실시형태 1 에서 설명한 바와 같으므로, 설명을 생략한다.

다음, 제 1 포토리소그래피 프로세스에서 제 1 금속박막 (1) 에 게이트전극 및 게이트배선, 보조용량전극 및 보조용량배선을 패터닝한다. 그럼으로써, 도 2(a) 에 나타낸 구조가 형성된다. 이 구조의 제조방법에 대해서도, 상술한 발명의 실시형태 1 의 경우와 동일하므로, 설명을 생략한다.

다음, 제 1 절연막 (2), 반도체 능동막 (3), 오믹 접촉막 (4), 및 제 2 금속박막을 연속적으로 형성한다. 바람직한 실시예에서는, 게이트 절연막이 되는 제 1 절연막 (2) 으로서 300 nm 의 SiN 과 100 nm 의 SiN 의 적층막이 사용된다. 또한, 반도체 능동막 (3) 으로는 150 nm 의 i-a-Si 막이 사용된다. 또한, 오믹 접촉막 (4) 으로는 30 nm 의 n-a-Si 막이 사용된다. 제 2 금속박막으로는 200 nm 의 크롬이 사용된다. 이들 SiN 막, a-Si 막 및 n-a-Si 막은 플라즈마 CVD 장치를 이용하여 형성하고, 오믹 형성시에는 PH₃ 을 도핑하여 n-a-Si 막을 형성한다. Cr 형성에 대해서는, 예를 들어, DC 마그네트론형 스퍼터장치를 이용하여 형성한다.

다음, 제 2 포토리소그래피 프로세스에서 소스배선, 소스단자부 금속패드, 드레인전극, 반도체 능동막 (3) 등을 형성하기 위한 레지스트 패터를 형성한다. 제 2 포토리소그래피 프로세스에서는 하프톤 노광이 사용된다.

여기서, 하프톤 노광에 대해, 도 5 및 도 6 을 참조하여 설명한다. 하프톤 노광에서는, 예를 들어, 도 5 에 나타낸 바와 같은 마스크가 사용된다. 이 마스크는 마스크 상의 노광 패터의 공간 주파수를 노광기의 패터분해능력 (예를 들어, 1.6 μm) 보다 높여 포토레지스트 상에서 마스크의 패터를 해상할 수 없도록 한 상태에서, 노광강도를 조정하는 것이다. 이 마스크를 통해 광을 조사하는데, 그 조사광의 광량을 제어함으로써, 포토레지스트의 잔존 막두께를 제어할 수 있다. 즉, 도 6 에 나타낸 바와 같이, 포토레지스트의 현상에 의해 소실되는 광량의 범위내에서 광량을 조정하면, 그에 따라 포토레지스트의 잔존 막두께가 변한다. 구체적으로, 광량이 많은 영역에서는 보다 적은 포토레지스트가 잔존하고, 광량이 적은 영역에서는 보다 많은 포토레지스트가 잔존한다.

이 예에서, 레지스트로는 노볼락 수지계 포지티브형 레지스트를 사용하고, 레지스트 도포는 스펀코터에 의해 1.5 μm 로 한다. 레지스트 도포 후에는 120 °C 에서 90 초 프리베이킹을 실시한 후, 통상의 Cr 전체면 마스크패턴이며 라인/스페이스 = 1.5 μm/1.5 μm 의 Cr 스트라이프 형상을 갖는 하프톤의 마스크패턴을 이용하여, 레지스트 패터에 1000 msec 노광을 행한다. 노광기는 통상의 스테퍼 또는 미러 프로젝션 타입의 노광기이고, 광원으로는 고압수은램프의 g 선, h 선을 사용하였다. 이때, 스트라이프 패터는 노광장치의 해상한계보다 미세한 패터이므로, 레지스트는 스트라이프 형상으로 노광되지 않고, 평균적으로 다른 노광부보다 적은 노광량이 된다.

이어서, 유기알칼리계 현상액을 사용하여 현상한 다음, 100 °C 내지 120 °C 에서 포스트베이킹을 180 초 실시하여 레지스트 중의 용매를 휘발시킴과 동시에 레지스트와 Cr 의 밀착력을 높인다. 그 다음, 추가로 120 °C 내지 130 °C 에서 오븐베이킹을 실시하여 레지스트 · Cr 간의 밀착력을 더욱 높인다. 이때, 베이킹온도가 너무 높은 경우에는 레지스트 단면이 처지므로 주의를 요한다. 그 다음, Cr 막의 에칭을 (NH₄)₂[Ce(NO₃)₆]+HNO₃+H₂O 액을 사용하여 실시한다. 그 다음, HCl

+SF₆ 가스를 사용하여 오믹 접촉막 (4) 및 반도체 능동막 (3) 을 에칭한다. 그 다음, 산소 플라즈마에 의해 레지스트를 에칭하여 레지스트 패턴부의 Cr 막을 노출시킨다. 에칭은 40 Pa 압력에서 60 초 실시하였다. 또한, 에칭할 때에는 RIE 모드가 PE 모드에 비해 레지스트 개구부의 크기를 제어하기 쉽다. 이와 같이 하여 도 2(b) 에 나타난 구조가 형성된다.

그 다음, 130 °C 내지 140 °C 에서 오븐베이킹을 실시한 후, (NH₄)₂[Ce(NO₃)₆]+HNO₃+H₂O 액을 사용하여 Cr 막을 에칭한다. 이어서, 오믹 접촉막을 제거한다.

다음, 플라즈마 CVD 에 의해 제 2 절연막 (7) 을 형성한다.

다음, 제 3 포토리소그래피 프로세스에서, 도 2(c) 에 나타난 형상으로, 유기막 (8) 을 패터닝한다. 구체적으로는, 계속되는 제 5 포토리소그래피 프로세스에 의해 제 1 및 제 2 절연막 (2 및 7) 을 제거하는 부분에서 당해 제 1 제 2 절연막 (2 및 7) 이 노출되도록 유기막 (8) 을 패터닝한다. 또한, 반사부도 유기막 (8) 이 제거된 영역과 제거되지 않은 영역을 형성하여 요철 형상을 형성한다.

다음, 제 4 포토리소그래피 프로세스에서 유기막을 패터닝한다. 이때, 제 1 및 제 2 절연막 (2 및 7) 이 제거되는 부분의 유기막은 제거된다. 또한, 요철부의 유기막은 제거되지 않고 1 층재의 요철을 적절히 완화시킴으로써, 양호한 산란특성을 얻을 수 있다. 계속하여 태이퍼 에칭이 실행되고, 도 2(d) 의 구조가 형성된다. 즉, 게이트 단자부에서는 게이트배선과 구동 신호원을 전기적으로 접속하는 콘택트홀을 형성하기 때문에 제 1 절연막 (2) 및 제 2 절연막 (7) 의 쌍방이 제거되고, 제 1 금속박막 (1) 이 노출된다. 소스단자부에서는 제 2 절연막 (7) 이 제거되어 제 2 금속박막이 노출된다. TFT 부와 반사부 사이에서는 제 2 절연막이 제거되어 드레인전극 (6) 이 노출된다. 또한, 투과부에서는 제 1 절연막 및 제 2 절연막의 쌍방이 제거되어 제 1 절연성 기판이 노출된다.

다음, 스퍼터링 등의 방법으로 도전성 박막 (9) 을 형성한다. 바람직한 실시예에서, 도전성 박막 (9) 은 80 nm 의 막두께를 갖는 ITO 가 사용된다. 또한, ITO 로 결정화 ITO 또는 어모퍼스 ITO 중 어느 것이나 사용할 수 있지만, 어모퍼스 ITO 를 사용한 경우에는, 제 3 금속박막 형성 전에 결정화 온도 180 °C 이상으로 가열하여 결정화 시킬 필요가 있다. 바람직한 실시예에서는, 200 °C 이상으로 가열한다.

다음, 제 5 포토리소그래피 프로세스에서, 도 2(e) 에 나타내는 바와 같이, 도전성 박막 (9) 을 화소전극 등의 형상으로 패터닝한다. 도전성 박막 (9) 의 에칭은 사용하는 재료에 따라 공지된 습식 에칭 (예를 들어, 도전성 박막 (9) 이 결정화 ITO 로 이루어지는 경우에는 염산 및 질산이 혼합되어 이루어지는 수용액) 등을 이용하여 수행할 수 있다. 도전성 박막 (9) 이 ITO 인 경우, 공지된 가스 조성 (예를 들어, HI, HBr) 에서의 드라이 에칭에 의한 에칭도 가능하다. 또한, 이 공정에서는 화소전극을 형성하는 것을 나타내었으나, 그 밖에 도전성 입자를 함유하는 수지를 사용하여 대향기판과 TFT 어레이 기판 사이를 전기적으로 접속하기 위한 트랜스퍼 단자부의 도전성 박막 (9) 에 의한 전극 등이 형성된다. 또한, 어모퍼스 ITO 의 경우, 가열 후라면 ITO 와 동일하게, 가열 전이라면 공지된 옥살산이 혼합되어 이루어지는 수용액으로 패터닝을 행한다.

다음, 스퍼터링 등의 방법으로 제 3 금속박막 (11) 을 형성한다. 제 3 금속박막 (11) 으로는, 예를 들어, 크롬, 몰리브덴, 탄탈, 티탄, 알루미늄, 구리 또는 이들에 다른 물질을 미량 첨가한 합금 등 중의 어느 하나로 이루어진 100 nm 내지 500 nm 정도 막두께의 박막을 사용할 수 있다. 바람직한 실시예에서는, 300 nm 막두께를 갖는 알루미늄과 Cu 의 합금을 형성하고, 추가로 100 nm 막두께를 갖는 크롬을 형성한다. 알루미늄과 Cu 의 합금이 노출되어 있으면, 다음의 포토리소그래피공정 현상시에 ITO (9) 의 부식이 진행되기 때문에, 이를 방지하기 위해 최상층에 크롬을 형성하고 있다. 또한, 동일한 효과를 갖는 금속으로 몰리브덴, 탄탈, 텅스텐이 있다.

다음, 제 7 포토리소그래피 프로세스에서 제 3 금속박막 (11) 및 최상층의 크롬을 반사전극의 형상으로 패터닝하고 최상층의 크롬을 에칭제거하여 반사전극을 형성한다. 또한, 최상층부터 크롬, 알루미늄 (금속막 (11)), 크롬 (금속막 (10)) 의 순으로 적층되어 있는 경우에는, 최상층의 크롬과 3 번째 층의 크롬 (금속막 (10)) 을 동시에 에칭할 수도 있다. 이 경우에는 레지스트의 패터닝, 크롬의 에칭, 알루미늄의 에칭, 크롬의 에칭, 레지스트의 박리, 크롬의 에칭 순으로 반사판을 형성할 수도 있고, 레지스트의 패터닝, 크롬의 에칭, 알루미늄의 에칭, 레지스트의 박리, 크롬의 에칭 순으로 반사판을 형성할 수도 있다. 최상층의 크롬은 ITO (9) 의 부식방지를 위해 형성되었으나, 반사율을 향상시키기 위해 이 단계에서 제거된다. 제 3 금속박막의 에칭은 공지된 에천트를 사용하여 습식 에칭으로 실시할 수 있다. 최종적으로 도 2(f) 에 나타난 구조가 형성된다. 본 발명의 실시형태에 따른 액정표시장치는, 이와 같이, 반사전극 (11) 과 도전성 박막 (9) 이 절연층을 개재하지 않고 형성된다는 점에 특징을 갖는다.

이상의 공정에 의해 TFT 어레이 기판이 6 공정의 포토리소그래피 프로세스에 의해 제조되어 수율을 향상시킬 수 있다.

발명의 실시형태 3

도 3에 본 발명의 실시형태 3에 따른 반투과형 액정표시장치의 제조 프로세스 흐름을 나타낸다. 이 제조 프로세스에서는 6장의 마스크를 사용하여 반투과형 TFT 어레이를 제조하고 있다.

먼저, 절연성 기판으로서 0.7 mm 두께의 유리기판을 세정하여 표면을 청정화한다. 절연성 기판에 대해서는, 상술한 발명의 실시형태 1에서 설명한 바와 같으므로 설명을 생략한다.

다음, 스퍼터링 등의 방법으로 제 1 금속박막 (1)을 형성한다. 제 1 금속박막 (1)으로는, 예를 들어, 크롬, 폴리브덴, 탄탈, 티탄, 알루미늄, 구리 또는 이들에 다른 물질을 미량 첨가한 합금 등 중의 어느 하나로 이루어진 100 nm 내지 500 nm 정도 막두께의 박막을 사용할 수 있다. 바람직한 실시예에서는, 200 nm 막두께의 크롬이 사용된다. 제 1 금속박막 (1)에 대해서도, 상술한 발명의 실시형태 1에서 설명한 바와 같으므로, 설명을 생략한다.

다음, 제 1 포토리소그래피 프로세스에서 제 1 금속박막 (1)에 게이트전극 (1) 및 게이트배선, 보조용량전극 (2) 및 보조용량배선을 패터닝한다. 그림으로써, 도 3(a)에 나타난 구조가 형성된다. 이 구조의 제조방법에 대해서도, 상술한 발명의 실시형태 1의 경우와 동일하므로, 설명을 생략한다.

다음, 플라즈마 CVD에 의해 제 1 절연막 (2), 반도체 능동막 (3), 및 오믹 접촉막 (4)을 연속적으로 형성한다. 그 다음, 에칭 등에 의해 도 3(b)에 나타난 구조가 형성된다. 이 제조방법에 대해서도, 상술한 발명의 실시형태 1의 경우와 동일하므로, 설명을 생략한다.

다음, 스퍼터링 등의 방법으로 제 2 금속박막을 형성한다. 제 1 금속박막 (1)으로는, 예를 들어, 크롬이 사용된다. 바람직한 실시예에서는, 200 nm의 막두께를 가진 크롬이 형성된다.

다음, 제 3 포토리소그래피 프로세스에서 소스전극 (5) 및 드레인전극 (6)을 형성되도록 제 2 금속박막을 패터닝한다. 그림으로써, 도 3(c)에 나타난 구조가 형성된다. 소스전극 (5)은 소스배선과 게이트배선이 교차하는 부분으로까지 형성된다. 드레인전극 (6)은 반사부까지 형성된다. 이 프로세스에 의해 TFT부의 오믹 접촉막 (4)의 중앙부가 제거되어 반도체 능동막 (3)이 노출된다. 오믹 접촉막 (4)의 에칭은 공지된 가스 조성 (예를 들어, SF₆과 O₂의 혼합가스 또는 CF₄와 O₂의 혼합가스)의 드라이 에칭일 수 있다.

다음, 플라즈마 CVD에 의해 제 2 절연막 (7)을 형성하고, 스피도포, 슬릿도포, 전사 등에 의해 유기막 (8)을 형성한다. 바람직한 실시예에서는, 제 2 절연막 (7)으로서 100 nm 막두께의 SiN이 사용된다. 또한, 유기막 (8)은 공지된 감광성 유기막으로서, 예를 들어, JSR 제 PC 335 또는 PC 405 등이 사용된다.

다음, 제 4 포토리소그래피 프로세스에서 도 3(d)에 나타난 형상으로 패터닝한다. 제 4 포토리소그래피 프로세스에서는 하프톤 노광이 사용된다. 하프톤 노광에 대해서는 발명의 실시형태 2에서 설명한 바와 같다. 이 하프톤 노광과 다음의 에칭에 의해, 게이트 단자부에서는 게이트배선과 구동신호선을 전기적으로 접속하는 컨택트홀부의 유기막이 제거되고, 다음의 에칭에 의해 제 1 절연막 (2) 및 제 2 절연막 (7)의 쌍방이 제거되어 제 1 금속박막 (1)이 노출된다. 소스단자에서는 제 2 절연막 (7)이 제거되어 제 2 금속박막이 노출된다. TFT부와 반사부 사이에서는 제 2 절연막이 제거되어 드레인전극 (6)이 노출된다. 또한 투과부에서는 제 1 절연막 및 제 2 절연막의 쌍방이 제거되고, 제 1 절연성 기판이 노출된다. 또한, 요철부의 오목부에는 유기막이 잔존하기 때문에, 제 2 절연막은 제거되지 않고 유기막에 의한 요철이 형성된다.

다음, 스퍼터링 등의 방법으로 도전성 박막 (9)을 형성한다. 도전성 박막 (9)으로는, 액정표시장치를 투과형으로 구성하는 경우에는 투명 도전막인 ITO, SnO₂ 등을 사용할 수 있고, 특히 화학적 안정성의 관점에서 ITO가 바람직하다. 바람직한 실시예에서, 도전성 박막 (9)은 80 nm의 막두께를 갖는 ITO가 사용된다. 또한, ITO로는 결정화 ITO 또는 어모퍼스 ITO (비결정 ITO) 중 어느 것을 사용해도 되지만, 어모퍼스 ITO를 사용한 경우에는 제 3 금속박막 형성 전에 결정화 온도 180 °C 이상으로 가열하여 결정화 시킬 필요가 있다. 바람직한 실시예에서는 200 °C 이상으로 가열한다.

다음, 제 5 포토리소그래피 프로세스에서, 도 3(e)에 나타난 바와 같이, 도전성 박막 (9)을 화소전극 등의 형상으로 패터닝한다. 도전성 박막 (9)의 에칭은 사용하는 재료에 따라 공지된 습식 에칭 (예를 들어, 도전성 박막 (9)이 결정화 ITO로 이루어지는 경우에는 염산 및 질산이 혼합되어 이루어지는 수용액) 등을 사용하여 실시할 수 있다. 도전성 박막 (9)이 ITO인 경우, 공지된 가스 조성 (예를 들어, HI, HBr)의 드라이 에칭에 의한 에칭도 가능하다. 또한, 이 공정에서는 화소전

극을 형성하는 것을 나타내었으나, 그 밖에 도전성 입자를 함유하는 수지를 사용하여 대향기관과 TFT 어레이 기관 사이를 전기적으로 접속하기 위한 트랜스퍼 단자부의 도전성 박막 (9) 에 의한 전극 등이 형성된다. 또한, 어모퍼스 ITO 인 경우, 가열 후라면 ITO 와 동일하게, 가열 전이라면 공지된 옥살산이 혼합되어 이루어지는 수용액으로 패터닝을 실시한다.

다음, 스퍼터링 등의 방법으로 제 3 금속박막 (11) 을 형성한다. 제 3 금속박막으로는, 예를 들어, 크롬, 몰리브덴, 탄탈, 티탄, 알루미늄, 구리 또는 이들에 다른 물질을 미량 첨가한 합금 등 중의 어느 하나로 이루어진 100 nm 내지 500 nm 정도 막 두께의 박막을 사용할 수 있다. 바람직한 실시예에서는, 100 nm 막두께를 갖는 크롬을 형성한 후, 300 nm 의 막두께를 갖는 알루미늄과 Cu 의 합금을 형성하고, 추가로 100 nm 의 막두께를 갖는 크롬을 형성한다. 알루미늄과 Cu 의 합금이 노출되어 있으면, 다음의 포토리소그래피 공정 현상시에 ITO (9) 의 부식이 진행되기 때문에, 이를 방지하기 위해 최상층에 크롬을 형성하고 있다. 또한, 동일한 효과를 갖는 금속으로 몰리브덴, 탄탈, 텅스텐이 있다.

다음에, 제 6 포토리소그래피 프로세스에서 제 3 금속박막 (11) 및 최상층의 크롬을 반사전극의 형상으로 패터닝하여 반사전극을 형성한다. 또한, 금속막 (11) 이 크롬인 경우, 최상층의 크롬과 동시에 에칭할 수도 있다. 제 3 금속박막 (11) 의 에칭은 공지된 에천트를 사용하여 습식 에칭으로 실시할 수 있다. 최종적으로 도 3(f) 에 나타난 구조가 형성된다. 본 발명의 실시형태에 따른 액정표시장치는, 이와 같이, 반사전극 (11) 과 도전성 박막 (9) 이 절연층을 개재하지 않고 형성되어 있는 점에 특징이 있다.

이상의 공정에 의해 TFT 어레이 기관이 6 공정의 포토리소그래피 프로세스에 의해 제조되어 수율을 향상시킬 수 있다.

발명의 실시형태 4

도 4 에 본 발명의 실시형태 4 에 따른 반투과형 액정표시장치의 제조 프로세스 흐름을 나타낸다. 이 제조 프로세스에서는 5 회의 포토리소그래피공정을 이용하여 반투과형 TFT 어레이를 제조하고 있다.

먼저, 절연성 기관으로서 0.7 mm 두께의 유리기관을 세정하여 표면을 청정화한다. 절연성 기관에 대해서는, 상술한 실시형태 1 에서 설명한 바와 같으므로, 설명을 생략한다.

다음, 스퍼터링 등의 방법으로 제 1 금속박막 (1) 을 형성한다. 제 1 금속박막 (1) 으로서, 예를 들어, 크롬, 몰리브덴, 탄탈, 티탄, 알루미늄, 구리 또는 이들에 다른 물질을 미량 첨가한 합금 등 중의 어느 하나로 이루어지는 100 nm 내지 500 nm 정도 막두께의 박막을 사용할 수 있다. 바람직한 실시예에서는, 200 nm 막두께의 크롬이 사용된다. 제 1 금속박막 (1) 에 대해서도, 상술한 발명의 실시형태 1 에서 설명한 바와 같으므로, 설명을 생략한다.

다음, 제 1 포토리소그래피 프로세스에서 제 1 금속박막 (1) 에 게이트전극 (1) 및 게이트배선, 보조용량전극 (2) 및 보조용량배선을 패터닝한다. 그림으로써, 도 4(a) 에 나타난 구조가 형성된다. 이 구조의 제조방법에 대해서도, 상술한 발명의 실시형태 1 의 경우와 동일하므로, 설명을 생략한다.

다음, 제 1 절연막 (2), 반도체 능동막 (3), 오믹 접촉막 (4), 및 제 2 금속박막을 연속적으로 형성한다. 바람직한 실시예에서는, 게이트 절연막 (2) 이 되는 제 1 절연막으로서 300 nm 의 SiN 과 100 nm 의 SiN 의 적층막이 사용된다. 또한, 반도체 능동막 (3) 으로는 150 nm 의 i-a-Si 막이 사용된다. 또한, 오믹 접촉막 (4) 으로는 30 nm 의 n-a-Si 막이 사용된다. 제 2 금속박막으로는 200 nm 의 크롬이 사용된다. 이들 SiN 막, a-Si 막 및 n-a-Si 막은 플라즈마 CVD 장치를 이용하여 형성하고, 오믹 형성시에는 PH₃ 을 도핑하여 n-a-Si 막을 형성한다. Cr 형성에 대해서는, 예를 들어, DC 마그네트론형 스퍼터링 장치를 이용하여 형성한다.

다음, 제 2 포토리소그래피 프로세스에서 소스배선, 소스단자부 금속패드, 드레인전극, 반도체 능동막 (3) 등을 형성하기 위한 레지스트 패턴을 형성한다. 제 2 포토리소그래피 프로세스에는 하프톤 노광이 사용된다. 하프톤 노광에 대해서는, 발명의 실시형태 2 에서 설명한 바와 같다. 또한, 이 공정도 발명의 실시형태 2 에서 설명한 바와 같으므로 설명을 생략한다. 이와 같이 하여, 도 4(b) 에 나타난 구조가 형성된다.

그 다음, 130 °C 내지 140 °C 에서 오븐베이킹을 실시한 후, (NH₄)₂[Ce(NO₃)₆]+HNO₃+H₂O 액을 사용하여 Cr 막을 에칭한다.

다음, 플라즈마 CVD 에 의해 제 2 절연막 (7) 및 유기막 (8) 을 형성한다. 바람직한 실시예에서는, 제 2 절연막 (7) 으로서 100 nm 막두께의 SiN 이 사용된다. 또한, 유기막 (8) 은 공지된 감광성 유기막으로서, 예를 들어, JSR 제 PC 335 또는 PC 405 등이 사용된다.

다음, 제 3 포토리소그래피 프로세스에서 도 3(d) 에 나타내는 형상으로 패터닝한다. 제 4 포토리소그래피 프로세스에는 하프톤 노광이 사용된다. 이 공정은 발명의 실시형태 3 에서 설명한 바와 같으므로 설명을 생략한다.

다음, 스퍼터링 등의 방법으로 도전성 박막 (9) 을 형성한다. 도전성 박막 (9) 으로는, 액정표시장치를 투과형으로 구성하는 경우에는 투명 도전막인 ITO, SnO₂ 등을 사용할 수 있고, 특히 화학적 안정성의 관점에서 ITO 가 바람직하다. 바람직한 실시예에서, 도전성 박막 (9) 은 80 nm 의 막두께를 갖는 ITO 가 사용된다.

다음, 제 4 포토리소그래피 프로세스에서, 도 4(d) 에 나타낸 바와 같이, 도전성 박막 (9) 을 화소전극 등의 형상으로 패터닝한다. 이 공정은 발명의 실시형태 3 에서 설명한 바와 같으므로 설명을 생략한다.

다음, 스퍼터링 등의 방법으로 제 3 금속박막 (11) 을 형성한다. 이 공정도 발명의 실시형태 3 에서 설명한 바와 같으므로 설명을 생략한다. 또한, 제 5 포토리소그래피 프로세스에서 제 3 금속박막 (11) 을 반사전극의 형상으로 패터닝하여 반사전극을 형성한다. 최종적으로 도 4(e) 에 나타낸 구조가 형성된다. 본 발명의 실시형태에 따른 액정표시장치는, 이와 같이, 반사전극 (11) 과 도전성 박막 (9) 이 절연층을 개재하지 않고 형성되어 있다는 점에 특징이 있다.

이상의 공정에 의해 TFT 어레이 기판이 5 공정의 포토리소그래피 프로세스에 의해 제조되어 수율을 향상시킬 수 있다.

발명의 실시형태 5

도 8 에 본 발명의 실시형태 5 에 따른 반투과 액정표시장치의 구성을 나타낸다. 이 구성은 실시형태 1 내지 4 중 어느 것으로도 실현가능하지만, 본 실시형태는 실시형태 1 에 나타낸 프로세스 흐름에 의해 형성시킨 예를 나타낸다.

본 발명의 실시형태에 따른 액정표시장치는, 제 1 또는 제 2 금속박막과 투과전극 (도전성 박막 (9)) 의 접속부 즉 제 1 또는 제 2 절연막에 형성된 콘택트홀 부분의 적어도 일부의 투과전극을 제거하고, 이 부분을 제 3 금속박막 (10 또는 11) 으로 덮는 구조를 하고 있다. 이때, 제 3 금속박막 (10, 11) 은 도전성 박막 (9) 및 제 1 또는 제 2 금속박막의 양쪽에 접속되어 있는 것을 특징으로 한다.

이와 같은 구성은 다음과 같은 효과가 있다. 일반적으로 콘택트홀을 통한 투과전극과 금속박막의 접속저항은 콘택트홀을 통한 금속박막과 금속박막의 접속저항에 비해 높아진다. 따라서, 상기와 같은 구성으로 취함으로써, 투과전극과 제 1 또는 제 2 금속박막의 접속저항을 저감할 수 있다.

이상의 구성에 의해 TFT 어레이 기판에서의 각 배선과 투과전극의 접속저항을 저감할 수 있고, 접속저항의 증가에 의해 생기는 표시불량을 억제할 수 있어 수율을 향상시킬 수 있다.

발명의 실시형태 6

도 9 에 본 발명의 실시형태 6 에 따른 반투과형 액정표시장치의 구성을 나타낸다. 이 구성은 실시형태 1 내지 4 중 어느 것으로도 실현가능하지만, 본 실시형태 6 은 실시형태 1 의 프로세스 흐름에 의해 형성시킨 예를 나타낸다.

본 발명의 실시형태에 따른 액정표시장치는, 화소부에서 유기막 상의 투과전극 (도전성 박막 (9)) 이 제 3 금속박막 (10, 11) 에 포함되어 있는 것을 특징으로 한다.

이와 같은 구성은 다음과 같은 효과가 있다. 일반적으로 유기막 상에 형성되는 투과전극 (도전성 박막 (9)) 및 그 투과전극 상에 절연막을 개재하지 않고 형성되는 금속박막의 밀착력은 유기막 상에 직접 형성된 금속박막 보다 낮고, 이후의 제조공정 중에 유기막 상의 투과전극과 그 투과전극 상에 형성된 금속박막이 박리되는 문제가 생긴다. 이러한 문제에 대해, 본 실시형태와 같은 구성을 택함으로써, 금속박막의 박리가 현저히 개선된다. 바람직한 예는, 1 μm 이상 투과전극을 금속박막의 내측에 포함하는 구성이다. 또한, 절연기판 상의 투과전극과 금속박막의 밀착력이 양호하여, 투과부의 개구부에서 투과전극과 금속박막의 박리문제가 생기지 않는다.

이상의 구성에 의해 TFT 어레이 기판에서의 투과전극과 제 3 금속박막의 박리를 억제할 수 있어 수율을 향상시킬 수 있다.

발명의 효과

본 발명에 따르면 간이한 제조공정에 의해 고수율을 실현하는 액정표시장치 및 그 제조방법을 제공할 수 있다.

도면의 간단한 설명

도 1 은 본 발명의 실시형태 1 에 따른 액정표시장치의 프로세스 흐름을 나타내는 도면.

도 2 는 본 발명의 실시형태 2 에 따른 액정표시장치의 프로세스 흐름을 나타내는 도면.

도 3 은 본 발명의 실시형태 3 에 따른 액정표시장치의 프로세스 흐름을 나타내는 도면.

도 4 는 본 발명의 실시형태 4 에 따른 액정표시장치의 프로세스 흐름을 나타내는 도면.

도 5 는 유기막의 도포, 노광 및 현상에 의해 요철을 형성하는 경우의 원리도.

도 6 은 본 발명에서 사용되는 하프톤 마스크의 구성예를 나타내는 도면.

도 7 은 그 밖의 실시형태에 따른 액정표시장치의 프로세스 흐름을 나타내는 도면.

도 8 은 본 발명의 실시형태 5 에 따른 액정표시장치의 단면도.

도 9 는 본 발명의 실시형태 6 에 따른 액정표시장치의 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

1 : 제 1 금속박막 2 : 제 1 절연막

3 : 반도체 능동막 4 : 오믹 접촉막

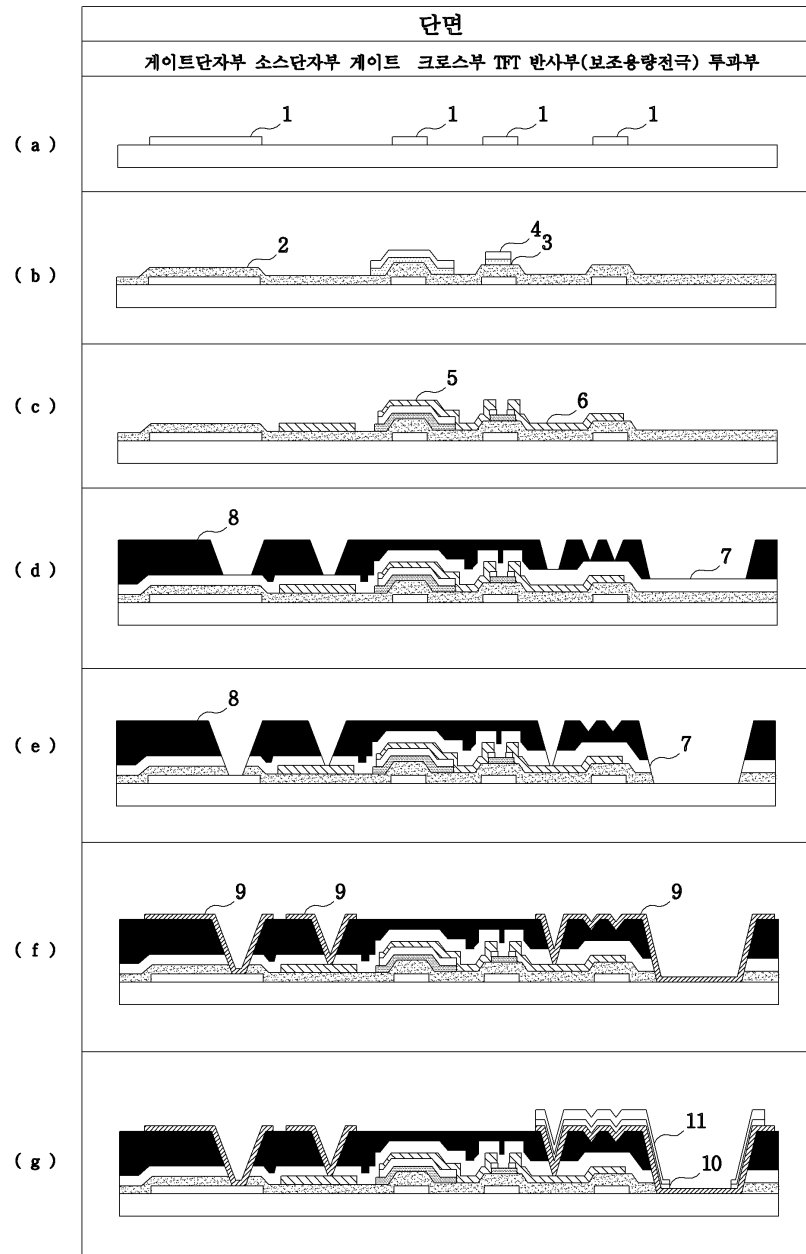
5 : 소스전극 6 : 드레인전극

7 : 제 2 절연막 8 : 유기막

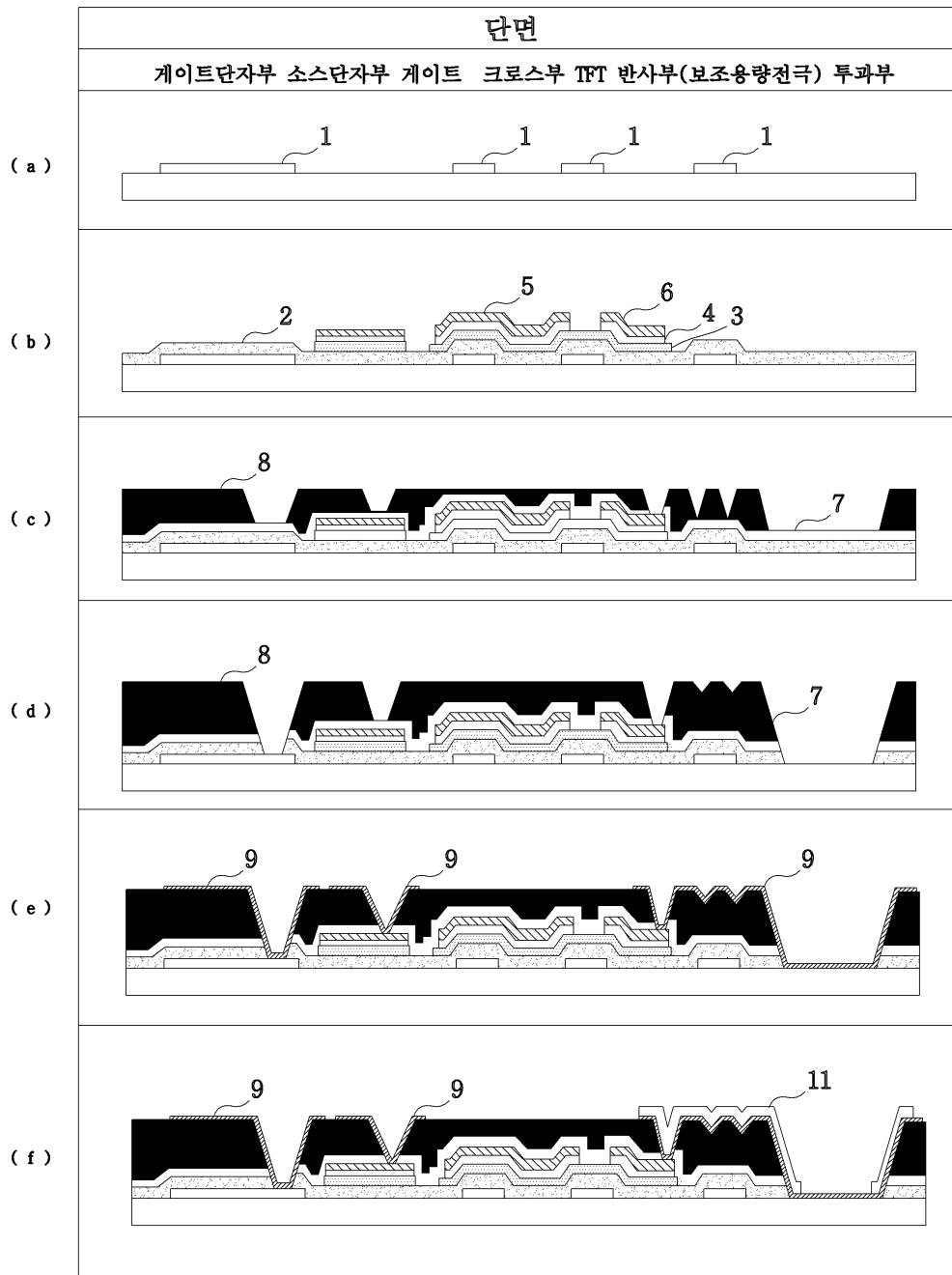
9 : 도전성 박막 10, 11 : 제 3 금속박막

도면

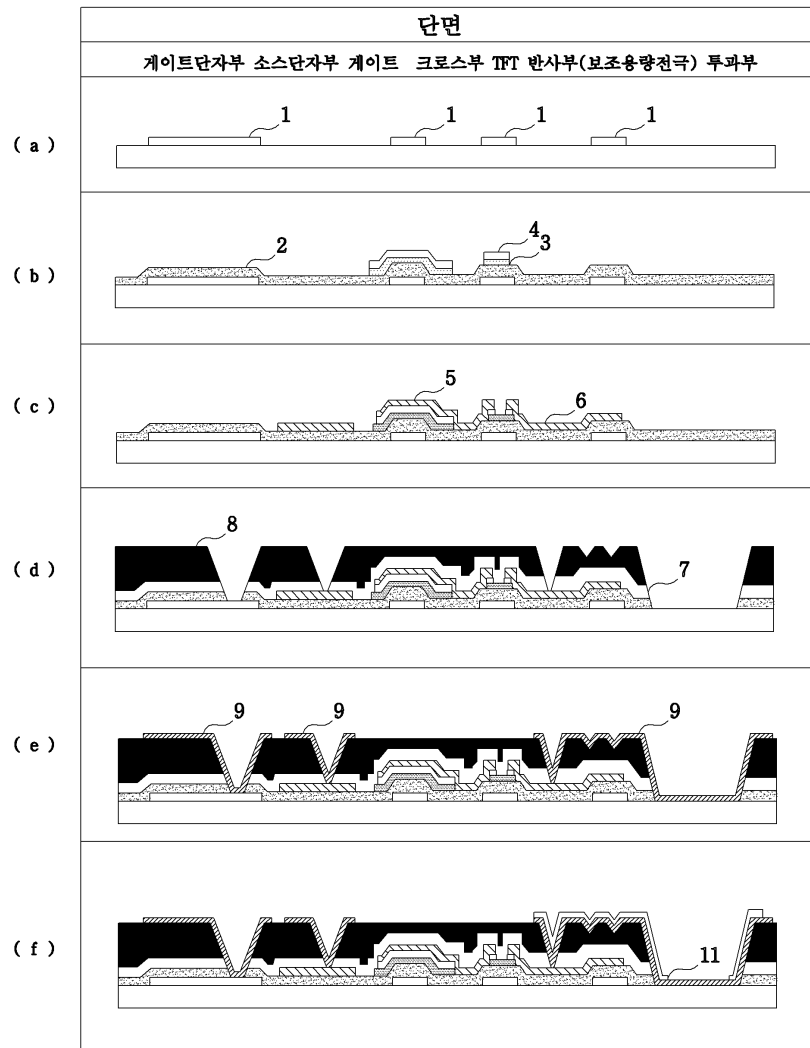
도면1



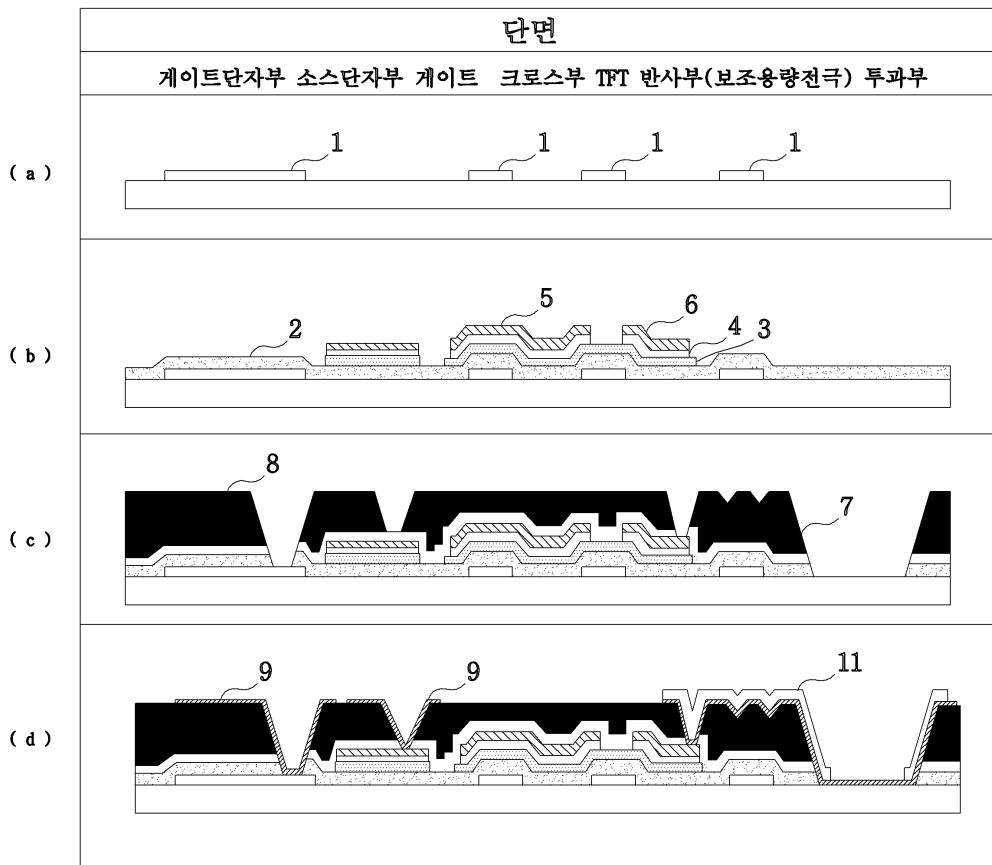
도면2



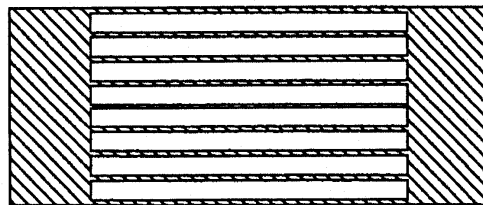
도면3



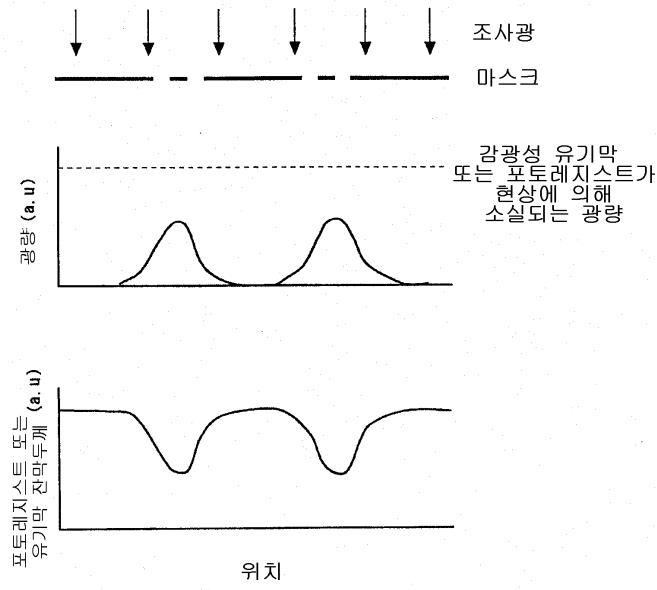
도면4



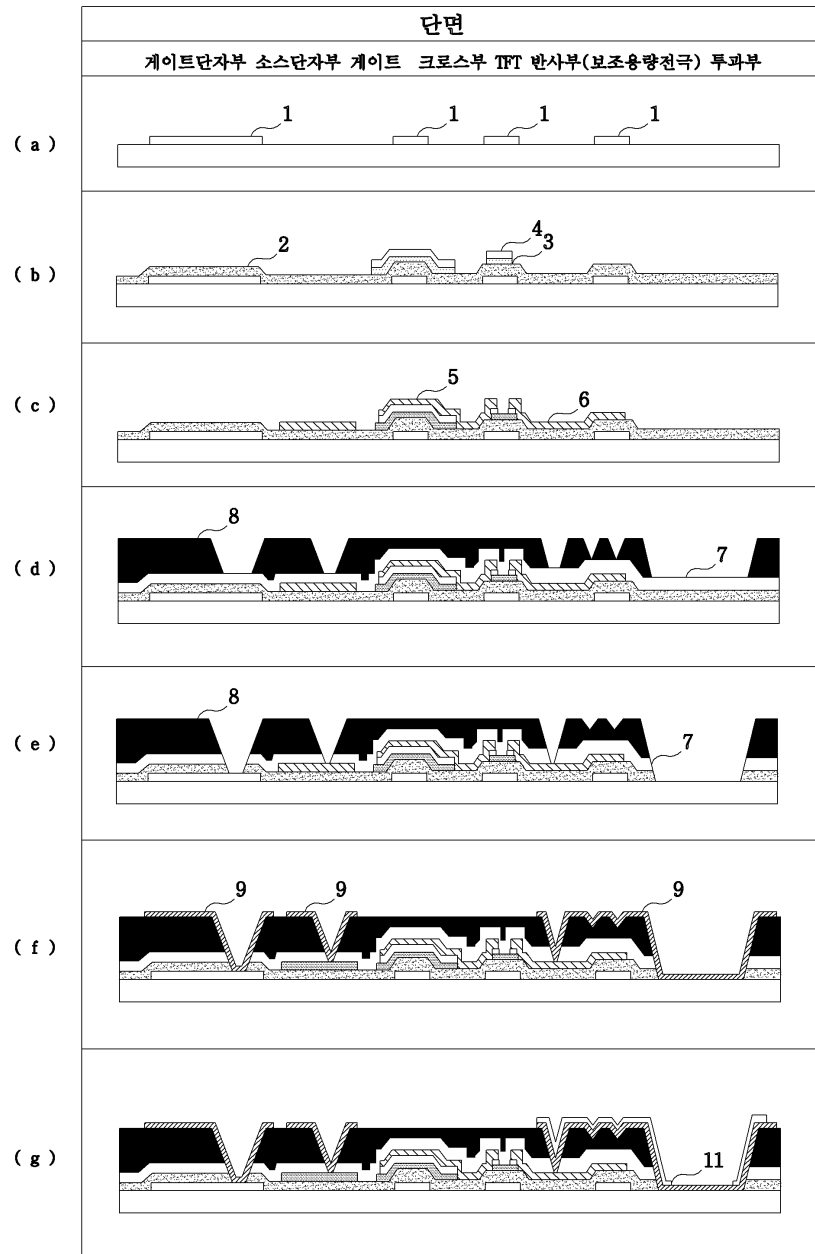
도면5



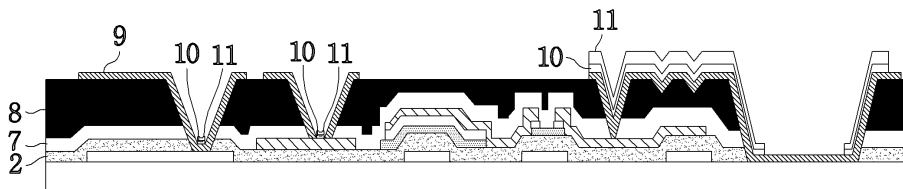
도면6



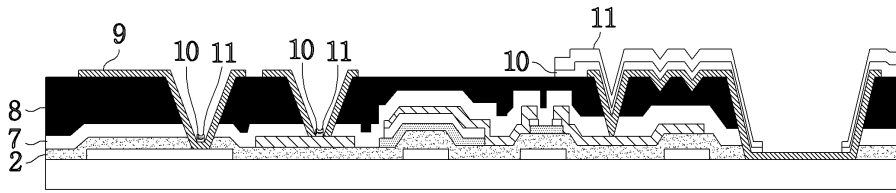
도면7



도면8



도면9



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR100714139B1	公开(公告)日	2007-05-02
申请号	KR1020030011336	申请日	2003-02-24
申请(专利权)人(译)	提升者显示的激光炮的鼻子		
当前申请(专利权)人(译)	提升者显示的激光炮的鼻子		
[标]发明人	NAKASHIMA KEN 나카시마겐 MATSUI YASUSHI 마쯔이야스시 NIWANO YASUNORI 니와노야스노리		
发明人	나카시마겐 마쯔이야스시 니와노야스노리		
IPC分类号	G02F1/1335 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/133555 G02F2001/136236		
代理人(译)	韩国专利公司		
优先权	2002048074 2002-02-25 JP		
其他公开文献	KR1020030070549A		
外部链接	Espacenet		

摘要(译)

(对象) 本发明的液晶显示装置及其制造方法, 其通过简单的制造工艺实现高产量 (用于解决问题的手段) 涉及包括反射电极的半透射型液晶显示装置 (如图10,11) 所示, 在一对基板中反射外部光, 并且在一个基板上面对并布置液晶层, 并且传输电极 (9) 从背光源透射光, 该像素电极在1个像素内组织。特别地, 包括像素电极的该绝缘层的反射电极 (10,11) 和透射电极 (9) 不插入并形成。此外, 利用半色调微光刻法, 使制造过程简单。反射电极, 透射电极和半透射型液晶显示装置。

