

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>G09G 3/36</i> (2006.01)	(45) 공고일자 2006년08월29일 (11) 등록번호 10-0616336 (24) 등록일자 2006년08월21일
---	--

(21) 출원번호	10-2004-0055120	(65) 공개번호	10-2005-0009207
(22) 출원일자	2004년07월15일	(43) 공개일자	2005년01월24일

(30) 우선권주장	JP-P-2003-00275529	2003년07월16일	일본(JP)
(73) 특허권자	미쓰비시덴키 가부시키가이샤 일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고		
(72) 발명자	도비타유이치 일본국 도쿄도 지요다쿠 마루노우치 2쵸메 2반 3고 미쓰비시덴키 가부 시키가이샤 나이		
(74) 대리인	권태복 이화익		

심사관 : 이병우

(54) 계조전위 발생회로를 구비한 화상표시장치

요약

이 컬러액정 표시장치의 계조전위 발생회로(16)는, 비교적 높은 저항값을 갖고, 전원전압(VH-VL)을 분압하여 제1~제64 계조전위(VG1~VG64)를 생성하고, 그것들을 제1~제64 노드(N1a~N64a)에 공급하는 제1 레더저항회로(20)와, 비교적 낮은 저항값을 가지며, 선택된 계조전위가 데이터선에 공급되는 기간 중의 최초의 소정기간에 활성화되고, 전원전압(VH-VL)을 분압하여 제1~제65 계조전위(VG1~VG64)를 생성하며, 그것들을 제1~제64 노드(N1a~N64a)에 공급하는 제2 레더저항회로(22) 및 65의 스위치(S0~S64)를 포함한다. 따라서, 저저항의 레더저항회로(22)를 펄스적으로 활성화시키므로, 작은 소비전류로 데이터선(6)을 고속으로 충전/방전시킬 수 있다.

대표도

도 4

색인어

계조전위, 발생회로, 화상표시장치, 액정셀, 화소, 래치회로

명세서

도면의 간단한 설명

도 1은 본 발명의 일실시예에 의한 컬러액정 표시장치의 구성을 나타내는 블록도이다.

도 2는 도 1에 나타난 각 액정셀에 대응하여 설치되는 액정구동회로의 구성을 나타내는 회로도이다.

도 3은 도 1에 나타난 수평주사회로의 구성을 나타내는 블록도이다.

도 4는 도 3에 나타난 계조전위 발생회로의 구성을 나타내는 회로도이다.

도 5는 도 3에 나타난 디코드회로에 포함되는 디코드 단위회로의 구성을 나타내는 회로도이다.

도 6은 도 4 및 도 5에 나타난 계조전위 발생회로 및 디코드 단위회로의 동작을 나타내는 타임차트이다.

도 7은 이 실시예의 변경예를 나타내는 회로도이다.

도면의 주요부분에 대한 부호의 설명

1 : 액정패널 2 : 액정셀

3 : 화소 4 : 게이트선

5 : 공통전위선 6 : 데이터선

7 : 수직주사회로 8 : 수평주사회로

10 : 액정구동회로 11, 30~35 : N형 트랜지스터

12 : 커패시터 13 : 시프트 레지스터

14, 15 : 데이터 래치회로 16 : 계조전위 발생회로

17 : 디코드회로 20, 22 : 레더저항회로

21, 23 : 저항소자 S : 스위치

25, 40 : 디코드 단위회로 41 : 데이터선 구동회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상표시장치에 관한 것으로, 특히, 계조전위 발생회로를 구비한 화상표시장치에 관한 것이다.

종래로부터, 액정표시장치에서는, 계조전위 발생회로에 의해 복수의 계조전위를 생성하고, 화상 데이터신호에 따라 복수의 계조전위 중 어느 하나의 계조전위를 선택하며, 선택한 계조전위를 데이터선을 통해 액정셀에 공급하고 있다. 계조전위 발생회로는, 고전위의 라인과 저전위의 라인과의 사이에 직렬접속된 복수의 저항소자로 이루어지는 레더저항회로로 구성되어 있다(예를 들면 일본특허공개 2001-034234호 공보).

발명이 이루고자 하는 기술적 과제

이러한 액정표시장치에 있어서, 큰 용량을 갖는 데이터선을 고속으로 충전/방전시키기 위해서는, 레더저항회로의 저항값을 작게 하여 레더저항회로에 흐르는 전류를 증가시킬 필요가 있다. 그러나, 레더저항회로에 흐르는 전류를 증가시키면, 액정표시장치의 소비전류가 증대해 버린다.

발명의 구성 및 작용

따라서, 본 발명의 주된 목적은, 소비전류가 작고, 데이터선을 고속으로 충전/방전시키는 것이 가능한 화상표시장치를 제공하는 것이다.

본 발명에 관한 화상표시장치는, 복수행 복수열로 배치되고, 각각이 계조전위에 따른 화소를 표시하는 복수의 화소표시회로와, 각각 복수행에 대응하여 설치된 복수의 게이트선과, 각각 복수열에 대응하여 설치된 복수의 데이터선을 포함하는 화소어레이와, 복수의 게이트선을 소정시간씩 순차 선택하고, 선택한 게이트선에 대응하는 각 화소표시회로를 활성화시키는 수직주사회로와, 서로 다른 복수의 계조전위를 출력하는 계조전위 발생회로와, 각 데이터선에 대응하여 설치되고, 수직주사회로에 의해 1개의 게이트선이 선택되고 있는 동안에, 화상 데이터신호에 따라, 복수의 계조전위 중 어느 하나의 계조전위를 선택하고, 선택한 계조전위를 대응한 데이터선을 통해 활성화된 화소표시회로에 공급하는 디코드회로를 구비한 것이다. 여기서, 계조전위 발생회로는, 미리 정해진 제 1 저항값을 갖고, 전원전압을 분압하여 복수의 계조전위를 생성하고, 생성한 복수의 계조전위를 각각 복수의 제1 노드에 공급하는 제1 레더저항회로와, 상기 제 1 저항값보다도 높은 제 2 저항값을 갖고, 디코드회로에 의해 선택된 계조전위가 대응한 데이터선에 공급되는 기간 중 최초의 미리 정해진 기간에 활성화되고, 전원전압을 분압하여 복수의 계조전위를 생성하는 제2 레더저항회로와, 미리 정해진 기간만큼 제2 레더저항회로에서 생성된 복수의 계조전위를 각각 복수의 제1 노드에 공급하는 전환회로를 포함한다.

따라서, 제 1 저항값보다도 낮은 제 2 저항값을 갖는 제2 레더 저항회로를, 선택된 계조전위가 데이터선에 공급되는 기간 중 최초의 소정기간만큼 활성화시키므로, 작은 소비전류로, 데이터선을 고속으로 충전/방전시킬 수 있다.

본 발명의 상기 및 다른 목적, 특징, 국면 및 이점은, 첨부한 도면과 관련하여 이해되는 본 발명에 관한 다음의 상세한 설명으로부터 명백해질 것이다.

[발명의 실시예]

도 1은, 본 발명의 일실시예에 의한 컬러액정 표시장치의 구성을 나타내는 블록도이다. 도 1에서, 이 컬러액정 표시장치는, 액정패널(1), 수직주사회로(7) 및 수평주사회로(8)를 구비하고, 예를 들면 휴대전화기에 설치된다.

액정패널(1)은, 복수행 복수열로 배열된 복수의 액정셀(2)과, 각 행에 대응하여 설치된 게이트선(4) 및 공통전위선(5)과, 각 열에 대응하여 설치된 데이터선(6)을 포함한다.

액정셀(2)은, 각 행에 있어서 3개씩 미리 그룹화되어 있다. 각 그룹의 3개의 액정셀(2)에는, 각각 R, G, B의 컬러필터가 설치된다. 각 그룹의 3개의 액정셀(2)은, 하나의 화소(3)를 구성하고 있다.

각 액정셀(2)에는, 도 2에 나타내는 바와 같이, 액정구동회로(10)가 설치된다. 액정구동회로(10)는, N형 트랜지스터(11) 및 커패시터(12)를 포함한다. N형 트랜지스터(11)는, 데이터선(6)과 액정셀(2)의 한쪽 전극(2a)과의 사이에 접속되고, 그 게이트는 게이트선(4)에 접속된다. 커패시터(12)는, 액정셀(2)의 한쪽 전극(2a)과 공통전위선(5)과의 사이에 접속된다. 액정셀(2)의 다른쪽 전극에는 공통전위 VCOM이 공급되고, 공통전위선(5)에는 공통전위 VCOM이 공급된다.

도 1로 되돌아가, 수직주사회로(7)는, 화상신호에 따라, 복수의 게이트선(4)을 소정시간씩 순차 선택하고, 선택한 게이트선(4)을 선택레벨의 「H」 레벨로 한다. 게이트선(4)이 선택레벨의 「H」 레벨로 되면, 도 2의 N형 트랜지스터(11)가 도통하고, 그 게이트선(4)에 대응하는 각 액정셀(2)의 한쪽 전극(2a)과 그 액정셀(2)에 대응하는 데이터선(6)이 결합된다.

수평주사회로(8)는, 화상신호에 따라, 수직주사회로(7)에 의해 1개의 게이트선(4)이 선택되고 있는 동안에 각 데이터선(6)에 계조전위 VG를 공급한다. 액정셀(2)의 광투과율은, 계조전위 VG의 레벨에 따라 변화된다. 수직주사회로(7) 및 수평주사회로(8)에 의해 액정패널(1)의 전체 액정셀(2)이 주사되면, 액정패널(1)에 하나의 화상이 표시된다.

도 3은, 수평주사회로(8)의 구성을 나타내는 회로블록도이다. 도 3에서, 수평주사회로(8)는, 시프트 레지스터(13), 데이터 래치회로(14, 15), 계조전위 발생회로(16) 및 디코드회로(17)를 포함한다. 시프트 레지스터(13)는, 스타트신호 ST 및 클

록신호 CLK에 동기하여 데이터 래치회로 14를 제어한다. 데이터 래치회로 14는, 시프트 레지스터(13)에 의해 제어되고, 화상 데이터신호(D0~D5)를 1데이터선(6)만큼씩 순차 래치하며, 1행분의 화상 데이터신호(D0~D5)를 래치한다. 데이터 래치회로 15는, 래치신호 LT에 의해 제어되고, 데이터 래치회로 14에 래치된 1행분의 화상 데이터신호(D0~D5)를 한번에 래치한다. 데이터 래치회로 15는, 각 데이터선(6)마다, 래치한 화상 데이터신호(D0~D5) 및 그 상보신호(/D0~/D5)를 디코드회로(17)에 공급한다.

계조전위 발생회로(16)는, 64의 계조전위(VG1~VG64)를 생성한다. 디코드회로(17)는, 각 데이터선(6)마다, 데이터 래치회로 15로부터 공급된 화상 데이터신호(D0~D5) 및 그 상보신호(/D0~/D5)에 따라 64의 계조전위(VG1~VG64) 중 어느 하나의 계조전위를 선택하고, 선택한 계조전위를 그 데이터선(6)에 공급한다.

도 4는, 계조전위 발생회로(16)의 구성을 나타내는 회로도이다. 도 4에서, 이 계조전위 발생회로(16)는, 레더저항회로(20, 22) 및 스위치(S0~S64)를 포함한다.

레더저항회로 20은, 저전위 VL의 라인과 고전위 VH의 라인과 사이에 직렬접속된 65의 저항소자(21.1~21.65)를 포함한다. 저항소자(21.1~21.65)의 사이의 64의 노드(N1a~N64a)에는, VH-VL을 저항소자(21.1~21.65)의 저항값(R1~R65)으로 분압한 64의 계조전위(VG1~VG64)가 각각 출력된다. 저항소자(21.1~21.65)의 저항값(R1~R65)은, 액정셀(2)의 감마특성 등의 광학특성에 따라 설정된다.

레더저항회로 22는, 저전위 VL의 라인과 스위치 S0의 한쪽 단자와의 사이에 직렬접속된 65의 저항소자(23.1~23.65)를 포함한다. 스위치 S0의 다른쪽 단자는, 고전위 VH의 라인에 접속된다. 스위치 S0이 온되면, 저항소자(23.1~23.65)의 사이의 64의 노드(N1b~N64b)에는, VH-VL을 저항소자(23.1~23.65)의 저항값(r1~r65)으로 분압한 64의 계조전위(VG1~VG64)가 각각 출력된다.

여기서, 저항소자 23.1~23.65의 저항값 r1~r65는, 각각 저항소자 21.1~21.65의 저항값 R1~R65의 1/k(단, k>1 임)로 설정되어 있다. 즉, r1=R1/k, r2=R2/k, ..., r65=R65/k이다. 따라서, 스위치 S0이 온되면, 노드 N1b~N64b의 전위는 각각 노드 N1a~N64a의 전위와 동일하게 된다. 또한, 레더저항회로 22의 총저항값은 레더저항회로 20의 총저항값의 1/k로 되고, 스위치 S0의 온시에 레더저항회로 22에 흐르는 전류 I2는 레더저항회로 20에 흐르는 전류 I1의 k배가 된다.

스위치 S1~S64는, 각각노드 N1a와 N1b, N2a와 N2b, ..., N64a와 N64b의 사이에 접속된다. 스위치 S0~S64는, 동시에 온/오프된다. 스위치 S0~S64의 각각은, N형 트랜지스터이라도 되고, P형 트랜지스터이라도 되며, N형 트랜지스터 및 P형 트랜지스터를 병렬접속한 것이라도 된다.

스위치 S0~S64가 오프되어 있는 경우는, 레더저항회로 20에만 의해 계조전위 VG1~VG64가 생성된다. 이 경우는, 계조전위 발생회로(16)의 소비전류 I가 작게 억제된다. 스위치 S0~S64가 펄스적으로 온되면, 레더저항회로(20, 22)에 의해 계조전위(VG1~VG64)가 생성된다. 이 경우는, 계조전위 발생회로(16)의 전류구동능력이 증대한다.

도 5는, 디코드회로(17)에 포함되는 디코드 단위회로(25)의 구성을 나타내는 회로도이다. 도 5에서, 디코드 단위회로(25)는, 각 데이터선(6)에 대응하여 설치되어, 각각 64의 계조전위 VG1~VG64에 대응하여 설치된 64쌍의 N형 트랜지스터(30~35)를 포함한다.

계조전위 VG1에 대응하는 N형 트랜지스터 30~35는, 계조전위 발생회로(16)의 출력노드 N1a와 노드 N65의 사이에 직렬접속되고, 그것들의 게이트는 각각 데이터 래치회로 15로부터의 데이터신호 /D0~/D5를 수신한다. 노드 N65는, 대응한 데이터선(6)에 접속되어 있다. 화상 데이터신호 D5~D0이 000000인 경우에 N형 트랜지스터 30~35가 도통하고, 데이터선(6)에 계조전위 VG1이 공급된다.

계조전위 VG2에 대응하는 N형 트랜지스터 30~35는, 계조전위 발생회로(16)의 출력노드 N2a와 노드 N65의 사이에 직렬접속되고, 그것들의 게이트는 각각 데이터 래치회로 15로부터의 데이터신호 D0, /D1~/D5를 수신한다. 화상 데이터신호 D5~D0이 000001인 경우에 N형 트랜지스터 30~35가 도통하고, 데이터선(6)에 계조전위 VG2가 공급된다.

이하, 동일하게 하여, 화상 데이터신호 D5~D0이 000000, 000001, ..., 111111인 경우에, 각각 계조전위 VG1~VG64가 데이터선(6)에 공급된다.

도 6은, 도 4 및 도 5에 나타난 계조전위 발생회로(16) 및 디코드 단위회로(25)의 동작을 나타내는 타임차트이다. 도 6에서, 시간 t_0 보다도 전의 시간에서는, 스위치 $S_0 \sim S_{64}$ 가 오프되어 있고, 고전위 VH의 라인과 저전위 VL의 라인의 사이에는, 레더저항회로 20의 전류 I1만이 흐르고 있다. 이때, 데이터 래치회로 15의 출력데이터신호 D5~D0이 000000이고, 계조전위 VG1이 데이터선(6)에 공급되어 있는 것으로 한다.

시간 t_0 에서, 데이터 래치회로 15의 출력데이터신호 D5~D0이 000000으로부터 111111로 천이하면, 스위치 $S_0 \sim S_{64}$ 가 온하여 레더저항회로 22가 활성화되고, 고전위 VH의 라인과 저전위 VL의 라인의 사이에는, 레더저항회로(20, 22)의 전류 I1+I2가 흐른다. 또한, 노드 N64b가 스위치 S64, 노드 N64a, N형 트랜지스터 30~35 및 노드 N65를 통해 데이터선(6)에 접속되고, 데이터선(6)이 2개의 레더저항회로(20, 22)로 충전되어 데이터선(6)의 전위 VG는 급속히 상승한다.

데이터선(6)의 전위 VG가 소정값(예를 들면 VG64의 90%의 전위)이 되는 시간 t_1 에서, 스위치 $S_0 \sim S_{64}$ 가 오프하면, 데이터선(6)은 레더저항회로 20만으로 충전된다. 데이터선(6)은 이미 소정값으로 충전되어 있으므로, 시간 t_1 이후는 데이터선(6)은 단시간에 계조전위 VG64로 충전된다. 시간 t_1 이후는, 고전위 VH의 라인과 저전위 VL의 라인의 사이에는, 레더저항회로 20의 전류 I1만이 흐른다.

이 실시예에서는, 고저항의 레더저항회로 20과 저저항의 레더저항회로 22를 설치하고, 데이터선(6)의 충전/방전시에 레더저항회로 22를 펄스적으로 활성화시키므로, 작은 소비전류로, 데이터선(6)을 고속으로 충전/방전시킬 수 있다.

도 7은, 이 실시예의 변경예를 나타내는 회로도이다. 이 변경예의 디코드 단위회로 40은, 도 5의 디코드 단위회로 25에 데이터선 구동회로(41)를 추가한 것이다. 데이터선 구동회로 41은, 노드 N65와 데이터선(6)의 사이에 설치되고, 노드 N65의 전위를 전류증폭하여 데이터선(6)에 공급한다. 이 경우는, 계조전위 발생회로(16)의 부하용량을 작게 할 수 있다.

본 발명을 상세히 설명하여 나타내 왔지만, 이것은 예시를 위한 것으로서, 한정될 수 없고, 발명의 정신과 범위는 첨부한 청구의 범위에 의해서만 한정되는 것이 명백하게 이해될 것이다.

발명의 효과

본 발명에 관한 화상표시장치에서는, 계조전위 발생회로는, 비교적 높은 저항값을 갖고, 전원전압을 분압하여 복수의 계조전위를 생성하며, 생성한 복수의 계조전위를 각각 복수의 제1 노드에 공급하는 제1 레더저항회로와, 비교적 낮은 저항값을 갖고, 디코드회로에 의해 선택된 계조전위가 대응한 데이터선에 공급되는 기간 중 최초의 미리 정해진 기간에 활성화되고, 전원전압을 분압하여 복수의 계조전위를 생성하는 제2 레더저항회로와, 미리 정해진 기간만큼 제2 레더저항회로에서 생성된 복수의 계조전위를 각각 복수의 제1 노드에 공급하는 전환회로를 포함한다. 따라서, 비교적 낮은 저항값을 갖는 제2 레더저항회로를, 선택된 계조전위가 데이터선에 공급되는 기간 중 최초의 소정기간만큼 활성화시키므로, 작은 소비전류로, 데이터선을 고속으로 충전/방전시킬 수 있다.

(57) 청구의 범위

청구항 1.

화상표시장치에 있어서,

복수행 복수열로 배치되고, 각각이 계조전위에 따른 화소를 표시하는 복수의 화소표시회로와, 각각 상기 복수행에 대응하여 설치된 복수의 게이트선과, 각각 상기 복수열에 대응하여 설치된 복수의 데이터선을 포함하는 화소 어레이;

상기 복수의 게이트선을 소정시간씩 순차 선택하고, 선택한 게이트선에 대응하는 각 화소표시회로를 활성화시키는 수직주사회로;

서로 다른 복수의 계조전위를 출력하는 계조전위 발생회로; 및

각 데이터선에 대응하여 설치되고, 상기 수직주사회로에 의해 1개의 게이트선이 선택되고 있는 동안에, 화상 데이터신호에 따라 상기 복수의 계조전위 중 어느 하나의 계조전위를 선택하고, 선택한 계조전위를 대응한 데이터선을 통해 활성화된 화소표시회로에 공급하는 디코드회로를 구비하고,

상기 계조전위 발생회로는,

미리 정해진 제 1 저항값을 갖고, 전원전압을 분압하여 상기 복수의 계조전위를 생성하고, 생성한 복수의 계조전위를 각각 복수의 제 1 노드에 공급하는 제 1 레더 저항회로;

상기 제 1 저항값보다도 낮은 제 2 저항값을 갖고, 상기 디코드 회로에 의해 선택된 계조전위가 대응한 데이터선에 공급되는 기간 중 최초의 미리 정해진 기간에 활성화되고, 상기 전원전압을 분압하여 상기 복수의 계조전위를 생성하는 제 2 레더 저항회로; 및

상기 미리 정해진 기간만큼 상기 제 2 레더 저항회로에서 생성된 복수의 계조전위를 각각 상기 복수의 제 1 노드에 공급하는 전환회로를 포함한 것을 특징으로 하는 화상표시장치.

청구항 2.

제 1 항에 있어서,

상기 복수의 계조전위의 각각에는, 미리 고유의 화상 데이터신호가 할당되고,

상기 디코드회로는, 각각 상기 복수의 계조전위에 대응하여 설치되고, 각각이 복수의 트랜지스터를 포함하는 복수의 트랜지스터 그룹을 포함하며,

각 트랜지스터 그룹의 복수의 트랜지스터는, 대응한 제 1 노드와 제 2 노드와의 사이에 직렬접속되고, 대응한 화상 데이터신호에 응답하여 도통하며,

상기 제 2 노드는 대응한 데이터선에 접속된 것을 특징으로 하는 화상표시장치.

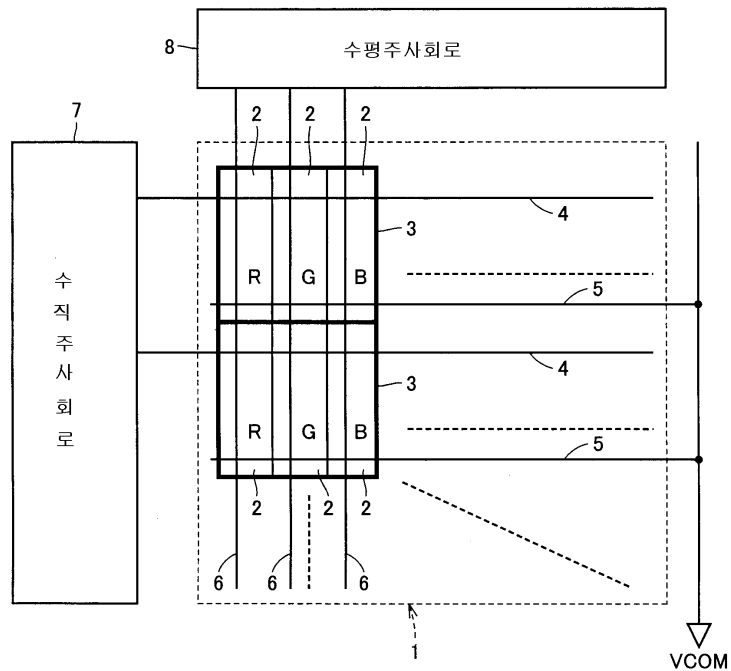
청구항 3.

제 1 항에 있어서,

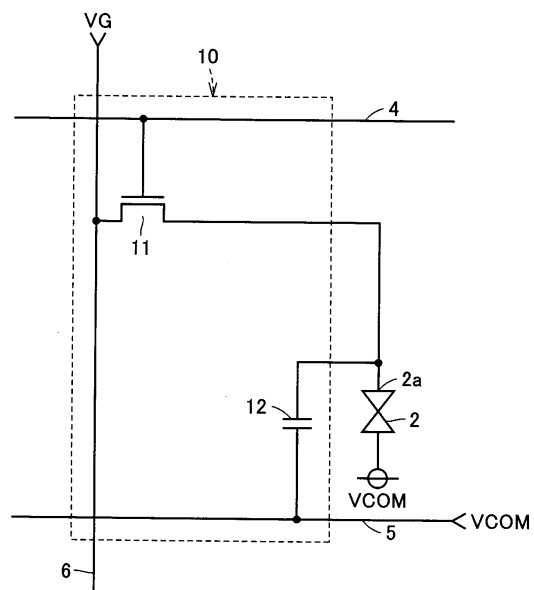
상기 디코드 회로는, 선택한 계조전위를 진류증폭하여 대응한 데이터선에 공급하는 구동회로를 포함한 것을 특징으로 하는 화상표시장치.

도면

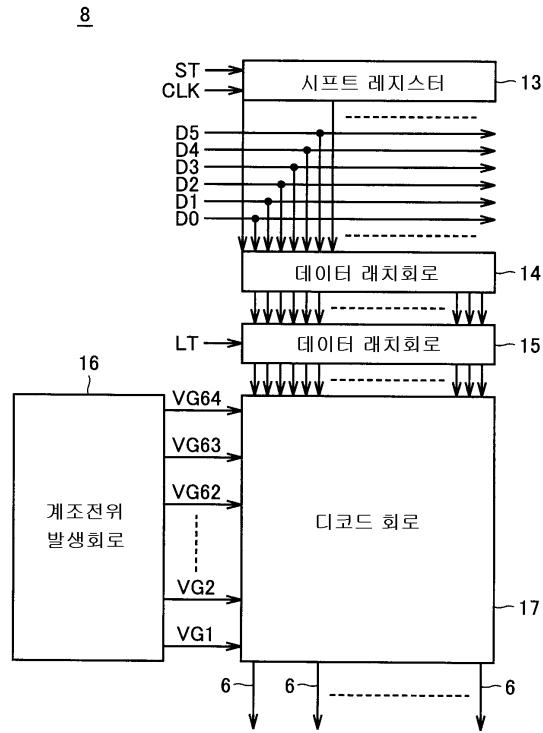
도면1



도면2

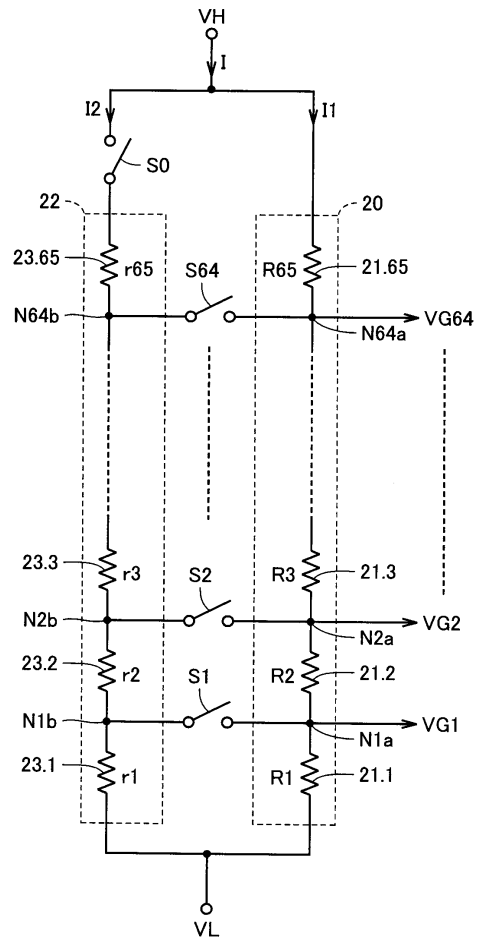


도면3



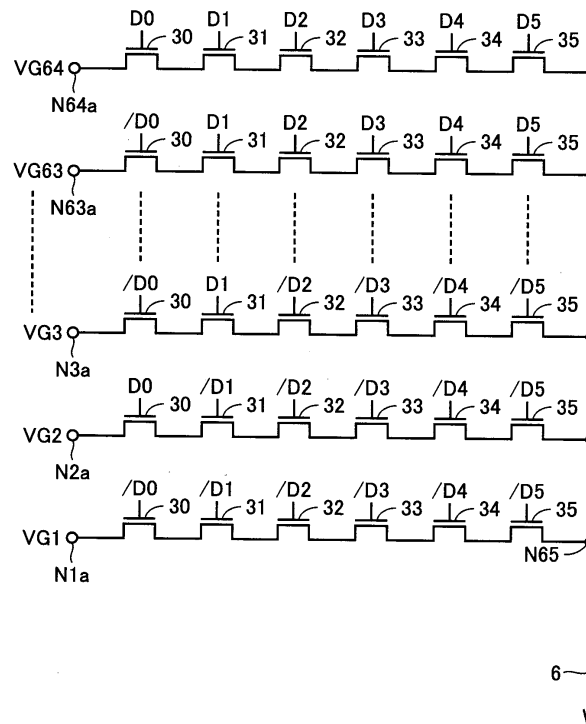
도면4

16

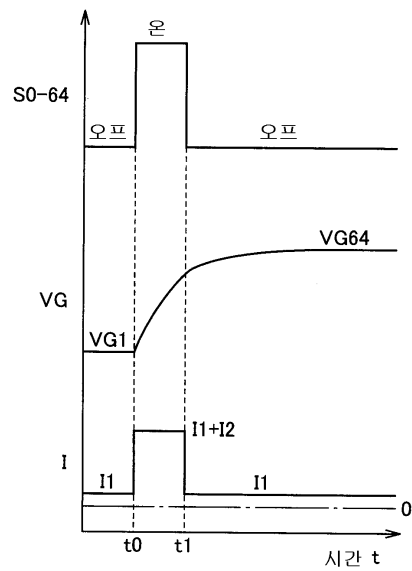


도면5

25

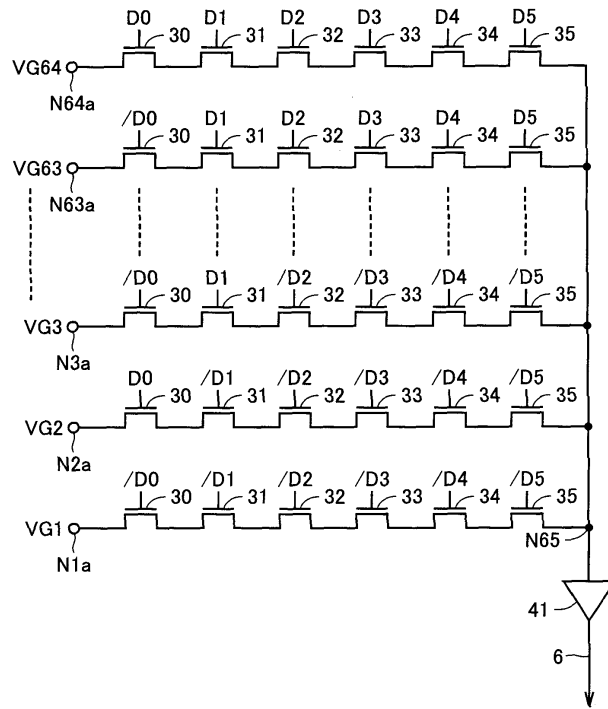


도면6



도면7

40



专利名称(译)	一种具有灰度电位产生电路的图像显示装置		
公开(公告)号	KR100616336B1	公开(公告)日	2006-08-29
申请号	KR1020040055120	申请日	2004-07-15
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	TOBITA YOUICHI		
发明人	TOBITA,YOUCIHI		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00 G09G5/10		
CPC分类号	G09G2310/027 G09G2330/021 G09G3/3688		
代理人(译)	LEE HWA我 权泰BOK		
优先权	2003275529 2003-07-16 JP		
其他公开文献	KR1020050009207A		
外部链接	Espacenet		

摘要(译)

该彩色液晶显示装置的灰度电位产生电路16具有相对高的电阻值，并且将电源电压 V_H - V_L 分压以产生第一至第64灰度级 VG_1 至 VG_{64} ，第一梯形电阻电路20，具有相对低的电阻值，并且在第一预定时间段内被激活，在该第一预定时间段期间，选择的灰度电位被提供给数据线，供电电压（ V_H - V_L ）第二梯形电阻电路22，用于产生第一至第65灰度电位 VG_1 至 VG_{64} 并将它们提供给第一至第64节点 N_{1a} 至 N_{64a} 和开关 S_0 至 S_{64} ）一个。因此，由于低电阻梯型电阻器电路22被脉冲激活，所以数据线6可以以小的消耗电流高速充电/放电。 4 指数方面 灰度电位，生成电路，图像显示装置，液晶单元，锁存电路

16

