

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G02F 1/136	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년08월10일 10-0506566 2005년07월29일
--	-------------------------------------	--

(21) 출원번호	10-2004-0053506(분할)	(65) 공개번호	10-2004-0065205
(22) 출원일자	2004년07월09일	(43) 공개일자	2004년07월21일
(62) 원출원	특허10-2003-0018218 원출원일자 : 2003년03월24일	심사청구일자	2003년03월24일

(30) 우선권주장	JP-P-1998-00027663	1998년02월09일	일본(JP)
	JP-P-1998-00046036	1998년02월26일	일본(JP)
	JP-P-1998-00046048	1998년02월26일	일본(JP)

(73) 특허권자 세이코 엡슨 가부시키키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자 무라데마사오
일본 나가노켄 스와시 오와 3-3-5 세이코 엡슨 가부시키키가이샤 내

이시이겐야
일본 나가노켄 스와시 오와 3-3-5 세이코 엡슨 가부시키키가이샤 내

(74) 대리인 정상구
이병호
신현문
이범래

심사관 : 임동재

(54) 액정 패널

요약

<과제>

TFT 구동 등에 의한 액티브 매트릭스 구동 방식의 액정 패널에 있어서, 화소가 미세화되어도 공정 수율이나 화소 개구율의 저하를 초래하지 않는 액정 패널을 제공한다.

<해결 수단>

TFT 어레이 기관(10) 위에는, 복수의 데이터선(6a)에 콘택트 홀(5)을 통해서 각각 접속되어 있고, 데이터선(6a) 및 주사선(3a)에 의해서 TFT(30)를 이용해서 구동되는 복수의 화소 전극(9a)이 설치되어 있다. TFT(30)의 드레인 영역과 화소 전극(9a)을 접속하기 위해 층간 절연막(7)에 개공하는 콘택트 홀(8) 아래에 승상(嵩上)(lift-up)막(13a)이 형성되어 있는 것을 특징으로 한다.

대표도

도 8

색인어

용량선, 노치, 콘택트 홀, 용량 전극 영역

명세서

도면의 간단한 설명

도 1은 액정 패널의 화상 표시 영역을 구성하는 화소부의 등가 회로도.

도 2는 본 발명에 의한 액정 패널의 제 1 실시 형태에 있어서의 TFT 어레이 기판 위의 인접하는 복수의 화소군을 대향 기판 쪽에서 본 평면도.

도 3은 대향 기판을 포함하여 나타내는 도 2의 A-A' 단면도.

도 4는 액정 패널의 실시 형태의 제조 프로세스를 도 3에서 나타내는 부분에 대해서 순서대로 나타내는 공정도(3-1).

도 5는 액정 패널의 실시 형태의 제조 프로세스를 도 3에서 나타내는 부분에 대해서 순서대로 나타내는 공정도(3-2).

도 6은 액정 패널의 실시 형태의 제조 프로세스를 도 3에서 나타내는 부분에 대해서 순서대로 나타내는 공정도(3-3).

도 7a 내지 도 7d는 액정 패널의 실시 형태의 제조 프로세스를 도 2의 B-B' 단면도에 따라서 도 6의 (17)에서 (20)에 나타내는 공정에 대해서 더욱 상세하게 순서대로 나타내는 공정도.

도 8은 본 발명에 의한 액정 패널의 제 2 실시 형태에 있어서의 TFT 어레이 기판 위의 인접하는 복수의 화소군을 대향 기판 쪽에서 본 평면도.

도 9는 대향 기판을 포함해서 나타내는 도 8의 C-C' 단면도.

도 10은 본 발명에 의한 액정 패널의 제 3 실시 형태에 있어서의 TFT 어레이 기판 위의 인접하는 복수의 화소군을 대향 기판 쪽에서 본 평면도.

도 11은 본 발명에 의한 액정 패널의 실시 형태에 있어서의 액정 패널과 종래의 액정 패널과의 화소 피치에 있어서의 액정 패널의 화소 결합 불량률을 나타낸 그래프 도면.

도 12는 본 발명에 의한 액정 패널의 전체 구성을 나타내는 평면도.

도 13은 도 12의 H-H' 단면도.

도 14는 마이크로렌즈의 한 예가 형성된 화소부에 있어서의 대향 기판의 확대 단면도.

도 15는 마이크로렌즈의 다른 한 예가 형성된 화소부에 있어서의 대향 기판의 확대 단면도.

도 16은 종래의 액정 패널에서의 TFT 어레이 기판 위의 인접하는 복수의 화소군을 대향 기판 쪽에서 본 평면도.

도 17a 내지 도 17d는 종래의 액정 패널의 제조 프로세스를 도 16의 D-D' 단면도에 따라서 도 6의 (16)에서 (20)에 나타내는 공정에 대해서 더욱 상세하게 순서대로 나타내는 공정도.

도 18은 본 발명에 의한 전자 기기의 실시 형태의 개략 구성을 나타내는 블록도.

도 19는 전자 기기의 한 예로서의 액정 프로젝터를 나타내는 단면도.

도 20은 전자 기기의 다른 예로서 퍼스널컴퓨터를 나타내는 정면도.

도 21은 전자 기기의 한 예로서의 TCP를 이용한 액정 장치를 나타내는 사시도.

<도면의 주요 부분에 대한 부호의 설명>

1a: 반도체 막 2: 게이트 절연막

3a: 주사선(게이트 전극) 3a': 게이트 전극

3b: 용량선 4: 제 2 층간 절연막

5: 콘택트 홀 6a: 데이터선(소스 전극)

7: 제 3 층간 절연막 8: 콘택트 홀

9a: 화소 전극 10: TFT 어레이 기판

11a: 차광막 12: 제 1 층간 절연막

13a: 승상막 20: 대향 기판

21: 대향 전극 22: 제 2 차광막

23: 배향막 30: TFT

50: 액정층 52: 실(seal) 재

52: 주변 구분부 70:축적 용량

101: 데이터선 구동 회로 104: 주사선 구동 회로

200, 200': 마이크로렌즈 200a, 200a': 렌즈 중심

201: 접착제

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<발명이 속하는 기술 분야>

본 발명은 박막 트랜지스터(이하, TFT라고 한다) 구동 등에 의한 액티브 매트릭스 구동 방식의 액정 패널 및 이것을 이용한 전자 기기의 기술 분야에 속한다.

<종래의 기술>

종래에는, 매트릭스형으로 복수로 설치된 화소 전극을 스위칭 소자인 TFT에 의해 제어하는 액티브 매트릭스 구동 방식의 액정 패널에 있어서는, 도 16에 나타내는 바와 같이 가로세로(縱橫)로 각각 배열된 다수의 주사선(3a) 및 데이터선(6a)

및 이들의 각각의 교점에 대응하여 다수의 TFT(30') 및 해당 TFT에 콘택트 홀(8)을 통해서 전기적으로 접속된 화소 전극(9a)이 TFT 어레이 기판 위에 설치되어 있다. 각 TFT(30')의 구성은, 반도체층(1a)의 채널 영역(1a')(도 16 좌측위 사선부)을 주사선(3a)에서 돌출한 게이트 전극(3a')에 의해서 제어하고, 화상 신호를 공급하는 데이터선(6a)이 콘택트 홀(5)을 통해서 전기적으로 반도체층(1a)의 소스 영역에 접속되고, 화소 전극(9a)이 반도체층(1a)의 드레인 영역에 접속되어 있다. 특히 화소 전극(9a)은 TFT(30')나 데이터선(6a) 및 주사선(3a) 등의 배선을 구성하는 각종의 층이나 해당 화소 전극(9a)을 서로 절연하기 위한 층간 절연막 위에 설치되어 있으므로 층간 절연막 등에 개공(開孔)된 콘택트 홀(8)을 통해서 TFT(30')의 드레인 영역에 접속되어 있다.

발명이 이루고자 하는 기술적 과제

그러나, 액정 패널의 기술 분야에 있어서, 고해상도의 화질을 얻기 위해서 화소의 고정밀화의 요청이 강해지는 추세에 있고, 화소 피치의 미세화는 점점 가속되고 있다. 이와 같이 화소 밀도를 높여서 고정밀한 화상을 표시 가능하게 하기 위해 액정 패널의 크기를 소형화하기 위해 도 16에 나타내는 바와 같이 화소 피치(L)를 좁게 하여 미세화하면, 비 개구 영역을 이루는 각종 배선 사이의 거리가 좁아지게 된다. 또한, 액정 패널의 중요한 요소로서 밝기가 있고, 이것은 화상 표시 영역에 대한 화소의 개구 영역의 비율인 화소 개구율을 높이는 것으로 실현할 수 있으나, 화소가 미세화하면 데이터선이나 주사선과 같은 배선이나 스위칭 소자인 TFT 영역은 비 개구 영역으로 되므로, 화소 개구율을 높이기에는 일정한 한계가 있다. 그러므로 화소가 미세화되어도 화소 개구율을 높이기 위해서, 화소 전극과 TFT를 접속하기 위한 콘택트 홀과 데이터선이나 주사선의 간격도 좁아지게 된다. 따라서 화소 전극과 각종 배선이 단락되고 치명적인 화소 결함이 발생할 가능성이 있었다.

또한 데이터선이나 주사선 등의 배선 폭을 가늘게 하는 것만이 아니고, 스위칭 소자로서의 TFT(30')를 미세화하는 것도 중요하고, 반도체층(1a)의 소스 영역과 데이터선(6a)의 콘택트 홀(5) 및 드레인 영역과 화소 전극(9a)의 콘택트 홀(8)의 사이즈에 대해서 각각 미세화를 도모할 필요가 있다. 도 17a 내지 도 17d는 도 16의 D-D'선에 따르는 단면도, 즉 TFT(30')의 단면도를 나타내고 있고, 콘택트 홀(8)을 개공하는 공정을 나타내고 있다. 도 17a에 있어서 드레인 영역(1e) 위에 게이트 절연막(2)이나 층간 절연막(4 및 7)을 형성한 후, 도 17b에 나타내는 바와 같이 레지스트(302)를 포토마스크(303) 쪽에서 노광하는 것에 의해서, 포지티브형 레지스트의 경우는 광이 조사된 부분의 레지스트(302)가 감광하여 레지스트(302)가 제거된다. 그런데 여기서 문제가 되는 것이 게이트 전극(3a')에 의한 층간 절연막(4 및 7)의 단차이다. TFT(30')의 사이즈의 미세화를 도모하기 위해 게이트 전극(3a')의 바로 옆에 콘택트 홀(8)을 개공할 때에, 이 단차부에 의해서 마스크 노광으로 광의 난반사가 발생하고, 도면 내의 화살표의 방향으로 레지스트가 후퇴해 버린다는 안 좋은 점이 있었다. 이것에 의해서, 포토마스크(303) 위의 차광성의 크롬막(304)이 없는 부분, 즉 콘택트 홀 개공용의 패턴 지름보다도 레지스트(302)가 제거된 패턴 지름 쪽이 커지며, 이것을 도 17c에 나타내는 바와 같이 에칭하면 개공 지름이 포토마스크(303) 위에 형성한 콘택트 홀 개공용의 패턴 지름보다 커지며 콘택트 홀(8)의 미세화가 곤란하다는 문제가 있었다.

또한 액정 패널의 기술 분야에 있어서 표시 화상의 고 품위화나 에너지 절약화의 요청 하에서는, 마이크로렌즈 등을 사용한 광 이용 효율의 향상이 필요하지만, 도 16에 도시하는 종래의 화소와 같이 광이 투과하는 영역은 대향 기판 위에 형성한 차광막(22)에 의해 규정되고, 파선으로 둘러싸인 내부가 광이 투과하는 영역이다. 상기한 종래예와 같이 광이 투과하는 영역이 화소 개구부의 중심에 대해서 선 대칭이 아닌 경우, 마이크로렌즈의 효과를 최대한으로 살릴 수가 없고, 입사광의 이용 효율을 충분하게 얻을 수가 없다.

본 발명은 상술한 문제점들을 감안하여 이루어진 것이고, 비교적 간단한 구성을 이용하는 것에 의해서 화소가 미세화되어도 공정 수율이나 화소 개구율의 저하를 초래하지 않는 액정 패널 및 상기 액정 패널을 구비하는 전자 기기를 제공하는 것을 과제로 한다.

발명의 구성 및 작용

<과제를 해결하기 위한 수단>

청구항 1에 기재된 액정 패널은, 복수의 데이터선과, 상기 복수의 데이터선에 교차하는 복수의 주사선과, 상기 복수의 데이터선과 상기 복수의 주사선의 교차에 대응하여 설치된 복수의 스위칭 소자와, 상기 복수의 스위칭 소자에 설치된 반도체층과, 상기 복수의 스위칭 소자에 대응하여 설치된 복수의 화소 전극과, 상기 주사선을 따라 연장하는 용량선과, 상기 용량선에 설치된 제 1 노치부와, 상기 제 1 노치부에, 상기 용량선과 절연을 확보하여 배치되고, 상기 스위칭 소자의 반도체층과 상기 화소 전극에 전기적으로 접속하기 위해서 형성된 콘택트 홀을 구비하는 것을 특징으로 한다.

본 발명은 이와 같은 작용 및 다른 장점은 다음에 설명하는 실시의 형태에서 명확하게 한다.

<발명의 실시의 형태>

이하, 본 발명의 실시의 형태를 도면에 기초하여 설명한다.

<액정 패널의 제 1 실시의 형태>

액정 패널의 제 1 실시 형태의 구성에 대해서 도 1부터 도 3에 기초하여 설명한다. 도 1은 액정 패널의 화상 표시 영역을 구성하는 매트릭스형으로 형성된 복수의 화소를 나타낸 등가 회로도이다. 도 2는 액정 패널을 구성하는 TFT 어레이 기판 위의 인접하는 복수의 화소군을 나타낸 평면도이고, 도 3은 도 2에 있어서의 A-A' 사이의 단면도이고, 화소의 스위칭 소자로서의 TFT의 구성을 나타내고 있다. 도 3에 있어서는 각각의 층이나 각각의 부재를 도면상에서 인식 가능할 정도의 크기로 하기 위해서 각각의 층이나 각각의 부재마다 축척을 다르게 하고 있다.

먼저, 본 발명의 실시의 형태에 의한 액정 패널의 화상 표시 영역을 구성하는 매트릭스형으로 형성된 복수의 화소는, 도 1에 나타내는 바와 같이 화소 전극(9a)을 제어하기 위한 TFT(30)가 매트릭스형으로 복수 형성되어 있고, 화상 신호를 공급하는 데이터선(6a)이 상기 TFT(30)의 소스에 전기적으로 접속되어 있다. 데이터선(6a)에 기록하는 화상 신호는 S1, S2, ..., Sn의 순서로 선(線)순차로 공급하여도 되고, 인접하는 복수의 데이터선(6a)들에 대해서 그룹마다 공급하도록 하여도 된다. 또한 상기 TFT(30)의 게이트에 주사선(3a)이 전기적으로 접속되어 있고, 소정의 타이밍으로 주사선(31)에 주사 신호를 펄스적으로 G1, G2, ..., Gm의 순서로 인가하도록 구성되어 있다. 화소 전극(9a)은 TFT(30)의 드레인에 전기적으로 접속되어 있고, 스위칭 소자인 TFT(30)를 일정 기간만큼 그 스위치를 닫도록 하는 것에 의해서, 데이터선으로부터 공급되는 화상 신호를 소정의 타이밍으로 기록한다. 화소 전극(9a)을 통해서 액정에 기록된 소정 레벨의 화상 신호는 대향 기관(후술한다)에 형성된 대향 전극(후술한다)과의 사이에서 일정 기간 유지된다. 액정은 인가되는 전압 레벨에 따라서 분자 집단의 배향이나 질서가 변화하는 것에 의해서 광을 변조하고 계조 표시를 가능하게 한다. 노멀리 화이트 모드이면, 인가된 전압에 따라서 입사광이 이 액정 부분을 통과 불가능으로 되고, 노멀리 블랙 모드이면 인가된 전압에 따라서 입사광이 이 액정 부분을 통과 가능으로 되고, 전체로서 액정 패널로부터는 화상 신호에 따른 콘트라스트를 갖는 광이 출사한다. 여기서, 유지된 화상 신호가 리크(leak)되는 것을 방지하기 위해서 화소 전극(9a)과 대향 전극 사이에 형성된 액정 용량과 병렬로 축적 용량(70)을 부가한다. 이것에 의해서, 유지 특성은 더욱 개선되고, 콘트라스트비가 높은 액정 패널을 실현할 수 있다. 또한 축적 용량(70)을 형성하는 방법으로는 용량을 형성하기 위한 배선인 용량선(3b)을 설치하여도 되고, 앞단의 주사선(3a)과의 사이에 용량을 형성하여도 되는 것을 말할 필요도 없다.

다음으로 액정 패널의 제 1 실시의 형태의 구성에 대해서 설명한다.

제 1 실시의 형태에 의하면, 액정 패널의 화상 표시 영역을 구성하는 화소의 평면 레이아웃은 도 2에 나타내는 바와 같은 구성을 갖는다. 즉, 매트릭스형으로 설치된 복수의 화소 전극(9a)과, X 방향으로 복수 배열되어 있고 각각이 Y 방향에 따라서 설치된 데이터선(6a)과, Y 방향으로 복수 배열되어 있고 각각이 X 방향에 따라서 설치된 주사선(3a)이 설치되어 있다. 여기서 Sx 번째의 데이터선(6a)과 주사선(3a)의 교차부에 TFT(30)를 구성하는 반도체층(1a)의 채널 영역(1a')(도 2의 왼쪽 오름 사선부)을 형성하고, 상기 TFT(30)의 소스 영역은 데이터선 아래에서 콘택트 홀(5)에 의해 전기적으로 접속하도록 한다. 또한 반도체층(1a)의 드레인 영역은 옆에 있는 S_{x+1} 번째의 데이터선(6a)의 바로 옆에까지 설치되고, 화소에 용량을 부가하기 위한 제 1 축적 용량 전극(1f)을 형성한다. 제 1 축적 용량 전극(1f)은 용량선(3b)과의 사이에서, 게이트 절연막을 유전체로 하여 축적 용량을 형성한다. 용량선(3b)은 주사선(3a)에 따라서 X 방향으로 화상 표시 영역의 바깥쪽까지 설치된다. 또한, 자기 단(段)의 데이터선(6a) 아래에도 동일하게 반도체층(1a)의 드레인 영역으로부터 설치하여 제 1 축적 용량 전극(1f)을 형성하도록 하면, 배선 형성부인 액정 패널의 비 광 투과 영역에 있어서, 효율 좋게 축적 용량을 부가할 수 있으므로, 화소에 기록된 전하를 유지하기 위한 능력이 향상하고, 콘트라스트비가 높은 액정 패널을 실현할 수 있다. 또한, 도 2에 있어서, 데이터선(6a)의 S_x 번째와 S_{x+1} 번째의 관계가 반대로 되어도 아무 문제가 없다.

여기서, 주사선(3a)과 용량선(3b)의 배선 사이에 반도체층(1a)의 드레인 영역과 화소 전극(9a)을 접속하기 위한 콘택트 홀(8)을 설치한다. 이것은 콘택트 홀(8)의 단차 형상에 의해서 액정의 디스클리네이션(disclination)이 발생하는 영역을, 인접하는 화소 전극(9a) 사이에서 발생하는 가로 방향 전계에 의한 디스클리네이션과 같은 영역으로 조화시키는 것으로 인해, 종래 차광하지 않으면 안되었던 영역에 효과적으로 콘택트 홀(8)을 설치할 수가 있다. 또한 콘택트 홀(8)의 바로 아래에는 도 2의 굵은 선으로 둘러싸인 부분에 에칭 스톱퍼로서 폴리실리콘막이나 W(텅스텐), Ti(티탄), Cr(크롬), Mo(몰리브덴), Ta(탄탈)과 같은 고용점 금속막 또는 그 합금막과 같은 도전성의 숏상막(13a)을 설치하여도 된다. 이것은 반도체층(1a)의 드레인 영역과 화소 전극(9a)을 전기적으로 접속하기 위해 설치되는 콘택트 홀(8)을 에칭 공정에서 개공할 때에 반도체층(1a)을 관통하여도 치명적인 화소 결함이 되지 않도록 하기 위해서이고, 이것에 의해서 반도체층의 박막화를 실현

할 수 있고, 트랜지스터 특성의 개선 및 광에 대한 광전 효과의 영향이 적은 반도체층을 형성할 수 있는 이점이 있다. 이 경우 승상막(13a)의 적어도 일부는 콘택트 홀(8)을 둘러싸도록 형성되어서 이루어지고, 또한 승상막(13a)은 주사선(3a) 및 용량선(3b)에 중첩되어야 한다. 콘택트 홀(8)과 주사선(3a) 및 용량선(3b)과의 마진(margin)이 적은 경우는 도 2에 나타내는 바와 같이 주사선(3a) 및 용량선(3b)을 승상막(13a)에 겹치지 않도록, 상기 도전막이 설치된 영역에 따라서 주사선(3a)과 용량선(3b)의 적어도 한쪽을 2 차원적(평면적)으로 꺼지게 하도록 하여도 된다. 또한, 콘택트 홀(8)을 옆에 있는 S_X 번째의 데이터선(6a)과 $S_X + 1$ 번째의 데이터선(6a) 사이의 거의 중심에 설치하는 것에 의해서, 화소가 미세화하여도 데이터선(6a)과 화소 전극(9a)이 단락하는 것을 방지하는 것이 가능하게 되고, TFT(30)의 불량에 의한 점 결함이나 선 결함 등의 치명적인 결함을 대폭적으로 저감할 수 있다.

또한, 제 1 실시 형태의 액정 패널에서는 TFT(30)의 적어도 채널 영역(1a') 및 상기 채널 영역(1a')과 소스·드레인 영역의 접합부를 데이터선(6a)의 아래 쪽에 형성하는 것에 의해서, 입사광이 직접 채널 영역(1a') 및 상기 채널 영역(1a')과 소스·드레인 영역의 접합부에 조사되지 않도록 한다. 또한, TFT(30)의 적어도 채널 영역(1a') 및 상기 채널 영역(1a')과 소스·드레인 영역의 접합부에 조사되지 않도록 TFT(30)의 아래 쪽에도 층간 절연막을 통해서 W(텅스텐), Ti(티탄), Cr(크롬), Mo(몰리브덴), Ta(탄탈)와 같은 고용점 금속막 또는 그 합금막이나 폴리실리콘막 등의 차광막(11a)을 설치하고 있다(도 2 우측상부 사선부). 이와 같은 구성을 채용하면 화소 개구부를 투과한 광이 편광판 등에서 반사하여 TFT(30)를 조사하도록 하는 것에 의해 생기는 리크 전류를 방지할 수 있다. 이것은 광 이용 효율을 높이기 위해 강한 광을 입사하여도 반도체층의 광전 효과에 의한 리크 전류를 방지할 수 있는 것을 의미하고 있고, 특히, 프로젝터 용도의 액정 패널에는 효과적이다. 또한 차광막(11a)은 TFT(30)의 트랜지스터 특성의 열화를 방지하기 위해, 접지 전위 등의 정(定) 전위를 공급하여 두면 좋다. 이 때, 화상 표시 영역의 바깥쪽에 설치된 주변 구동 회로에 공급되는 전원 등의 정 전위선에 접속하도록 하면, 전원의 외부 입력 단자나 분배 배선을 필요로 하지 않으므로, TFT 어레이 기관의 공간의 유효 이용을 도모할 수 있다.

도 3은 도 2의 A-A'선에 따른 단면이고, TFT(30) 및 축적 용량(70)의 구조를 3차원적으로 나타내고 있다. TFT(30)는 LDD(Lightly Doped Drain) 구조를 갖고 있고, 주사선(3a)(게이트 전극), 주사선(3a)으로부터 전계에 의해서 채널이 형성되는 반도체층(1a)의 채널 영역(1a'), 주사선(3a)과 반도체층(1a)을 절연하는 게이트 절연막(2), 반도체층(1a)의 저농도 소스 영역(1b)(소스쪽 LDD 영역) 및 저농도 드레인 영역(1c)(드레인쪽 LDD 영역), 반도체층(1a)의 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e)을 구비하고 있다. 고농도 소스 영역(1d)에는 데이터선(6a)이 접속되어 있고, 고농도 드레인 영역(1e)에는 복수의 화소 전극(9a) 중에 대응하는 1개가 접속되어 있다. 소스 영역(1b 및 1d) 및 드레인 영역(1c 및 1e)은 후술하는 바와 같이, 반도체층(1a)에 대해서 n형 또는 p형 채널을 형성하는가에 따라서 소정 농도의 n형용 또는 p형용의 도펀트(dopant)를 도프하는 것에 의해서 형성되어 있다. n형 채널의 TFT는 동작 속도가 빠르다는 이점이 있고, 화소의 스위칭 소자인 TFT(30)로서 이용되는 일이 많다. 본 실시의 형태에서는 특히 데이터선(6a)(소스 전극)은 Al 등의 금속막이나 금속 실리사이드(silicide) 등의 합금막 등의 차광성의 박막으로 구성되어 있다. 또한 주사선(3a)(게이트 전극), 게이트 절연막(2) 및 제 1 층간 절연막(12)의 위에는 고농도 소스 영역(1d)에 통하는 콘택트 홀(5) 및 고농도 드레인 영역(1e)에 통하는 콘택트 홀(8)이 각각 형성된 제 2 층간 절연막(4)이 형성되어 있다. 이 고농도 소스 영역(1d)에의 콘택트 홀(5)을 통해서 데이터선(6a)(소스 전극)은 고농도 소스 영역(1d)에 전기적으로 접속되어 있다. 또한 데이터선(6a)(소스 전극) 및 제 2 층간 절연막(4)의 위에는 고농도 드레인 영역(1e)에의 콘택트 홀(8)이 형성된 제 3 층간 절연막(7)이 형성되어 있다. 이 고농도 드레인 영역(1e)에의 콘택트 홀(8)을 통해서, 화소 전극(9a)은 고농도 드레인 영역(1e)에 전기적으로 접속되어 있다. 상기한 화소 전극(9a)은 이와 같이 구성된 제 3 층간 절연막(7)의 상면에 설치되어 있다. 여기서 콘택트 홀(8)의 바로 아래에는 반도체층(1a)의 고농도 드레인 영역(1e)과 상기 고농도 드레인 영역(1e)의 하층에 도전성의 승상막(13a)을 설치한다. 이것에 의해 콘택트 홀(8)의 개공시의 에칭으로 반도체층(1a)의 고농도 드레인 영역(1e)이 관통되었다고 하여도, 아래층의 승상막(13a)에 의해 전기적으로 접속되어 있으므로 치명적인 결함으로 되지 않는다. 또한 콘택트 홀(8)을 개공하는 영역은 될 수 있는 한 평탄화하는 쪽이 좋으므로 주사선(3a)과 용량선(3b) 및 승상막(13a)의 막 두께는 일치하게 하는 것이 좋다. 또한 도 2에 나타내는 바와 같이 주사선(3a)과 용량선(3b) 사이의 공간에 승상막(13a)을 설치하여 될 수 있는 한 평탄한 영역을 형성하도록 한다. 이와 같은 구성을 채용하면, 콘택트 홀(8)의 주변 및 주사선(3a)과 용량선(3b)의 배선 사이에 있어서 화소 전극(9a)의 하층의 층간 절연막의 표면에 단차가 생기지 않으므로 액정의 디스크리네이션이 발생하는 영역을 매우 적게 할 수 있다. 이것에 의해서 화소 개구율을 더욱 높이는 것이 가능하게 된다. 또한 승상막은 드레인 영역 밑에서가 아닌 드레인 영역 위에서 전기적으로 접속하도록 설치하여도 된다. 그와 같은 승상막은 데이터선과 동일 재료에 의해서 동시에 형성하면, 공정 수를 늘리지 않고 승상막을 형성하는 것이 가능하다. 또한 그 경우 데이터선을 주사선 또는 용량선과 거의 같은 막 두께로 일치하게 하면 더욱 평탄화에 효과적이다.

TFT(30)는 적합하게는 상기와 같은 LDD 구조를 갖지만, 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c)에 불순물 이온의 주입을 행하지 않는 오프셋 구조를 가져도 되며, 게이트 전극(3a)을 마스크로서 고농도로 불순물 이온을 주입하여 자기 정합적으로 고농도 소스 및 드레인 영역을 형성하는 셀프 얼라인형의 TFT여도 된다.

또한, 도 3에 나타내는 TFT(30)의 구조에 있어서, TFT(30)의 고농도 소스 영역(1d)과 고농도 드레인 영역(1e)의 사이에, 게이트 절연막(2)을 통해서 동일한 주사 신호가 공급되는 2개의 게이트 전극(3a)을 직렬 저항이 되도록 설치하여 듀얼 게이트(더블 게이트) 구조의 TFT로 하여도 된다. 이것에 의해서 TFT(30)의 리크 전류를 저감시킬 수 있다. 또한 듀얼 게이트 구조의 TFT를 상기한 LDD 구조 또는 오프셋 구조를 갖도록 하면 더욱더 TFT(30)의 리크 전류를 저감시킬 수 있고, 고 콘트라스트비를 실현할 수 있다. 또한 듀얼 게이트 구조에 의해서 용장성을 갖게 할 수 있고, 대폭으로 화소 결함을 저감시킬 수 있을 뿐만 아니라, 고온 동작시에도 리크 전류가 낮으므로 고 콘트라스트비의 화질을 실현할 수 있다. 또한 TFT(30)의 고농도 소스 영역(1d)과 고농도 드레인 영역(1e)과의 사이에 설치하는 게이트 전극(3a)은 3개 이상이어도 되는 것은 말할 필요도 없다.

여기서 일반적으로는 반도체층(1a)의 채널 영역(1a'), 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c) 등의 폴리실리콘 층은 광이 입사하면 폴리실리콘이 갖는 광전 변환 효과에 의해서 전류가 발생하여 TFT(30)의 트랜지스터 특성이 열화되지만, 본 실시 형태에서는 주사선(3a)(게이트 전극)을 위쪽에서 덮도록 데이터선(6a)(소스 전극)이 Al 등의 차광성의 금속 박막으로 형성되어 있으므로, 적어도 반도체층(1a)의 채널 영역(1a') 및 LDD 영역(1b, 1c)에의 입사광(즉, 도 3에서 위쪽으로부터의 광)의 광을 효과적으로 방지할 수 있다. 또한, 상기와 같이 TFT(30)의 아래 쪽에는 차광막(11a)이 설치되어 있으므로 적어도 반도체층(1a)의 채널 영역(1a') 및 LDD 영역(1b, 1c)에의 돌아오는 광(즉, 도 3에서 아래 쪽으로부터의 광)의 입사를 효과적으로 방지할 수 있다.

또한, 도 1에 나타내는 바와 같이 화소 전극(9a)에는 축적 용량(70)이 각각 설치되어 있다. 이 축적 용량(70)은 보다 구체적으로는 반도체층(1a)의 고농도 드레인 영역(1e)으로부터 설치된 폴리실리콘막으로 이루어지는 제 1 축적 용량 전극(1f), 게이트 절연막(2)과 동일 공정에 의해서 형성되는 유전체막, 주사선(3a)(게이트 전극)과 동일 공정에 의해서 형성되는 용량선(3b)(제 2 축적 용량 전극), 제 2 및 제 3 층간 절연막(4 및 7) 및 제 2 및 제 3 층간 절연막(4 및 7)을 통해서 용량선(3b)에 대향하는 화소 전극(9a)의 일부로 구성되어 있다. 이와 같이 축적 용량(70)이 설치되어 있으므로 듀티(duty)비가 적어도 고 정밀한 표시가 가능하게 된다. 용량선(3b)(제 2 축적 용량 전극)은 도 2에 나타내는 바와 같이 TFT 어레이 기판(10)의 윗면에 있어서는 주사선(3a)(게이트 전극)과 거의 평행으로 설치되어 있다. 또한 본 실시 형태와 같이 제 1 축적 용량 전극(1f) 아래에는 제 1 층간 절연막(12)을 통해서 차광막(11a)을 설치하는 것에 의해서, 제 1 층간 절연막(12)이 유전체막으로서 기능하고, 축적 용량의 증대를 도모할 수 있다. 이것에 의해서 더욱 화질 품위가 높은 액정 패널을 실현할 수 있다.

<액정 패널의 제조 프로세스>

다음으로, 이상과 같은 구성을 갖는 액정 패널의 제조 프로세스의 대해서 도 4로부터 도 7a 내지 도 7d를 참조하여 설명한다. 또한 도 4에서 도 6은 각각의 공정에 있어서의 TFT 어레이 기판 쪽의 각각의 층을 도 2의 A-A' 단면에 대응시켜서 나타내는 공정도이다. 또한, 도 7a 내지 도 7d에 TFT 어레이 기판 쪽의 각각의 층을 도 2의 B-B' 단면에 대응시켜서 나타내는 공정도이고, 도 6의 (17)부터의 공정을 나타내고 있다. 단, 도 4에서 도 7a 내지 도 7d에 있어서는 각각의 층이나 각각의 부재를 도면상에서 인식 가능한 정도의 크기로 하기 위해 각각의 층이나 각각의 부재마다 축척을 다르게 하고 있다.

먼저 도 4에서 도 6을 참조하여 도 2의 A-A'에 대응하는 TFT(30)를 포함하는 부분의 제조 프로세스에 대해서 설명한다.

도 4의 공정(1)에 나타내는 바와 같이, 석영 기판, 하드글라스 등의 TFT 어레이 기판(10)을 준비한다. 여기서 적합하게는 N_2 (질소) 등의 불활성 가스 환경과 약 900 내지 1300℃의 고온으로 어닐 처리하고, 나중에 실시되는 고온 프로세스에서의 TFT 어레이 기판(10)에 발생하는 비뚤어짐이 적도록 전처리를 해 둔다. 즉, 제조 프로세스에서의 최고 온도로 고온 처리되는 온도에 맞춰서 사전에 TFT 어레이 기판(10)을 같은 온도나 그 이상의 온도로 열처리 해 둔다.

이와 같이 처리된 TFT 어레이 기판(10)의 전체 면에 Ti(티탄), Cr(크롬), W(텅스텐), Ta(탄탈), Mo(몰리브덴) 및 Pd(납) 등의 금속이나 금속 실리사이드 등의 금속 합금막을 스퍼터링에 의해서 1000 내지 5000Å 정도의 막 두께, 적합하게는 약 2000Å의 막 두께의 차광막(11)을 성막한다. 또한 크로스토크(crosstalk)가 발생하지 않을 정도의 광량을 입사하는 것과 같은 용도로 사용되는 경우에는 차광막(11)을 형성할 필요가 없다.

계속해서, 공정(2)에 나타내는 바와 같이 상기 형성된 차광막(11) 위에 포토리소그래피에 의해서 차광막(11a)의 패턴에 대응하는 마스크를 형성하고, 상기 마스크를 통해서 차광막(11)에 대해서 에칭을 하는 것으로서 차광막(11a)을 형성한다. 이 때, 차광막(11a)은 섬 모양으로 형성하여도 되고, 주사선 또는 데이터선에 따라서 줄무늬 모양으로 형성하여도 된다. 또한 도 2에 나타내는 바와 같이 격자 모양으로 형성하면 차광막(11a)의 저 저항화를 도모할 수 있다.

다음으로 공정(3)에 나타내는 바와 같이 차광막(11a)의 위에 예를 들면 상압 또는 감압 CVD법 등에 의해서 TEOS(테트라 에틸 오르소 실리케이트) 가스, TEB(테트라 에틸 보트레이트) 가스, TMOP(테트라 에틸 옥시 포스레이트) 가스 등을 이용하여, NSG(붕소나 인을 포함하지 않는 실리케이트 글라스 막), PSG(인을 포함하는 실리케이트 글라스 막), BSG(붕소를 포함하는 실리케이트 글라스 막), BPSG(인과 붕소를 포함하는 실리케이트 글라스막) 등의 실리케이트 글라스 막, 질화 실리콘 막이나 산화 실리콘 막 등으로 이루어지는 제 1 층간 절연막(12)을 형성한다. 이 제 1 층간 절연막(12)의 막 두께는 예를 들면 약 8000 내지 15000Å으로 한다.

다음으로 공정(4)에 나타내는 바와 같이 감압 CVD나 스퍼터링에 의해서 도전막(13)을 형성한다. 도전막(13)은 폴리실리콘막이나 W(텅스텐), Ti(티탄), Cr(크롬), Mo(몰리브덴), Ta(탄탈) 등의 고용점 금속, 또는 그 합금막 등으로 이루어지고, 도전막(13)의 막 두께는 후 공정에서 형성하는 주사선이나 용량선과 같은 막 두께가 되도록 하면 된다. 이 이점에 관해서는 후술한다.

다음으로 공정(5)에 나타내는 바와 같이, 포토 리소그래피 공정 및 에칭 공정 등을 행하는 것으로, 후 공정에서 화소 전극(9a)과 반도체층(1a)의 드레인 영역의 바로 아래에 섬 모양의 숭상막(13a)을 남기도록 한다. 또한 숭상막(13a)은 화소 전극(9a)과 반도체층의 드레인 영역을 전기적으로 접속하기 위한 콘택트 홀이 에칭시에 상기 반도체층을 관통하여도 불량이 되지 않도록 설치되어 있으므로 데이터선(6a)과 반도체층의 소스 영역과 전기적으로 접속하기 위한 콘택트 홀(5)의 바로 아래에 설치하여도 아무 문제가 없다.

다음으로 공정(6)에 나타내는 바와 같이 숭상막(13a)의 위에 약 450 내지 550℃ 적합하게는 약 500℃의 비교적 저온 환경 속에서, 유량 약 400 내지 600cc/min의 모노실란 가스, 지실란 가스 등을 이용한 감압 CVD(예를 들면 압력 약 20 내지 40Pa의 CVD)에 의해서 아모르퍼스(amorphous) 실리콘 막을 형성한다. 그 후 질소 환경 속에서 약 600 내지 700℃에서 약 1 내지 10 시간 적합하게는 4 내지 6 시간 어닐 처리를 하는 것으로서 폴리실리콘막(1)을 약 500 내지 2000Å의 두께, 적합하게는 약 1000Å의 두께가 될 때까지 고상(固相) 성장시킨다. 이 때, n 채널형의 TFT(30)를 작성하는 경우에는 Sb(안티몬), As(비소), P(인) 등의 V족 원소의 도펀트를 소량 이온 주입 등에 의해 도프하여도 된다. 또한 TFT(30)를 p 채널형으로 하는 경우에는 B(붕소), Ga(갈륨), In(인듐) 등의 III족 원소의 도펀트를 소량 이온 주입 등에 의해서 도프하여도 된다. 또한 아모르퍼스 실리콘 막을 거치지 않고 감압 CVD 법 등에 의해서 폴리실리콘막(1)을 직접 형성하여도 된다. 또는 감압 CVD 법 등에 의해 퇴적한 폴리실리콘막에 실리콘 이온을 주입하여 일단 비정질화(아모르퍼스화)하고, 그 후 어닐 처리 등에 의해서 재결정화시켜서 폴리실리콘막(1)을 형성하여도 된다. 또한, 엑시머 레이저 등의 레이저 조사에 의해 어닐 처리를 하여 실리콘 핵을 고상 성장시켜도 된다.

다음으로 공정(7)에 나타내는 바와 같이 포토리소그래피 공정, 에칭 공정 등에 의해 소정 패턴의 섬 모양의 반도체층(1a)을 형성한다. 이 때, 스위칭 소자가 되는 채널 영역 및 소스·드레인 영역만이 아니라, 화소의 유지 특성을 개선하기 위한 용량을 부가하기 위한 축적 용량의 한 쪽의 전극이 되는 영역을 일괄해서 형성한다.

다음으로 공정(8)에 나타내는 바와 같이 반도체층(1a)을 약 900 내지 1300℃의 온도, 적합하게는 약 1000℃의 온도에 의해 열 산화시키는 것에 의해서, 약 100 내지 500Å의 비교적 얇은 두께의 열 산화막을 형성하고, 또한 감압 CVD 법 등에 의해서 고온 산화 실리콘막(HTO 막)이나 질화 실리콘막을 약 100 내지 1000Å의 비교적 얇은 두께로 퇴적하여 다층 구조를 갖는 게이트 절연막(2)을 형성한다. 이 결과, 반도체층(1a)의 두께는 약 200 내지 1500Å의 두께, 적합하게는 350 내지 500Å의 두께로 되고, 게이트 절연막(2)의 두께는 약 200 내지 1500Å의 두께, 적합하게는 300 내지 1000Å의 두께로 된다. 이와 같이 고온 열산화 시간을 단축하는 것에 의해서 특히 8인치 정도의 대형 기판을 사용하는 경우에 열에 의한 휘어짐을 방지할 수 있다. 단, 폴리실리콘층(1)을 열산화하는 것만으로서 단일층 구조를 갖는 게이트 절연막(2)을 형성하여도 된다. 또는, 게이트 절연막(2)의 고 내압(耐壓)화를 실현하기 위해, 질화 실리콘막을 이용하여도 된다. 또한 게이트 절연막(2)과 축적 용량의 유전체막을 동일 공정으로 형성한다.

다음으로 도 5의 공정(9)에 나타내는 바와 같이 감압 CVD 법 등에 의해서 폴리실리콘막(3)을 퇴적한 후, 인(P)을 열확산하고, 폴리실리콘막(3)을 도전화한다. 또는 P 이온을 폴리실리콘막(3)의 성막과 동시에 도입한 도프 실리콘막을 이용하여도 된다. 공정(10)에 나타내는 바와 같이 마스크를 이용한 포토리소그래피 공정, 에칭 공정 등에 의해서, 도 8에 나타낸 바

와 같은 소정 패턴의 주사선(3a)(게이트 전극) 및 용량선(3b)(제 2 축적 용량 전극)을 형성한다. 주사선(3a)(게이트 전극)의 막 두께는 예를 들면 약 1000 내지 8000Å으로 한다. 이 때, 숏상막(13a)의 막 두께는 거의 같은 막 두께로 하는 것에 의해서 콘택트 홀의 개공 형상이 커지지 않도록 할 수 있다.

단, 주사선(3a)(게이트 전극)을 폴리실리콘층이 아닌 W나 Mo 등의 고용점 금속막 또는 금속 실리사이드 막으로 형성하여도 되며, 혹은 이들 금속막 또는 금속 실리사이드막과 폴리실리콘막을 조합하여 다층으로 형성하여도 된다. 이 경우 주사선(3a)(게이트 전극)을 도 3에 나타내는 제 2 차광막(22)이 덮는 영역의 일부 또는 전부에 대응하는 차광막으로서 배치하면, 금속막이나 금속 실리사이드막이 갖는 차광성에 의해서 제 2 차광막(22)의 일부 또는 전부를 생략하는 것도 가능하다. 이 경우 특히 대향 기관(20)과 TFT 어레이 기관(10)의 붙이기 편차로 인한 화소 개구율의 저하를 방지할 수 있는 이점이 있다.

다음으로 공정(11)에 나타내는 바와 같이 TFT(30)을 LDD 구조를 갖는 n 채널형의 TFT로 하는 경우, 반도체층(1a)에 먼저 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c)을 형성하기 위해 주사선(3a)(게이트 전극)을 확산 마스크로서 P 등의 V족 원소의 도펀트(300)를 저농도로[예를 들면 P 이온을 1 내지 $3 \times 10^{13}/\text{cm}^2$ 의 주입량(dosage)으로] 도포한다. 이것에 의해서 주사선(3a)(게이트 전극) 아래의 반도체층(1a)은 채널 영역(1a')으로 된다. 또한 용량선(3b)(제 2 축적 용량 전극) 아래의 반도체층(1a)은 게이트 절연막(2)을 유전체로 하여 축적 용량(70)을 형성하는 제 1 축적 용량 전극(1f)으로 된다. 또한 제 1 축적 용량 전극(1f)을 형성하는 부분에 미리 P 이온 등을 주입하여 저 저항화 하여도 된다.

다음으로 공정(12)에 나타내는 바와 같이 고농도 소스 영역(1b) 및 고농도 드레인 영역(1c)을 형성하기 위해 주사선(3a)(게이트 전극)보다 폭이 넓은 마스크로 레지스트층(302)을 주사선(3a)(게이트 전극) 위에 형성한 후, 마찬가지로 P 등의 V족 원소의 도펀트(301)를 고농도로(예를 들면 P 이온을 1 내지 $3 \times 10^{15}/\text{cm}^2$ 의 주입량으로) 도포한다. 또한, TFT(30)을 p 채널형으로 하는 경우, n 채널형의 TFT(30)의 영역을 레지스트로 덮어서 보호하고, 공정(11 및 12)을 다시 반복한다. 이 때, 반도체층(1a)에 저농도 소스 영역(1b) 및 저농도 드레인 영역(1c) 및 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e)을 형성하기 위해, B 등의 III족 원소의 도펀트를 이용하여 도포한다. 이와 같이 LDD 구조로 한 경우, 쇼트 채널 효과를 저감시킬 수 있는 이점이 얻어진다. 또한 예를 들면 저농도의 도포를 하지 않고 오프셋 구조의 TFT로 하여도 되며, 주사선(3a)(게이트 전극)을 마스크로서 P 이온, B 이온 등을 이용한 이온 주입 기술에 의해서 셀프 얼라인형의 TFT로 하여도 된다.

이들 공정과 병행하여 n 채널형 TFT 및 p 채널형 TFT로 구성되는 상보(相補)형 구조를 갖는 주변 구동 회로를 TFT 어레이 기관(10) 위의 주변부에 형성할 수 있다. 이와 같이 본 실시 형태에서는 TFT(30)의 형성시에 동일 공정으로 데이터선 구동 회로나 주사선 구동 회로 등의 주변 구동 회로를 형성할 수 있고, 제조상 유리하다.

다음으로 공정(13)에 나타내는 바와 같이 주사선(3a)(게이트 전극)이나 용량선(3b)(제 2 축적 용량 전극)을 덮도록 예를 들면 상압 또는 감압 CVD 법이나 TEOS 가스 등을 이용하여 NSG, PSG, BSG, BPSG 등의 실리케이트 글라스막, 질화 실리콘 막이나 산화 실리콘 막 등으로 이루어지는 제 2 층간 절연막(4)을 형성한다. 제 2 층간 절연막(4)의 막 두께는 배선 사이의 용량을 부가시키지 않기 위해 비교적 두꺼운 것이 좋으며, 약 5000 내지 15000Å이 적합하다.

다음으로 공정(14)에 나타내는 바와 같이 고농도 소스 영역(1d) 및 고농도 드레인 영역(1e)을 활성화하기 위해서 약 1000℃의 어닐 처리를 20분 정도 한 후, 데이터선(31)(소스 전극)에 대한 콘택트 홀(5)을 반응성 에칭, 반응성 이온 빔 에칭 등의 드라이 에칭에 의해 형성한다. 이 때, 반응성 에칭, 반응성 이온 빔 에칭과 같은 이방성 에칭에 의해서, 콘택트 홀(5)을 개공하는 쪽이 개공 형상을 마스크 형상과 거의 같게 할 수 있는 이점이 있다. 단, 드라이 에칭과 습식 에칭을 조합하여 개공하면, 콘택트 홀(5)을 테이퍼 형상으로 할 수 있으므로, 배선 접속시의 단선을 방지할 수 있다는 이점이 얻어진다. 또한 주사선(3a)(게이트 전극)을 도시하지 않은 배선과 접속하기 위한 콘택트 홀도 콘택트 홀(5)과 동일 공정에 의해서 제 2 층간 절연막(4)에 개공한다.

다음으로 도 6의 공정(15)에 나타내는 바와 같이 제 2 층간 절연막(4)의 위에 스퍼터 처리 등에 의해서 차광성의 Al 등의 저 저항 금속이나 금속 실리사이드 등의 금속 함유막(6)으로서 약 1000 내지 8000Å의 두께, 적합하게는 약 3000Å로 퇴적한다.

다음으로 공정(16)에 나타내는 바와 같이 포토리소그래피 공정, 에칭 공정 등에 의해서 데이터선(6a)(소스 전극)을 형성한다. 에칭 공정으로서는 반응성 에칭, 반응성 이온 빔 에칭 등의 드라이 에칭에 의해서 형성하면, 오버 에칭을 억제할 수 있고, 마스크 치수대로의 정밀도 좋게 패터닝할 수 있다는 이점이 있다.

다음으로 공정(17)에 나타내는 바와 같이 데이터선(6a)(소스 전극) 위를 덮도록 예를 들면 상압 또는 감압 CVD 법이나 TEOS 가스 등을 이용하여 NSG, PSG, BSG, BPSG 등의 실리케이트 글라스막, 질화 실리콘 막이나 산화 실리콘 막 등으로 이루어지는 제 3 층간 절연막(7)을 형성한다. 제 3 층간 절연막(7)의 막 두께는 데이터선(6a)과 후 공정에서 형성되는 화소 전극과의 사이에 용량이 부가되지 않도록 비교적 두꺼운 쪽이 좋고, 약 5000 내지 15000Å이 적합하다. 또한 배선이나 스위칭 소자인 TFT(30)의 단차에 의한 액정의 디스크리네이션이 발생하는 일이 있으므로, 제 3 층간 절연막(7)을 구성하는 실리케이트 글라스막에 대신 또는 중복되게, 유기막이나 SOG(스핀 온 글라스)를 스핀 코트 또는 CMP 처리를 행하여 평탄한 막을 형성하여도 된다. 이와 같은 구성을 채용하면, 액정의 디스크리네이션의 발생 영역을 매우 저감시키는 것이 가능하게 되고, 화소가 미세화되어도 높은 화소 개구율을 실현할 수 있다.

다음으로 공정(18)에 나타내는 바와 같이 화소 전극(9a)과 고농도 드레인 영역(1e)을 전기적 접속하기 위한 콘택트 홀(8)을 반응성 에칭, 반응성 이온 빔 에칭 등의 드라이 에칭에 의해서 형성한다. 이 때, 반응성 에칭, 반응성 이온 빔 에칭과 같은 이방성 에칭에 의해서, 콘택트 홀(8)을 개공하는 쪽이 개공 형상을 마스크 형상과 거의 같게 할 수 있다는 이점이 얻어진다. 단 드라이 에칭과 습식 에칭을 조합하여 개공하면 콘택트 홀(8)을 테이퍼 형상으로 할 수 있으므로, 배선 접속시의 단선을 방지할 수 있다는 이점이 얻어진다. 또한 콘택트 홀(8)의 개공 영역의 바로 아래에는 반도체층의 드레인 영역(1e) 뿐만이 아니라 도전막인 숏상막(13a)이 깔려 있으므로 만일 반도체층을 관통하였다고 하여도 치명적인 결함이 되는 일이 없다. 또한 숏상막(13a)을 까는 것으로서 반도체 층(1a)의 채널 영역(1a')을 막막화할 수 있으므로 소자의 특성을 향상할 수 있다.

다음으로 공정(19)에 나타내는 바와 같이 제 3 층간 절연막(7)의 위에 스퍼터 처리 등에 의해서 ITO 막 등의 투명 도전성 박막(9)을 약 500 내지 2000Å의 두께로 퇴적하고, 또한 공정(20)에 나타내는 바와 같이 포토리소그래피 공정, 에칭 공정 등에 의해서 화소 전극(9a)을 형성한다. 또한 상기 액정 패널(100)을 반사형의 액정 장치에 이용하는 경우에는, Al 등의 반사율이 높은 불투명한 재료로 화소 전극(9a)을 형성하여도 된다. 이 경우는 제 3 층간 절연막(7)을 형성할 때 CMP 처리 등에 의해서 평탄화하고, 화소 전극(9a)을 경면 형상으로 할 필요가 있다.

계속해서, 화소 전극(9a)의 위에 폴리이미드계의 배향막의 도포액을 도포한 후, 소정의 프리틸트(pre-tilt) 각을 갖도록 또한 소정 방향에 러빙(rubbing) 처리를 행하는 것 등에 의해서 도 3에 나타내는 배향막(23)이 형성된다.

한편, 도 3에 나타내는 대향 기관(20)에 대해서는 글라스 기관 등이 먼저 준비되고, 제 2 차광막(22)이 예를 들면 금속 크롬을 스퍼터링한 후, 포토리소그래피 공정, 에칭 공정을 거쳐서 형성된다. 또한, 제 2 차광막(22)은 Cr, Ni, Al 등의 금속 재료 이외에 카본이나 Ti를 포토레지스트에 분산한 흑색 수지 등의 재료로 형성하여도 된다. 또한 TFT 어레이 기관(10) 위에 차광막을 형성하면, TFT 어레이 기관(10) 위에 개구 영역이 규정되므로, 대향 기관상의 제 2 차광막(22)은 필요 없게 되고, TFT 어레이 기관(10)과 대향 기관(20)의 접합 정밀도는 무시할 수 있고, 투과율이 부정합하지 않은 액정 패널이 실현된다.

그 후, 대향 기관(20)의 전면(全面)에 스퍼터 처리 등에 의해서 ITO 등의 투명 도전성 박막을 약 500 내지 2000Å의 두께로 퇴적하는 것에 의해서 대향 전극(21)을 형성한다. 또한, 대향 전극(21)의 전면에 폴리이미드계의 배향막의 도포액을 도포한 후, 소정의 프리틸트 각을 갖도록 또한 소정 방향으로 러빙 처리를 행하는 등에 의해 배향막(23)이 형성된다.

마지막으로 상기와 같이 각각의 층이 형성된 TFT 어레이 기관(10)과 대향 기관(20)은 배향막(19 및 22)이 대면하도록 소정 지름(예를 들면 1 내지 6μm 정도의 지름)을 갖는 글라스 파이버, 또는 글라스 비드(bead) 등으로 이루어지는 캡(cap)재(材)가 소정량만큼 혼입된 실(seal)재에 의해 붙여져 진공 흡입 등에 의해서 두 기관 사이의 공간에 예를 들면 복수 종류의 네마틱(nematic) 액정 등을 혼합하여 이루어지는 액정이 흡입되어 소정 막 두께의 액정층(50)이 형성된다.

여기서 주사선(3a) 및 용량선(3b)에 끼워진 영역에 설치되는 콘택트 홀(8)을 개공할 때의 프로세스에 대해서 설명한다. 또한 도 7a 내지 도 7d는 도 2의 B-B'선에 따르는 단면도이고, 도 7a 내지 도 7d에서의 공정(a)은 상기한 도 6의 공정(17)과 일치하고 있다. 또한 도 7a 내지 도 7d의 공정에 대해서는 종래예의 도 17a 내지 도 17d와 비교하여 설명한다.

도 7a 내지 도 7d에서의 공정(a)에 나타내는 바와 같이 본 실시의 형태의 액정 패널에서는 주사선(3a) 및 용량선(3b)과 숏상막(13a)의 막 두께를 거의 일치시키는 것으로 제 3 층간 절연막(7) 위의 콘택트 홀(8)을 개공하는 영역을 평탄 상태로 한다.

다음으로, 도 7a 내지 도 7d에서의 공정(b)에 나타내는 바와 같이, 포토마스크(303)를 이용하여 스퍼터 장치 등에 의해 노광한다. 레지스트(302)가 포지티브형의 레지스트의 경우 포토마스크(303) 위의 차광성의 크롬 막(304)이 없는 부분(즉,

광이 투과하는 부분)이 제거된다. 제 3 층간 절연막(7) 위의 레지스트(302)는 콘택트 홀(8)을 개공하는 영역이 평탄하므로 노광시의 난반사 등이 없고, 포토마스크(303) 위의 차광성의 크롬 막(304)이 없는 부분, 즉 콘택트 홀 개공용의 패턴 지름과 같은 크기로 레지스트(302)를 제거할 수 있다. 따라서 종래예에 있는 도 17b에 나타내는 바와 같은 레지스트의 후퇴가 없으므로 설계값 대로의 콘택트 홀을 개공할 수 있다. 이것에 의해서 화소가 미세화되어도 수율의 저하를 초래하는 일이 없고, 높은 화소 개구율의 액정 패널을 실현할 수 있다.

다음으로 도 7a 내지 도 7d에서의 공정(c)에 나타내는 바와 같이 콘택트 홀(8)을 반응성 에칭, 반응성 이온 빔 에칭 등의 이방성의 드라이 에칭에 의해서 형성하는 것으로 콘택트 홀(8)의 개공 지름이 될 수 있는 한 커지지 않도록 한다. 또한, 콘택트 홀(8)의 측벽을 테이퍼 형상으로 형성하기 위해서 습식 에칭을 행해도, 종래와 같은 레지스트의 후퇴가 없으므로 개공 지름이 넓어지는 일이 없고, 미세한 콘택트 홀을 개공할 수 있다.

마지막으로 도 7a 내지 도 7d에서의 공정(d)에 나타내는 바와 같이 화소 전극(9a)을 설치하면 TFT 어레이 기판의 화상 표시 영역의 화소를 형성할 수 있다.

<액정 패널의 제 2 실시 형태>

본 발명에 의한 액정 패널의 제 2 실시 형태에 대해서 도 8 및 도 9를 참조하여 설명한다. 도 8은 액정 패널을 구성하는 TFT 어레이 기판 위에 인접하는 복수의 화소군을 나타내는 평면도이고, 도 9는 도 8에서의 C-C' 사이의 단면도이고, 화소의 스위칭 소자로서의 TFT의 구조를 나타내고 있다. 도 9에 있어서는 각각의 층이나 각각의 부재를 도면상에서 인식 가능할 정도의 크기로 하기 위해 각각의 층이나 각각의 부재마다 축척을 다르게 하고 있다. 또한 도 8 및 도 9에 있어서, 도 2에서 도 7a 내지 도 7d와 같은 구성 요소에 대해서는 같은 참조 부호를 붙이고, 그 설명은 생략한다.

제 2 실시 형태에서는 액정 패널의 전체 구성은 도 2 및 도 3에 나타난 제 1 실시 형태와 거의 동일하고, 도 8에 나타내는 바와 같이 차광막(11a')을 TFT(30)의 아래 쪽에 깔지 않은 점이 상이하다. 예를 들면 직시형의 액정 패널과 같이 강한 광을 입사할 필요가 없는 용도에 사용되는 액정 패널의 경우에는 차광막(11a')을 깔 필요가 없다.

따라서, 도 9에 나타내는 바와 같이 차광막(11a')을 설치하지 않는 경우는, TFT 어레이 기판(10)의 표면에 돌기가 없고, 충분한 세척이 행해진 경우는, 제 1 층간 절연막(12)을 형성할 필요가 없다. 이것에 의해서 차광막(11a')을 형성하는 공정과 제 1 층간 절연막(12)을 퇴적하는 공정을 삭감할 수 있다. 즉, 도 4의 (1)에서 (3)의 공정을 삭감할 수 있으므로 제조 수율이나 비용의 면에서 효과가 있다.

또한 제 2 실시 형태와 같이 제 3 층간 절연막(7) 그 자체를, 또는 제 3 층간 절연막 위에 CMP 처리나 유기막 등의 평탄화막을 형성하면 콘택트 홀(8)을 개공할 때의 포토리소그래피 공정에서의 노광시의 난반사를 방지할 수 있으므로 미세한 콘택트 홀(8)을 실현할 수 있다. 이와 같은 구성을 채용하면 승상막(13a)의 막 두께는 주사선(3a)이나 용량선(3b)의 막 두께와 동일하게 할 필요는 없다.

<액정 패널의 제 3 실시 형태>

본 발명에 의한 액정 패널의 제 3 실시 형태에 대해서 도 10을 참조하여 설명한다. 도 10은 액정 패널을 구성하는 TFT 어레이 기판 위의 인접하는 복수의 화소군을 나타내는 평면도이다.

제 3 실시 형태에서는 액정 패널의 전체 구성은 도 2 및 도 3에 나타내는 제 1 실시 형태와 거의 동일하고, X 방향의 화소 피치(L)가 좁은 경우의 예이다. 이것은 제 1 실시 형태에서 나타난 화소 피치(L)의 3분의 1이고, 대향 기판 위에 컬러 필터를 설치하여 3 화소로 데이터의 1 도트를 형성하는 액정 패널의 실시 형태이고, 컬러 필터를 탑재한 액정 패널을 1 장만을 이용하는 단판(單板) 프로젝터나 노트 퍼스널컴퓨터의 디스플레이로서도 이용할 수 있다.

이와 같이 X 방향의 화소 피치(L)가 좁아지면 데이터선(6a) 사이의 거리가 좁아지므로 데이터선(6a)과 콘택트 홀(8)을 통해서 화소 전극(9a)이 단락할 가능성이 높아진다. 데이터선(6a)을 Al(알루미늄)막으로 형성한 경우에는 현저하게 높아진다. 이것은 Al 막의 용점이 낮으므로 제 3 층간 절연막(7)을 고온 처리로 포라스 형상으로 형성할 수 없는 것이 이유이다. 따라서 콘택트 홀(8)을 개공할 때의 에칭 레이트가 빨라진다. 특히 개구부의 측벽을 테이퍼 형상으로 하기 위해 습식 에칭을 하면 콘택트 홀(8)의 제 3 층간 절연막(7)의 개공 지름은 커지는 경향이 있다. 또한 종래와 같이 습식 에칭 스톱퍼로서 승상막(13a)을 설치하지 않으면 드라이 에칭만으로는 반도체층(1a)과 층간 절연막의 선택비가 낮으므로 관통할 우려가 있고, 습식 에칭과의 병용을 하지 않으면 안 된다는 사정이 있고, 개공 지름을 작게 형성하는 것이 곤란하였다.

도 11에 콘택트 홀(8)을 $2\mu\text{m}$ 정방형으로, 데이터선(6a)의 배선 폭을 $5\mu\text{m}$ 로 설계한 경우의 화소 피치(L)와 불량율의 추이를 도시하는 그래프를 나타낸다. 도 11의 (a)는 종래의 제조 프로세스로 제작한 액정 패널이고, 도 11의 (b)는 본 실시 형태의 제조 프로세스로 제작한 액정 패널에서의 결과이다. 이것에 의하면 (a)의 종래예에서는 화소 피치가 $20\mu\text{m}$ 이하가 되면 급격하게 화소 결함으로 인한 불량률이 증가하지만, 본 실시 형태에서는 $10\mu\text{m}$ 이하가 되지 않으면 화소 결함에 의한 불량률은 증가하지 않는다. 따라서 본 실시 형태의 액정 패널을 이용하면 화소의 미세화나 고 개구율화가 진행되어도, 데이터선(6a)이나 주사선(3a) 또는 용량선(3b)과 화소 전극(9a)의 단락이 적고, 또한 반도체층(1a)의 드레인 영역과 화소 전극(9a)의 콘택트 홀(8)이 관통하는 일이 없으므로 수율의 저하를 초래하지 않는다.

또한, 제 3 실시 형태와 같이 콘택트 홀(8)과 데이터선(6a)의 거리가 매우 가까운 경우에는 승상막(13a)의 막 두께를 데이터선(6a)의 막 두께와 거의 같게 설정하는, 즉 데이터선(6a) 위의 층간 절연막과 콘택트 홀(8)을 개공하는 영역이 거의 평탄하게 되도록 하여도 된다. 이와 같은 구성을 채용하여도 콘택트 홀(8)의 개공 지름의 확대를 억제할 수 있고, 또한 단차가 완화되므로 액정의 디스크리네이션을 저감하는 것이 가능하게 된다.

또한, 본 실시 형태에 의하면, 콘택트 홀(8)은 개구 영역의 중심선(9c)(도 2, 도 8, 도 10 참조)에 대해서 선대칭인 위치에 개공되어 있으므로, 콘택트 홀(8)의 주위에서의 화소 전극(9a)의 단차(도 3 참조)가 개구 영역에 대해서 선대칭이 된다. 이것은 TN 액정을 이용하면 특히 효과를 발휘하고, 액정층(50) 용으로 오른쪽 회전의 액정을 이용하는 경우에도 왼쪽 회전의 액정을 이용하는 경우에도 리버스 틸트 등의 액정의 디스크리네이션의 발생 정도는 거의 같게 된다. 즉, 어느 쪽이나 한 쪽 회전의 액정을 이용하면 디스크리네이션이 현저하게 발생해 버린다는 사태를 미연에 방지하는 것이 가능하게 되고, 액정 층(50)으로서 오른쪽 회전 액정에서도, 왼쪽 회전의 액정에서도 동일하게 채용할 수 있고 실용상 편리하다.

이상에서 구성을 설명한 바와 같이 본 실시의 형태에 의하면 도 16에 나타내는 종래예와 같이 각각의 화소의 각에 형성된 콘택트 홀(8)을 통해서 화소 전극(9a)이 TFT의 드레인에 접속되는 경우와 비교해서 광의 이용 효율이 개선된다. 특히, 본 실시 형태의 경우, 개구 영역은 정방형에 가까운 장방형, 즉, 회전 대칭인 평면 형상을 가지므로, 원형 등의 광조사 영역이 상기 개구 영역에 대해서 차지하는 비율이 높아지고, 광의 이용 효율이 개선된다. 또한, 개구 영역을 원형 정 12각형, 정 8각형, 정 6각형, 정방형 등의 다른 회전 대칭인 형상으로 하여도 되는 것은 말할 필요도 없다. 또한 본 실시 형태에서는 도 2, 도 8, 도 10에 나타내는 바와 같이 X 방향의 개구 영역의 폭은 서로 인접하는 2개의 데이터선(6a)에 의해 규정되어 있고, Y 방향의 개구 영역의 폭은 개구 영역을 끼고 서로 인접하는 주사선(3a) 및 용량선(3b)에 의해서 규정되어 있고, 콘택트 홀(8)을 개구 영역을 끼지 않고 서로 인접하는 주사선(3a) 및 용량선(3b)의 사이에 있는 공간에 개공하는 것에 의해서 화상 표시 영역의 2 차원 공간을 유효하게 이용할 수 있다. 따라서 개구 영역을 보다 효율적으로 크게 할 수 있고, 광의 이용 효율이 매우 개선되어 있다.

<액정 패널의 구성>

본 실시 형태를 이용한 액정 패널은 화소의 스위칭 소자인 TFT(30)가 폴리실리콘(p-Si) 타입의 TFT이므로 TFT(30)의 형성시에 동일 공정에서, TFT 어레이 기판(10)위에 화소를 구동하기 위한 주변 구동 회로를 형성할 수 있다. 이와 같이 주변 구동 회로 내장형의 액정 패널(100)의 전체 구성을 도 12 및 도 13을 참조하여 설명한다. 또한 도 12는 TFT 어레이 기판을 그 위에 형성된 각각의 구성 요소와 함께 대향 기판 쪽에서 본 평면도이고, 도 13은 대향 기판을 포함해서 나타내는 도 12의 H-H' 단면도이다.

도 12에 있어서, TFT 어레이 기판(10)의 위에는 화상 표시 영역을 규정하기 위한 차광성의 주변 구분부(53)가 설치되어 있고, 그 바깥쪽에 병행해서 실 재(52)가 설치되어 있다. 실 재(52)의 바깥쪽의 영역에는 데이터선 구동 회로(101) 및 실장 단자(102)가 TFT 어레이 기판(10)의 한 변에 따라서 설치되어 있고, 주사선 구동 회로(104)가 이 한 변에 인접하는 2 변에 따라서 설치되어 있다. 또한 TFT 어레이 기판(10)의 남은 한 변에는 화상 표시 영역의 양쪽에 설치된 주사선 구동 회로(104) 사이를 접속하기 위한 복수의 배선(105)이 설치되어 있다. 또한, 주사선의 신호 지연이 문제가 되지 않는 경우에는 주사선 구동 회로(104)는 한 변에만 형성하여도 된다. 또한, 데이터선 구동 회로(101)를 화상 표시 영역의 양쪽에 설치해도 되는 것은 말할 필요도 없다. 또한 대향 기판(20)의 코너부의 적어도 한 부분에는 TFT 어레이 기판(10)과 대향 기판(20) 사이에서 전기적 도전을 취하기 위한 상하 도전재(106)(導電材)가 설치되어 있다. 그리고 도 13에 나타내는 바와 같이 도 12에 나타내는 실 재(52)와 거의 같은 윤곽을 갖는 대향 기판(20)이 상기 실 재(52)에 의해서 TFT 어레이 기판(10)에 고착되어 있다.

데이터선 구동 회로(101) 및 주사선 구동 회로(104)는 배선에 의해서 데이터선(6a)(소스 전극) 및 주사선(3a)(게이트 전극)에 각각 전기적으로 접속되어 있다. 데이터선 구동 회로(101)에는 클럭 신호에 기초하여 스타트 신호를 순차로 전송하기 위한 시프트 레지스터 회로가 포함되어 있고, 상기 데이터선 구동 회로(101)로부터 순차로 출력되는 구동 신호에 의해

서 샘플링 회로를 제어하고, 도시하지 않은 표시 정보 처리 회로로부터 즉시 표시 가능한 형식으로 변환된 화상 신호를 샘플링 회로를 통해서 데이터선(6a)에 공급하도록 한다. 또한 주사선 구동 회로(104)에는 클럭 신호에 기초하여 스타트 신호를 순차로 전송하기 위한 시프트 레지스터 회로가 포함되어 있고, 펄스적으로 주사선(3a)에 순차로 게이트 전압을 보내는 것에 맞춰서 데이터선 구동 회로(101)는 화상 신호에 따르는 신호 전압을 데이터선(6a)에 보낸다. 그리고 데이터선(6a) 및 주사선(3a)의 교점에 대응하는 각각의 화소부에는 액정 구동용의 TFT(30)가 설치되어 있다. 또한 샘플링 회로는 데이터선 구동 회로내에 형성하여도 되고, 주변 구분부(53)의 영역에 형성하여도 된다. 이와 같이 종래는 쓸모 없는 공간이었던 주변 구분부(53)의 영역에 샘플링 회로를 형성하는 것에 의해서 공간의 유효 이용이 도모되고, 데이터선 구동 회로(101)의 소형화나 고 기능화를 실현할 수 있다.

도 13에 있어서, 액정층(50)은 예를 들면 1 종류, 또는 수 종류의 네마틱 액정을 혼합한 액정으로 이루어진다. 실 재(52)는 2개의 기관(10 및 20)을 그들 주변에서 붙이기 위한, 예를 들면 광 경화성 수지나 열 경화성 수지로 이루어지는 접착제이고, 양쪽 기관 사이의 거리(기관 사이 갭)를 소정 값으로 하기 위한 글라스 파이버 또는 글라스 비즈 등의 갭 재(스페이서)가 혼입되어 있다. 또한 대향 기관(20)의 액정(50)으로 향하는 면에는 제 2 차광막(22) 및 투면 도전막인 ITO 막 등으로 이루어지는 대향 전극(21)이 설치되어 있다. 또한, 도 13에는 나타나지 않았으나, 대향 기관(20)으로부터의 입사광이 입사하는 쪽 및 TFT 어레이 기관(10)의 출사광이 출사하는 쪽에는 각각 예를 들면 TN(트윈 스테트 네마틱) 모드, STN(슈퍼 TN) 모드, D-STN(더블 STN) 모드 등의 동작 모드나, 노말 화이트 모드/노말 블랙 모드의 구분에 따라서 편광 필름, 위상차 필름, 편광판 등이 소정의 방향으로 배치된다.

또한, 액정 패널(100)에 있어서는 한 예로서 액정층(50)을 네마틱 액정으로 구성하였으나 액정을 고분자 속에 미세하고 작은 입자로 분산시킨 고분자 분산형 액정을 이용하면 배향막(23) 및 상기한 편광 필름, 편광판 등이 불필요하게 되고, 광 이용 효율이 높아지는 것에 의해 액정 패널의 고 휘도화나 저소비 전력화의 이점이 얻어진다. 그 외에, 각종의 액정 재료(액정상), 동작 모드, 액정 배열, 구동 방법 등에 본 실시의 형태를 적용하는 것이 가능하다. 이와 같이 본 실시 형태의 액정 패널은 화상 표시 영역을 구동하기 위한 주변 구동 회로를 TFT 어레이 기관(10) 위에 전부 형성할 수가 있고, 테이프 실장이나 COG 실장에 의한 주변 구동 회로를 외장할 필요가 없어지므로 초소형의 액정 패널을 실현할 수 있다. 또한 액정 패널을 구동하기 위한 IC를 대폭으로 삭감할 수 있고, 비용면에서도 큰 이점이 얻어진다.

<마이크로렌즈를 이용한 액정 패널>

마이크로렌즈(200)는 예를 들면 특개평6-194502호 공보에 개시되어 있는 제조 방법에 의해서 형성된다. 도 14는 그 한 예이나, 대향 기관(20) 위에 감광성 재료의 막을 형성한 후, 각각의 렌즈가 되는 부분에 대응하는凸부가 남도록 광 패터닝한 후, 감광성 재료의 열변형 및 표면 장력에 의해서 매끄러운 각각의 렌즈의凸면을 갖는 감광성 재료로 이루어지는 배열 패턴을 대향 기관(20)의 위에 형성하고, 그 후, 상기 감광성 재료의 배열 패턴을 마스크로서 드라이 에칭을 하여 감광성 재료의 배열 패턴을 대향 기관(20)에 새겨서 복사하는 것으로서, 표면에 매끄러운 각각의 렌즈의凸면이 새겨진 마이크로렌즈(200)가 형성된다. 또는 전통적인 소위 「열변형 법」에 의해서 마이크로렌즈(200)를 형성하여도 된다.

마이크로렌즈(200)의 표면 전체에는 접착제(201)에 의해서 커버 글라스(202)가 붙여져 있고, 그 위에 다시 제 2 차광막(22), 대향 기관(21)(공통 전극) 및 배향막(23)이 순서대로 형성된다. 이 경우, 제 2 차광막(22)은 각각의 개구의 중심이 각각의 마이크로렌즈(200)의 렌즈 중심(200a)에 겹치도록 각각의 마이크로렌즈(200)의 경계에 따라서 매트릭스형으로 설치되어 있다.

도 14에 있어서, 대향 전극(21)은 대향 기관(20)의 전면에 걸쳐서 형성되어 있다. 이와 같은 대향 전극(21)은 예를 들면 스퍼터 처리 등에 의해 ITO 막 등을 약 500 내지 2000Å의 두께로 퇴적한 후, 포토리소그라피 공정, 에칭 공정을 행하는 것 등에 의해서 형성된다. 배향막(23)은 예를 들면 폴리이미드 박막 등의 유기 박막으로 이루어진다. 이와 같이 배향막(23)은 예를 들면 폴리이미드 계의 도포 액을 도포한 후, 소정의 프리틸트각을 갖도록, 또한 소정 방향으로 러빙 처리를 행하는 것 등에 의해서 형성된다. 제 2 차광막(22)은 TFT(30)에 대향하는 소정 영역에 설치되어 있다. 이와 같은 제 2 차광막(22)은 Cr이나 Ni 등의 금속 재료를 이용한 스퍼터링 공정, 포토리소그라피 공정 및 에칭 공정에 의해서 형성되던가, 카본이나 Ti를 포토레지스트에 분산한 흑색 수지 등의 재료로 형성된다. 제 2 차광막(22)은 TFT(30)의 반도체층(1a)에 대한 차광 외에 콘트라스트의 향상, 색재(色材)의 혼색 방지 등의 기능을 갖는다. 또는 도 15에 나타내는 바와 같이 예를 들면 미리 각각의 렌즈의凸면이 형성된 투명판(마이크로렌즈 어레이)을 대향 기관(20)의 표면에 붙여서 구성한 마이크로렌즈(200')를 대향 기관(20)에 설치하도록 하여도 된다. 또한, 대향 기관(20)의 액정층(50)에 대면하는 쪽의 면 위에 이와 같은 마이크로렌즈를 붙여도 된다.

본 실시 형태에서는 특히 도 2, 도 8, 도 10에 나타내는 바와 같이 화소 전극(9a)의 개구 영역은 개구 영역의 거의 중심점(9b)을 통과하는 중심선(9c)에 대해서 선대칭인 형상을 갖는다. 또한 콘택 홀(8)은 개구 영역의 중심선(9b)에 대해서 선대칭인 위치에 개공되어 있다. 또한, 마이크로렌즈(200)(또는 200')는 거의 중심점(9b)에 대향하는 위치에 렌즈 중심(200a)(또는 200a')를 각각 갖는다.

본 실시 형태에 의하면 광이 대향 기관(20) 쪽에서 입사하면, 개구 영역의 거의 중심점(中心点)(9b)(重心)에 대향하는 위치에 렌즈 중심(200a)(또는 200a')을 갖는 마이크로렌즈(200)(또는 200')에 의해서 이 입사광은 개구 영역의 거의 중(9b)을 중심으로 하여 화소 전극(9a) 위에 집광된다. 따라서, 마이크로렌즈(200)(또는 200')에 의해서 집광된 광에 의해서 원형(또는 거의 원형 또는 타원형)의 광 조사 영역이 개구 영역 내에 형성된다. 여기서, 콘택 홀(8)은 개구 영역의 중심선(9c)에 대해서 선대칭인 위치에 개공되어 있다. 이 때문에 각각의 화소 내의 중앙 부근에 위치하는 선대칭인 개구 영역을 넓게 할 수 있다. 그리고, 개구 영역은 그 거의 중심점(9b)을 통과하는 중심선(9c)에 대해서 선대칭이므로, 원형 등의 광 조사 영역은 이 선대칭인 개구 영역 내에 있어서 선대칭인 위치에 형성된다(원형 등의 중심이 거의 중심선(9b)과 겹치게 되는 것으로 된다). 따라서, 상기 개구 영역에 대한 광 조사 영역이 차지하는 비율이 높아지며, 광의 이용 효율이 개선된다. 또한, 마이크로렌즈의 집광 능력으로는 광 조사 영역이 개구 영역에 정확하게 들어갈 정도로 집광되면 충분하고, 필요 이상으로 광 조사 영역을 작게 할 필요는 없다.

또한, 본 실시의 형태에서는 TFT를 이용하여 화소 전극(9a)을 구동하도록 구성하였으나, TFT 이외의 예를 들면 TFD(thin film diode:박막 다이오드) 등의 액티브 매트릭스 소자를 이용하는 것도 가능하고, 또한, 액정 패널을 패시브 매트릭스 형의 액정 패널로서 구성하는 것도 가능하다. 이와 같은 경우에도, 마이크로렌즈로 화소 전극 위에 광을 집광하는 구성을 채용하는 한, 본 실시 형태에서 설명한 개구 영역을 선대칭이나 회전 대칭으로 하고, 렌즈 중심을 개구 영역의 거의 중심점에 대향시키는 구성은 광의 이용 효율을 향상시키는데 있어서 본 실시예의 경우와 동일하게 유효하다.

<전자 기기>

다음으로 이상에서 설명한 본 실시 형태에서의 액정 패널을 구비하는 전자 기기의 실시의 형태에 대해서 도 18에서 도 21을 참조하여 설명한다.

먼저 도 18에, 본 실시 형태의 액정 패널을 구비하는 전자 기기의 개략 구성을 나타낸다.

도 18에 있어서, 전자 기기는 표시 정보 출력원(1000), 표시 정보 처리 회로(1002), 구동 회로(1004), 액정 패널(100), 클럭 발생 회로(1008) 및 전원 회로(1010)를 구비하여 구성되어 있다. 표시 정보 출력원(1000)은 ROM(read only memory), RAM(random access memory), 광 디스크 장치 등의 메모리, 화상 신호를 동조하여 출력하는 동조 회로 등을 포함하고, 클럭 발생 회로(1008)로부터의 클럭 신호에 기초하여 소정 포맷의 화상 신호 등의 표시 정보를 표시 정보 처리 회로(1002)에 출력한다. 표시 정보 처리 회로(1002)는 증폭, 극성 반전 회로, 상 전개 회로, 로테이션 회로, 감마 보정 회로, 크램프 회로 등의 공지된 각종의 처리 회로를 포함하여 구성되어 있고, 클럭 신호에 기초하여 입력된 표시 정보로부터 디지털 신호를 순차로 생성하고, 클럭 신호(CLK)와 함께 구동 회로(1004)에 출력한다. 구동 회로(1004)는 액정 패널(100)을 구동한다. 전원 회로(1010)는 상기한 각각의 회로에 소정 전원을 공급한다. 또한, 액정 패널(100)을 구성하는 TFT 어레이 기관 위에 구동 회로(1004)를 탑재하여도 되고, 이것에 더해 표시 정보 처리 회로(1002)를 탑재하여도 된다.

다음으로 도 19에서 도 21에 이와 같이 구성된 전자 기기의 구체예를 각각 나타낸다.

도 19에 있어서, 전자 기기의 한 예인 액정 프로젝터(1100)는 상기한 구동 회로(1004)가 TFT 어레이 기관 위에 탑재된 액정 패널(100)을 포함하는 액정 모듈을 3개 준비하고, 각각 RGB 용의 라이트 밸브(100R, 100G 및 100B)로서 이용한 프로젝터로서 구성되어 있다. 액정 프로젝터(1100)에서는 메탈 할라이드(halide) 램프 등의 백색 광원의 램프 유닛(1102)으로부터 투사광이 발광되면, 3 장의 미러(mirror)(1106) 및 2 장의 다이크로익(dichroic) 미러(1108)에 의해서 RGB의 3원색에 대응하는 광 성분 R, G, B로 분리되고, 각각의 색에 대응하는 라이트 밸브(100R, 100G 및 100B)에 각각 인도된다. 이 때, 특히 B광은, 긴 광로에 의한 광 손실을 방지하기 위해 입사 렌즈(1122), 릴레이 렌즈(1123) 및 출사 렌즈(1124)로 이루어지는 릴레이 렌즈계(1121)를 통해서 인도된다. 그리고 라이트 밸브(100R, 100G 및 100B)에 의해서 각각 변조된 3원색에 대응하는 광 성분은 다이크로닉 프리즘(1112)에 의해서 다시 합성된 후, 투사 렌즈(1114)를 통해서 스크린(1120)에 컬러 화상으로서 투사된다.

본 실시의 형태에서는 특히 상기와 같이 투과막을 TFT의 아래 쪽에 설치하여 두면, 상기 액정 패널(100)로부터의 투사광에 기초하는 액정 프로젝터 내의 투사 광학계에 의한 반사광, 투사광이 통과할 때의 TFT 어레이 기관의 표면으로부터의

반사광, 다른 액정 패널(100)로부터 출사한 후에 다이크로닉 프리즘(1112)을 관통하는 투사광의 일부(R광 및 G광의 일부) 등이 돌아오는 광으로서 TFT 기관 쪽에서 입사하여도, 화소 전극의 스위칭용의 TFT 등의 채널 영역에 대한 차광을 충분하게 할 수 있다. 이 때문에, 소형화에 적합한 프리즘을 투사 광학계에 이용하여도 각각의 액정 패널의 TFT 어레이 기관과 프리즘의 사이에 있어서, 돌아오는 광 방지용의 AR 필름을 붙이던가, 편광판에 AR 피막 처리를 행하는 것 등이 불필요하게 되므로 구성을 소형이고 간단화하는데 있어서 매우 유효하다.

또한, 3장의 글라스 벨브(100R, 100G, 100B)를 구성하는 각각의 액정 패널의 명시 방향을 맞추는 것으로서 색 얼룩의 발생이나 콘트라스트비의 저하를 억제할 수 있다. 그러므로 액정으로서 TN 액정을 이용하는 경우에는 라이트 벨브(100G)만을 다른 라이트 벨브(100R 및 100B)와 액정의 명시 방향이 화상 표시 영역에 대해서 좌우 반전으로 할 필요가 있다. 여기서, 본 실시 형태의 액정 패널을 구비하는 라이트 벨브를 이용하면 TN 액정이 오른쪽 회전이어도 왼쪽 회전이어도 화소의 개구 형상이 좌우가 거의 같아지므로 액정의 디스크리네이션이 발생하였다고 하여도 동일하게 인식된다. 이것에 의해서 액정의 회전 방향이 다른 라이트 벨브(100G, 100R 및 100B)를 프리즘 등에 의해서 합성했을 때에, 표시 화상에서 색 얼룩이나 콘트라스트비의 저하를 초래하지 않으므로 고품위한 액정 프로젝터를 실현할 수 있다.

도 20에 있어서, 전자 기기의 다른 예인 멀티미디어 대응의 랩탑(laptop)형의 퍼스널컴퓨터(1200)(PC)는 상기한 액정 패널(100)이 탑 커버 케이스에 구비되어 있고, 또한 CPU, 메모리 모듈 등을 수용함과 동시에 키보드(1202)가 조합된 본체(1204)를 구비하고 있다.

또한 도 21에 나타내는 바와 같이 구동 회로(1004)나 표시 정보 처리 회로(1002)를 탑재하지 않는 액정 패널(100)의 경우에는 구동 회로(1004)나 표시 정보 처리 회로(1002)를 포함하는 IC(1324)가 폴리이미드 테이프(1322) 위에 실장된 TCP(1320)(tape carrier package)에 TFT 어레이 기관(10)의 주변부에 설치된 이방성 도전 필름을 통해서 물리적으로 전기적으로 접속하고, 액정 장치로서 생산 판매 사용 등을 하는 것도 가능하다.

이상, 도 19에서 도 21을 참조하여 설명한 전자 기기 외에도 액정 텔레비전, 뷰파인더형 또는 모니터 직시형의 비디오 테이프 리코더, 카 네비게이션 장치, 전자 수첩, 계산기, 워드 프로세서, 엔지니어링 워크스테이션(EWS), 휴대 전화, 텔레비전 전화, POS 단말, 터치 패널을 구비하는 장치 등이 도 18에 나타내는 전자 기기의 예로서 들 수 있다.

이상에서 설명한 바와 같이, 본 실시 형태에 의하면, 비교적 간단한 구성을 이용하는 것에 의해, 화소가 미세화되어도 공정의 수율이나 화소 개구율의 저하를 초래하지 않는 액정 패널 및 상기 액정 패널을 구비하는 각종의 전자 기기를 실현할 수 있다.

발명의 효과

본 발명의 액정 패널에 의하면, 스위칭 소자인 TFT의 드레인 영역과 화소 전극을 접속하기 위해 층간 절연막에 개공하는 콘택트 홀 아래에 승상막이 형성되어 있으므로, 층간 절연막 위를 평탄화하는 것이 가능하게 된다. 따라서, 콘택트 홀이 형성되는 영역의 단차를 완화할 수 있다. 따라서 액정의 디스크리네이션을 방지 할 수 있음과 함께, 레지스트마스크를 포토 리소그래피 공정에서 노광할 때에 콘택트 홀의 개공 형상 치수의 커짐을 억제할 수 있다.

본 발명의 액정 패널에 의하면, 스위칭 소자인 TFT의 드레인 영역과 화소 전극을 접속하기 위한 층간 절연막에 개공하는 콘택트 홀의 형성 위치를, 대응하는 화소 전극에 화상 신호를 공급하기 위한 데이터선과 상기 데이터선과 인접한 데이터선 사이의 거의 중심 위치에 개공하는 것에 의해서, 데이터선과 화소 전극의 단락을 방지할 수 있고, 화소 피치가 미세화되어도 공정 수율의 저하를 초래하지 않는다.

(57) 청구의 범위

청구항 1.

액정 패널에 있어서,

복수의 데이터선과,

상기 복수의 데이터선에 교차하는 복수의 주사선과,

상기 복수의 데이터선과 상기 복수의 주사선의 교차에 대응하여 설치된 복수의 스위칭 소자와,
 상기 복수의 스위칭 소자에 설치된 반도체층과,
 상기 반도체층의 드레인 영역에 형성된 제 1 축적 용량 전극과,
 상기 복수의 스위칭 소자에 대응하여 설치된 복수의 화소 전극과,
 상기 주사선을 따라 연장하고, 유전체막을 통하여 상기 반도체층의 제 1 축적 용량 전극에 중첩된 제 2 축적 용량 전극과,
 상기 제 2 축적 용량 전극에 설치된 제 1 노치부와,
 상기 제 1 노치부에, 상기 제 2 축적 용량 전극과 절연을 확보하여 배치되고, 상기 스위칭 소자의 반도체층의 드레인 영역과 상기 화소 전극에 전기적으로 접속하기 위해 형성된 콘택트 홀을 구비하는 것을 특징으로 하는 액정 패널.

청구항 2.

제 1 항에 있어서, 상기 제 1 노치부는 인접하는 데이터선간의 중앙에 위치하는 것을 특징으로 하는 액정 패널.

청구항 3.

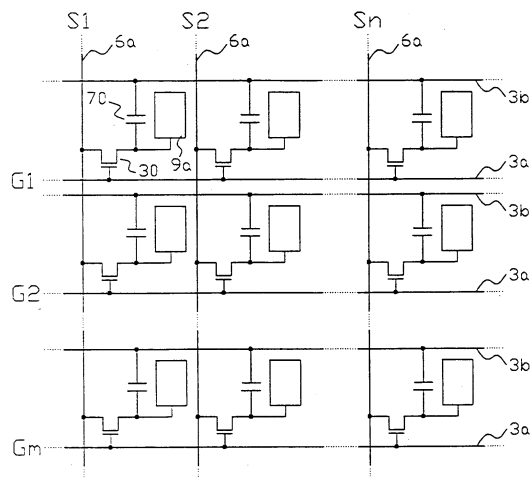
제 1 항 또는 제 2 항에 있어서, 상기 제 2 축적 용량 전극은 용량선인 것을 특징으로 하는 액정 패널.

청구항 4.

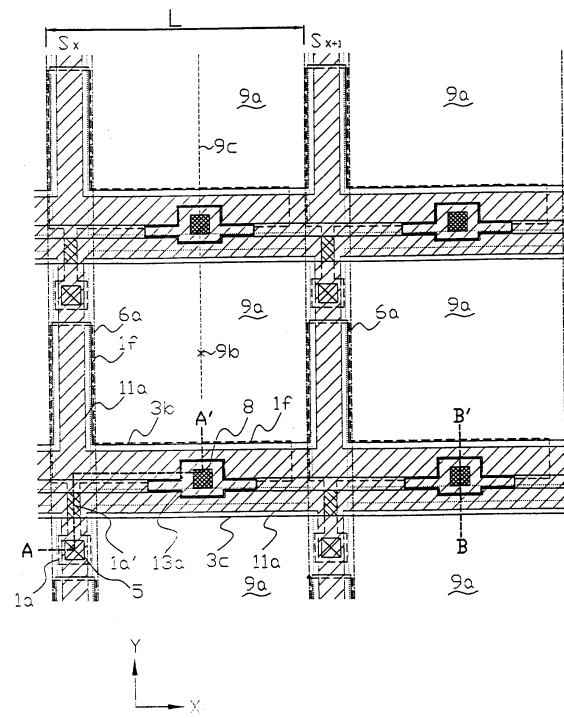
제 1 항에 기재된 액정 패널을 구비하는 것을 특징으로 하는 전자 기기.

도면

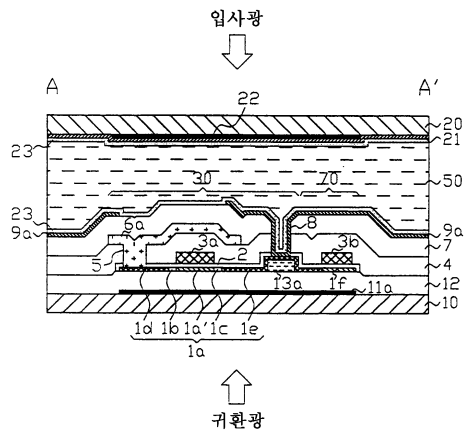
도면1



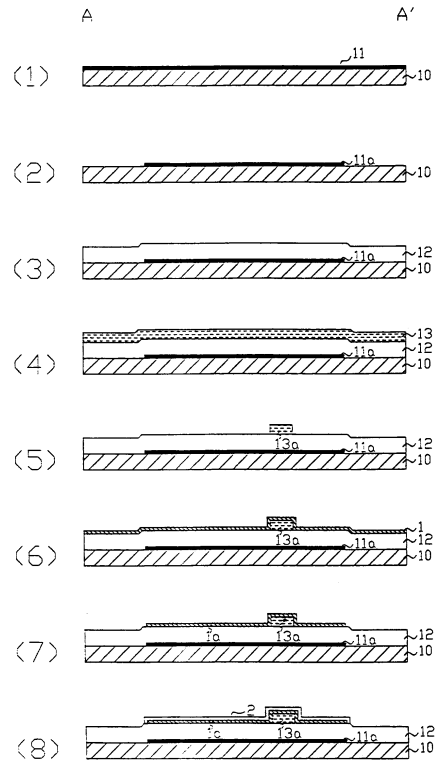
도면2



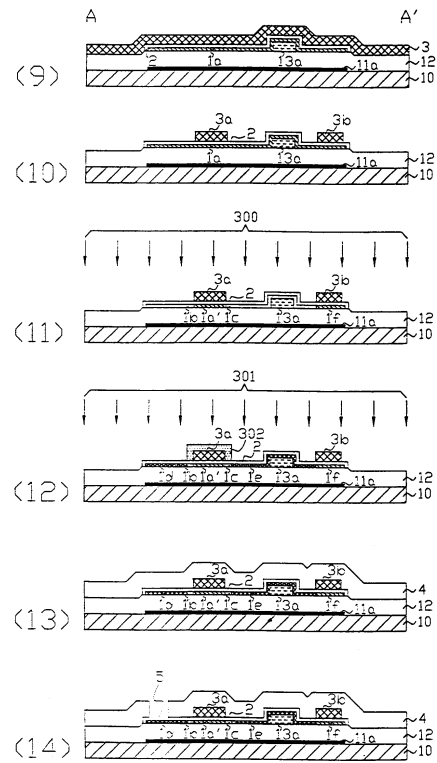
도면3



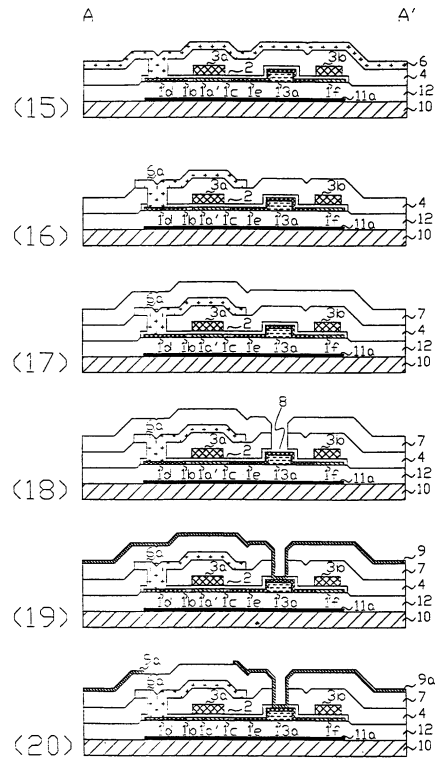
도면4



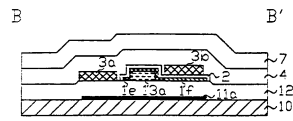
도면5



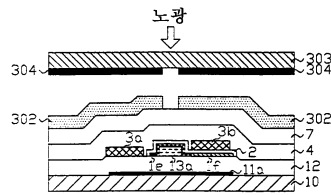
도면6



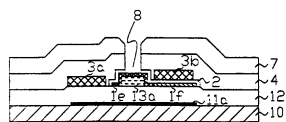
도면7a



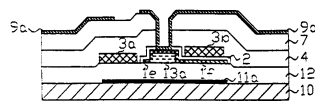
도면7b



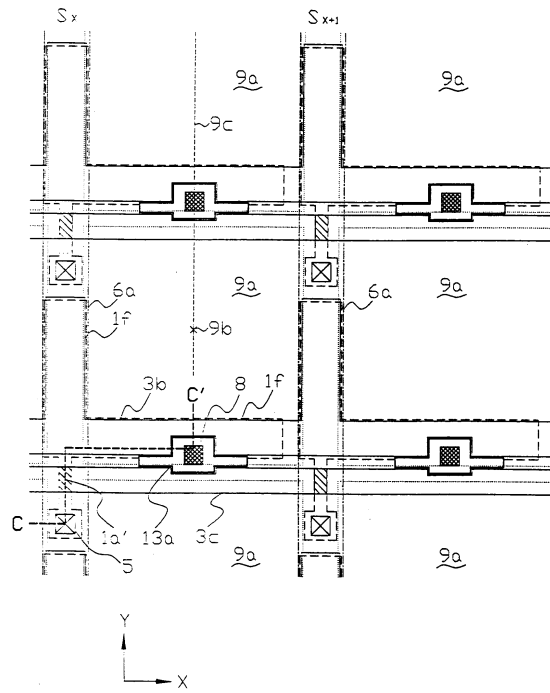
도면7c



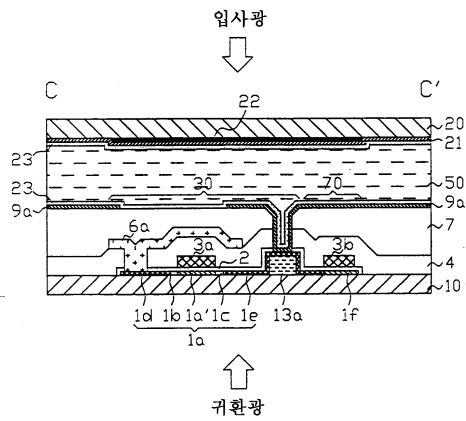
도면7d



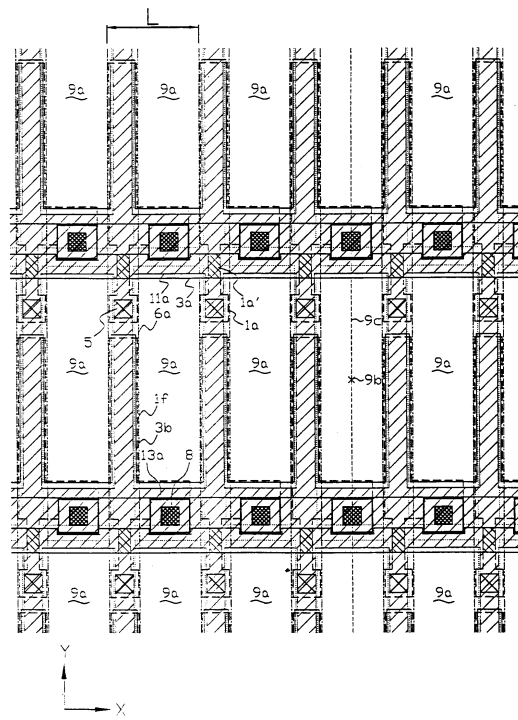
도면8



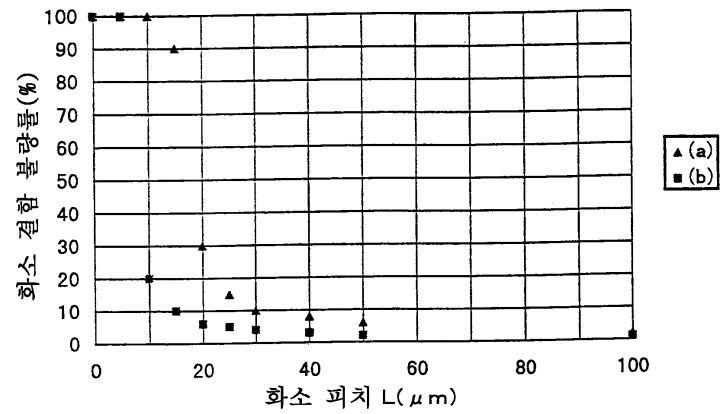
도면9



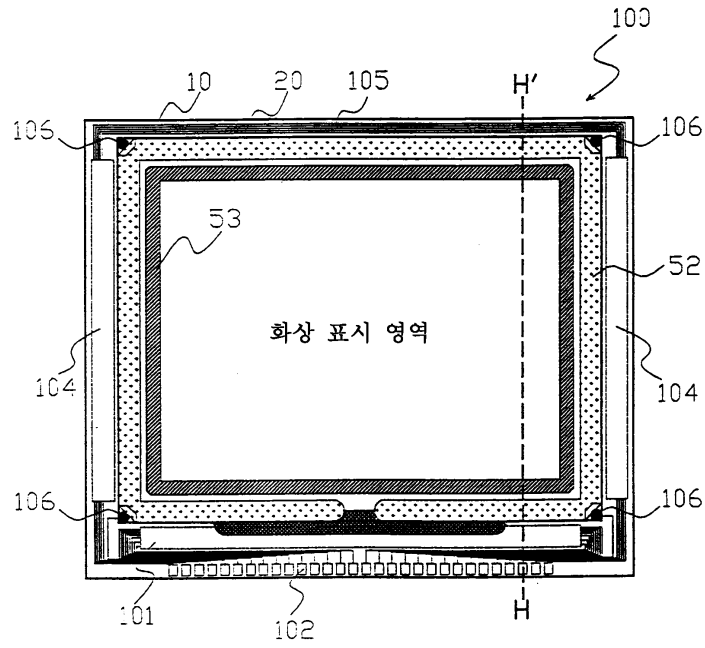
도면10



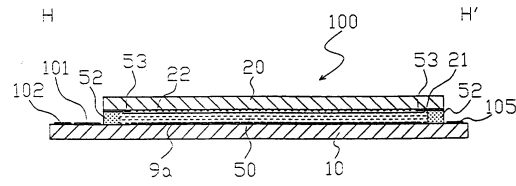
도면11



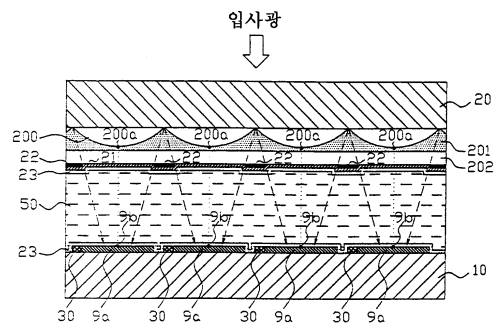
도면12



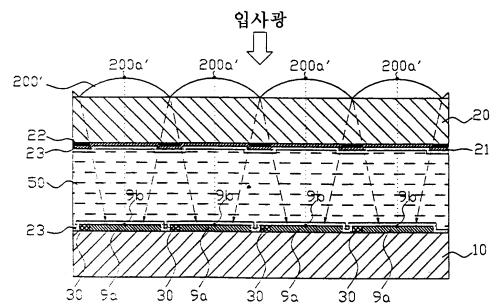
도면13



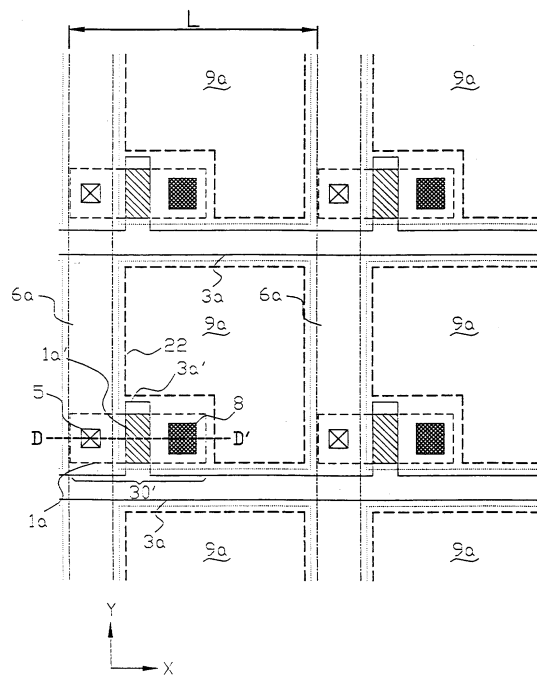
도면14



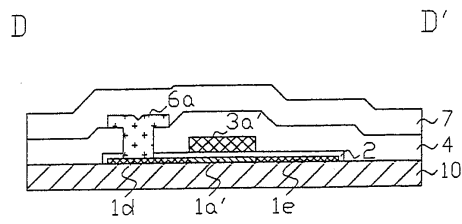
도면15



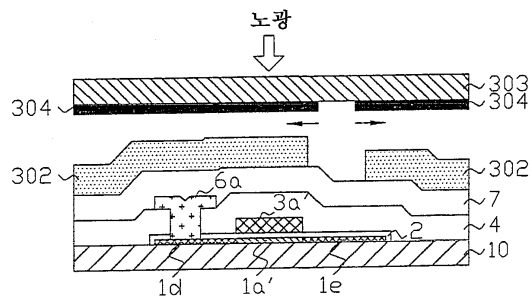
도면16



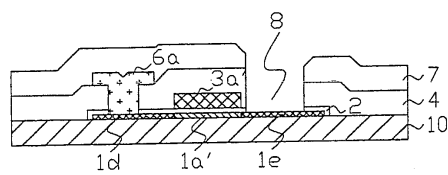
도면17a



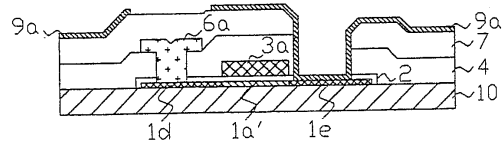
도면17b



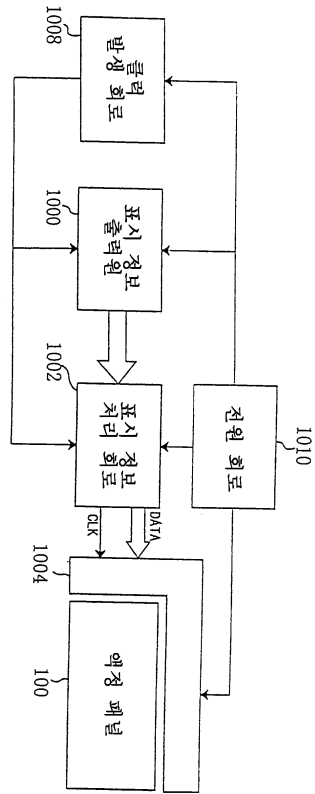
도면17c



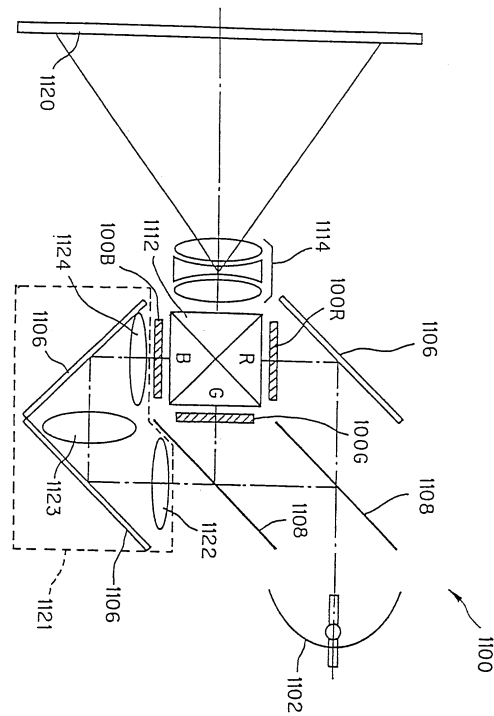
도면17d



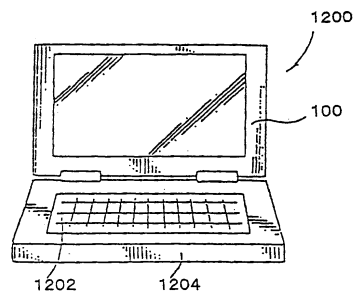
도면18



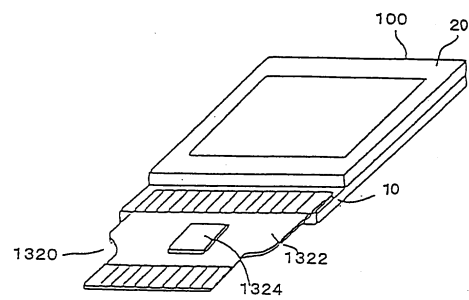
도면19



도면20



도면21



专利名称(译)	液晶面板		
公开(公告)号	KR100506566B1	公开(公告)日	2005-08-10
申请号	KR1020040053506	申请日	2004-07-09
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生株式会社		
当前申请(专利权)人(译)	精工爱普生株式会社		
[标]发明人	MURADE MASAO 무라데마사오 ISHI KENYA 이시이겐야		
发明人	무라데마사오 이시이겐야		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/136		
CPC分类号	G02F1/136227 G02F1/1368		
代理人(译)	李，何炳 李贝尔 申铉MOON		
优先权	1998027663 1998-02-09 JP 1998046036 1998-02-26 JP 1998046048 1998-02-26 JP		
其他公开文献	KR1020040065205A		
外部链接	Espacenet		

摘要(译)

本发明提供一种由TFT驱动器等驱动的有源矩阵驱动型的液晶面板，即使像素小型化，也不会导致工艺良率和像素开口率的降低。在TFT阵列基板10上形成多条数据线6a和多条数据线6a，它们通过接触孔5连接到多条数据线6a，并且通过使用TFT30由数据线6a和扫描线3a驱动。提供像素电极9a。在形成于层间绝缘膜7中的接触孔8下方形成提升膜13a，用于连接TFT 30的漏区和像素电极9a。和被表征。8 指数方面 电容线，缺口，接触孔，电容电极面积

