(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G02F 1/133

(45) 공고일자 2001년11월17일
(11) 등록번호 10-0314704
(24) 등록일자 2001년11월01일

(21) 출원번호 10-2001-0036504
(22) 출원일자 2001년06월26일
(62) 원출원 특허특1995-0009418
원출원일자 : 1995년04월21일

(65) 공개번호 특0000-0000000
(43) 공개일자 0000년00월00일

심사청구일자 1997년12월19일

(30) 우선권주장 94-107572 1994년04월22일 일본(JP)

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자
고야마준
일본국가나가와켄229사가미하라시니시-하시모토1-4-23
가와사키유지
일본국243가나가와켄아쓰기시하세304-1가든하이트105

(74) 대리인
황의만

심사관 : 고종욱

(54) 표시장치

요약

액티브 매트릭스형 표시장치의 화질의 변동이 감소된다. 액티브 매트릭스형 표시장치는, 시프트 레지스터와, 아날로그 스위치와 커패시터로 구성된 아날로그 메모리, 및 박막트랜지스터로 형성된 아날로그 버퍼로 구성된 구동회로에 의해 구동된다. 이 구동회로에서, 상기 아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이는 상기 아날로그 스위치 또는 상기 시프트 레지스터를 구성하는 박막트랜지스터의 채널길이보다 길게 되어 있다.

대표도
도 10

명세서

도면의 간단한 설명

도 1은 종래의 액티브 매트릭스형 액정표시장치의 개략도.

도 2는 종래의 아날로그 버퍼의 회로도.

도 3은 종래의 아날로그 버퍼의 회로도.

도 4는 종래의 액티브 매트릭스형 액정표시장치용 구동회로의 아날로그 버퍼의 박막트랜지스터의 구성을 개략적으로 나타내는 도면.

도 5는 박막트랜지스터의 채널길이 'L'과 그의 스레시홀드 전압 'V_{th}' 사이의 관계를 나타내는 그래프.

도 6은 종래의 노멀리 화이트(normally white) 액정소자에 있어서의 인가전압과 투과율 사이의 관계를 나타내는 그래프.

도 7은 LDD 영역 또는 오프셋 영역을 갖는 박막트랜지스터의 등가회로.

도 8은 본 발명의 실시예에 따라 LDD 영역을 가진 상보형 인버터 회로를 제작하는 방법을 개략적으로 나타내는 도면.

도 9는 본 발명의 실시예에 따라 오프셋 영역을 가진 상보형 인버터 회로를 제작하는 방법을 개략적으로 나타내는 도면.

도 10은 본 발명의 실시예에 따른 액티브 매트릭스형 액정표시장치용 구동회로의 아날로그 버퍼의 박막트랜지스터의 구조를 개략적으로 나타내는 도면.

도 11은 본 발명에 따른 박막트랜지스터의 LDD 영역의 개략도.

도 12는 본 발명에 따른 박막트랜지스터의 오프셋 영역의 개략도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로는, 박막트랜지스터로 구성된 액티브 매트릭스형 표시장치에 관한 것이고, 더 구체적으로는, 아날로그 버퍼의 특성 편차를 작게 억제한 액티브 매트릭스형 표시장치의 구동회로에 관한 것이다.

본 명세서에서, 액티브 매트릭스형 표시장치란, 매트릭스의 각 교차부에 화소가 배치되고, 이들 화소 모두에 스위칭 소자가 설치되어 있으며, 이들 스위칭 소자를 온/오프 함으로써 화상정보가 제어되는 표시장치를 의미한다. 그러한 표시장치의 표시매체로서는, 액정, 플라즈마, 그 외에, 광학 특성(예를 들어, 반사율, 굴절률, 투과율 및 발광의 세기)을 전기적으로 변화시킬 수 있는 물질 및 상태가 사용된다. 본 발명에서는, 스위칭 소자로서, 특히 3단자 소자, 즉, 게이트, 소스 및 드레인을 갖는 전계효과형 트랜지스터가 이용된다.

또한, 본 명세서에서, '매트릭스'는 다음과 같이 정의된다. 즉, 매트릭스의 행(行)은 해당 행에 평행하게 배치된 신호선(게이트선)이 해당 행에 속하는 트랜지스터의 게이트 전극에 접속되어 있는 것을 의미하고, 한편, 매트릭스의 열(列)은 해당 열에 평행하게 배치된 신호선(소스선)이 해당 열에 속하는 트랜지스터의 소스(또는 드레인) 전극에 접속되어 있는 것을 의미한다. 또한, 게이트선을 구동하는 회로를 게이트 구동회로라 부르고, 소스선을 구동하는 회로를 소스 구동회로라 부른다.

도 1에, 종래의 전형적인 액티브 매트릭스형 액정표시장치의 구성이 개략적으로 나타내어져 있다.

수직방향 주사 타이밍 신호가 액티브 매트릭스형 표시장치용 게이트 구동회로로부터 발생되기 때문에, 시프트 레지스터들이 서로 직렬로 접속되어, 수직방향에 따른 게이트선의 수와 동일한 수의 단일 직렬회로를 구성한다. 그리하여, 이러한 게이트 구동회로에 의해 액티브 매트릭스형 액정표시장치내의 박막트랜지스터가 스위칭된다.

한편, 수평방향 화상 데이터가 소스 구동회로에 의해 액티브 매트릭스형 액정표시장치상에 표시되기 때문에, 시프트 레지스터들이 서로 직렬로 접속되어, 수평방향에 따른 소스선의 수와 동일한 수의 단일 직렬회로를 구성한다. 수평방향 주사신호와 동기한 래치 펄스에 응답하여 상기 아날로그 스위치가 온/오프된다. 그리하여, 소스 구동회로는 액티브 매트릭스형 액정장치의 박막트랜지스터를 통해 전류를 흐르게 하여, 액정 셀의 배향을 제어할 수 있다.

이하, 도 1을 참조하여 전형적인 액티브 매트릭스형 액정장치의 동작을 설명한다.

수평방향 주사 타이밍 신호가 시프트 레지스터 X로부터 발생되고, 이 타이밍 신호에 응답하여 비디오(화상) 신호가 아날로그 메모리에 보유된다. 그 아날로그 메모리에 보유된 화상(비디오) 데이터는 래치 펄스에 의한 타이밍으로 아날로그 버퍼에 입력된다. 그 아날로그 버퍼는 상기 래치 펄스에 의한 타이밍으로 화상 데이터를 액티브 매트릭스형 표시장치내의 박막트랜지스터의 소스선에 공급한다.

한편, 시프트 레지스터 Y는 수직방향 주사 타이밍 신호를 발생하여, 액티브 매트릭스형 표시장치내의 박막트랜지스터의 게이트선에 공급한다. 그 결과, 박막트랜지스터의 소스선에 공급된 전류가 흐르게 되어, 이들 박막트랜지스터의 드레인선에 접속된 액정 셀의 배향을 결정한다.

이상과 같이 하여, 전형적인 액티브 매트릭스형 액정표시장치가 동작한다.

액정 자체의 부하용량이 크기 때문에, 액티브 매트릭스형 표시장치의 박막트랜지스터가 아날로그 메모리에 저장된 화상 데이터에 의해 직접 구동될 수 없다. 따라서, 소스 구동회로를 구성하는 아날로그 버퍼가 필요하다.

아날로그 버퍼란, 입력신호를 그대로 또는 그의 DC 성분에 대해서만 시프트하여 출력하고, 그의 출력 임피던스를 부하에 대하여 충분히 낮게 할 수 있는 회로를 의미한다. 그러한 아날로그 버퍼의 구성은 주로 소스 폴로어(source follower)형 차동증폭기와 피드백(feedback)형 차동증폭기를 사용한 것이 있고, 그의 대표적인 예가 도 2 및 도 3에 나타내어져 있다.

도 2에 나타낸 바와 같이, 소스 폴로어형 아날로그 버퍼는 N형 박막트랜지스터 또는 P형 박막트랜지스터의 소스 전극에 정전류원(定電流源)을 접속시킴으로써 구성되고, 출력전압은 입력전압에 대하여 박막트랜지스터의 게이트-소스 전압 V_{GS} 만큼 강하 또는 상승된다.

도 3에 나타낸 바와 같이, 피드백형 차동증폭기를 이용한 아날로그 버퍼는 차동증폭기를 이용하기 때문에, 출력전압과 입력전압이 같게 된다. 단, 이 피드백형 차동증폭기의 지연시간은 상기한 소스 폴로어형 차동증폭기의 지연시간보다 길게 되어, 피드백형 차동증폭기는 고속응답에는 적합하지 않다.

종래의 액티브 매트릭스형 표시장치의 구동회로는 이하의 문제를 가지고 있다.

도 4에 나타낸 바와 같이, 상기한 구동회로의 아날로그 스위치를 구성하는 박막트랜지스터의 채널길이와 상기한 구동회로의 아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이가 동일하게 설계된다.

또한, 현재의 반도체 제작기술의 진보에 따라, 반도체회로의 집적도를 증가시키기 위해 설계규칙(설계 룰(rule))도 엄격하게 되어, 구동회로의 박막트랜지스터의 채널길이도 매우 미세하게 되고 있다.

아날로그 버퍼의 채널길이가 매우 미세하게 되면, 매우 미세한 채널길이를 갖는 박막트랜지스터의 제작과정에서의 포토리소그래피 정밀도나 에칭 정밀도의 오차에 의해 야기되는 악영향이 커질 수 있다.

박막트랜지스터의 채널길이의 변화와 그 박막트랜지스터의 스레시홀드 전압 사이의 관계를 실험을 통하여 구하여 도 5에 나타내었다. 이 관계로부터 보여지는 바와 같이, 박막트랜지스터의 채널길이 'L'이 짧게 될수록 스레시홀드 전압이 낮아지게 된다. 또한, 채널길이 'L'이 짧게 될수록, 그 변화가 커진다.

도 5에 나타낸 바와 같이, 채널길이 'L'이 매우 미세하게 되면, 에칭 정밀도의 오차가 플러스, 마이너스로 '△L'만큼 발생되며, 각각의 채널길이에 대응하는 박막트랜지스터의 스레시홀드 전압 V_{th1} 과 V_{th2} 사이에 큰 차이가 발생하고, 아날로그 버퍼의 특성 편차가 크게 된다. 그 결과, 이들 인자는 액티브 매트릭스형 표시장치의 화소의 표시 불균일을 야기할 수 있다. 이러한 표시 불균일은 균일한 단색 그림이 표시될 때 액정소자에 인가되는 전압 V_{th} 의 편차만큼 발생된다.

도 6은 노멀리 화이트(normally white) 액정소자의 투과율과 인가전압의 특성을 그래프로 나타낸다. 이 그래프에 나타내어진 바와 같이, 인가전압 V_{th} 의 편차폭 $\triangle V_{th}$ 만큼 투과율 편차가 되어 표시된다.

또한, 상기한 아날로그 버퍼를 구성하는 박막트랜지스터에 LDD 영역 또는 오프셋 영역이 도입되면, 이들 영역은 소스 저항이 되어, 그를 통해 흐르는 소스 전류에 의해 전압강하가 일어나고, 그래서, 외관상 스레시홀드 전압 V_{th} 이 크게 되기 때문에, 이것이 박막트랜지스터의 스레시홀드 전압의 편차도 야기할 수 있다.

도 7에, 박막트랜지스터에 LDD 영역 또는 오프셋 영역이 도입된 경우의 등가회로가 나타내어져 있다.

발명이 이루고자 하는 기술적 과제

상기한 문제들을 해결하기 위해, 본 발명은 하기 수단을 제공한다.

상기한 아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이 'L'과 그 박막트랜지스터의 스레시홀드 전압을 측정하여 제 5 도에 나타내었다.

도 5(A) 및 도 5(B)로부터, 아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이 'L'의 에칭 정밀도의 정부(正負) 오차에 대응하는 박막트랜지스터의 각각의 스레시홀드 전압값의 차이가 미소하게 되도록 채널길이 'L'의 범위를 결정한다.

스레시홀드 전압의 차이가 미소하게 되는 채널길이 'L'의 범위내에서, 최소값을 채널길이로서 채용하고, 아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이만을 이 설계규칙에 기초하여 형성한다.

아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이가 길게 되면, 그 박막트랜지스터의 동작속도가 낮아진다. 그러나, 아날로그 버퍼의 동작속도가 수평방향 주사기간(15 KHz 30 KHz)보다 높게 되면, 이것이 아무런 문제도 발생하지 않는다. 따라서, 채널길이의 증대, 용량의 증가, 드레인 전류의 감소가 일어나도 동작상 문제가 없다.

상기한 바와 같이, 본 발명에 따라 아날로그 버퍼의 특성 편차가 억제될 수 있다.

아날로그 스위치 또는 논리회로를 구성하는 박막트랜지스터의 채널길이는 그러한 엄격한 스레시홀드 전압을 요구하지 않기 때문에, 아날로그 버퍼용 박막트랜지스터와 비교하여 매우 미세한 설계규칙에 따라 이러한 채널길이를 형성하여도 아무런 문제가 발생하지 않는다.

또한, 논리회로의 동작속도는 채널길이의 제곱에 반비례하기 때문에, 채널길이는 짧게 하는 것이 바람직하다. 따라서, 액정장치의 리소그래픽 관계에 의해 아날로그 버퍼용 박막트랜지스터 이외의 박막트랜지스터의 채널길이는 5 마이크론 이하가 되도록 적절히 선택된다.

그리고, 아날로그 버퍼를 구성하는 박막트랜지스터가 LDD 영역 또는 오프셋 영역을 가지는 경우, LDD 영역 및 오프셋 영역의 폭은 다른 회로의 것보다 좁게 한다.

발명의 구성 및 작용

이하, 첨부도면에 의거하여 본 발명을 상세히 설명한다.

먼저, 도 8을 참조하여 본 발명에 따른 액티브 매트릭스형 액정표시장치의 구동회로에 이용되는 박막장치의 LDD(저농도로 도핑된 드레인) 영역에 대하여 설명한다.

여기서는, 상보형 인버터회로를 예로 든다. 먼저, 유리기판(코닝 7059(상표명)와 같은 저알칼리 유리)상에 하지(下地) 산화막으로서 두께 1,000 3,000 Å의 산화규소막을 성막하였다. 이 산화막을 성막하는 방법으로서는, 산소분위기에서의 스퍼터법이 사용되었다. 그러나, 양산성을 더욱 높이기 위해서는, 플라즈마 CVD법에 의해 TEOS를 분해·퇴적함으로써 형성된 막이 사용될 수도 있다.

그후, 플라즈마 CVD법 또는 LPCVD법에 의해 비정질 규소막을 300 5,000 Å, 바람직하게는, 500 1,000Å의 두께로 퇴적하고, 이것을 환원분위기에 4 48시간 방치하여 결정화시켰다. 이 공정후에, 결정화된 막에 레이저광을 조사(照射)하여 결정성을 더욱 향상시켜도 좋다. 다음에, 이렇게 하여 결정화된 규소막을 패터닝하여 섬형상 영역(1, 2)을 형성하였다. 그리고, 이들 섬형상 영역 위에 스퍼터법에 의해 두께 700 1,500 Å의 산화규소막(3)을 형성하였다.

그후, 전자빔 증착법 또는 스퍼터법에 의해 두께 1,000 Å 3 ㎛의 알루미늄막(1 중량%의 Si 또는 0.1 0.3 중량%의 Sc을 함유한다)을 형성하였다. 다음에, 스핀 코팅법에 의해 포토레지스트(예를 들어, 도쿄 오카 고교 가부시키가이샤에서 제조된 OFPR 800/30 cp)를 형성하였다. 포토레지스트의 형성 전에 양극산화법에 의해 두께 100 1,000 Å의 산화알루미늄막을 표면에 형성한 경우에는, 형성된 막과 포토레지스트와 밀착성이 좋게 된다. 포토레지스트로부터의 누설전류를 억제함으로써, 후의 양극산화공정에서 다공질 양극산화물이 게이트 전극의 측면에만 효과적으로 형성될 수 있다. 그후, 포토레지스트와 알루미늄막 모두를 패터닝하고 함께 에칭하여, 게이트 전극(4, 5)과 마스크막(6, 7)을 형성하였다.(도 8(A) 참조)

그리고, 이것에 전해액중에서 전류를 흘려보내어 양극산화시켜, 두께 3,000 6,000 Å, 예를 들어, 5,000 Å의 양극산화물을 형성하였다. 그 양극산화는 3 20%의 구연산 또는 질산, 인산, 크롬산 및 황산과 같은 산성 수용액을 이용하고 10 30 V의 정전압을 게이트 전극에 인가하면서 행해질 수 있다. 바람직한 실시예에서는, 인가전압을 10 V로 하고, 양극산화를 질산용액(30℃)에서 20 40분간 행하였다. 양극산화물의 두께는 양극산화시간에 의해 제어되었다.(도 8(B) 참조)

다음에, 마스크막을 제거하고, 다시 전해액중에서 게이트 전극에 전류를 인가하였다. 이번에는, 3 10%의 주석산, 붕산 및 황산을 함유하는 에틸렌 글리콜 용액이 이용되었다. 용액의 온도를 약 10℃로 실온보다 낮게 한 조건에서 더 양호한 산화막이 얻어질 수 있었다. 그 결과, 게이트 전극의 측면과 상면에 배리어형 양극산화물(10, 11)이 형성되었다. 그 양극산화물(10, 11)의 두께는 인가전압에 비례한다. 예를 들어, 인가전압을 150 V로 한 때, 2,000 Å의 두께를 갖는 양극산화물이 형성되었다. 양극산화물(10, 11)의 두께는 요구되는 오프셋의 크기에 따라 결정되지만, 3,000 Å 이상의 두께를 갖는 양극산화물을 형성하기 위해서는, 250 V 이상의 고전압이 요구되고, 이것은 박막트랜지스터의 특성에 악영향을 끼칠 수 있기 때문에, 양극산화물의 두께를 3,000 Å 이하로 하는 것이 바람직하다. 본 실시예에서는, 인가전압을 80 150 V까지 상승시켰고, 요구되는 양극산화물(10, 11)의 두께에 따라 적절한 값으로 선택하였다.

배리어형 양극산화가 나중의 단계에서 실행될지라도, 배리어형 양극산화물(10, 11)이 다공질 양극산화물(8, 9)의 외측에 형성되지 않고, 다공질 양극산화물(8, 9)과 게이트 전극(4, 5) 사이에 형성된다는 사실을 주목하여야 한다.

다음에, 건식 에칭법(또는, 습식 에칭법)에 의해 절연막(3)을 에칭하여 제거하였다. 에칭 깊이는 임의로 결정된다. 예를 들어, 아래에 존재하는 활성층이 노출될 때까지 에칭공정이 행해지거나 또는 도중에 끝나도록 에칭공정이 행해질 수 있다. 그러나, 양산성, 생산수율 및 균일성의 관점에서는, 활성층이 노출될 때까지 에칭공정을 행하는 것이 바람직하다. 이 경우, 양극산화물(8, 9)과 게이트 전극(4, 5)에 의해 덮인 영역의 절연막(게이트 절연막)으로서 원래의 두께를 갖는 절연막(12, 13)이 남겨진다.(도 8(C) 참조)

LDD(저농도로 도핑된 드레인) 영역을 형성하는 방법에서는, 상기한 공정들의 실행후에 양극산화물(8, 9)을 제거하였다. 에칭액으로서는, 인산계 용액, 예를 들어, 인산, 아세트산 및 질산의 혼합산이 바람직하다. 이 경우, 인산계 에칭액에 있어서는, 다공질 양극산화물의 에칭률이 배리어형 양극산화물의 에칭률의 10배 이상이다. 따라서, 배리어형 양극산화물(10, 11)이 인산계 에칭액에 의해서는 실질적으로 에칭되지 않기 때문에, 배리어형 양극산화물 안쪽에 위치된 게이트 전극이 에칭처리로부터 보호될 수 있다.

이러한 구성에서, 가속된 N형 또는 P형 불순물 이온을 활성층내로 주입하여, 소스 및 드레인을 형성하였다. 먼저, 좌측 박막트랜지스터 영역을 마스크(14)로 덮은 상태에서, 이온 도핑법에 의해 비교적 낮은 속도(전형적으로는, 가속전압이 5 30 kV이다)로 인 이온을 주입하였다. 바람직한 실시예에서는, 가속전압을 20 kV로 하고, 도핑 가스로서, 포스핀(PH_3)을 사용하였다. 도즈량은 5×10^{14} 5×10^{15} cm^{-2} 으로 하였다. 이 공정에서, 인 이온이 절연막(13)을 투과할 수 없기 때문에, 활성층중 표면이 노출된 영역에만 인 이온이 주입되어, N채널형 박막트랜지스터의 드레인(15)과 소스(16)가 형성되었다.(도 8(D) 참조)

이어서, 마찬가지로, 이온 도핑법에 의해 비교적 높은 속도(전형적으로는, 가속전압이 60 120 kV이다)로 인 이온을 주입하였다. 바람직한 실시예에서는, 가속전압을 90 kV로 하고, 도즈량을 1×10^{13} 5×10^{14} cm^{-2} 으로 하였다. 이 공정에서, 인 이온이 절연막(13)을 투과하여 그 아래의 활성층에 도달할 수 있다. 그러나, 도즈량이 작기 때문에, 저농도의 N형 LDD 영역(17, 18)이 형성되었다.(도 8(E) 참조)

인 도핑이 완료된 후, 마스크(14)를 제거하였다. 다음에, N채널형 박막트랜지스터를 마스크하고, 마찬가지로, 소스(19), 드레인(20) 및 저농도의 P형 LDD 영역(21, 22)을 형성하였다. 그후, KrF 엑시머 레이저(파장 248 nm, 펄스폭 20 nssec)를 조사하여, 활성층내에 도입된 불순물 이온을 활성화시켰다.

상기한 바와 같이 하여, LDD 영역이 형성될 수 있었다.

마지막으로, 전체 표면에 층간절연물(23)로서 두께 3,000 6,000 Å의 산화규소막을 CVD법에 의해 형성하였다. 다음에, 박막트랜지스터의 소스/드레인에 콘택트 홀을 형성하고, 알루미늄 배선/전극(24, 25, 26)을 형성하였다. 그리고, 얻어진 구조물에 대하여 200 400℃의 온도로 수소어닐처리를 행하였다. 이상의 제작공정들에 의해, 박막트랜지스터를 이용한 상보형 인버터회로가 얻어졌다.(도 8(F) 참조)

다음에, 도 9를 참조하여 본 발명에 따른 액티브 매트릭스형 액정표시장치의 구동회로에 이용되는 박막장치의 오프셋 영역에 대하여 설명한다.

여기서는, 상보형 인버터회로를 예로 든다. 먼저, 유리기판(코닝 7059(상표명)와 같은 저알칼리 유리)상에 하지 산화막으로서 두께 1,000 3,000 Å의 산화규소막을 성막하였다. 이 산화막을 성막하는 방법으로서는, 산소분위기에서의 스퍼터법이 사용되었다. 그러나, 양산성을 더욱 향상시키기 위해서는, 플라즈마 CVD법에 의해 TEOS를 분해·퇴적함으로써 형성된 막이 사용될 수도 있다.

그후, 플라즈마 CVD법 또는 LPCVD법에 의해 비정질 규소막을 300 5,000Å, 바람직하게는, 500 1,000Å의 두께로 퇴적하고, 이것을 환원분위기에 4 48시간 방치하여 결정화시켰다. 이 공정후에, 결정화된 막에 레이저광을 조사하여 결정성을 더욱 향상시켰다. 다음에, 이렇게 하여 결정화된 규소막을 패터닝하여 섬형상 영역(31, 32)을 형성하였다. 그리고, 이들 섬형상 영역상에 스퍼터법에 의해 두께 700 1,500 Å의 산화규소막(33)을 형성하였다.

이어서, 전자빔 증착법 또는 스퍼터법에 의해 두께 1,000 Å 3 ㎛의 알루미늄막(1 중량%의 Si 또는 0.1 0.3 중량%의 Sc을 함유한다)을 형성하였다. 다음에, 스핀 코팅법에 의해 포토레지스트(예를 들어, 도쿄 오카 고교 가부시키가이샤에서 제조된 OFFPR 800/30 cp)를 형성하였다. 이 포토레지스트의 형성에 앞서, 양극산화법에 의해 두께 100 1,000 Å의 산화알루미늄막을 표면에 형성하면, 형성된 막과 포토레지스트와의 밀착성이 좋게 된다. 포토레지스트로부터의 누설전류를 억제함으로써, 후의 양극산화공정에서 다공질 양극산화물이 게이트 전극의 측면에만 효과적으로 형성될 수 있다. 그후, 포토레지스트와 알루미늄막 모두를 패터닝하고 함께 에칭하여, 게이트 전극(34, 35)과 마스크막(36, 37)을 형성하였다.(도 9(A) 참조)

그리고, 이것에 전해액중에서 전류를 흘러보내어 양극산화시킴으로써, 두께 3,000 6,000 Å, 예를 들어, 5,000 Å의 다공질 양극산화물(38, 39)을 형성하였다. 양극산화는 3 20%의 구연산 또는 질산, 인산, 크롬산 및 황산과 같은 산성 수용액을 이용하고 10 30 V의 정전압을 게이트 전극에 인가하면서 행해졌디. 바람직한 실시예에서는, 인가전압을 10 V로 하고, 질산용액(30℃)에서 20 40분간 양극산화를 행하였다. 양극산화물의 두께는 양극산화시간에 의해 제어되었다.(도 9(B) 참조)

다음에, 마스크막을 제거하고, 다시 전해액중에서 게이트 전극에 전류를 인가하였다. 이번에는, 3 10%의 주석산, 붕산 및 황산을 함유하는 에틸렌 글리콜 용액이 이용되었다. 이 용액의 온도를 약 10℃로 실온보다 낮게 한 조건에서 더욱 양호한 산화막이 얻어질 수 있었다. 그 결과, 게이트 전극의 측면과 상면에 배리어형 양극산화물(40, 41)이 형성되었다. 그 양극산화물(40, 41)의 두께는 인가전압에 비례한다. 예를 들어, 인가전압을 150 V로 하였을 때, 두께 2,000 Å의 양극산화물이 형성되었다. 양극산화물(40, 41)의 두께는 요구되는 오프셋의 크기에 따라 결정되지만, 3,000 Å 이상의 두께를 갖는 양극산화물을 형성하기 위해서는 250 V 이상의 고전압이 요구되고, 이것은 박막트랜지스터의 특성에 악영향을 끼칠 수 있기 때문에, 양극산화물의 두께를 3,000 Å 이하로 하는 것이 바람직하다. 본 실시예에서는, 인가전압을 80 150 V까지 증가시키고, 요구되는 양극산화물(40, 41)의 두께에 따라 적당한 값으로 선택하였다.

배리어형 양극산화가 나중의 단계에서 행해질지라도, 배리어형 양극산화물(40, 41)이 다공질 양극산화물(38, 39)의 외측에 형성되지 않고 다공질 양극산화물(38, 39)과 게이트 전극(34, 35) 사이에 형성된다는 것을 주목하여야 한다.

다음에, 건식 에칭법(또는, 습식 에칭법)에 의해 절연막(33)을 에칭하여 제거하였다. 에칭 깊이는 임의로 결정된다. 예를 들어, 아래에 존재하는 활성층이 노출될 때까지 에칭공정이 행해지거나 또는 도중에 끝나도록 에칭공정이 행해진다. 그러나, 양산성, 생산수율 및 균일성의 관점에서는, 활성층이 노출될 때까지 에칭공정을 행하는 것이 바람직하다. 이때, 양극산화물(38, 39)과 게이트 전극(34, 35)에 의해 덮인 영역의 절연막(게이트 절연막)으로서 원래의 두께를 갖는 절연막(42, 43)이 남겨진다.(도 9(C) 참조).

오프셋 영역을 형성하는 방법에 있어서, 이러한 구성에서, 가속된 N형 또는 P형 불순물 이온을 활성층내로 주입하여 소스 및 드레인을 형성하였다. 먼저, 좌측의 박막트랜지스터 영역을 마스크(44)로 덮은 상태에서, 이온 도핑법에 의해 비교적 낮은 속도(전형적으로는, 가속전압이 5 30 kV이다)로 인 이온을 주입하였다. 바람직한 실시예에서는, 가속전압을 20 kV로 하고, 도핑 가스로서, 포스핀(PH_3)을 사용하였다. 도즈량은 5×10^{14} 5×10^{15} cm^{-2} 으로 하였다. 이 공정에서, 인 이온이 절연막(43)을 투과할 수 없기 때문에, 활성층중에 표면이 노출된 영역에만 인 이온이 주입되어, N채널형 박막트랜지스터의 드레인(45)과 소스(46)를 형성하였다.(도 9(D) 참조)

그후, 양극산화물(38, 39)을 제거하였다. 에칭액으로서는, 인산계 용액, 예를 들어, 인산, 아세트산 및 질산의 혼합산이 바람직하다. 이때, 인산계 에칭액에 있어서는, 다공질 양극산화물의 에칭률이 배리어형 양극산화물의 에칭률의 10배 이상이다. 따라서, 배리어형 양극산화물(40, 41)이 인산계 에칭액에 의해서는 실질적으로 에칭되지 않기 때문에, 배리어형 양극산화물의 안쪽에 위치된 게이트 전극이 에칭처리로부터 보호될 수 있다.

이렇게 하여, 오프셋 영역(47, 48)이 형성될 수 있었다.(도 9(E) 참조)

마지막으로, 전체 표면에 CVD법에 의해 층간절연층(53)으로서 두께 3,000 6,000 Å의 산화규소막을 형성하였다. 다음에, 박막트랜지스터의 소스/드레인에 콘택트 홀을 형성하고, 알루미늄 배선/전극(54, 55, 56)을 형성하였다. 그리고, 얻어진 구조물에 대하여 200 400℃의 온도로 수소어닐처리를 행하였다. 이상의 제작공정들에 의해, 박막트랜지스터를 이용한 상보형 인버터회로가 얻어졌다.(도 9(F) 참조)

본 발명이 인버터회로와 관련하여 설명되었지만, 본 발명은 다른 회로에도 적용될 수 있다. 또한, 상기 실시예들에서는, 코플래너(coplanar)형 박막트랜지스터에 대하여 설명하였지만, 본 발명은 코플래너형 박막트랜지스터 뿐만 아니라, 역스태거형 박막트랜지스터와 같은 다른 형태의 박막트랜지스터에도 마찬가지로 적용될 수 있다.

또한, 상기한 공정이 600℃의 저온에서 행해졌지만, 본 발명은 800℃ 이상의 고온 공정에서도 실현될 수 있다.

도 5(A)는 박막트랜지스터의 스레시홀드 전압 V_{th} 와 채널길이 'L' 사이의 관계를 그래프로 나타낸다.

채널길이 'L'이 5 마이크로미터이고 에칭오차가 0.3 마이크로미터라고 가정하면, 이 박막트랜지스터의 스레시홀드 전압 V_{th} 의 변동량 $\triangle V_{th}$ 는 대략 0.2 V가 된다.

다음에, 채널길이 'L'이 10 마아크로미터이고 에칭오차가 0.3 마이크로미터인 경우, 이 박막트랜지스터의 스레시홀드 전압 V_{th} 의 변동량 $\triangle V_{th}$ 는 약 0.1 V로 억제될 수 있다.

채널길이 'L'이 20 마이크로미터이고 에칭오차가 0.3 마이크로미터인 경우, 이 박막트랜지스터의 스레시홀드 전압 V_{th} 의 변동량 $\triangle V_{th}$ 는 약 0.1 V로 억제될 수 있다.

도 5(A)에 나타낸 바와 같이, 상기한 아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이를 10 마이크로미터 이상으로 설정하면, 이 박막트랜지스터의 스레시홀드 전압 V_{th} 의 변동량은 매우 작게 되고, 이것은 아날로그 버퍼의 특성에 아무런 문제도 야기하지 않는다. 이 경우, 본 발명의 채용에 의해, 액정의 투과율 편차가 11%로부터 6%로 억제될 수 있다.

도 5(B)에서는, 설계규칙이 매우 미세하게 되는 것을 가정한다.

채널길이 'L'이 1 마이크로미터이고 에칭오차가 0.1 마이크로미터로 향상되는 것을 가정하면, 이 박막트랜지스터의 스레시홀드 전압 V_{th} 의 변동량 $\triangle V_{th}$ 는 대략 0.2 V가 된다.

다음에, 채널길이 'L'이 2 마이크로미터이고 에칭오차가 0.1 마이크로미터인 경우, 이 박막트랜지스터의 스레시홀드 전압 V_{th} 의 변동량 $\triangle V_{th}$ 는 대략 0.1 V로 억제될 수 있다.

채널길이 'L'이 4 마이크로미터이고 에칭오차가 0.1 마이크로미터인 경우, 이 박막트랜지스터의 스레시홀드 전압 V_{th} 의 변동량 $\triangle V_{th}$ 는 대략 0.1 V로 억제될 수 있다.

도 5(B)에 나타낸 바와 같이, 설계규칙이 매우 미세하게 되면, 그에 따라 에칭오차가 작게 된다. 따라서, 채널길이가 길어지면, 스레시홀드 전압의 변동량이 작게 되는데, 이것은 현재의 설계규칙의 것과 실질적으로 동일하게 된다.

또한, 본 발명에서는, 투과율 변동이 비교적 느린 TN(트위스티드 네마틱) 액정이 액정재료로서 이용되는 것이 바람직하다.

이하, 아날로그 버퍼의 구체적인 예로서, 상기한 소스 폴로어 및 차동증폭기에 대하여 설명한다.

도 2에 나타낸 바와 같이, 소스 폴로어가 드레인 접지 트랜지스터로서 기능하는 박막트랜지스터와 정전류원으로서 기능하는 박막트랜지스터로 구성되는 것으로 고려하면, 정전류원용 박막트랜지스터의 게이트 전극에 인가되는 전압이 V_{G1} 일 때, 정전류의 값 I_D 는 다음 식 (1)에 의해 주어진다.

$I_D = \mu_0 C_0 W(V_{G1} - V_{TH1})^2 / (2L)$ ------ (1)

(V_{TH1} 은 스레시홀드 전압이다)

식 (1)에서, 'μ_0'는 이동도를 나타내고, 'C_0'은 게이트 산화막의 단위용량을 나타내고, 'L'은 채널길이를 나타내고, 'W'는 채널폭을 나타낸다.

이러한 전류가 드레인이 접지된 박막트랜지스터를 통해 흐를 수 있게 하기 위해서는, 게이트-소스 전압이 V_{G2} 이고 이 트랜지스터의 스레시홀드 전압이 V_{TH2} 라고 가정하면, 정전류의 값 I_D 는 다음 식 (2)로 표현된다.

$I_D = \mu_0 C_0 W(V_{G2} - V_{TH2})^2 / (2L)$ ------ (2)

그 결과, 다음 식이 성립될 수 있다.

$V_{G1} - V_{TH1} = V_{G2} - V_{TH2}$ ------ (3)

따라서, 소스 폴로어의 출력전압이 V_{G2} 이기 때문에, 이 전압은 하기 식 (4)로 정의된다.

$V_{G2} = V_{G1} + V_{TH2} - V_{TH1}$ ------ (4)

따라서, 스레시홀드 전압 V_{TH1} 과 V_{TH2} 사이의 차이가 본 발명에 따라 작게 될 수 있으면, 출력전압은 거의 V_{G1} 과 동일하여, 전체 회로의 균일성이 향상될 수 있다.

다음, 피드백형 차등증폭기에 관하여 고려하면, 입력측 트랜지스터의 게이트-소스 전압이 V_{GS3} 이고 출력측 트랜지스터의 게이트-소스 전압이 V_{GS4} 라고 가정하면, 이 피드백형 차동증폭기로부터의 출력전압은 $V_{GS3} - V_{GS4}$ 가 된다.

여기서, 입력측 트랜지스터의 드레인 전류가 I_{D1} 이고 출력측 트랜지스터의 드레인 전류가 I_{D2} 이면, 이들 드레인 전류는 다음 식 (5) 및 (6)에 의해 주어진다.

$I_{D1} = \mu_0 C_0 W(V_{GS3} - V_{TH3})^2 / (2L)$ ------ (5)

$I_{D2} = \mu_0 C_0 W(V_{GS4} - V_{TH4})^2 / (2L)$ ------ (6)

만일 이들 드레인 전류 I_{D1} 과 I_{D2} 가 서로 동일하다면, 게이트-소스 전압은 다음 식 (7) 및 (8)로 정의된다.

$V_{GS3} - V_{TH3} = V_{GS4} - V_{TH4}$ ------ (7)

$V_{GS3} - V_{GS4} = V_{TH3} - V_{TH4}$ ------ (8)

따라서, 스레시홀드 전압 V_{TH4} 와 V_{TH4} 사이의 차이가 본 발명에 따라 작게 될 수 있으면, 입력전압과 출력전압 사이의 차이는 거의 제로가 될 수 있다.

도 10은, 박막트랜지스터의 채널길이를 10 20 마이크로미터로 한 아날로그 버퍼와, 박막트랜지스터의 채널길이를 10 마이크로미터 미만으로 한 아날로그 스위치를 형성한 경우의 본 발명의 실시예를 나타낸다.

도 11 및 도 12는, 박막트랜지스터의 오프셋 영역과 LDD 영역이 별개로 나타내어진 본 발명에 따른 아날로그 버퍼를 개략적으로 나타낸다.

상기한 아날로그 버퍼의 오프셋 영역과 LDD 영역을 다른 회로의 것들보다 작게 하기 위해서는, 하기 수단이 이용될 수 있다.

본 발명에서는, LDD 영역 및 오프셋 영역이 양극산화공정에 의해 형성되기 때문에, 이들 영역의 형성시간은 다른 회로에 대한 양극산화공정에 의한 형성시간보다 짧게 되어, 상기한 목적이 달성될 수 있다.

상기한 설명이 상보형 구동회로에 대한 것이지만, 아날로그 버퍼가 소스 폴로어로 구성되는 경우, 이 버퍼는 N형 회로와 P형 회로중 어느 하나만으로 구성될 수 있다.

본 발명에 따르면, 액티브 매트릭스형 액정표시장치용 구동회로의 내부 기능들 각각에 대하여 설계규칙을 변경함으로써, 아날로그 버퍼의 출력전압 특성의 편차가 억제될 수 있다.

구동회로에 이용되는 아날로그 버퍼의 채널길이에 대해서만 한정하여 말하면, 박막트랜지스터에 대한 설계규칙이 이론적으로 완화되는 경우, 즉, 채널이 충분히 넓게 만들어지는 경우, 스레시홀드 전압 V_{th} 의 변동량은 무시할 수 있을 정도로 작게 된다.

그러나, 구동회로에 이용되는 다른 박막트랜지스터의 설계규칙과 기판면적에 대한 회로면적의 점유율과의 균형문제를 고려하면, 아날로그 버퍼를 구성하는 박막트랜지스터의 채널길이는 다른 회로의 것의 2 4배가 되도록 선택되는 것이 바람직하다.

또한, 아날로그 버퍼를 구성하는 박막트랜지스터의 오프셋 영역 또는 LDD 영역을 다른 회로의 것보다 작게 하거나 또는 없게 하는 경우, $\triangle V_{th}$ 의 변동이 감소될 수 있다.

발명의 효과

상기한 바와 같이, 본 발명에 따르면, 아날로그 버퍼의 출력전압 특성의 편차가 억제될 수 있어, 액티브 매트릭스형 액정표시장치의 화질 및 생산수율이 향상될 수 있다.

(57) 청구의 범위

청구항 1.

기판 위에 제공된 다수의 소스 신호선과;

상기 다수의 소스 신호선과 교차하는 다수의 게이트 신호선과;

상기 기판 위에 매트릭스 형태로 배치된 다수의 화소; 및

시프트 레지스터와, 아날로그 스위치와 커패시터로 구성된 아날로그 메모리, 및 적어도 하나의 박막트랜지스터를 포함하는 아날로그 버퍼를 포함하고, 상기 다수의 소스 신호선에 접속된 구동회로를 포함하고;

상기 아날로그 버퍼의 상기 박막트랜지스터의 채널길이가 상기 아날로그 스위치 또는 상기 시프트 레지스터의 박막트랜지스터의 채널길이보다 길게 된 것을 특징으로 하는 표시장치.

청구항 2.

제 1 항에 있어서, 상기 아날로그 버퍼가 소스 폴로어(source follower)로 구성되는 것을 특징으로 하는 표시장치.

청구항 3.

제 1 항에 있어서, 상기 아날로그 버퍼가 피드백형 차동증폭기로 구성되는 것을 특징으로 하는 표시장치.

청구항 4.

제 1 항에 있어서, 상기 아날로그 버퍼를 구성하는 상기 박막트랜지스터의 채널길이가 상기 구동회로에 이용되는 상기 아날로그 버퍼 이외의 소자를 구성하는 박막트랜지스터의 채널길이보다 2 4배 더 길도록 선택되는 것을 특징으로 하는 표시장치.

청구항 5.

제 1 항에 있어서, 상기 구동회로를 구성하는 박막트랜지스터의 채널의 양단부에 LDD 영역이 형성되고, 상기 아날로그 버퍼를 구성하는 상기 박막트랜지스터의 LDD 영역의 폭이 다른 회로를 구성하는 박막트랜지스터의 LDD 영역의 폭보다 작게 된 것을 특징으로 하는 표시장치.

청구항 6.

제 1 항에 있어서, 상기 구동회로를 구성하는 박막트랜지스터의 채널의 양단부에 오프셋 영역이 형성되고, 상기 아날로그 버퍼를 구성하는 상기 박막트랜지스터의 오프셋 영역의 폭이 다른 회로를 구성하는 박막트랜지스터의 오프셋 영역의 폭보다 작게 된 것을 특징으로 하는 표시장치.

청구항 7.

제 1 항에 있어서, 상기 아날로그 버퍼를 구성하는 상기 박막트랜지스터 이외에, 상기 구동회로를 구성하는 박막트랜지스터들 모두의 양단부에 LDD 영역이 형성되고, 상기 아날로그 버퍼를 구성하는 상기 박막트랜지스터의 채널에는 LDD 영역이나 오프셋 영역 어느 것도 형성되지 않은 것을 특징으로 하는 표시장치.

청구항 8.

제 1 항에 있어서, 상기 아날로그 버퍼를 구성하는 상기 박막트랜지스터 이외에, 상기 구동회로를 구성하는 박막트랜지스터들 모두의 양단부에 오프셋 영역이 형성되고, 상기 아날로그 버퍼를 구성하는 상기 박막트랜지스터의 채널에는 LDD 영역이나 오프셋 영역 어느 것도 형성되지 않은 것을 특징으로 하는 표시장치.

청구항 9.

제 1 항 내지 제 8 항중 어느 한 항에 있어서, 상기 박막트랜지스터가 N형 트랜지스터와 P형 트랜지스터중 어느 하나인 것을 특징으로 하는 표시장치.

청구항 10.

제 1 항 내지 제 8 항중 어느 한 항에 있어서, 상기 박막트랜지스터가 상보형 트랜지스터인 것을 특징으로 하는 표시장치.

청구항 11.

제 1 항 내지 제 8 항중 어느 한 항에 있어서, 상기 박막트랜지스터가 600℃ 이하의 저온 공정에서 제작되는 것을 특징으로 하는 표시장치.

청구항 12.

제 1 항 내지 제 8 항중 어느 한 항에 있어서, 상기 박막트랜지스터가 800℃ 이상의 고온 공정에서 제작되는 것을 특징으로 하는 표시장치.

청구항 13.

기판 위에 제공된 다수의 소스 신호선과;

상기 다수의 소스 신호선과 교차하는 다수의 게이트 신호선과;

상기 기판 위에 매트릭스 형태로 배치된 다수의 화소; 및

시프트 레지스터와, 아날로그 스위치와 커패시터로 구성된 아날로그 메모리, 및 적어도 하나의 박막트랜지스터를 포함하는 아날로그 버퍼를 포함하고, 상기 다수의 소스 신호선에 접속된 구동회로를 포함하고;

상기 아날로그 버퍼의 상기 박막트랜지스터의 게이트전극 폭이 상기 아날로그 스위치 또는 상기 시프트 레지스터의 박막트랜지스터의 게이트전극 폭보다 길게 된 것을 특징으로 하는 표시장치.

청구항 14.

제 13 항에 있어서, 상기 아날로그 버퍼의 상기 박막트랜지스터의 게이트전극 폭이 상기 아날로그 버퍼의 상기 박막트랜지스터의 채널길이와 동일하고, 상기 아날로그 스위치의 상기 박막트랜지스터의 게이트전극 폭이 상기 아날로그 스위치의 상기 박막트랜지스터의 채널길이와 동일하며, 상기 시프트 레지스터의 상기 박막트랜지스터의 게이트전극 폭이 상기 시프트 레지스터의 상기 박막트랜지스터의 채널길이와 동일한 것을 특징으로 하는 표시장치.

청구항 15.

기판 위에 제공된 다수의 소스 신호선과;

상기 다수의 소스 신호선과 교차하는 다수의 게이트 신호선과;

상기 기판 위에 매트릭스 형태로 배치된 다수의 화소;

상기 다수의 화소를 스위칭하기 위한 다수의 화소 박막트랜지스터; 및

시프트 레지스터와, 아날로그 스위치와 커패시터로 구성된 아날로그 메모리, 및 적어도 하나의 박막트랜지스터를 포함하는 아날로그 버퍼를 포함하고, 상기 다수의 소스 신호선에 접속된 구동회로를 포함하고;

상기 아날로그 버퍼의 상기 박막트랜지스터의 채널길이가 상기 아날로그 스위치 또는 상기 시프트 레지스터의 박막트랜지스터의 채널길이보다 길게 된 것을 특징으로 하는 표시장치.

청구항 16.

기판 위에 제공된 다수의 소스 신호선과;

상기 다수의 소스 신호선과 교차하는 다수의 게이트 신호선과;

상기 기판 위에 매트릭스 형태로 배치된 다수의 화소;

상기 다수의 화소를 스위칭하기 위한 다수의 화소 박막트랜지스터; 및

시프트 레지스터와, 아날로그 스위치와 커패시터로 구성된 아날로그 메모리, 및 적어도 하나의 박막트랜지스터를 포함하는 아날로그 버퍼를 포함하고, 상기 다수의 소스 신호선에 접속된 구동회로를 포함하고;

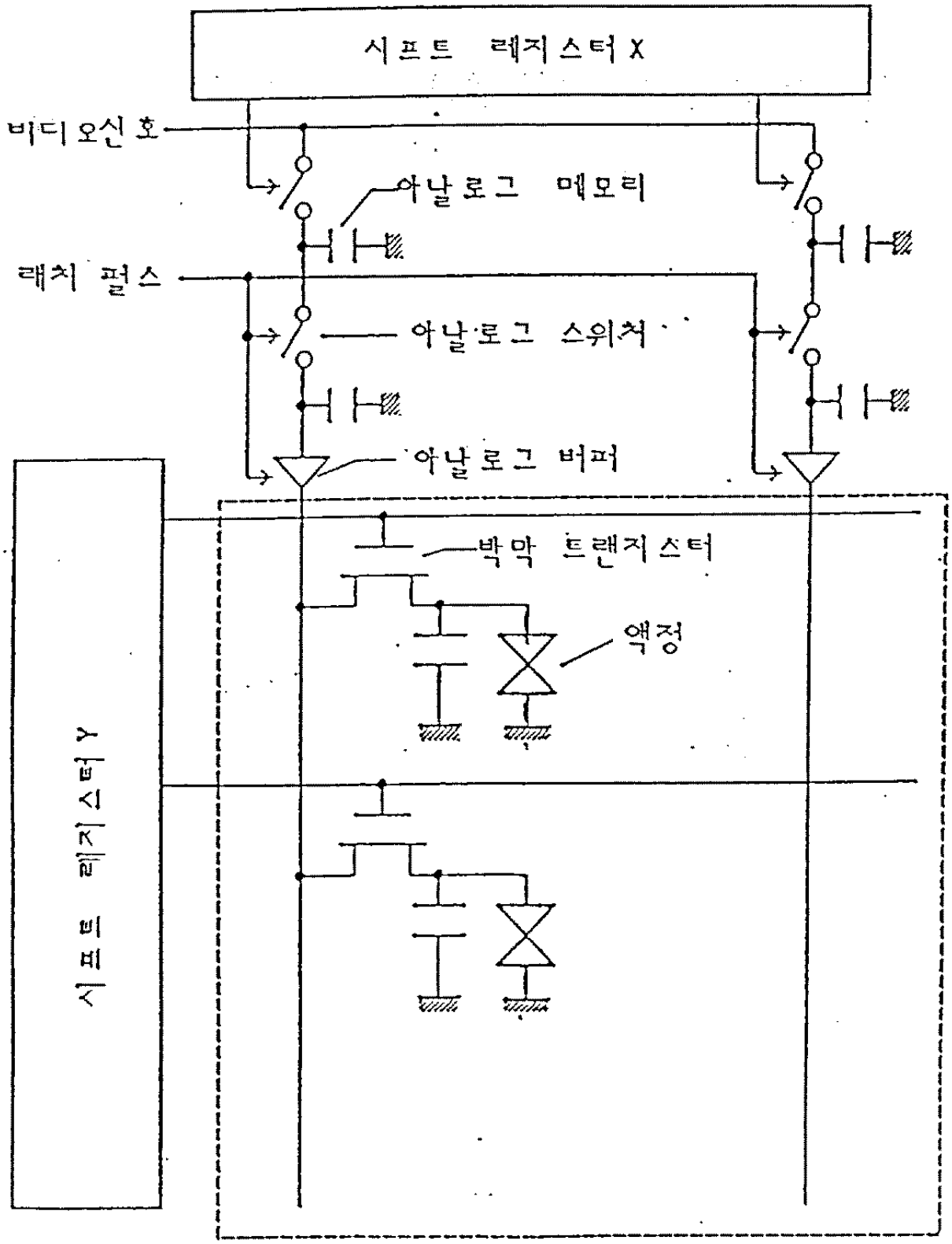
상기 아날로그 버퍼의 상기 박막트랜지스터의 게이트전극 폭이 상기 아날로그 스위치 또는 상기 시프트 레지스터의 박막트랜지스터의 게이트전극 폭보다 길게 된 것을 특징으로 하는 표시장치.

청구항 17.

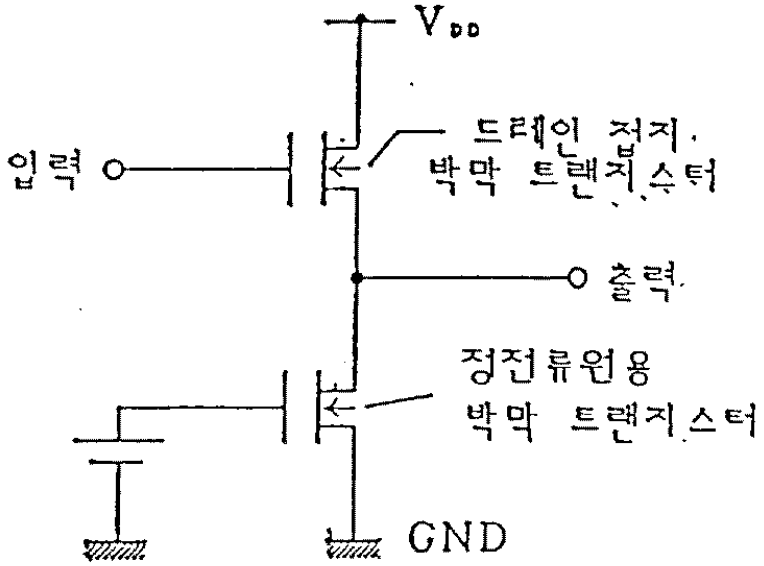
제 1 항, 제 13 항, 제 15 항, 제 16 항중 어느 한 항에 있어서, 상기 적어도 하나의 박막트랜지스터가 10 20 μm의 채널길이를 가지는 것을 특징으로 하는 표시장치.

도면

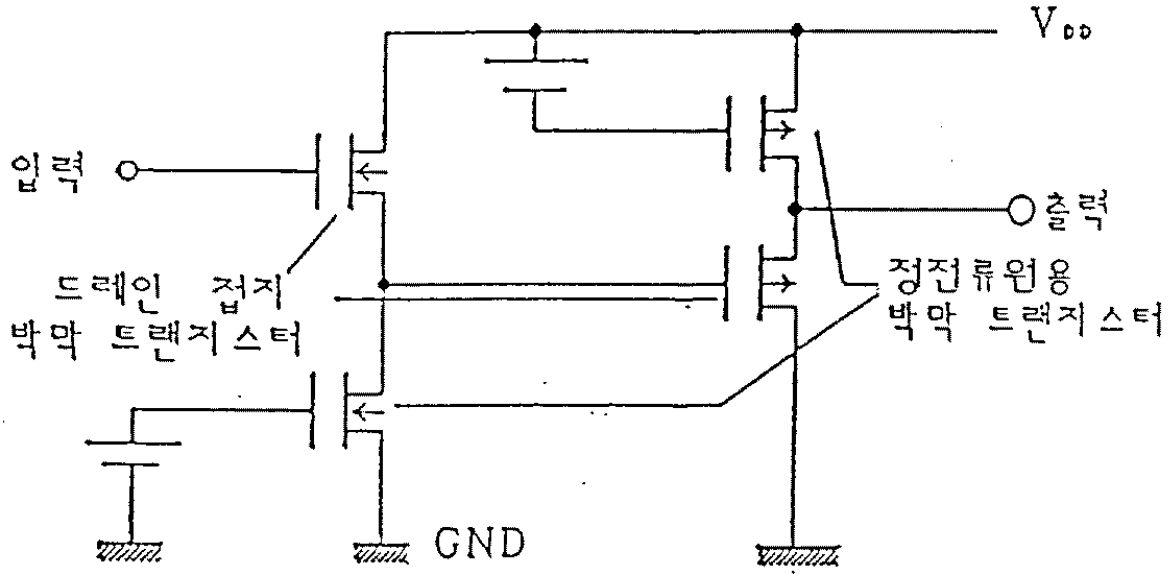
도면 1


시프트 레지스터 X
비디오신호
아날로그 메모리
래치 펄스
아날로그 스위치
아날로그 버퍼
박막 트랜지스터
액정
시프트 레지스터 Y

도면 2

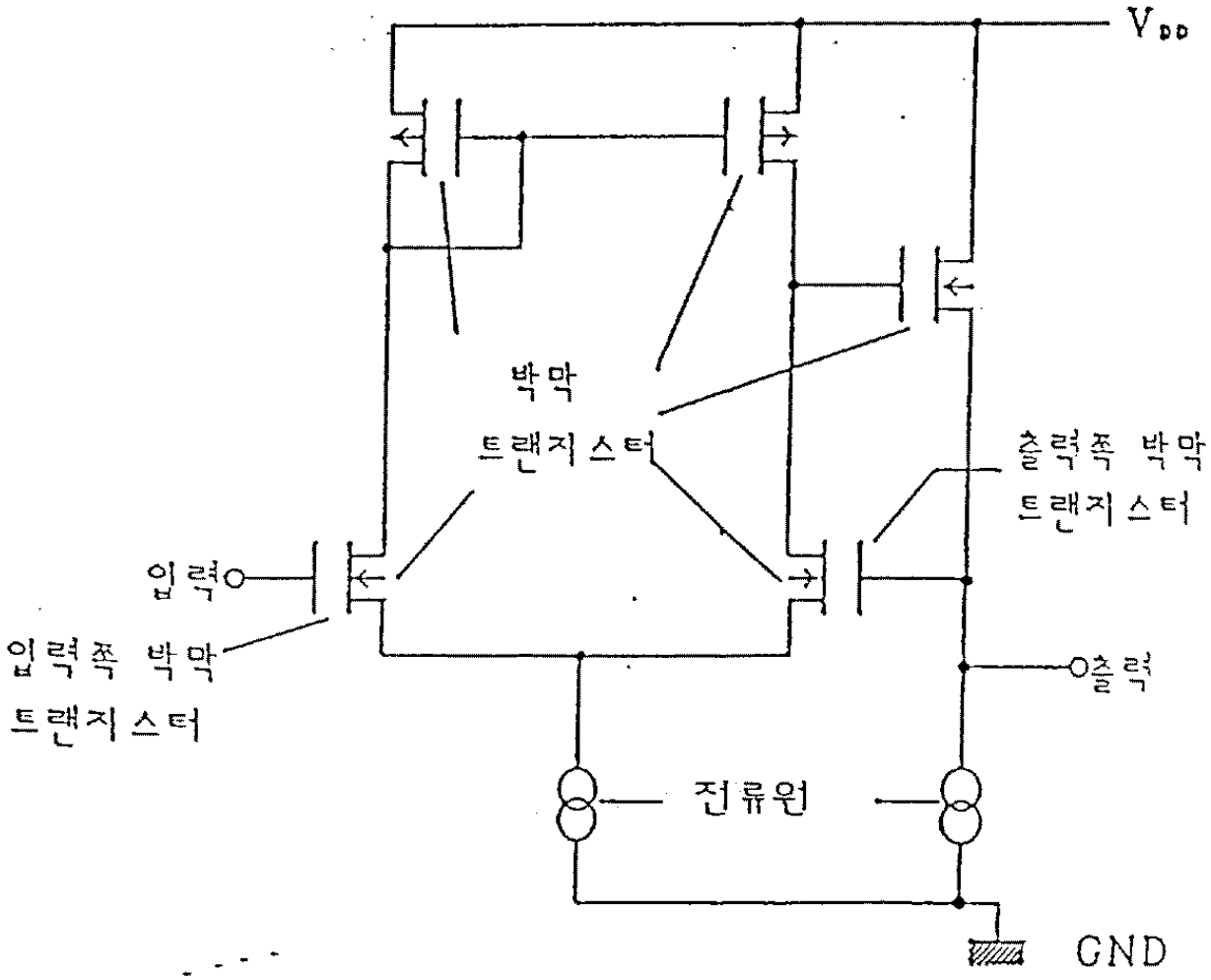

V_{DD}
입력
드레인 접지
박막 트랜지스터
출력
정전류원용
박막 트랜지스터
GND

예(1)

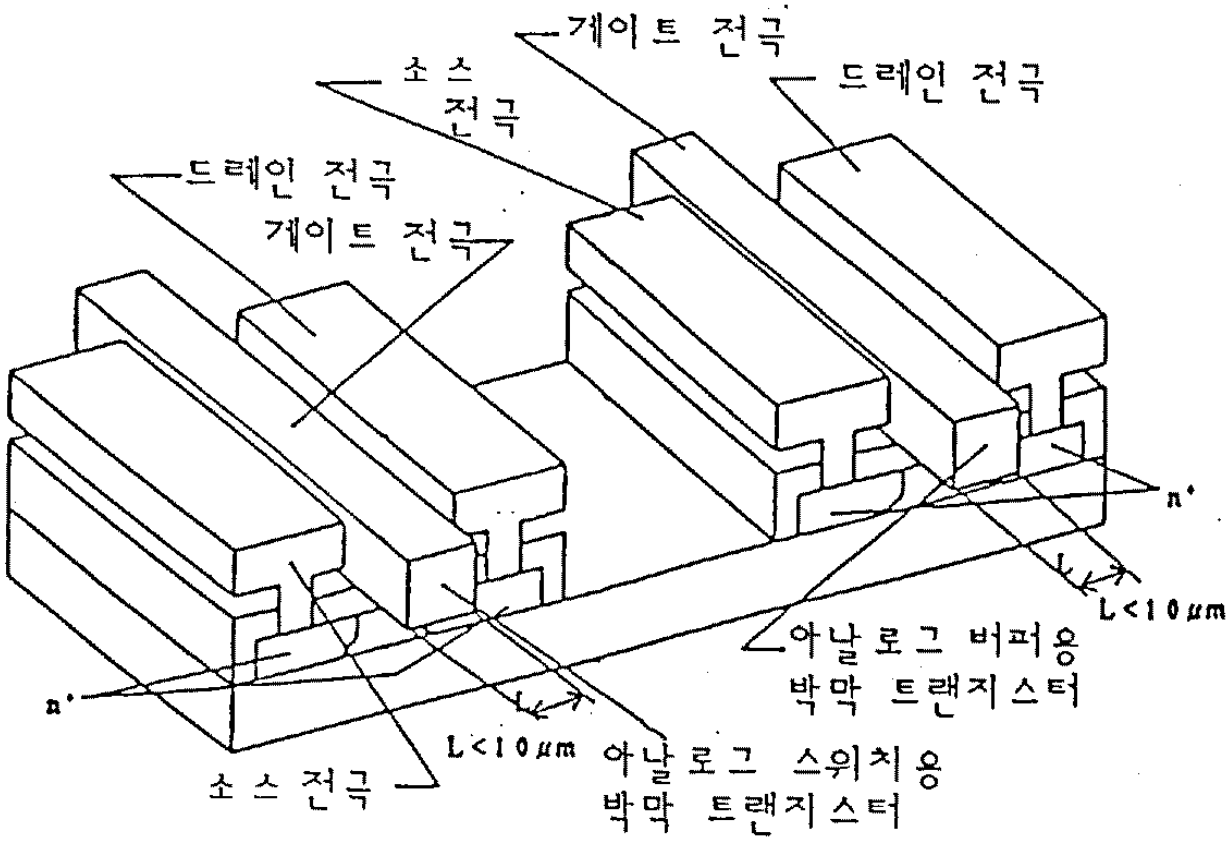

V_{DD}
입력
출력
드레인 접지
박막 트랜지스터
정전류원용
박막 트랜지스터
GND

예(2)

도면 3

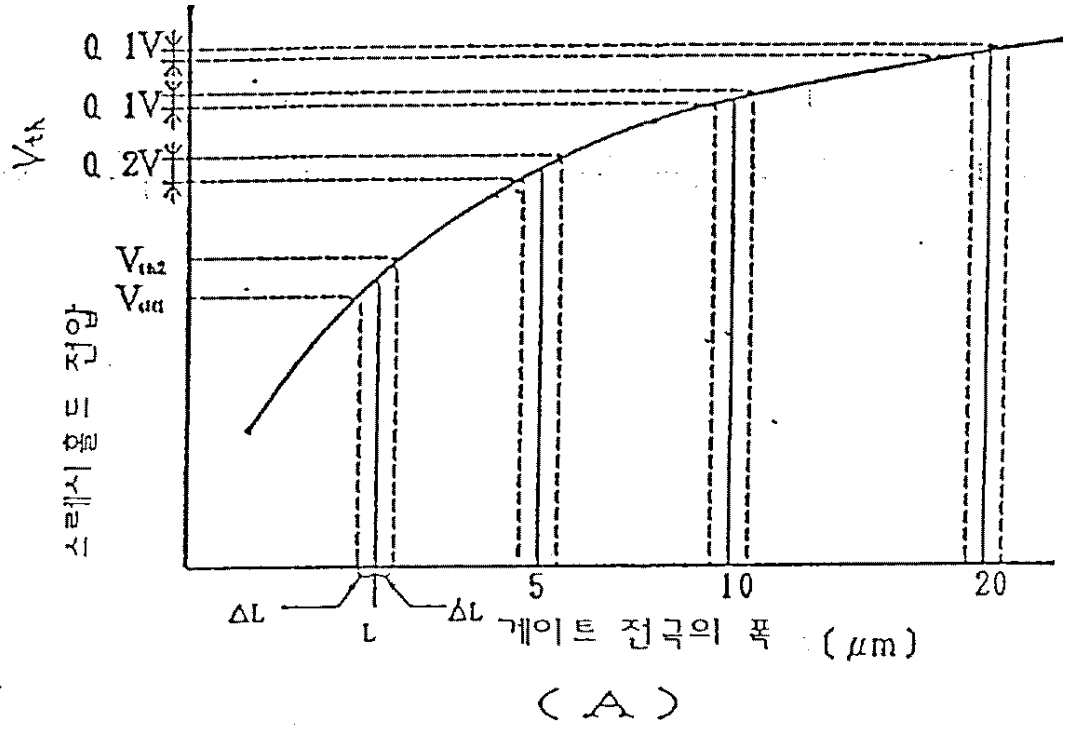


도면 4


게이트 전극
소스 전극
드레인 전극
드레인 전극
게이트 전극
n+
n+
L<10μm
L<10μm
아날로그 버퍼용 박막 트랜지스터
아날로그 스위치용 박막 트랜지스터
소스 전극

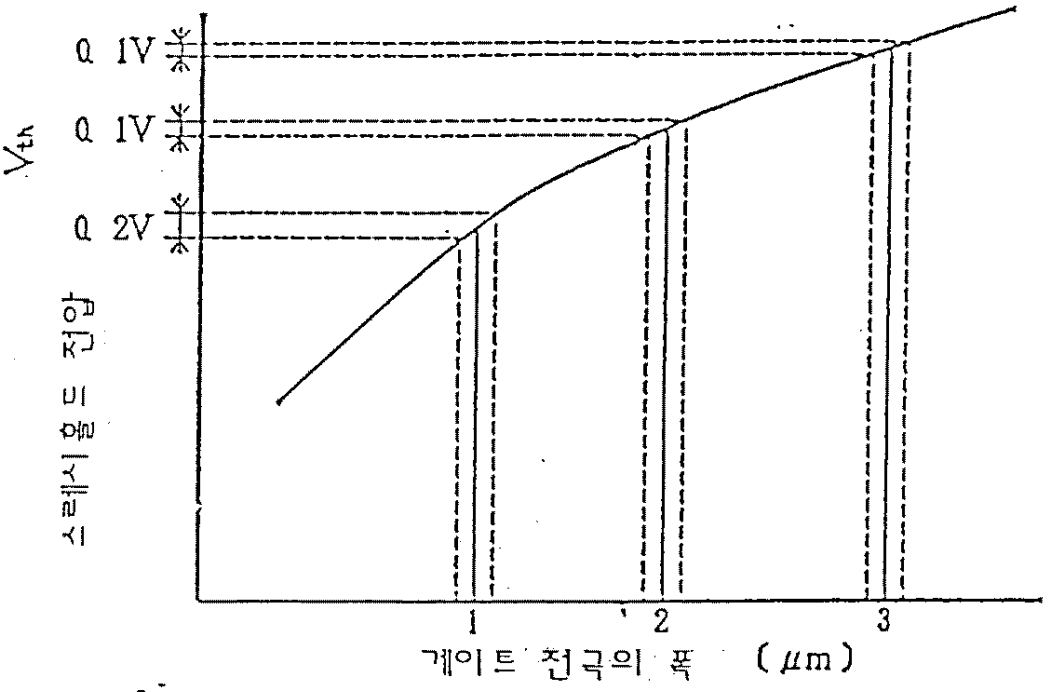
도면 5

(A)

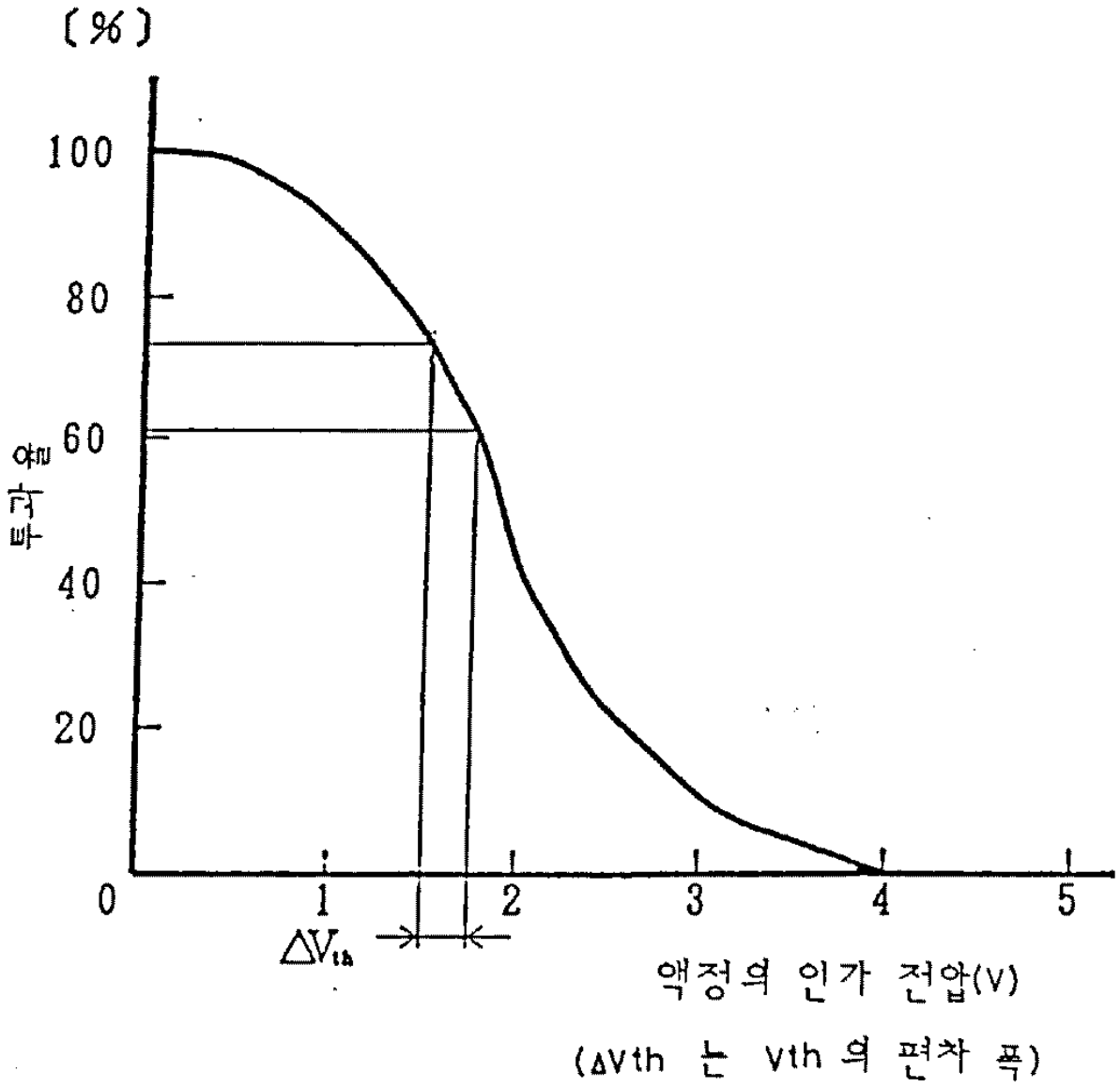

0.1V
0.1V
0.2V
V_{th}
V_{th2}
V_{th1}
스레쉬홀드 전압
5
10
20
ΔL
L
ΔL
게이트 전극의 폭 (μm)

(A)

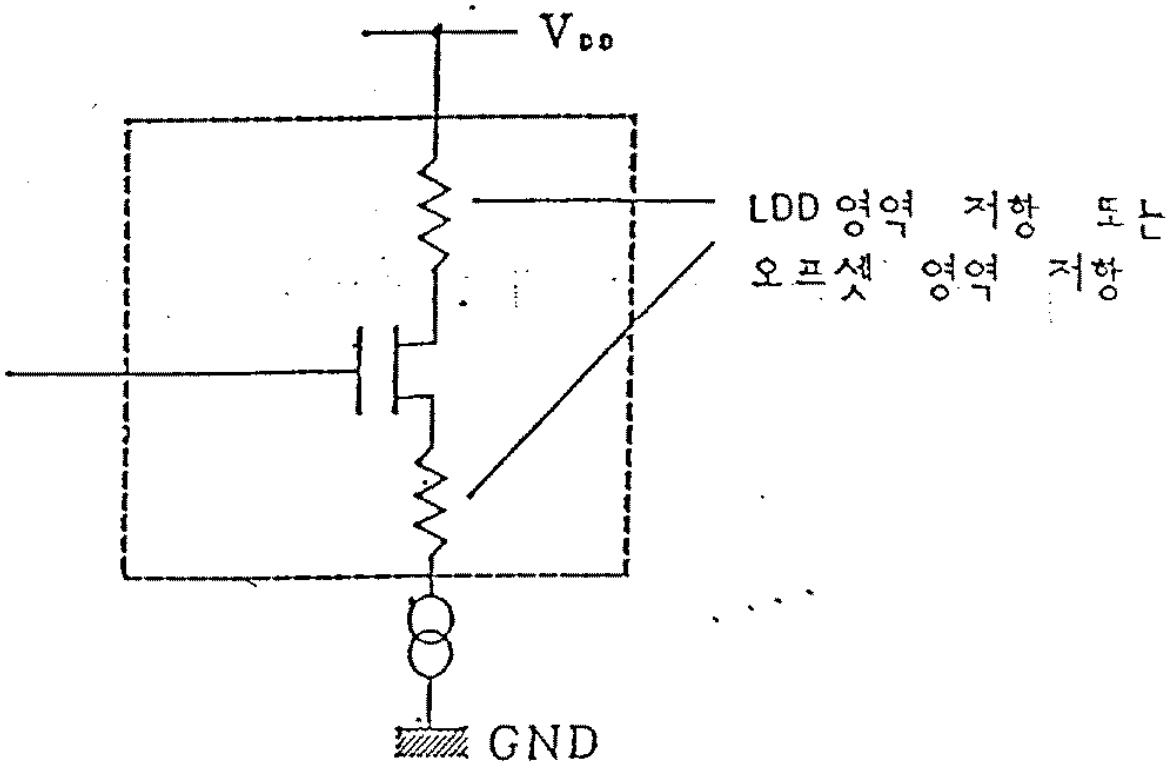
(B)


0.1V
0.1V
0.2V
V_{th}
스레쉬홀드 전압
1
2
3
게이트 전극의 폭 (μm)

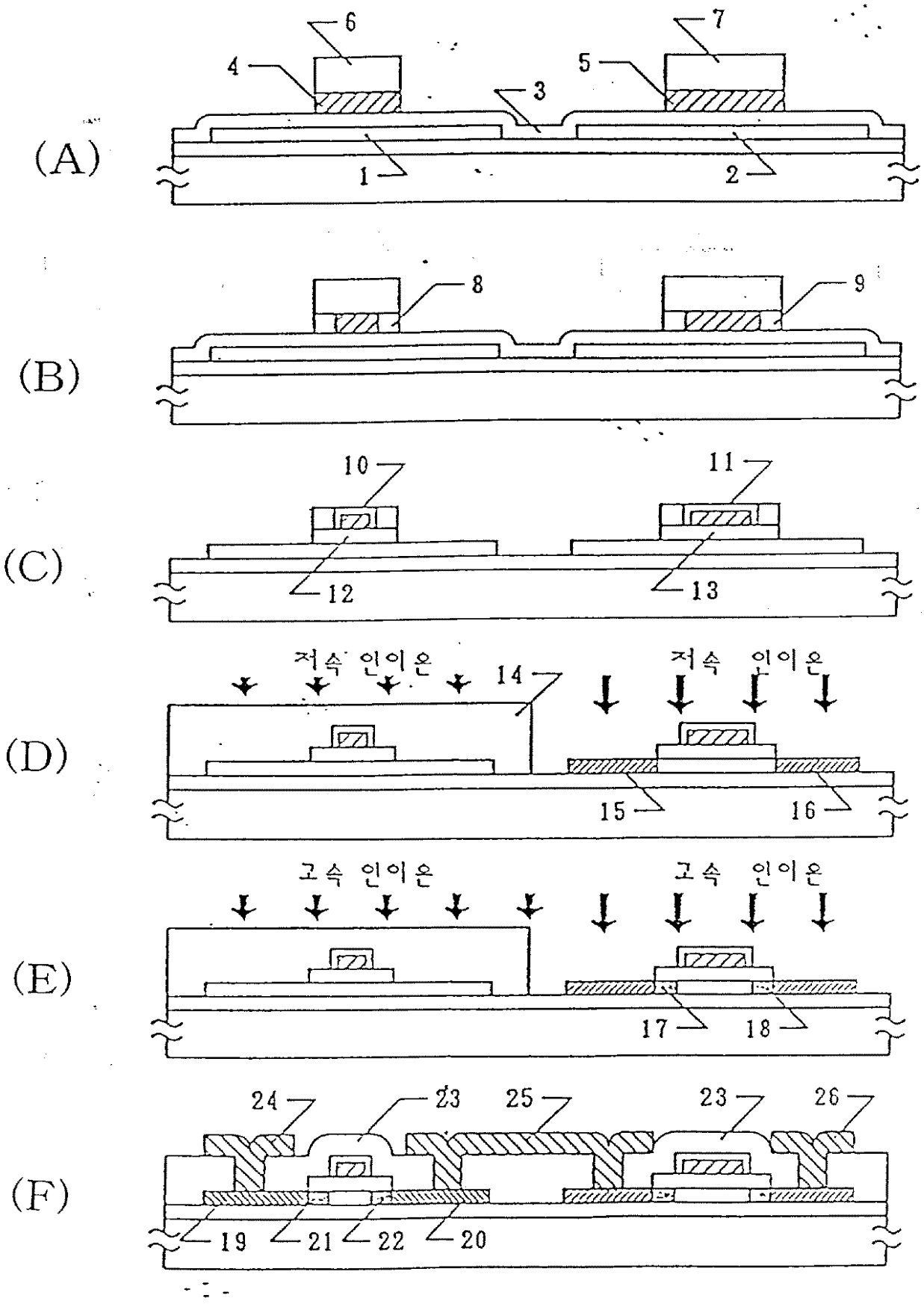
도면 6



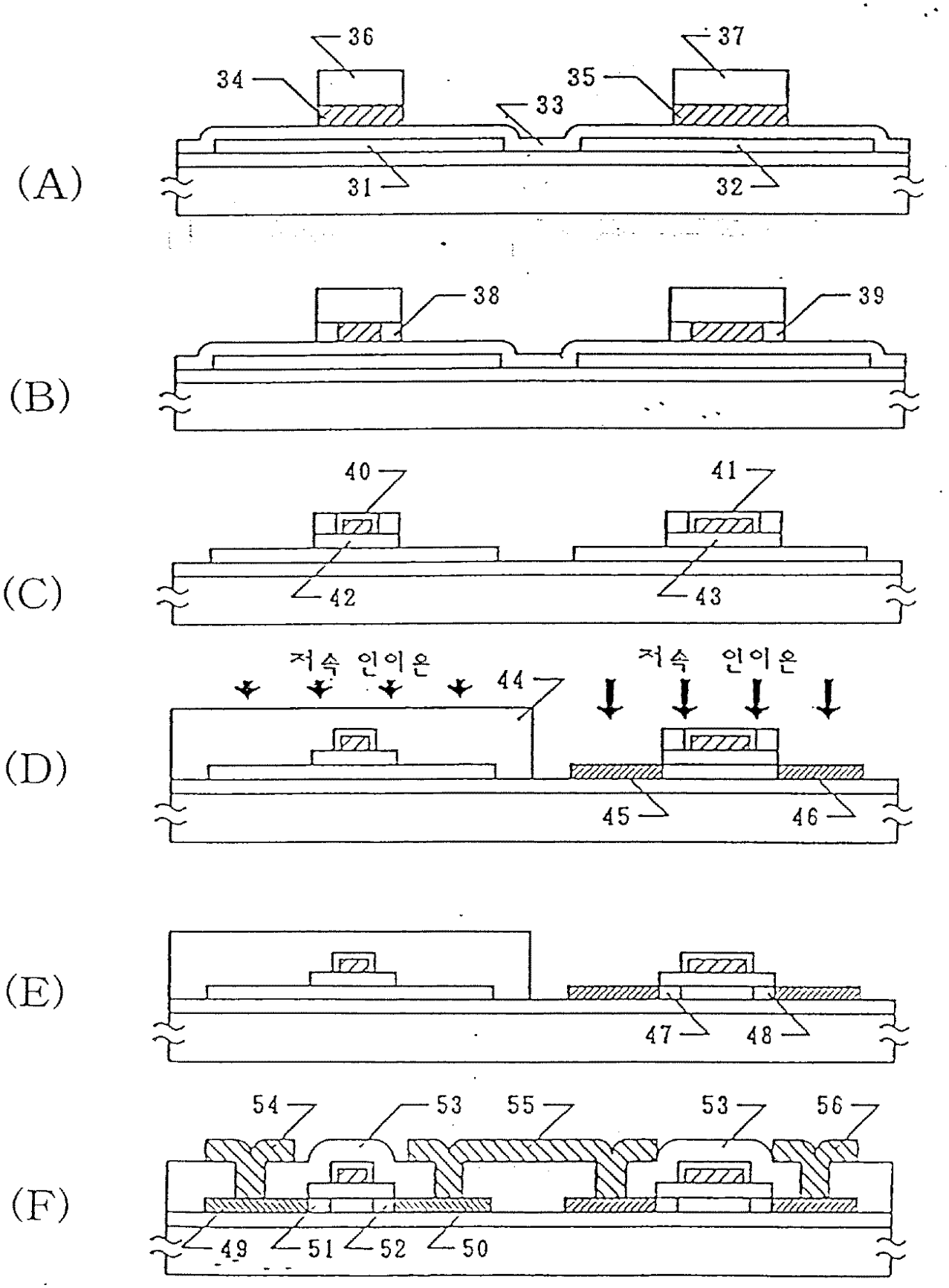
도면 7



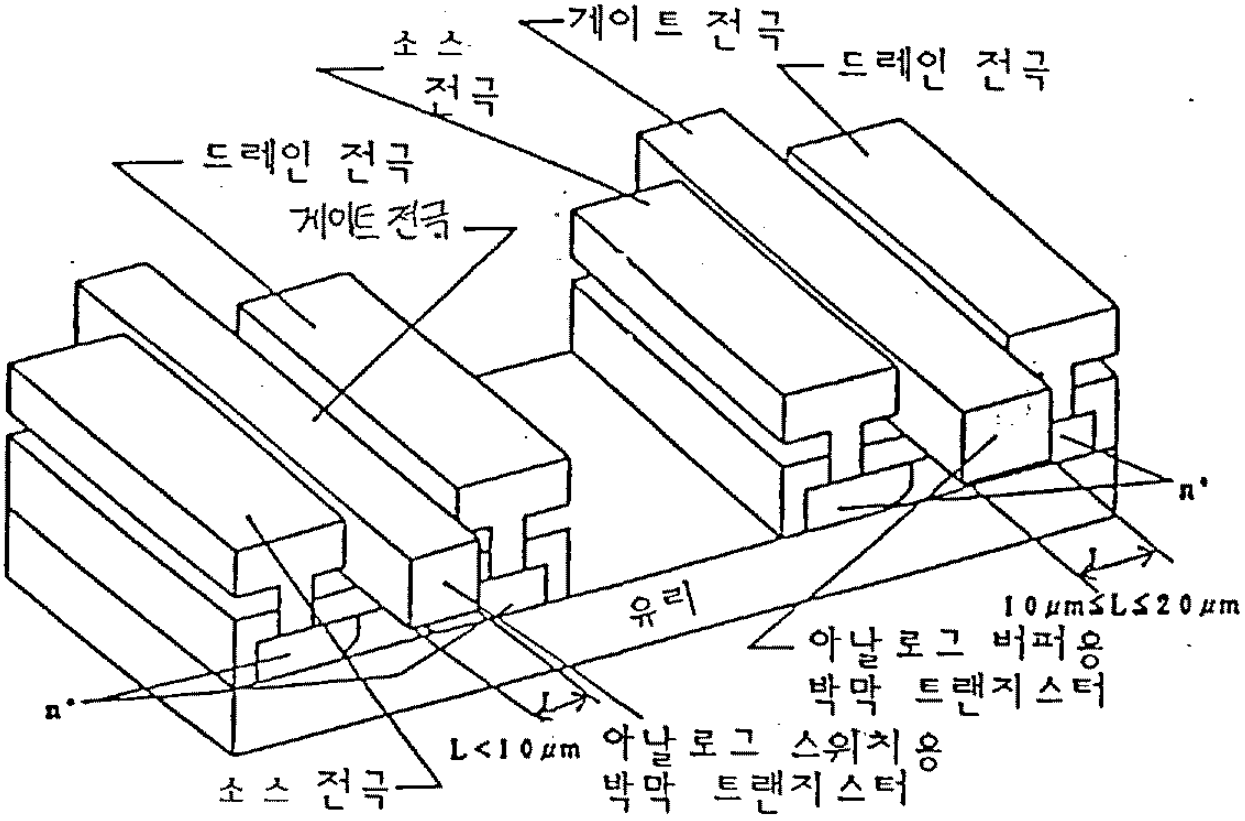
도면 8


(A)
6
7
4
5
3
1
2
(B)
8
9
(C)
10
11
12
13
(D)
저속 인이온
14
저속 인이온
15
16
(E)
고속 인이온
고속 인이온
17
18
(F)
24
23
25
23
26
19
21
22
20

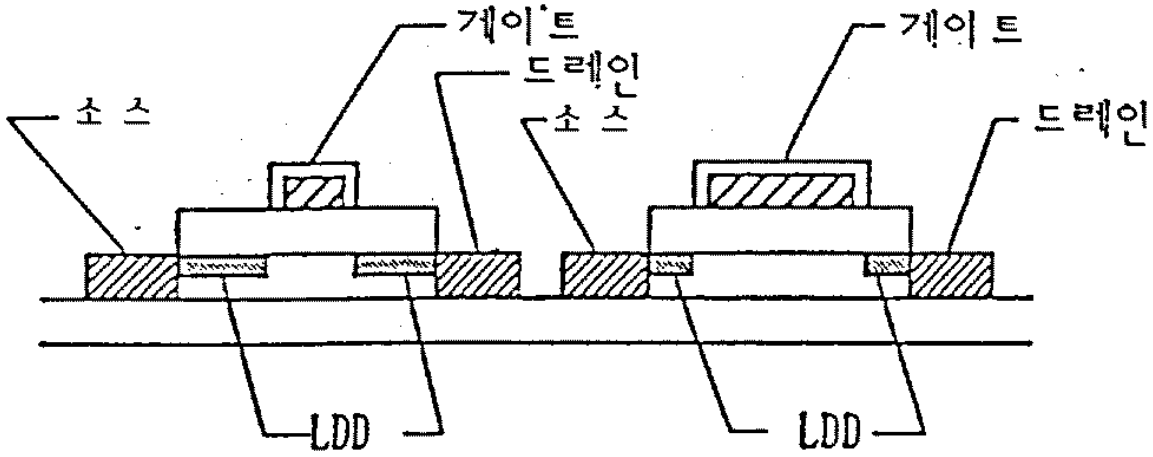
도면 9


(A)
36
37
34
35
33
31
32
(B)
38
39
(C)
40
41
42
43
(D)
저속 인이온
저속 인이온
44
45
46
(E)
47
48
(F)
54
53
55
53
56
49
51
52
50

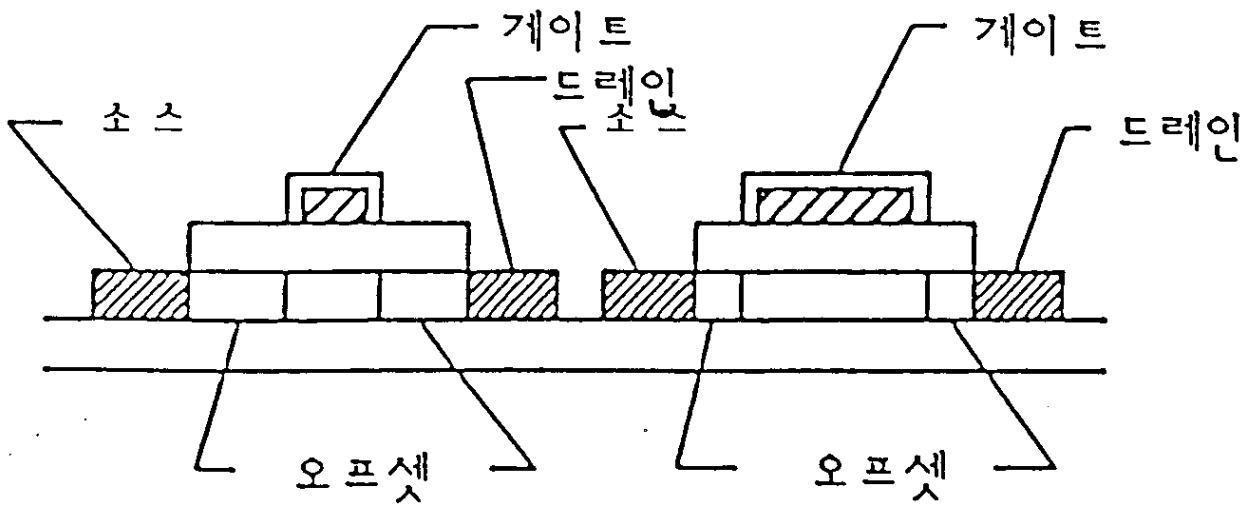
도면 10


게이트 전극
소스 전극
드레인 전극
드레인 전극
게이트 전극
n+
n+
유리
10μm≤L≤20μm
아날로그 버퍼용 박막 트랜지스터
L<10μm
아날로그 스위치용 박막 트랜지스터
소스 전극

도면 11


게이트
드레인
소스
게이트
드레인
소스
LDD
LDD

도면 12



专利名称(译)	显示设备		
公开(公告)号	KR100314704B1	公开(公告)日	2001-11-17
申请号	KR1020010036504	申请日	2001-06-26
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN 고야마준 KAWASAKI YUJI 가와사키유지		
发明人	고야마준 가와사키유지		
IPC分类号	G09G3/36 G02F1/1368 G09G3/20 G02F1/133 H01L29/78 H01L21/336 G02F1/136 H01L29/786 G02F H01L		
CPC分类号	G09G3/2011 G09G3/3688		
优先权	1994107572 1994-04-22 JP		
外部链接	Espacenet		

摘要(译)

目的：提供减少有源矩阵型显示设备的图像质量变化的方法。组成：构成驱动电路的移位寄存器，模拟开关和模拟缓冲器的薄膜TR中的模拟缓冲器的薄膜晶体管TRS的沟道长度是另一个薄膜的沟道长度的2到4倍TRS，模拟缓冲器的LDD区域或偏移区域比其他电路小，或者被消除;由此，减小了薄膜TRs的阈值的变化，以减小液晶的透射率的变化，并且防止了图像质量的变化。