



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0065738  
(43) 공개일자 2009년06월23일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0133207

(22) 출원일자 2007년12월18일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이혜정

충남 서산시 성연면 325번지

(74) 대리인

특허법인로얄

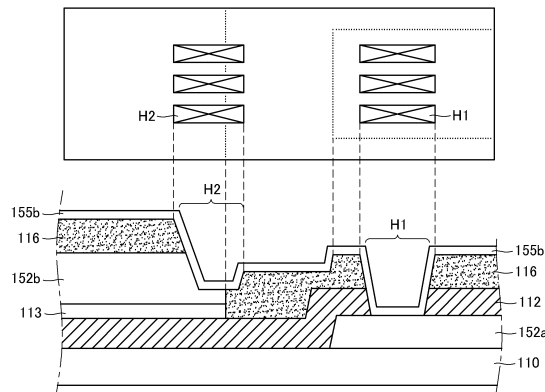
전체 청구항 수 : 총 10 항

**(54) 액정표시장치와 이의 제조방법**

**(57) 요약**

본 발명은, 표시 영역과 비표시 영역이 정의된 기관; 기관 상에 정의된 표시 영역에 위치하는 제1금속배선과, 제1금속배선 상에 위치하는 절연막과, 절연막 상에 위치하는 보호막과, 제1금속배선을 노출하는 제1콘택홀을 포함하는 복수의 제1배선들; 기관 상에 정의된 비표시 영역에 위치하는 절연막과, 절연막 상에 위치하는 제2금속배선과, 제2금속배선 상에 위치하는 보호막과, 제2금속배선을 노출하는 제2콘택홀을 포함하는 복수의 제2배선들; 및 보호막 상에 위치하는 제1콘택홀 및 제2콘택홀의 일정 영역을 덮도록 위치하며 복수의 제1배선들과 복수의 제2배선들을 연결하는 연결 전극을 포함하되, 제2콘택홀은, 제1금속배선과 인접하는 제2금속배선의 외곽 상부 표면의 일부와 보호막의 표면 일부가 동일선상에서 노출되도록 함몰되며 정테이퍼 형상의 기울기를 갖도록 패터닝된 액정표시장치를 제공한다.

**대표도** - 도3b



**특허청구의 범위**

**청구항 1**

표시 영역과 비표시 영역이 정의된 기관;

상기 기관 상에 정의된 상기 표시 영역에 위치하는 제1금속배선과, 상기 제1금속배선 상에 위치하는 절연막과, 상기 절연막 상에 위치하는 보호막과, 상기 제1금속배선을 노출하는 제1콘택홀을 포함하는 복수의 제1배선들;

상기 기관 상에 정의된 상기 비표시 영역에 위치하는 상기 절연막과, 상기 절연막 상에 위치하는 제2금속배선과, 상기 제2금속배선 상에 위치하는 상기 보호막과, 상기 제2금속배선을 노출하는 제2콘택홀을 포함하는 복수의 제2배선들; 및

상기 보호막 상에 위치하는 상기 제1콘택홀 및 상기 제2콘택홀의 일정 영역을 덮도록 위치하며 상기 복수의 제1배선들과 상기 복수의 제2배선들을 연결하는 연결 전극을 포함하되,

상기 제2콘택홀은,

상기 제1금속배선과 인접하는 상기 제2금속배선의 외곽 상부 표면의 일부와 상기 보호막의 상부 표면의 일부가 동일선상에서 노출되도록 함몰되며 정테이퍼 형상의 기울기를 갖도록 패터닝 액정표시장치.

**청구항 2**

제1항에 있어서,

상기 제2콘택홀의 기울기는,

60 ° ~ 80 ° 인 액정표시장치.

**청구항 3**

제1항에 있어서,

상기 복수의 제2배선들은,

상기 절연막과 상기 제2금속배선 사이에 위치하는 반도체층을 더 포함하는 액정표시장치.

**청구항 4**

제1항에 있어서,

상기 표시 영역에 위치하는,

상기 복수의 제1배선들의 교차 영역에 위치하는 박막 트랜지스터와, 캐패시터와, 액정셀을 포함하는 서브 픽셀을 포함하는 액정표시장치.

**청구항 5**

제4항에 있어서,

상기 연결 전극은,

상기 서브 픽셀에 포함된 상기 박막 트랜지스터와 연결되는 화소 전극과 동일한 재료인 액정표시장치.

**청구항 6**

제1항에 있어서,

상기 복수의 제1배선들 및 상기 복수의 제2배선들은,

데이터 배선, 게이트 배선 및 공통 배선 중 하나 이상을 포함하는 액정표시장치.

**청구항 7**

기관 상에 표시 영역과 비표시 영역을 정의하는 단계;

상기 표시 영역에 위치하는 상기 기관 상에 제1금속배선을 형성하는 단계;  
 상기 제1금속배선을 덮도록 상기 기관 상에 절연막을 형성하는 단계;  
 상기 비표시 영역에 위치하는 상기 절연막 상에 제2금속배선을 형성하는 단계;  
 상기 제2금속배선을 덮도록 상기 기관 상에 보호막을 형성하는 단계;  
 상기 제1금속배선과 상기 제2금속배선을 노출하도록 제1콘택홀과 제2콘택홀을 형성하는 단계; 및  
 상기 제1금속배선과 상기 제2금속배선을 연결하도록 상기 제1콘택홀 및 상기 제2콘택홀의 일정 영역 상에 연결 전극을 형성하는 단계를 포함하되,  
 상기 제2콘택홀은,  
 상기 제1금속배선과 인접하는 상기 제2금속배선의 외곽 상부 표면의 일부와 상기 보호막의 상부 표면의 일부가 동일선상에서 노출되도록 함몰되며 정테이퍼 형상의 기울기를 갖도록 패터닝 액정표시장치의 제조방법.

**청구항 8**

제7항에 있어서,  
 상기 제2콘택홀의 기울기는,  
 60 ° ~ 80 ° 인 액정표시장치의 제조방법.

**청구항 9**

제7항에 있어서,  
 상기 절연막 형성 단계 이후,  
 상기 비표시 영역에 위치하는 기관 상에 반도체층을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

**청구항 10**

제7항에 있어서,  
 상기 제1 및 제2콘택부는,  
 건식 식각 방법을 이용하여 패터닝하는 액정표시장치의 제조방법.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 액정표시장치와 이의 제조방법에 관한 것이다.

**배경기술**

- <2> 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정 표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정 표시장치가 널리 사용되고 있다.
- <3> 여기서, 액정표시장치는 수광형 표시장치로 분류된다. 이러한 액정표시장치는 액정 패널의 하부에 위치하는 백라이트 유닛으로부터 광원을 제공받아 영상을 표현할 수 있다.
- <4> 액정표시장치를 제조시 서로 다른 층에 이웃하여 위치하는 금속배선들을 전기적으로 연결하기 위해서는 금속배선들을 덮고 있는 유기 또는 무기막 등에 콘택홀을 형성하고 콘택홀을 통해 노출된 금속배선들과 접촉하도록 연결 전극을 형성하였다.

<5> 그러나, 서로 다른 층에 이웃하여 위치하는 금속배선들을 노출하는 콘택홀은 금속배선들의 가장자리 근처에 위치하므로 이와 인접하는 영역에 수직에 가까운 단차가 발생하여 연결 전극에 단선이 발생하여 신호 전달이 원활하지 않은 문제가 있었다. 이와 같은 문제는 서로 다른 층에 이웃하여 위치하는 금속배선들의 두께가 두꺼울수록 빈번하게 나타나 액정표시장치의 신뢰성을 저하하고 생산 수율을 떨어뜨리는 문제가 있어 이의 개선이 요구된다.

**발명의 내용**

**해결 하고자하는 과제**

<6> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 금속배선들 간에 전기적인 연결시 단선이 발생하는 문제를 해결하여 신뢰성을 향상시키고 생산 수율을 높일 수 있는 액정표시장치와 이의 제조방법을 제공하는 것이다.

**과제 해결수단**

<7> 상술한 과제 해결 수단으로 본 발명은, 표시 영역과 비표시 영역이 정의된 기관; 기관 상에 정의된 표시 영역에 위치하는 제1금속배선과, 제1금속배선 상에 위치하는 절연막과, 절연막 상에 위치하는 보호막과, 제1금속배선을 노출하는 제1콘택홀을 포함하는 복수의 제1배선들; 기관 상에 정의된 비표시 영역에 위치하는 절연막과, 절연막 상에 위치하는 제2금속배선과, 제2금속배선 상에 위치하는 보호막과, 제2금속배선을 노출하는 제2콘택홀을 포함하는 복수의 제2배선들; 및 보호막 상에 위치하는 제1콘택홀 및 제2콘택홀의 일정 영역을 덮도록 위치하며 복수의 제1배선들과 복수의 제2배선들을 연결하는 연결 전극을 포함하되, 제2콘택홀은, 제1금속배선과 인접하는 제2금속배선의 외곽 상부 표면의 일부와 보호막의 표면 일부가 동일선상에서 노출되도록 함몰되며 정테이퍼 형상의 기울기를 갖도록 패터닝된 액정표시장치를 제공한다.

<8> 제2콘택홀의 기울기는, 60 ° ~ 80 ° 일 수 있다.

<9> 복수의 제2배선들은, 절연막과 제2금속배선 사이에 위치하는 반도체층을 더 포함할 수 있다.

<10> 표시 영역에 위치하는, 복수의 제1배선들의 교차 영역에 위치하는 박막 트랜지스터와, 커패시터와, 액정셀을 포함하는 서브 픽셀을 포함할 수 있다.

<11> 연결 전극은, 서브 픽셀에 포함된 박막 트랜지스터와 연결되는 화소 전극과 동일한 재료일 수 있다.

<12> 복수의 제1배선들 및 복수의 제2배선들은, 데이터 배선, 게이트 배선 및 공통 배선 중 하나 이상을 포함할 수 있다.

<13> 한편, 다른 측면에서 본 발명은, 기관 상에 표시 영역과 비표시 영역을 정의하는 단계; 표시 영역에 위치하는 기관 상에 제1금속배선을 형성하는 단계; 제1금속배선을 덮도록 기관 상에 절연막을 형성하는 단계; 비표시 영역에 위치하는 절연막 상에 제2금속배선을 형성하는 단계; 제2금속배선을 덮도록 기관 상에 보호막을 형성하는 단계; 제1금속배선과 제2금속배선을 노출하도록 제1콘택홀과 제2콘택홀을 형성하는 단계; 및 복수의 제1배선들과 복수의 제2배선들을 연결하도록 제1콘택홀 및 제2콘택홀의 일정 영역 상에 연결 전극을 형성하는 단계를 포함하되, 제2콘택홀은, 제1금속배선과 인접하는 제2금속배선의 상부 표면 일부와 보호막의 상부 표면의 일부가 동일선상에서 노출되도록 함몰되며 정테이퍼 형상의 기울기를 갖도록 패터닝된 액정표시장치의 제조방법을 제공한다.

<14> 제2콘택홀의 함몰부위의 기울기는, 60 ° ~ 80 ° 일 수 있다.

<15> 절연막 형성 단계 이후, 비표시 영역에 위치하는 기관 상에 반도체층을 형성하는 단계를 더 포함할 수 있다.

<16> 제1 및 제2콘택부는, 건식 식각 방법을 이용하여 패터닝할 수 있다.

**효과**

<17> 본 발명은, 금속배선들 간에 전기적인 연결시 단선이 발생하는 문제를 해결하여 신뢰성을 향상시키고 생산 수율을 높일 수 있는 액정표시장치와 이의 제조방법을 제공하는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

- <18> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- <19> 도 1a는 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도 이고, 도 1b는 예지형 광원의 일 예시도이다.
- <20> 도 1a에 도시된 바와 같이, 액정표시장치는 광을 출사하는 광원(171)을 포함할 수 있다. 또한, 광원(171)으로부터 출사되는 광을 인도하는 광학필름층(176)을 포함할 수 있다. 광학필름층(176)은 광원(171) 상에 위치하는 확산판(172), 확산시트(173), 광학시트(174) 및 보호시트(175)를 포함할 수 있다.
- <21> 광원(171)의 경우 예를 들면, 냉음극관 형광램프(Cold Cathode Fluorescent Lamp: CCFL), 열음극관 형광램프(Hot Cathode Fluorescent Lamp: HCFL), 외부전극 형광램프(External Electrode Fluorescent Lamp: EEFL) 및 발광 다이오드(Light Emitting Diode: LED) 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다.
- <22> 또한, 광원(171)은 램프가 일 측면 외측에 위치하는 예지형, 램프가 양쪽 측면에 위치하는 듀얼형, 램프가 직선으로 다수 배열된 직하형 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다. 이와 같은 광원(171)은 인버터에 연결되어 전원을 공급받아 광을 출사할 수 있다.
- <23> 도 1a에 도시된 광원(171)은 직하형을 일례로 나타낸 것이다. 이와는 달리 도 1b를 참조하면, 예지형 광원(171)이 도시되어 있다. 도시된 바와 같은 예지형 광원(171)은 일 측면 외측에 램프(171a)와 램프(171a)로부터 출사된 광을 안내하는 도광판(171b)을 포함할 수 있으나 이에 한정되지 않는다.
- <24> 앞서 설명한 광학시트(174)의 경우, 예를 들면 도시된 바와 같이 프리즘 형상일 수 있으나, 렌티큘러 렌즈 마이크로 렌즈 등과 같은 형상으로 위치할 수도 있다. 이러한 광학시트(174)는 비드를 포함할 수도 있다.
- <25> 한편, 액정표시장치는 화상을 표시하는 액정패널(183) 및 광원(171)이 수납되는 상부 케이스(190) 및 하부 케이스(170)를 포함할 수 있다.
- <26> 여기서, 하부 케이스(170)는 광원(171)을 수납할 수 있다. 광원(171) 상에는 액정패널(183)이 일정 간격을 두고 위치할 수 있다. 액정패널(183) 및 광원(171)은 하부 케이스(170)와 체결되는 상부 케이스(190)에 의해 고정 및 보호될 수 있다.
- <27> 상부 케이스(190)의 상부 면에는 액정패널(183)의 화상 표시 영역을 노출시키는 개구부가 마련될 수 있다. 그리고 액정패널(183)과 광원(171) 사이에 위치하는 광학필름층(176)의 주변부가 안착 되는 몰드프레임(미도시)이 더 포함될 수도 있다.
- <28> 액정패널(183)은 칼라 필터가 형성된 상판(181)과, 박막 트랜지스터가 형성된 기판(182)이 액정을 사이에 두고 합착된 구조를 가질 수 있다. 이러한 액정패널(183)은 박막 트랜지스터에 의해 독립적으로 구동되는 서브 픽셀이 매트릭스 형태로 배열되고, 서브 픽셀 각각이 공통 전극에 공급된 공통 전압과 박막 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와의 차전압에 따라 액정 배열을 제어하여 광 투과율을 조절함으로써 화상을 표시할 수 있다.
- <29> 또한, 액정패널(183)의 기판(182)에는 구동부(189)가 접속될 수 있다. 구동부(189)는 액정패널(183)의 데이터 배선과 게이트 배선을 각각 구동하기 위한 구동 칩(187)을 실장하여 기판(182)과 일측부가 접속된 다수의 필름 회로(186)와, 다수의 필름 회로(186)의 타측부와 접속된 인쇄 회로 기판(188)를 포함할 수 있다.
- <30> 구동 칩(187)을 실장한 필름 회로(186)는 COF(Chip On Film)나 TCP(Tape Carrier Package) 방식을 나타낸 것이다. 그러나 이와는 달리 구동 칩(187)은 COG(Chip On Glass) 방식으로 기판(182) 상에 직접 실장되거나, 박막 트랜지스터 형성 공정에서 기판(182) 상에 형성되어 내장될 수 있다.
- <31> 한편, 앞서 설명한 액정패널(183)은 게이트 배선들을 통해 공급되는 스캔 신호와, 데이터 배선들을 통해 공급되는 데이터전압에 따라 각 서브 픽셀에 화상을 표시할 수 있다.
- <32> 여기서, 스캔 신호는 1수평 시간 동안만 공급되는 게이트 하이 전압과, 나머지 기간 동안 공급되는 게이트 로우 전압이 교번되는 펄스 신호일 수 있으나 이에 한정되지 않는다.
- <33> 서브 픽셀에 포함된 박막 트랜지스터는 게이트 배선들로부터 게이트 하이 전압이 공급되는 경우 턴-온되어, 데이터 배선들로부터 인가되는 데이터전압을 액정셀에 공급할 수 있다.
- <34> 액정셀은 데이터 배선들로부터 데이터 전압이 공급되는 화소 전극과, 공통 전압이 인가되는 공통 전극 사이에 형성될 수 있다.

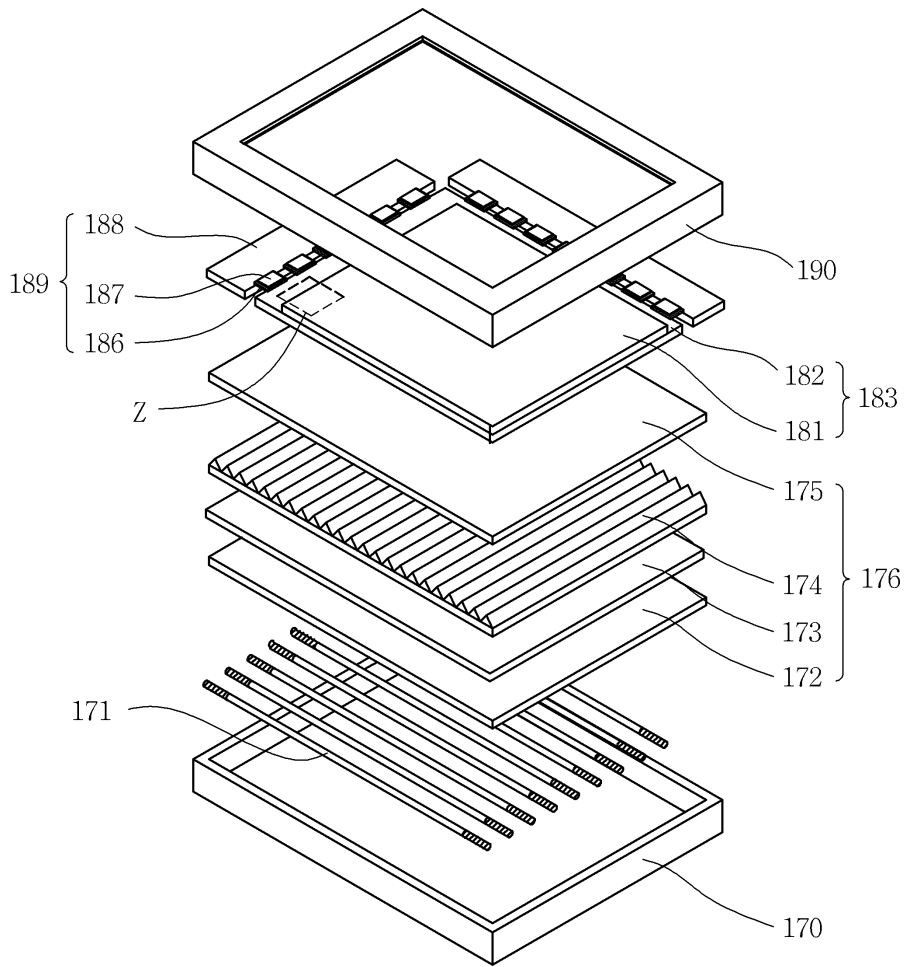
- <35> 이에 따라, 액정표시장치는 각 서브 픽셀의 박막 트랜지스터가 턴-온되어 화소 전극으로 데이터 전압이 인가되면, 액정셀에 데이터전압과 공통 전압의 차전압이 충전되면서 화상을 표시할 수 있다.
- <36> 이와 반대로, 게이트 배선들로부터 게이트 로우 전압이 공급되는 경우, 박막 트랜지스터는 턴-오프되면서 액정셀에 충전된 데이터전압이 스토리지 커패시터에 의해 1프레임 기간 동안 유지할 수 있다.
- <37> 이와 같이, 액정패널(183)은 게이트 배선들을 통해 공급되는 스캔 신호에 따라 상이한 동작을 반복할 수도 있다.
- <38> 이하에서는, 도 1a의 "Z"영역의 확대도를 참조하여 본 발명의 일 실시예에 따른 액정표시장치의 서브 픽셀 구조에 대해 더욱 자세히 설명한다.
- <39> 도 2는 도 1a에 도시된 "Z"영역의 확대도 이고, 도 3a는 도 2에 도시된 "A1-A2"영역의 단면도이며, 도 3b는 도 2에 도시된 "B1-B2"영역의 평면도 및 단면도이다.
- <40> 단, 도 2는 도 1a의 "Z"영역에 위치하는 배선과 배선에 연결된 서브 픽셀의 구조를 개략적으로 도시한 것일 뿐 본 발명은 이에 한정되지 않는다.
- <41> 도 2에 도시된 바와 같이, 기관은 표시 영역(AA)과 비표시 영역(NA)으로 정의될 수 있다. 기관 상에 정의된 표시 영역(AA)에는 복수의 제1배선들(152a, 153a, 154a)이 위치할 수 있다. 또한, 기관 상에 정의된 비표시 영역(NA)에는 복수의 제2배선들(152b, 153b, 154b)이 위치할 수 있다. 또한, 복수의 제1배선들(152a, 153a, 154a)이 교차하는 영역에는 서브 픽셀(SP)이 위치할 수 있다.
- <42> 복수의 제1배선들(152a, 153a, 154a)은 각각 공통전압이 공급되는 공통배선(152a)과, 데이터 전압이 공급되는 데이터 배선(153a)과, 스캔 신호가 공급되는 게이트 배선(154a)을 포함할 수 있다. 그리고 복수의 제2배선들(152b, 153b, 154b)은 앞서 설명한 공통 배선(152a), 데이터 배선(153a) 및 스캔 배선(154a)에 각각 연결되는 배선일 수 있다.
- <43> 서브 픽셀(SP)은 데이터 배선(153a)과 스캔 배선(154a)에 연결된 박막 트랜지스터(T)를 포함할 수 있다. 단, 도면의 특성상 액정셀은 생략한다.
- <44> 박막 트랜지스터(T)의 소오스 또는 드레인 중 하나는 연장 형성되어 포크 형상의 화소 전극(155a)으로 형성될 수 있으나, 화소 전극(155a)의 형상은 실시예의 일례를 설명하기 위한 것일 뿐 이에 한정되지 않는다.
- <45> 여기서, 도 3a를 참조하면, 박막 트랜지스터(T)의 단면도가 도시된다.
- <46> 도 3a에 도시된 바와 같이, 박막 트랜지스터(T)는 기관(110) 상에 위치하는 게이트(111)를 포함할 수 있다. 또한, 게이트(111) 상에 위치하는 게이트 절연막(112)를 포함할 수 있다. 또한, 게이트 절연막(112) 상에 위치하는 반도체층(113)을 포함할 수 있다. 또한, 반도체층(113) 상에 정의된 소오스 영역 및 드레인 영역에 각각 위치하는 오믹콘택층(114a, 114b)를 포함할 수 있다. 또한, 반도체층(113) 및 오믹콘택층(114a, 114b)에 접촉하는 소오스(115a) 및 드레인(115b)을 포함할 수 있다. 또한, 소오스(115a) 및 드레인(115b) 상에 위치하는 보호막(116)을 포함할 수 있다. 또한, 소오스(115a) 및 드레인(115b) 중 하나를 노출하는 보호막(116) 상에 위치하여 소오스(115a) 또는 드레인(115b)에 연결된 화소 전극(155a)을 포함할 수 있다.
- <47> 게이트(111)는 게이트 배선(154a)에 연결될 수 있고, 소오스(115a)는 데이터 배선(153a)에 연결될 수 있으며, 드레인(115b)은 화소 전극(155a)에 연결될 수 있다.
- <48> 다시 도 2를 참조하면, 공통전압이 공급되는 공통배선(152a)은 비어홀(VH)을 통해 공통 전극(157)에 연결될 수 있다. 이때, 공통 전극(157)은 포크 형상으로 형성될 수 있으나, 공통 전극(157)의 형상은 실시예의 일례를 설명하기 위한 것일 뿐 이에 한정되지 않는다.
- <49> 여기서, 화소 전극(155a)과 공통 전극(157)이 위치하는 영역에 액정셀이 위치할 수 있으며, 액정셀은 화소 전극(155a)과 공통 전극(157)으로 전달된 전압에 의해 각각 다른 방향으로 배열될 수 있다.
- <50> 한편, 표시 영역(AA)에 위치하는 복수의 제1배선들(152a, 153a, 154a)과 비표시 영역(NA)에 위치하는 복수의 제2배선들(152b, 153b, 154b)은 연결 전극(155b)를 통해 연결될 수 있다.
- <51> 여기서, 도 3b를 참조하면, 연결 전극(155b)의 평면도 및 단면도가 도시된다. 단, 본 발명의 일 실시예에서는 연결 전극(155b)이 복수의 제1배선들(152a, 153a, 154a) 중 하나인 공통 배선(152a)과 복수의 제2배선들(152b, 153b, 154b) 중 하나인 공통전압배선(152b)에 연결되는 것을 일례로 설명한다.

- <52> 도 3b에 도시된 바와 같이, 기관(110) 상에 정의된 표시 영역(AA)에는 제1금속배선을 포함하는 공통 배선(152a)이 위치할 수 있다. 제1금속배선을 포함하는 공통 배선(152a) 상에는 절연막(112)이 위치할 수 있다. 절연막(112) 상에는 보호막(116)이 위치할 수 있다. 보호막(116)에는 제1금속배선을 포함하는 공통 배선(152a)을 노출하는 제1콘택홀(H1)이 위치할 수 있다.
- <53> 기관(110) 상에 정의된 비표시 영역(NA)에는 절연막(112)이 위치할 수 있다. 절연막(112) 상에는 제2금속배선을 포함하는 공통전압배선(152b)이 위치할 수 있다. 제2금속배선을 포함하는 공통전압배선(152b) 상에는 보호막(116)이 위치할 수 있다. 보호막(116)에는 제2금속배선을 포함하는 공통전압배선(152b)의 외곽 상부 표면을 노출하는 제2콘택홀(H2)이 위치할 수 있다.
- <54> 연결 전극(155b)은 보호막(116) 상에 위치하는 제1콘택홀(H1) 및 제2콘택홀(H2)의 일정 영역을 덮도록 위치하며 복수의 제1배선들 중 하나인 공통 배선(152a)과 복수의 제2배선들 중 하나인 공통전압배선(152b)을 연결할 수 있다.
- <55> 단, 보호막(116)에 형성된 제2콘택홀(H2)은, 제1금속배선을 포함하는 공통 배선(152a)과 인접하는 제2금속배선을 포함하는 공통전압배선(152b)의 외곽 상부 표면의 일부와 보호막(116)의 상부 표면의 일부가 동일선상에서 노출되도록 함몰되며 정테이퍼 형상의 기울기를 갖도록 패턴될 수 있다.
- <56> 여기서, 제2콘택홀(H2)의 기울기는  $60^\circ \sim 80^\circ$  일 수 있다. 제2콘택홀(H2)의 기울기가  $60^\circ$  이상이면, 연결 전극(155b)로 공통 배선(152a)과 공통전압배선(152b)을 전기적으로 연결할 때, 이들 간의 스텝 커버리지를 향상시킬 수 있다. 반면, 제2콘택홀(H2)의 기울기가  $80^\circ$  이하이면, 연결 전극(155b)로 공통 배선(152a)과 공통전압배선(152b)을 전기적으로 연결할 때, 단선이 발생하지 않는 범위 내에서 연결 전극(155b)를 형성할 수 있다.
- <57> 제2금속배선을 포함하는 공통전압배선(152b)과 절연막(112) 사이에 위치하는 반도체층(113)을 더 포함할 수 있다. 반도체층(113)은 박막 트랜지스터의 반도체층 형성시 패턴되고 남은 것일 수도 있다.
- <58> 한편, 연결 전극(155b)는 서브 픽셀에 포함된 박막 트랜지스터와 연결되는 화소 전극과 동일한 재료 예를 들면, ITO(Indium Tin Oxide)일 수 있으나 이에 한정되지 않는다.
- <59> 따라서, 표시 영역(AA)에 위치하는 복수의 제1배선들(152a, 153a, 154a)과 비표시 영역(NA)에 위치하는 복수의 제2배선들(152b, 153b, 154b) 간의 전기적인 연결시 이와 같은 구조를 이용하면 단선이 발생하는 문제를 해결할 수 있다.
- <60> 이하에서는, 본 발명의 일 실시예에 따른 액정표시장치의 제조방법을 개략적으로 설명한다. 단, 설명의 이해를 돕기 위해 도 2를 함께 참조하되, 설명의 중복을 피하기 위해 도 2의 "B1-B2"영역까지의 단면 부분만을 설명한다.
- <61> 도 4a 내지 도 4c는 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 제조 공정도이다.
- <62> 도 4a에 도시된 바와 같이, 기관(110) 상에 표시 영역(AA)과 비표시 영역(NA)을 정의하는 단계를 실시한다.
- <63> 표시 영역(AA)에 위치하는 기관(110) 상에 제1금속배선(152a)을 형성하는 단계를 실시한다. 이때, 형성된 제1금속배선(152a)은 공통전압을 전달하는 공통배선, 스캔 신호를 전달하는 게이트 배선 또는 데이터 전압을 전달하는 데이터 배선 중 하나 이상일 수 있다.
- <64> 제1금속배선(152a)을 덮도록 기관(110) 상에 절연막(112)을 형성하는 단계를 실시한다. 절연막(112)은 표시 영역(AA) 및 비표시 영역(NA)에 형성될 수 있다.
- <65> 절연막 형성 단계 이후, 비표시 영역(NA)에 위치하는 기관(110) 상에 반도체층(113)을 형성하는 단계를 더 포함할 수 있다. 반도체층(113)은 표시 영역(AA)에 박막 트랜지스터를 형성할 때 동일하게 형성될 수 있다.
- <66> 비표시 영역(NA)에 위치하는 절연막(112) 상에 제2금속배선(152b)을 형성하는 단계를 실시한다. 제2금속배선(152b)은 공통배선, 게이트 배선 또는 데이터 배선 중 하나 이상과 전기적으로 연결되는 배선일 수 있다.
- <67> 도 4b에 도시된 바와 같이, 제2금속배선(152b)을 덮도록 기관(110) 상에 보호막(116)을 형성하는 단계를 실시한다. 보호막(116)은 비표시 영역(NA)에 위치하는 제2금속배선(152b) 뿐만 아니라 표시 영역(AA)을 포함하는 영역 상에 위치하는 절연막(112) 상에 형성될 수 있다.
- <68> 제1금속배선(152a)과 제2금속배선(152b)을 노출하도록 제1콘택홀(H1)과 제2콘택홀(H2)을 형성하는 단계를 실시한다. 표시 영역(AA)에 형성되는 제1콘택홀(H1)과 비표시 영역(NA)에 형성되는 제2콘택홀(H2)은 복수로 형성될

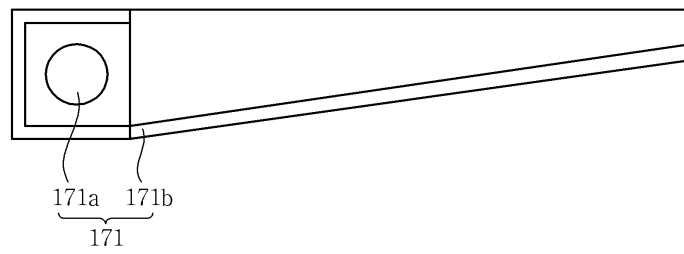


도면

도면1a

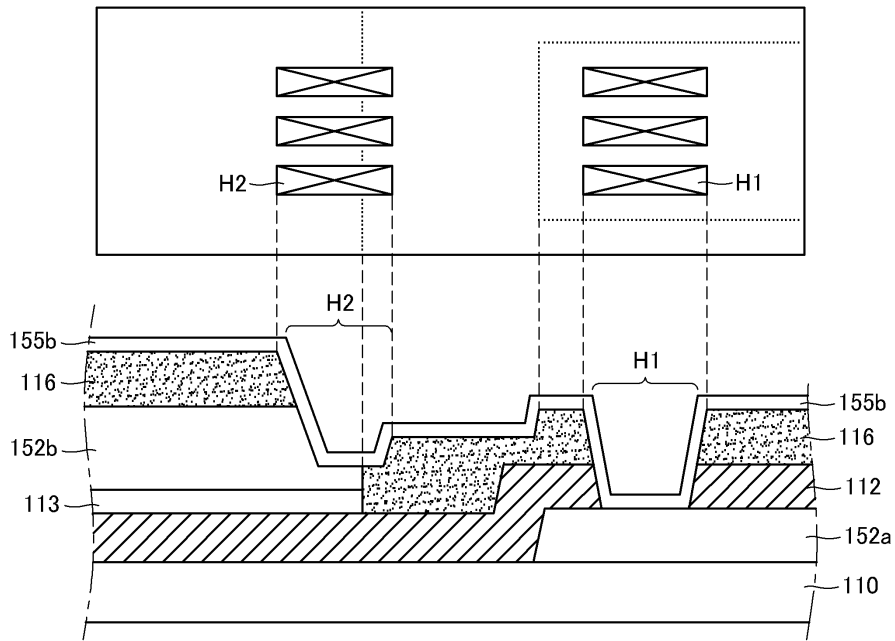


도면1b

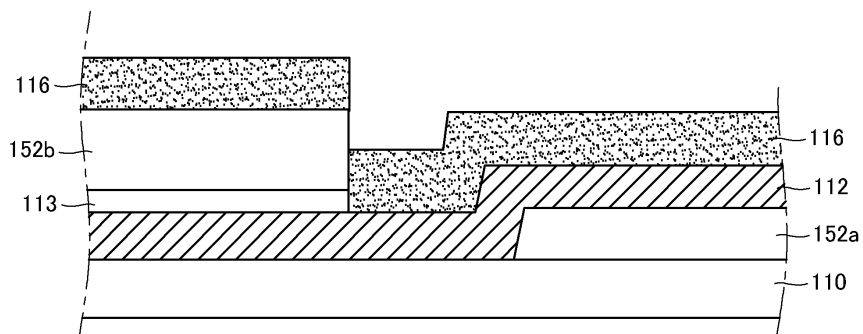




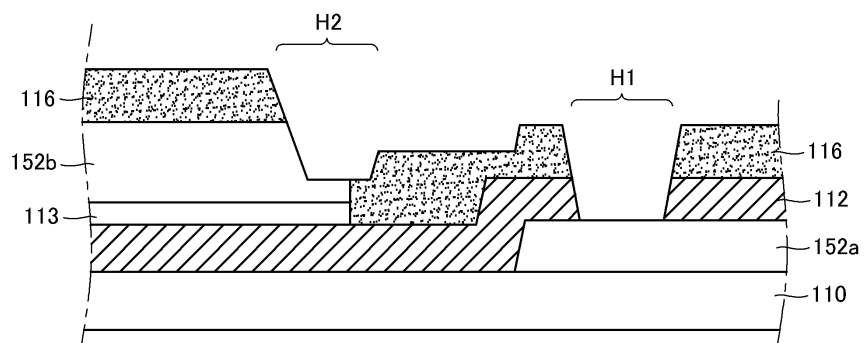
도면3b



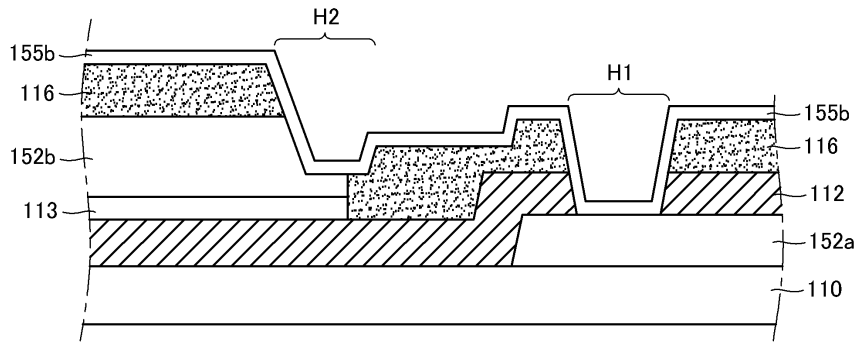
도면4a



도면4b



도면4c



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR1020090065738A</a>	公开(公告)日	2009-06-23
申请号	KR1020070133207	申请日	2007-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HYE JUNG		
发明人	LEE, HYE JUNG		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136286 G02F1/1343 G02F2201/123 H01L27/124 H01L29/786		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供了包括多个第二布线的液晶显示器，以及包括多个第二布线的连接电极，并且连接电极和第二接触孔被图案化，同时该部分陷入，使得表面成为部分的一部分。与第一金属配线和保护膜相邻的第二金属配线的外顶部表面以共线的方式暴露，以具有包括位于显示区域和板上的绝缘层的正锥形的倾斜代理1金属布线，位于基板上限定的显示区域和第一金属布线上，限定非显示区域，保护膜位于绝缘层上，第一接触孔露出第一金属布线。连接电极连接多个第一布线和多个第二布线，同时定位以覆盖第二接触孔的恒定区域和位于保护膜上的第一接触孔。液晶显示器，连接电极和接触孔。

