



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0036407
(43) 공개일자 2009년04월14일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2007-0101581

(22) 출원일자 2007년10월09일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김성운

경기 수원시 영통구 영통동 991-10 202호

신용환

경기 용인시 기흥구 보라동 현대모닝사이드1차아파트 301-1404

(뒷면에 계속)

(74) 대리인

특허법인가산

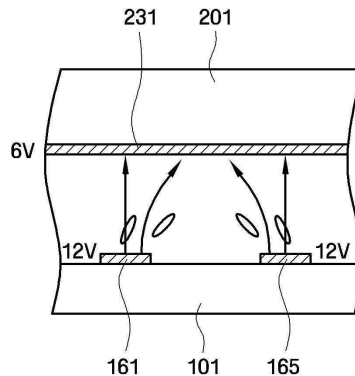
전체 청구항 수 : 총 11 항

(54) 표시 장치 및 그 구동 방법

(57) 요약

표시 품질이 향상된 표시 장치 및 그 구동 방법이 제공된다. 표시 장치는, 표시 계조 정보에 따라 결정된 제1 구동전압이 인가되는 제1 전극 및 상기 표시 계조 정보에 따라 결정된 제2 구동전압이 인가되는 제2 전극이 형성된 제1 표시판; 공통전압이 인가되는 제3전극이 형성된 제2 표시판; 및 상기 제1 표시판 및 상기 제2 표시판 사이에 위치하며, 상기 제1 전극 내지 제3 전극에 전압이 인가되지 않은 상태에서 상기 제1 표시판 및 제2 표시판 실질적으로 수직하게 배향된 액정분자로 이루어진 액정층을 포함한다. 상기 액정층의 광 투과율이 제1 임계값 이상이 되는 제1 계조구간과 상기 액정층의 광 투과율이 제1 임계값보다 작은 제2 임계값 이하가 되는 제2 계조구간을 가지고, 상기 제1 계조구간 내의 제1 계조에서 상기 제2 계조구간 내의 제2 계조로 표시상태가 변경되는 때, 상기 제2 계조에 해당하는 제1 구동전압 및 제2 구동전압을 상기 제1 전극 및 제2 전극에 인가하기 전 적어도 일부 기간 동안 제1 전극 및 제2 전극에 상기 공통전압과 액정의 문턱전압의 합보다 큰 복귀 전압을 인가한다.

대표도 - 도4b



(72) 발명자

우화성

경기 수원시 영통구 매탄1동 주공4단지아파트
419-107

김희섭

경기 화성시 반월동 865-1 신영통현대아파트
110-304

특허청구의 범위

청구항 1

표시 계조 정보에 따라 결정된 제1 구동전압이 인가되는 제1 전극 및 상기 표시 계조 정보에 따라 결정된 제2 구동전압이 인가되는 제2 전극이 형성된 제1 표시판;

공통전압이 인가되는 제3 전극이 형성된 제2 표시판; 및

상기 제1 표시판 및 상기 제2 표시판 사이에 위치하며, 상기 제1 전극 내지 제3 전극에 전압이 인가되지 않은 상태에서 상기 제1 표시판 및 상기 제2 표시판에 실질적으로 수직하게 배향된 액정분자로 이루어진 액정층을 포함하며,

상기 액정층의 광 투과율이 제1 임계값 이상이 되는 제1 계조구간과 상기 액정층의 광 투과율이 상기 제1 임계값보다 작은 제2 임계값 이하가 되는 제2 계조구간을 가지며,

상기 제1 계조구간 내의 제1 계조에서 상기 제2 계조구간 내의 제2 계조로 표시상태가 변경되는 때, 상기 제2 계조에 해당하는 상기 제1 구동전압 및 상기 제2 구동전압을 상기 제1 전극 및 상기 제2 전극에 인가하기 전 적어도 일부 기간 동안 상기 제1 전극 및 상기 제2 전극에 상기 공통전압과 상기 액정분자의 문턱전압의 합보다 큰 복귀 전압을 인가하는 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 임계값은 최대 광 투과율이고, 상기 제2 임계값은 최소 광 투과율인 표시 장치.

청구항 3

제 2 항에 있어서,

상기 제2 표시판은 상기 제 3전극 위에 형성된 유전체 막을 더 포함하는 표시 장치.

청구항 4

제 3 항에 있어서,

상기 유전체 막은 유기막인 표시 장치.

청구항 5

제 4 항에 있어서,

상기 유전체 막은 질화 실리콘막 또는 산화 실리콘막인 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제1 표시판은,

상기 제1 전극과 전기적으로 연결된 제1 박막 트랜지스터,

상기 제2 전극과 전기적으로 연결된 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결된 제1 데이터선,

상기 제2 박막 트랜지스터와 연결된 제2 데이터선, 및

상기 제1 및 제2 데이터선과 교차하며, 상기 제1 및 제2 박막 트랜지스터와 연결된 게이트선을 더 포함하는 표시 장치.

청구항 7

제 6 항에서,

상기 제1 전극은 실질적으로 평행하게 형성되는 복수의 제1 가지 전극을 포함하는 표시 장치.

청구항 8

제 7 항에서,

상기 제1 가지 전극은 상기 게이트선의 길이 방향을 기준으로 비스듬하게 형성된 표시 장치.

청구항 9

제 8 항에서,

상기 제2 전극은 실질적으로 평행하게 형성되는 복수의 제2 가지 전극을 포함하는 표시 장치.

청구항 10

제 9 항에서,

상기 제2 가지 전극은 상기 게이트선의 길이 방향을 기준으로 비스듬하게 형성된 표시 장치.

청구항 11

표시 계조 정보에 따라 결정된 제1 구동전압이 인가되는 제1 전극 및 상기 표시 계조 정보에 따라 결정된 제2 구동전압이 인가되는 제2 전극이 형성된 제1 표시판; 공통전압이 인가되는 제3 전극이 형성된 제2 표시판; 및 상기 제1 표시판 및 상기 제2 표시판 사이에 위치하며, 상기 제1 전극 내지 제3 전극에 전압이 인가되지 않은 상태에서 상기 제1 표시판 및 상기 제2 표시판에 실질적으로 수직하게 배향된 액정분자로 이루어진 액정층을 포함하며 표시 장치를 준비하는 단계;

상기 액정층의 광 투과율이 제1 임계값 이상이 되는 제1 계조구간과 상기 액정층의 광 투과율이 상기 제1 임계값보다 작은 제2 임계값 이하가 되는 제2 계조구간에 대하여, 상기 제1 계조구간 내의 제1 계조에 해당하는 구동전압들을 상기 제1 및 제2 전극에 제공하는 단계;

상기 제1 및 제2 전극에 상기 공통전압과 상기 액정분자의 문턱전압의 합보다 큰 복귀 전압을 인가하는 단계; 및

상기 제2 계조구간 내의 제2 계조에 해당하는 구동전압들을 상기 제1 및 제2 전극에 제공하는 단계를 포함하는 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 표시 장치 및 그 구동 방법에 관한 것으로서, 특히 광시야각 및 고 콘트라스트 특성을 가지며 높은 응답속도를 가지는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

배경 기술

- <2> 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하는 장치이다.
- <3> 이러한 액정 표시 장치는 액정 분자의 배열에 따라 다양한 표시 모드가 존재하는데, 공정상의 장점 때문에 주로 TN(Twisted Nematic), PVA(Patterned Vertical Alignment), ECB(Electrically Controlled Birefringence) 모드가 많이 사용되고 있다. 특히 TN, ECB 모드 액정 표시 장치는 기판과 수평하게 배향된 액정 분자가 전압이 인가될 때 기판과 거의 수직으로 배향된다. 따라서, 액정 분자의 굴절율 이방성(refractive anisotropy)에 의해 전압의 인가시 시야각이 좁아지는 문제점이 있었다.
- <4> 이에 반해, 두 장의 대향 기판 중 하나의 기판에 평행한 두 전극을 형성하고 양의 유전률 이방성을 가지는 액정 분자를 대향 기판에 수직하게 배향하고 두 전극에 전압을 인가함으로써 수직 배향된 액정을 수평방향으로 움직

여 빛의 투과율을 조절하는 EOC(Electrically-induced optical compensation)모드는 광시야각 특성은 물론, 수직배향에 의한 고 콘트라스트를 얻을 수 있는 모드로 알려져 있다.

발명의 내용

해결 하고자하는 과제

- <5> 그러나 두 전극 사이에 전계가 가해졌을 때 액정 분자가 수직배향에서 수평한 방향으로 방향을 바꾸는데 걸리는 시간(Ton)에 비하여, 두 전극 사이의 전계를 제거했을 때, 수평방향에서 수직배향으로의 복귀에 걸리는 시간(Toff)가 상대적으로 길어, 고계조에서 저계조로 표시 계조가 바뀌는 경우에 응답 시간의 증가로 표시 품질의 저하를 가져오는 문제가 있다.
- <6> 본 발명이 이루고자 하는 과제는 표시 품질이 향상된 표시 장치를 제공하고자 하는 것이다.
- <7> 본 발명이 이루고자 하는 다른 과제는 이러한 표시 장치의 구동 방법을 제공하고자 하는 것이다.
- <8> 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

- <9> 본 발명의 표시 장치는, 표시 계조 정보에 따라 결정된 제1 구동전압이 인가되는 제1 전극 및 상기 표시 계조 정보에 따라 결정된 제2 구동전압이 인가되는 제2 전극이 형성된 제1 표시판; 공통전압이 인가되는 제3 전극이 형성된 제2 표시판; 및 상기 제1 표시판 및 상기 제2 표시판 사이에 위치하며, 상기 제1 전극 내지 제3 전극에 전압이 인가되지 않은 상태에서 상기 제1 표시판 및 제2 표시판에 실질적으로 수직하게 배향된 액정분자로 이루어진 액정층을 포함하며, 상기 액정층의 광 투과율이 제1 임계값 이상이 되는 제1 계조구간과 상기 액정층의 광 투과율이 상기 제1 임계값보다 작은 제2 임계값 이하가 되는 제2 계조구간을 가지고, 상기 제1 계조구간 내의 제1 계조에서 상기 제2 계조구간 내의 제2 계조로 표시상태가 변경되는 때, 상기 제2 계조에 해당하는 상기 제1 구동전압 및 상기 제2 구동전압을 상기 제1 전극 및 상기 제2 전극에 인가하기 전 적어도 일부 기간 동안 상기 제1 전극 및 상기 제2 전극에 상기 공통전압과 상기 액정분자의 문턱전압의 합보다 큰 복귀 전압을 인가하는 것을 특징으로 한다.
- <10> 또한, 본 발명의 일 실시예에 따르면, 제1 임계값은 최대 광 투과율이고, 제2 임계값은 최소 광 투과율이 될 수 있다.
- <11> 제2 표시판은 상기 제3 전극 위에 형성된 유전체 막을 더 포함할 수 있으며, 이러한 유전체 막은 유기막 또는 질화 실리콘막이나 산화 실리콘막처럼 무기막으로 구성될 수 있다.
- <12> 본 발명의 일 실시예에 따른 표시 장치는, 상기 제1 전극과 전기적으로 연결된 제1 박막 트랜지스터, 상기 제2 전극과 전기적으로 연결된 제2 박막 트랜지스터, 상기 제1 박막 트랜지스터와 연결된 제1 데이터선, 상기 제2 박막 트랜지스터와 연결된 제2 데이터선, 및 상기 제1 및 제2 데이터선과 교차하며, 상기 제1 및 제2 박막 트랜지스터와 연결된 게이트선을 더 포함할 수 있다.
- <13> 또한, 제1 전극은 실질적으로 평행하게 형성되는 복수의 제1 가지 전극을 포함할 수 있고, 제1 가지 전극은 상기 게이트선의 길이 방향을 기준으로 비스듬하게 형성될 수 있으며, 제2 전극도 같은 방식으로 형성될 수 있다.
- <14> 본 발명의 일 실시예에 따른 표시 장치의 구동 방법은, 표시 계조 정보에 따라 결정된 제1 구동전압이 인가되는 제1 전극 및 상기 표시 계조 정보에 따라 결정된 제2 구동전압이 인가되는 제2 전극이 형성된 제1 표시판; 공통전압이 인가되는 제3 전극이 형성된 제2 표시판; 및 상기 제1 표시판 및 상기 제2 표시판 사이에 위치하며, 상기 제1 전극 내지 제3 전극에 전압이 인가되지 않은 상태에서 상기 제1 표시판 및 상기 제2 표시판에 실질적으로 수직하게 배향된 액정분자로 이루어진 액정층을 포함하며 표시 장치를 준비하는 단계; 상기 액정층의 광 투과율이 제1 임계값 이상이 되는 제1 계조구간과 상기 액정층의 광 투과율이 상기 제1 임계값보다 작은 제2 임계값 이하가 되는 제2 계조구간에 대하여, 상기 제1 계조구간 내의 제1 계조에 해당하는 구동전압들을 상기 제1 및 제2 전극에 제공하는 단계; 상기 제1 및 제2 전극에 상기 공통전압과 상기 액정분자의 문턱전압의 합보다 큰 복귀 전압을 인가하는 단계; 및 상기 제2 계조구간 내의 제2 계조에 해당하는 구동전압들을 상기 제1 및 제2 전극에 제공하는 단계를 포함한다.

효 과

- <15> 상술한 바와 같이, 본 발명에 따른 표시 장치는 고계조에서 저계조로 표시상태가 변화하는 때에 액정층에 수직 전계를 형성함으로써 액정분자의 상태를 최초 수직 배향으로 빠르게 복귀시킬 수 있어, 표시 품질을 향상시킬 수 있다.
- <16> 또한, 수직 전계를 형성하기 위한 제3 전극 위에 유전체 막을 형성함으로써, 고계조에서 저계조로 표시상태가 변화하는 때 이외의 경우에는 수직 전계가 수평 전계에 의한 계조 표시에 미치는 영향을 최소화할 수 있다.

발명의 실시를 위한 구체적인 내용

- <17> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적 크기는 설명의 명료성을 위해 과장된 것일 수 있다.
- <18> 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- <19> 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.
- <20> 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.
- <21> 이하, 도 1 내지 도 3을 참조하여, 본 발명의 일 실시예에 따른 표시 장치에 대해 설명한다. 도 1은 본 발명의 일 실시예에 따른 표시 장치의 구조를 도시한 배치도이고, 도 2는 도 1의 표시 장치에 전계가 형성되지 않았을 때, I-I' 선을 따라 잘라 도시한 단면도이며, 도 3은 도 1의 표시 장치에 전계가 형성되었을 때, I-I' 선을 따라 잘라 도시한 단면도이다.
- <22> 도 1 내지 도 3을 참조하면, 본 발명의 일 실시예에 따른 표시 장치(400)는 박막 트랜지스터 어레이(thin film transistor array)가 형성된 제1 표시판(100), 제1 표시판(100)과 마주 보는 제2 표시판(200) 및 제1 표시판(100) 및 제2 표시판(200) 사이에 개재된 액정층(300)을 포함한다.
- <23> 본 발명의 일 실시예에 따른 표시 장치(400)에서, 제1 표시판(100)에 전계를 형성하기 위한 제1 전극(161) 및 제2 전극(165)이 형성되고, 제1 전극(161)과 제2 전극(165)은 하나의 화소 영역에서 다양한 전극 간격으로 형성될 수 있다. 또한 액정층(300) 내의 액정 분자들(301)은 전계를 인가하지 않았을 때, 제1 표시판(100) 및 제2 표시판(200)에 대하여 수직으로 배열된다.
- <24> 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(101) 위에 복수의 게이트선(gate line)(111)이 형성되어 있다. 게이트선(111)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(111)으로부터 위와 아래로 돌출한 복수의 제1 및 제2 게이트 전극(gate electrode)(113, 114)이 형성되어 있다. 이러한 게이트선(111)과, 제1 및 제2 게이트 전극(113, 114)을 게이트 배선이라 한다.
- <25> 게이트 배선(111, 113, 114)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 또한 이들은 물리적 성질이 다른 두 개의

도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 예를 들면, 크롬 하부막과 알루미늄 (합금) 상부막 및 알루미늄 (합금) 하부막과 몰리브덴 (합금) 상부막을 들 수 있다. 그러나 게이트 배선(111, 113, 114)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.

- <26> 게이트선(111)과 동일한 층에 게이트선(111)과 동일한 물질로 이루어진 유지 전극(도시하지 않음)이 더 형성될 수도 있다.
- <27> 게이트선(111) 위에 질화 규소(SiNx) 또는 산화 규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(121)이 형성된다.
- <28> 게이트 절연막(121) 위에 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 섬형상의 제1 및 제2 반도체층(131, 132)이 형성되어 있다. 제1 및 제2 반도체층(131, 132)은 각각 제1 및 제2 게이트 전극(113, 114)과 중첩된다.
- <29> 제1 및 제2 반도체층(131, 132) 위에 섬형 저항성 접촉 부재(ohmic contact layer)(도시하지 않음)가 각각 형성되어 있다. 저항성 접촉 부재는 인 따위의 n형 불순물이 고농도로 도핑 되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재는 제1 반도체층(131)과 제1 소스 전극(146), 및 제1 반도체층(131)과 제1 드레인 전극(143) 사이에 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 또한 저항성 접촉 부재는 제2 반도체층(132)과 제2 소스 전극(147), 및 제2 반도체층(132)과 제2 드레인 전극(145) 사이에 존재하며 이들 사이의 접촉 저항을 낮추어 준다.
- <30> 저항성 접촉 부재 및 게이트 절연막(121) 위에 제1 및 제2 데이터선(data line)(141, 142)과, 제1 및 제2 소스 전극(146, 147)과, 제1 및 제2 드레인 전극(drain electrode)(143, 145)이 형성되어 있다. 제1 및 제2 데이터선(141, 142)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(111)과 교차한다. 제1 및 제2 소스 전극(146, 147)은 제1 및 제2 데이터선(141, 142)에 각각 형성되어 있다. 본 발명의 일 실시예에서 제1 및 제2 소스 전극(146, 147)은 각각 제1 및 제2 드레인 전극(143, 145)과 마주하는 제1 및 제2 데이터선(141, 142)의 일부이며, 제1 및 제2 데이터선(141, 142)에서 돌출되지 않은 경우를 예로 들어 설명하고 있다. 다만 제1 및 제2 소스 전극(146, 147)은 이에 한정되지 않으며, 제1 및 제2 데이터선(141)에서 연장되어 돌출되고 제1 및 제2 드레인 전극(143, 145)과 마주하도록 형성될 수 있다. 이러한 제1 및 제2 데이터선(141, 142)과, 제1 및 제2 드레인 전극(143, 145)과, 제1 및 제2 소스 전극(146, 147)을 데이터 배선이라 한다.
- <31> 데이터 배선(141, 142, 145, 145, 146, 147)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어질 수 있으며, 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다. 다만 데이터 배선(141, 142, 145, 145, 146, 147)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- <32> 제1 게이트 전극(113), 제1 소스 전극(146), 및 제1 드레인 전극(143)은 제1 반도체층(131)과 함께 제1 박막 트랜지스터(thin film transistor, TFT)를 이루고, 제2 게이트 전극(114), 제2 소스 전극(147), 및 제2 드레인 전극(145)은 제2 반도체층(132)과 함께 제2 박막 트랜지스터를 이룬다. 제1 및 제2 박막 트랜지스터의 채널(channel)은 제1 및 제2 드레인 전극(143, 145)과 제1 및 제2 소스 전극(146, 147) 사이의 제1 및 제2 반도체층(131, 132)에 형성된다.
- <33> 본 발명의 일 실시예에 따른 표시 장치에서 하나의 화소 영역에 제1 및 제2 박막 트랜지스터가 형성되어 있으며, 제1 박막 트랜지스터는 후술하는 제1 전극(161)과 전기적으로 연결되고, 제2 박막 트랜지스터는 후술하는 제2 전극(165)과 전기적으로 연결된다.
- <34> 데이터 배선(141, 142, 145, 145, 146, 147) 및 제1 및 제2 반도체층(131, 132)의 노출된 부분 위에 보호막(passivation layer)(150)이 형성되어 있다. 보호막(150)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등의 무기 절연막 등으로 만들어 질 수 있다. 또한 보호막(150)은 낮은 유전율을 갖는 유기 절연물 등으로 만들어 질 수 있으며, 감광성(photo sensitivity)을 가질 수 있다. 예를 들면 보호막(150)은 아크릴 계열의 유기 절연물 등으로 만들어질 수 있으며, 약 2.5 내지 5 μ m 정도의 두께를 가질 수 있다.
- <35> 보호막(150)에 제1 및 제2 드레인 전극(143, 145)의 각 양단을 드러내는 복수의 접촉 구멍(contact hole, 151, 153, 155, 157)이 형성되어 있다.
- <36> 보호막(150) 위에 제1 전극(161) 및 제2 전극(165)이 형성되어 있다. 제1 전극(161) 및 제2 전극(165)은

ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질로 만들어질 수 있다. 전계(field)를 형성하기 위하여, 제1 전극(161) 및 제2 전극(165)에 서로 다른 전압이 인가될 수 있다. 본 발명의 일 실시예에 따른 표시 장치(400)에서 제1 전극(161)과 제2 전극(165)은 동일한 층(layer)에 형성되지만, 서로 다른 층에 형성되는 것도 가능하다.

- <37> 제1 전극(161)은 게이트선(111)의 길이 방향과 소정의 경사각을 이루는 복수의 제1 가지 전극(161b)을 포함한다. 복수의 제1 가지 전극(161b)은 서로 실질적으로 평행하게 형성된다. 본 발명의 일 실시예에서 제1 가지 전극(161b)의 길이 방향은 게이트선(111)의 길이 방향과 0도 내지 60도의 경사각을 갖도록 형성될 수 있다.
- <38> 제1 전극(161)은 복수의 제1 가지 전극(161b)을 서로 연결하는 제1 줄기 전극(161a)을 포함한다. 본 발명의 일 실시예에서 제1 줄기 전극(161a)은 게이트선(111)의 길이 방향과 실질적으로 평행한 부분과 제1 및 제2 데이터선(141, 142)의 길이 방향과 실질적으로 평행한 부분을 포함한다.
- <39> 본 발명의 일 실시예에서 복수의 제1 가지 전극(161b)은 화소 영역의 중심에 형성된 게이트선(111)을 기준으로 대칭인 구조를 갖는다. 즉, 복수의 제1 가지 전극(161b)은 상부 제1 가지 전극과 하부 제1 가지 전극으로 나뉘어진다. 한편 제1 줄기 전극(161a)도 화소 영역의 중심에 형성된 게이트선(111)을 기준으로 대칭인 구조를 갖는다. 즉, 제1 줄기 전극(161a)은 상부 제1 줄기 전극과 하부 제1 줄기 전극으로 나뉘어진다.
- <40> 제2 전극(165)도 제2 가지 전극(165b) 및 제2 줄기 전극(165a)을 포함한다. 제2 전극(165)은 제1 전극(161)과 유사한 형태로 형성되며, 제1 전극(161)과 전기적으로 절연되어 있다. 또한 제2 줄기 전극(165a)과 제1 줄기 전극(161a)은 서로 엇갈리게 형성된다.
- <41> 본 발명의 일 실시예에 따른 제2 전극(165)은 게이트선(111)의 길이 방향과 소정의 경사각을 이루는 복수의 제2 가지 전극(165b)을 포함한다. 복수의 제2 가지 전극(165b)은 서로 실질적으로 평행하게 형성된다. 본 발명의 일 실시예에서 제2 가지 전극(165b)의 길이 방향은 게이트선(111)의 길이 방향과 0도 내지 60도의 경사각을 갖도록 형성될 수 있다.
- <42> 제2 전극(165)은 복수의 제2 가지 전극(165b)을 서로 연결하는 제2 줄기 전극(165a)을 포함한다. 본 발명의 일 실시예에서 제2 줄기 전극(165a)은 게이트선(111)의 길이 방향과 실질적으로 평행한 부분과 제1 및 제2 데이터선(141, 142)의 길이 방향과 실질적으로 평행한 부분을 포함한다.
- <43> 본 발명의 일 실시예에서 복수의 제2 가지 전극(165b)은 화소 영역의 중심에 형성된 게이트선(111)을 기준으로 대칭인 구조를 갖는다. 즉, 복수의 제2 가지 전극(165b)은 상부 제2 가지 전극과 하부 제2 가지 전극으로 나뉘어진다. 한편 제2 줄기 전극(165a)도 화소 영역의 중심에 형성된 게이트선(111)을 기준으로 대칭인 구조를 갖는다. 즉, 제2 줄기 전극(165a)은 상부 제2 줄기 전극과 하부 제2 줄기 전극으로 나뉘어진다.
- <44> 본 발명의 일 실시예에 따른 표시 장치에서 제1 영역에 형성된 제1 가지 전극(161b)과 제2 가지 전극(165b) 사이의 제1 전극 간격(D1)과, 제2 영역에 형성된 제1 가지 전극(161b)과 제2 가지 전극(165b) 사이의 제2 전극 간격(D2)은 서로 다르게 형성될 수 있다. 한편 본 발명의 일 실시예에 따른 표시 장치에서 제1 가지 전극(161b)과 제2 가지 전극(165b)은 제1 전극 간격(D1), 제2 전극 간격(D2)을 갖도록 형성되었지만, 필요에 따라서 다양한 전극 간격으로 형성될 수 있다.
- <45> 본 발명의 일 실시예에서 제1 전극 간격(D1) 및 제2 전극 간격(D2)은 예를 들어 4 μ m 내지 20 μ m 범위 내에서 형성되며, 제1 전극 간격(D1)과 제2 전극 간격(D2)의 차는 예를 들어 1 μ m 내지 6 μ m일 수 있다. 본 발명의 일 실시예에 따른 표시 장치에서 제1 전극(161)과 제2 전극(165)의 폭(width)은 약 1 μ m 내지 6 μ m로 형성될 수 있다.
- <46> 제1 전극(161)은 제1 접촉 구멍(151) 및 제2 접촉 구멍(153)을 통하여 제1 드레인 전극(143)과 전기적으로 연결되고, 제2 전극(165)은 제3 접촉 구멍(155) 및 제4 접촉 구멍(157)을 통하여 제2 드레인 전극(145)과 전기적으로 연결된다.
- <47> 제1 전극(161) 및 제2 전극(165) 위에 제1 배향막(171)이 형성된다.
- <48> 제2 표시판(200)은 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(201)을 포함한다. 절연 기판(201)에 복수의 색필터(미도시)가 형성되고, 색필터(미도시)위에는 제3 전극(231)이 형성되며, 제3 전극(231) 위에 제2 배향막(251)이 형성된다. 한편 필요에 따라 차광막(도시하지 않음) 및 평탄화막(도시하지 않음) 등이 더 형성될 수도 있다.
- <49> 본 발명의 일 실시예에 따른 표시 장치(400)에서 제2 표시판(200)에 별도의 공통 전극은 형성되지 않는다. 그렇

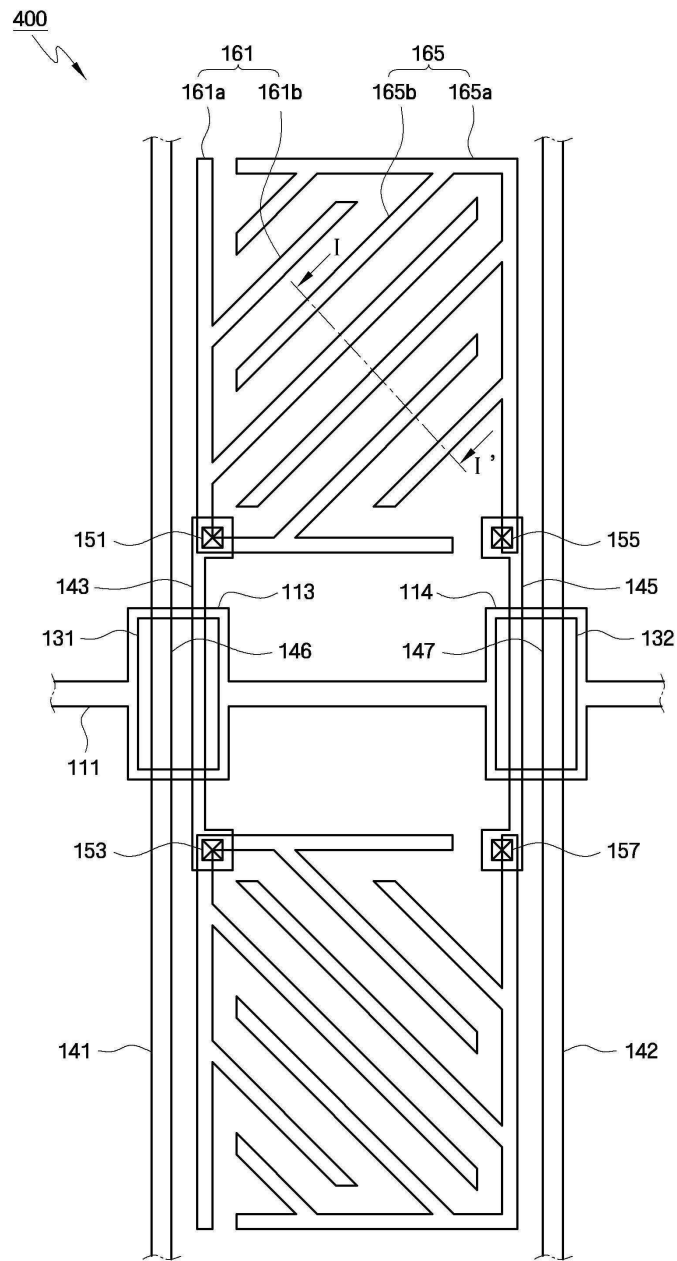
지만 필요에 따라서 별도의 전면 공통 전극이 형성될 수도 있다.

- <50> 본 발명이 일 실시예에 따른 표시 장치에서 제1 배향막(171) 및 제2 배향막(251)은 수직 배향막이 사용될 수 있다.
- <51> 액정층(300)은 제1 표시판(100)과 제2 표시판(200) 사이에 개재된다. 액정층(300)은 양의 유전율 이방성을 갖는 액정 분자(301)를 포함한다.
- <52> 이하에서 도 2 및 도 3을 참조로 하여 본 발명의 일 실시예에 따른 표시 장치의 동작 원리에 대하여 설명한다.
- <53> 도 2를 참조하면, 표시 장치에 전계가 형성되지 않았을 때, 액정 분자(301)는 절연 기관(101, 201) 표면에 거의 수직으로 배열되어 있다. 제1 표시판(100)을 통과한 빛은 편광 상태가 바뀌지 않고 제2 표시판(200)을 통과한다. 따라서 제1 표시판(100)의 외측에 하부 편광판(미도시)이, 제2 표시판(200)의 외측에 상부 편광판(미도시)이 배치되고 하부 편광판의 투과축과 상부 편광판의 투과축이 수직하게 배열되어 있을 때 어두운 상태가 표시된다.
- <54> 도 3을 참조하면, 표시 장치에 전계가 형성되었을 때, 제1 전극(161)과 제2 전극(165) 근처에서 수평 전계가 형성되며, 유전율 이방성이 양인 액정 분자(301)는 전계의 방향을 따라 배열된다. 이 때 하부 표시판(100)을 통과한 빛은 편광 상태가 바뀌어 상부 표시판(100)을 통과하며, 밝은 상태가 표시된다.
- <55> 한편 본 발명의 일 실시예에 따른 표시 장치(400)에서 상부 편광판의 투과축과 하부 편광판의 투과축을 서로 수직하게 배치하였지만, 상부 편광판의 투과축과 하부 편광판의 투과축은 서로 평행하게 배치할 수도 있다.
- <56> 제1 전극(161)과 제2 전극(165) 사이에 전계를 형성하기 위하여 다양한 전압을 인가할 수 있다. 본 발명의 일 실시예에 따른 표시 장치(400)에서, 화이트 상태를 구현하기 위하여 제1 전극(161)과 제2 전극(165)에 기준 전압과의 차이는 같고(전압의 절대값이 같고), 극성이 다른 전압이 각각 인가될 수 있다. 예를 들면, 기준 전압이 6V일 때 화이트 상태를 구현하기 위하여 제1 전극(161)에 12V의 전압이 인가되고, 제2 전극(165)에 0V의 전압이 인가될 수 있다. 한편 블랙 상태를 구현하기 위하여 제1 전극(161)과 제2 전극(165)에 6V의 전압이 인가될 수 있다.
- <57> 이하 도 4a 내지 도 4c를 참조하여 본 발명의 일 실시예에 따른 표시 장치의 동작을 설명한다. 액정층의 광 투과율이 제1 임계값 이상이 되는 제1 계조구간과 액정층의 광 투과율이 제1 임계값보다 작은 제2 임계값 이하가 되는 제2 계조구간이 있을 때, 제1 계조구간 내의 제1 계조에서 제2 계조구간 내의 제2 계조로 표시상태가 변경됨에 따라 액정분자의 움직임에 설명한다. 설명의 편의를 위하여 제1 임계값으로서 최대 광 투과율을, 제2 임계값으로서 최소 광 투과율을 예로 들어 설명한다.
- <58> 도 4a 내지 도 4c는 화소가 최대 광 투과율을 가지는 풀화이트 상태(full-white state)에서 최소 광 투과율을 가지는 풀블랙 상태(full-black state)로 변화할 때의 본 발명의 일 실시예에 따른 표시 장치의 동작을 도시한 도면들이다.
- <59> 먼저 도 4a에 도시된 바와 같이, 풀화이트 상태에서 제1 전극(161)에는 12V의 전압이, 제2 전극(165)에는 0V의 전압이 인가되므로 두 전극 사이의 전압차이가 12V에 해당하는 전계가 형성되고 액정 분자는 장축이 제1 절연 기관(101) 면에 대해 수평에 가깝게 재배열된다.
- <60> 이러한 상태에서 도 4b에 도시된 바와 같이 최초 배향상태인 수직배향으로 복귀하여 풀블랙을 표시하고자 하는 때에는 제1 전극(161)과 제2 전극(165)의 전압차이를 없애 수평방향의 전계를 제거함과 동시에, 제1 전극(161)과 제2 전극(165)에 제3 전극(231)에 인가되는 전압과는 크기가 다른 전압을 인가함으로써 수직 전계를 형성함으로써 양의 유전율 이방성을 가지는 액정분자의 수직배향 복귀 속도를 증가시킬 수 있다. 즉 제1 전극(161)과 제2 전극(165)에 공통 전압과 액정 분자의 문턱전압의 합보다 큰 복귀 전압을 인가한다. 여기서 액정 분자의 문턱전압이란 액정 셀에 전압을 인가하여 나타나는 휘도의 변화가 변화 가능한 전체 휘도 변화량의 일정한 비율, 예를 들어 10%가 되는 때의 구동 전압을 말한다.
- <61> 예컨대 제1 전극(161)과 제2 전극(165)에 모두 12V의 전압을 인가하면 두 전극 사이의 전계가 제거되며, 제3 전극(231)과 제1 전극(161), 제3 전극(231)과 제2 전극(165) 사이에는 각각 6V의 전압차이에 해당하는 수직 전계가 형성되므로 액정분자는 수직 전계에 의해 장축이 빠르게 회전하여, 수직에 가까운 상태에 이르게 된다.
- <62> 도 4c에 도시된 바와 같이, 일단 수직 전계에 의해 액정분자의 수직배향으로의 복귀가 개시되면, 소정의 시간이 경과된 후에는 본래 풀블랙 표시 시에 인가되는 전압, 즉 제1 전극(161), 제2 전극(165) 및 제3 전극(231)에 동

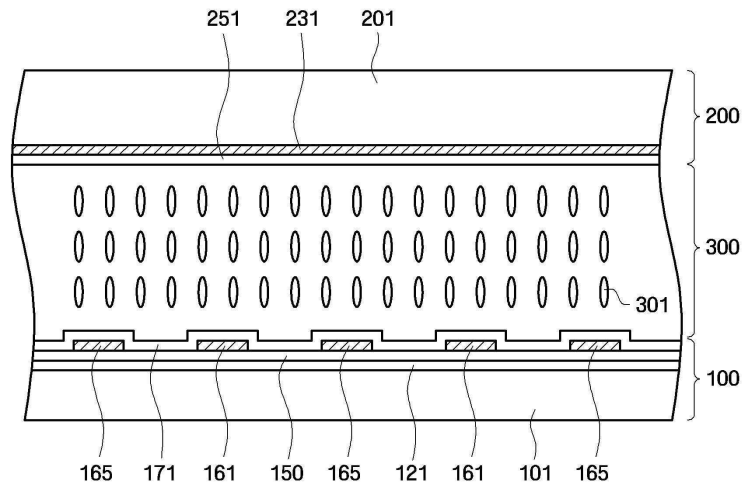
- | | | |
|------|----------------|---------------------------|
| <81> | 143: 제1 드레인 전극 | 145: 제2 드레인 전극 |
| <82> | 146: 제1 소스 전극 | 147: 제2 소스 전극 |
| <83> | 150: 보호막 | 151, 153, 155, 157: 접촉 구멍 |
| <84> | 161: 제1 전극 | 161a: 제1 줄기 전극 |
| <85> | 161b: 제1 가지 전극 | 165: 제2 전극 |
| <86> | 165a: 제2 줄기 전극 | 165b: 제2 가지 전극 |
| <87> | 171: 제1 배향막 | 200: 제2 표시판 |
| <88> | 201: 절연 기판 | 231: 제3 전극 |
| <89> | 241: 유전체 층 | 251: 제2 배향막 |
| <90> | 300: 액정층 | 301: 액정 분자 |
| <91> | 400: 표시 장치 | |

도면

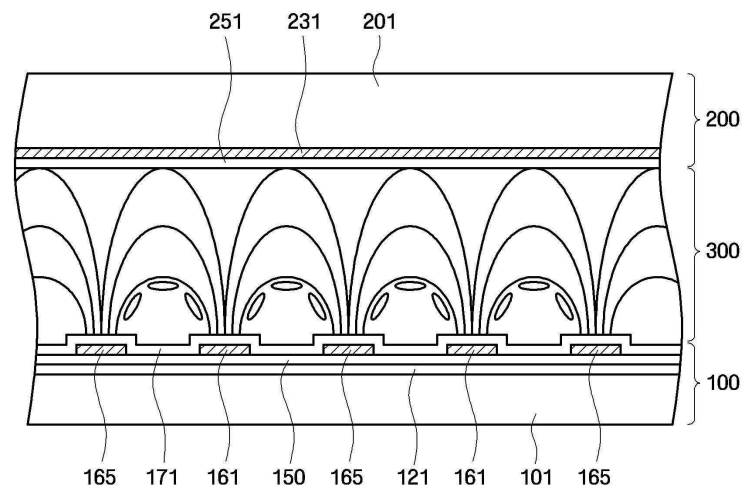
도면1



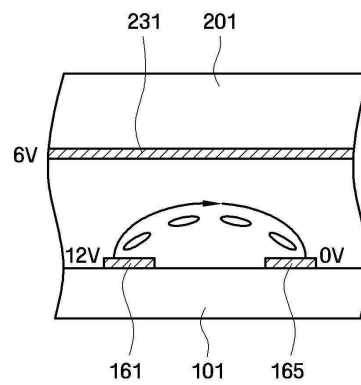
도면2



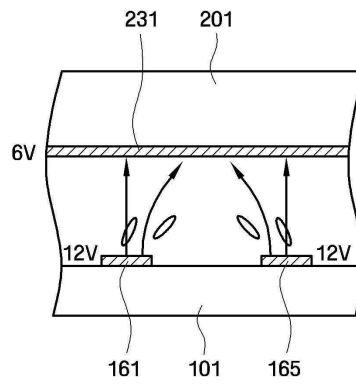
도면3



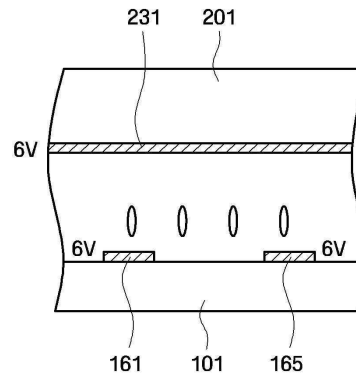
도면4a



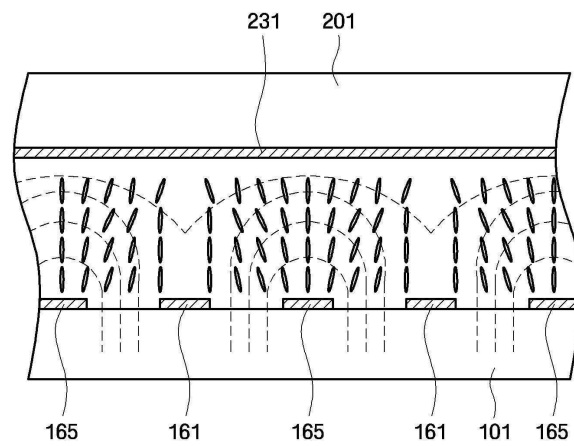
도면4b



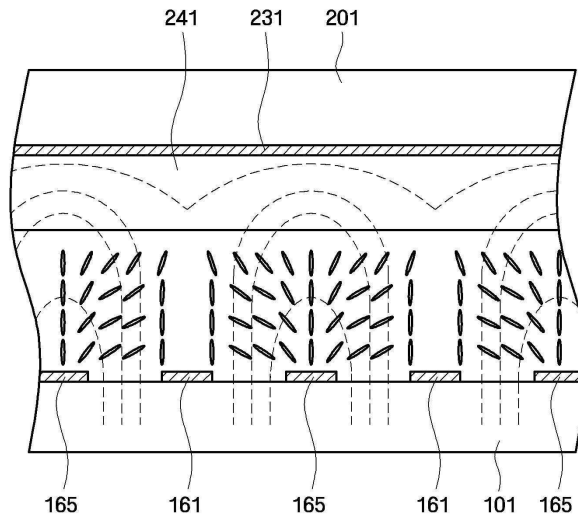
도면4c



도면5



도면6



专利名称(译)	显示装置及其驱动方法		
公开(公告)号	KR1020090036407A	公开(公告)日	2009-04-14
申请号	KR1020070101581	申请日	2007-10-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SUNG WOON 김성운 SHIN YONG HWAN 신용환 WOO HWA SUNG 우화성 KIM HEE SEOP 김희섭		
发明人	김성운 신용환 우화성 김희섭		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G02F2001/134345 G09G2320/0252 G09G3/3644 G09G3/3611 G02F2001/134381 G09G3/3622 G02F1/134363 G09G2300/0426		
其他公开文献	KR101421627B1		
外部链接	Espacenet		

摘要(译)

提供一种具有改善的显示质量的显示装置及其驱动方法。显示装置包括第一电极，其中施加根据显示灰度信息确定的第一驱动电压，第一显示面板；第二显示面板，其中施加有公共电压的第三电极形成在第二电极中，其中第二电极形成根据显示灰度信息确定的第二驱动电压，并且液晶层位于第一显示面板和第二显示面板之间，并且包括垂直地从物质上对准的液晶分子。第一显示面板和第一电极中的第二显示面板处于未在第三电极中施加电压的状态。它有第二灰度部分成为第一灰度部分的透光率，其中第一灰度部分成为第一阈值和液晶层上的液晶层的透光率，是小于第一阈值的边缘的小的第二阈值。当在第一电极和第二电极中授权对应于第二灰度级的第一驱动电压和第二驱动电压之前，在第一灰度级部分内的第一灰度级中的第二灰度级内的显示模式被改变为第二灰度级时对于第一电极和第二电极中的时段，返回电压被授权，而不是公共电压和液晶的阈值电压的总和。PLS模式，在平面切换，静电，导电层。

