



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0004011
(43) 공개일자 2009년01월12일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2007-0067882

(22) 출원일자 2007년07월06일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이경진

서울 양천구 목4동 743-10 쌍용베스트빌 A동 502호

김혁진

충남 천안시 목천읍 신계리 신도브래뉴아파트 212-304

(뒷면에 계속)

(74) 대리인

특허법인가산

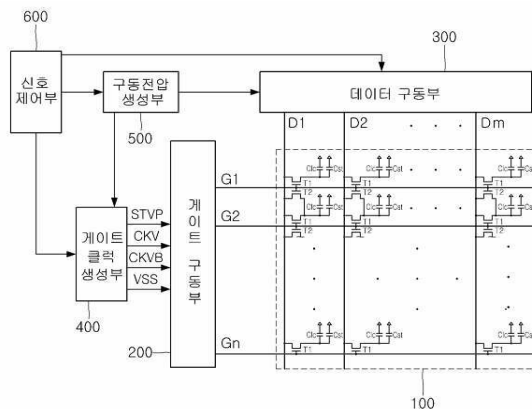
전체 청구항 수 : 총 1 항

(54) 표시 패널

(57) 요약

본 발명은 표시 패널과 이를 구비하는 표시 장치 및 이의 구동 방법에 관한 것으로, 게이트 턴온 신호를 순차적으로 인가받는 복수의 게이트 라인과, 계조 데이터 신호를 인가받는 복수의 데이터 라인 및 상기 게이트 턴온 신호에 따라 계조 데이터 신호를 인가 받는 복수의 단위 픽셀을 구비하고, 복수의 단위 픽셀 각각은, 제 1 게이트 라인과 일 데이터 라인에 접속된 제 1 박막 트랜지스터와, 상기 제 1 게이트 라인에 상기 게이트 턴온 신호가 인가되기 전에 먼저 게이트 턴온 신호를 인가 받는 제 2 게이트 라인과 상기 일 데이터 라인에 접속된 제 2 박막 트랜지스터와, 상기 제 1 및 제 2 박막 트랜지스터에 접속된 액정 커패시터를 포함하는 표시 패널과 이를 구비하는 표시 장치 및 이의 구동 방법을 제공한다. 이와 같이 본 발명은 일 단위 픽셀 내에 전단 단위 픽셀에 해당 계조 데이터 신호를 인가하는 게이트 라인과 접속된 박막 트랜지스터와, 일 단위 픽셀에 해당 계조 신호를 인가하는 게이트 라인과 접속된 박막 트랜지스터를 구비하여 별도의 제어 칩 또는 신호 배선의 추가 없이 픽셀의 충진율을 향상시킬 수 있다.

대표도 - 도1



(72) 발명자

서동욱

충남 천안시 두정동 1080번지 경남아너스빌아파트
102-1503

김성만

서울 송파구 신천동 장미아파트 25동 1001호

이봉준

서울 종로구 소격동 37번지 지층

조다혜

경기 고양시 일산동구 장항동 청원레이크빌 1차
1418호

특허청구의 범위

청구항 1

게이트 턴온 신호를 순차적으로 인가받는 복수의 게이트 라인;
 계조 데이터 신호를 인가받는 복수의 데이터 라인; 및
 상기 게이트 턴온 신호에 따라 계조 데이터 신호를 인가 받는 복수의 단위 픽셀을 구비하고,
 복수의 단위 픽셀 각각은,
 제 1 게이트 라인과 일 데이터 라인에 접속된 제 1 박막 트랜지스터와,
 상기 제 1 게이트 라인에 상기 게이트 턴온 신호가 인가되기 전에 먼저 게이트 턴온 신호를 인가 받는 제 2 게이트 라인과 상기 일 데이터 라인에 접속된 제 2 박막 트랜지스터와,
 상기 제 1 및 제 2 박막 트랜지스터에 접속된 액정 커패시터를 포함하는 표시 패널.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 표시 패널과 이를 구비하는 표시 장치 및 이의 구동 방법에 관한 것으로, 단위 픽셀의 충전율을 향상시킬 수 있는 표시 패널 및 이를 구비하는 표시 장치 및 이의 구동 방법에 관한 것이다.

배경기술

- <2> 표시 장치는 화상을 표시하는 표시 패널과 게이트 구동부 및 데이터 구동부를 포함한다. 표시 장치는 게이트 구동부를 통해 표시 패널 내의 복수의 게이트 라인에 게이트 턴온 신호를 순차적으로 인가하고, 데이터 구동부를 통해 표시 패널 내의 복수의 데이터 라인에 계조 신호를 인가하여 화상을 표시한다. 표시 패널은 복수의 단위 픽셀을 구비하고, 이 단위 픽셀 단위의 색 구현으로 전체 화상을 표시한다.
- <3> 이러한 단위 픽셀을 이용한 화상 표시를 위해 기존에는 적색, 녹색 및 청색 단위 픽셀이 하나의 게이트 라인과 3개의 데이터 라인에 접속되어 화상을 표시하였다. 이때, 단위 픽셀은 픽셀의 장축이 세로 방향(열 방향)이고 단축이 가로 방향(행 방향)인 세로 픽셀 구조로 제작되었다. 최근에 데이터 구동부를 구성하는 데이터 구동 IC의 개수를 줄이기 위해 적색, 녹색 및 청색 단위 픽셀이 3개의 게이트 라인과 하나의 데이터 라인에 접속되어 화상을 표시하도록 단위 픽셀 구조를 변경하였다. 이때, 변경된 단위 픽셀은 픽셀의 장축이 가로 방향(행 방향)이고, 단축이 세로 방향(열 방향)인 가로 픽셀 구조로 제작된다.
- <4> 이와 같이 변경된 단위 픽셀의 경우 앞서 변경되기 전의 단위 픽셀에 비하여 데이터 라인은 1/3으로 감소하는 반면에 게이트 라인은 3배가 증가하게 된다. 따라서, 단위 픽셀의 구조를 가로 픽셀 구조로 변경하는 경우 일 단위 픽셀에 계조 데이터 신호를 충전하는 시간(즉, 1 수평 클럭 주기(1H))이 1/3으로 줄어들게 된다. 이는 일 단위 픽셀 내에 원활한 계조 데이터 신호가 인가되지 않아 화면에 다양한 얼룩을 발생시키는 요인으로 작용한다.
- <5> 이를 해결하기 위한 방법으로 최근에는 단위 픽셀을 프리차징 하는 방법이 사용되었다. 이는 상측 단위 픽셀과 하측 단위 픽셀의 수평 클럭 주기(1H)를 약 1/2 정도 중첩시켜 상측 단위 픽셀에 해당 계조 데이터 신호가 인가될 때, 하측 단위 픽셀에 상기 단위 화소를 인가하여 하측 단위 픽셀을 프리차징한다. 이를 통해 후속 하측 단위 픽셀에 해당 계조 데이터 신호가 인가되는 경우, 하측 단위 픽셀은 프리차징되어 있기 때문에 수평 클럭 주기가 짧더라도 해당 계조 데이터 신호로 빠르게 충전될 수 있다.
- <6> 하지만, 상측 단위 픽셀과 하측 단위 픽셀의 수평 클럭 주기를 1/2 정도 중첩 시키기 위해서는 게이트 구동부를 제어하기 위한 제어 칩뿐만 아니라 수평 클럭 주기(1H) 중첩을 제어하기 위한 별도의 제어 칩이 추가로 필요하게 되어 비용이 증가하게 되었다. 또한, 별도의 제어 칩의 출력 신호가 흐르는 신호 배선이 필요로 하게 되고, 이로 인해 표시 패널에 게이트 구동부를 집적시키기 위한 공간이 줄어들게 되는 단점이 있다.

발명의 내용

해결 하고자하는 과제

<7> 따라서, 본 발명은 상기의 문제점을 해결하기 위해 도출된 것으로서, 상측 단위 픽셀에 해당 계조 신호가 인가 되는 동안 동시에 하측 단위 픽셀에 상기 계조 데이터 신호로 프리차징하여 별도의 제어 칩 또는 신호 배선을 사용하지 않고 픽셀의 충전율을 향상시킬 수 있는 표시 패널과 이를 구비하는 표시 장치 및 이의 구동 방법을 제공하는 것을 그 목적으로 한다.

과제 해결수단

- <8> 본 발명에 따른 게이트 턴온 신호를 순차적으로 인가받는 복수의 게이트 라인과, 계조 데이터 신호를 인가받는 복수의 데이터 라인 및 상기 게이트 턴온 신호에 따라 계조 데이터 신호를 인가 받는 복수의 단위 픽셀을 구비하고, 복수의 단위 픽셀 각각은, 제 1 게이트 라인과 일 데이터 라인에 접속된 제 1 박막 트랜지스터와, 상기 제 1 게이트 라인에 상기 게이트 턴온 신호가 인가되기 전에 먼저 게이트 턴온 신호를 인가 받는 제 2 게이트 라인과 상기 일 데이터 라인에 접속된 제 2 박막 트랜지스터와, 상기 제 1 및 제 2 박막 트랜지스터에 접속된 액정 커패시터를 포함하는 표시 패널을 제공한다.
- <9> 복수의 단위 픽셀은 매트릭스 배열되고, 상기 게이트 라인은 매트릭스 배열된 단위 픽셀의 픽셀 행 방향으로 연장되는 것이 바람직하다.
- <10> 상기 복수의 단위 픽셀 각각은 픽셀 열 방향으로 적색, 녹색 및 청색 단위 픽셀이 순차적으로 반복되는 것이 효과적이다.
- <11> 상기 복수의 단위 픽셀 각각의 장축 방향이 가로 방향인 것이 효과적이다.
- <12> 상기 액정 커패시터는 화소 전극을 구비하고, 상기 제 1 박막 트랜지스터의 게이트 단자는 상기 제 1 게이트 라인에 접속되고, 상기 제 2 박막 트랜지스터의 게이트 단자는 상기 제 2 게이트 라인에 접속되며, 상기 제 1 및 제 2 박막 트랜지스터의 소스 단자는 상기 일 데이터 라인에 접속되고, 드레인 단자는 상기 화소 전극에 접속되는 것이 바람직하다.
- <13> 상하로 인접 배치된 제 1 및 제 2 단위 픽셀 각각의 제 1 박막 트랜지스터와 제 2 박막 트랜지스터는 단일 몸체의 게이트 전극을 사용하는 것이 바람직하다.
- <14> 일 게이트 라인에 게이트 턴온 신호를 인가하여 상기 일 게이트 라인 상측과 하측에 배치된 단위 픽셀에 동일한 계조 데이터 신호를 공급하는 것이 효과적이다.
- <15> 또한, 본 발명에 따른 게이트 턴온 신호를 순차적으로 인가받는 복수의 게이트 라인과, 계조 데이터 신호를 인가받는 복수의 데이터 라인과, 제 1 게이트 라인과 일 데이터 라인에 접속된 제 1 박막 트랜지스터와 상기 제 1 게이트 라인에 상기 게이트 턴온 신호가 인가되기 전에 먼저 게이트 턴온 신호를 인가 받는 제 2 게이트 라인과 상기 일 데이터 라인에 접속된 제 2 박막 트랜지스터와 상기 제 1 및 제 2 박막 트랜지스터에 접속된 액정 커패시터를 구비하는 표시 패널과, 게이트 클럭 신호에 따라 상기 게이트 턴온 신호를 순차적으로 제공하는 게이트 구동부 및 상기 게이트 클럭 신호를 생성하는 게이트 클럭 생성부를 구비하는 것이 효과적이다.
- <16> 상하로 인접 배치된 제 1 및 제 2 단위 픽셀 각각의 제 1 박막 트랜지스터와 제 2 박막 트랜지스터는 단일 몸체의 게이트 전극을 사용하는 것이 바람직하다.
- <17> 일 게이트 라인에 게이트 턴온 신호를 인가하여 상기 일 게이트 라인 상측과 하측에 배치된 단위 픽셀에 동일한 계조 데이터 신호를 공급하는 것이 바람직하다.
- <18> 상기 게이트 구동부는 복수의 게이트 라인에 각기 접속된 복수의 스테이지부를 구비하고, 상기 스테이지부는 게이트 라인의 일측 끝단 또는 양측 끝단에 각기 마련되는 것이 효과적이다.
- <19> 또한, 본 발명에 따른 복수의 게이트 라인에 순차적으로 게이트 턴온 신호를 인가하고, 복수의 데이터 라인에 계조 데이터 신호를 인가하여 복수의 단위 픽셀에 계조 데이터 신호를 제공하되, 일 게이트 라인에 게이트 턴온 신호를 인가하여 일 게이트 라인의 상하에 배치된 단위 픽셀에 동시에 계조 데이터 신호를 인가하는 표시 장치의 구동 방법을 제공한다.
- <20> 1H 구간 동안 일 단위 픽셀에 프리차징 신호를 제공하고, 1H 구간 동안 화상을 표시하기 위한 해당 계조 데이터

신호를 제공하는 것이 바람직하다.

<21> 상기 일 게이트 라인의 상측에 배치된 단위 픽셀에는 화상을 표시하기 위한 해당 계조 데이터 신호가 인가되고, 상기 일 게이트 라인의 하측에 배치된 단위 픽셀에는 상기 해당 계조 데이터 신호가 프리차징 신호로 인가되는 것이 효과적이다.

효 과

<22> 상술한 바와 같이, 본 발명은 전단 단위 픽셀에 해당 계조 데이터 신호를 인가하는 동안 후단 단위 픽셀에 상기 계조 데이터 신호를 프리차징 신호로 인가하여 프리차징하여 픽셀의 충전율을 향상시킬 수 있다.

<23> 또한, 본 발명은 일 단위 픽셀 내에 전단 단위 픽셀에 해당 계조 데이터 신호를 인가하는 게이트 라인과 접속된 박막 트랜지스터와, 일 단위 픽셀에 해당 계조 신호를 인가하는 게이트 라인과 접속된 박막 트랜지스터를 구비하여 별도의 제어 칩 또는 신호 배선의 추가 없이 픽셀의 충전율을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

<24> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

<25> 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록이다. 도 2는 일 실시예에 따른 게이트 구동부를 설명하기 위한 블록이다. 도 3은 일 실시예에 따른 표시 패널을 설명하기 위한 평면 개념도이고, 도 4는 도 3의 A-A선에 대해 자른 단면도이다. 도 5는 일 실시예에 따른 표시 장치의 동작을 설명하기 위한 파형도이다.

<26> 도 1 내지 도 4를 참조하면, 본 실시예에 따른 표시 장치는 표시 패널(100), 게이트 구동부(200), 데이터 구동부(300), 게이트 클럭 생성부(400), 구동 전압 생성부(500) 및 신호 제어부(600)를 포함한다.

<27> 표시 패널(100)은 일 방향으로 연장된 복수의 게이트 라인(G1 내지 Gn) 및 이와 교차하는 방향으로 연장된 복수의 데이터 라인(D1 내지 Dm)을 구비한다. 표시 패널(100)은 게이트 라인(G1 내지 Gn)과 데이터 라인(D1 내지 Dm)에 접속된 복수의 단위 픽셀을 구비한다. 복수의 단위 픽셀은 표시 패널(100)의 화상 표시 영역 내에 매트릭스 배열되어 있다. 표시 패널(100)의 표시 영역에 마련된 픽셀 매트릭스는 복수의 픽셀 열과 복수의 픽셀 행을 구비한다. 본 실시예에서는 픽셀 열 방향으로 적색, 녹색 및 청색을 발광하는 단위 픽셀이 순차적으로 배치된다. 그리고, 단위 픽셀의 장축이 행 방향(가로 방향)이고, 단축이 열 방향(세로 방향)이다.

<28> 단위 픽셀은 하측 게이트 라인에 접속된 제 1 박막 트랜지스터(T1)와 상측 게이트 라인에 접속된 제 2 박막 트랜지스터(T2) 그리고, 제 1 및 제 2 박막 트랜지스터(T1, T2)에 접속된 액정 커패시터(C1c)와 유지 커패시터(Cst)를 구비한다.

<29> 제 1 게이트 라인(G1)을 통해 제 1 픽셀 행에 해당 계조 데이터 신호를 인가하고, 제 2 게이트 라인(G2)을 통해 제 2 픽셀 행에 해당 계조 데이터 신호를 인가하고, 제 n 게이트 라인(Gn)을 통해 제 n 픽셀 행에 해당 계조 데이터 신호를 인가한다. 이때, 상기 하측 게이트 라인은 일 픽셀 행에 해당 계조 데이터 신호를 인가하기 위한 게이트 라인을 지칭하고, 상측 게이트 라인은 일 픽셀 행 앞단의 픽셀 행에 해당 계조 데이터 신호를 인가하기 위한 전단 게이트 라인을 지칭한다. 예를 들어, 도 2에 도시된 바와 같이 제 j-1 픽셀 행, 제 j 픽셀 행 및 제 j+1 픽셀 행 내의 제 j-1 단위 픽셀, 제 j 단위 픽셀 및 제 j+1 단위 픽셀 중 제 j 단위 픽셀을 살펴보면 다음과 같다. 제 j 단위 픽셀에서 하측 게이트 라인은 제 j 게이트 라인(Gj)을 지칭하고, 상측 게이트 라인은 제 j-1 게이트 라인(Gj-1)을 지칭한다.

<30> 복수의 게이트 라인(G1 내지 Gn)은 픽셀 매트릭스의 행 방향(가로 방향)으로 연장되어 열 방향으로 상하에 각기 위치한 단위픽셀과 접속된다. 즉, 도 2 및 도 3에 도시된 바와 같이 제 j 게이트 라인(Gj)은 제 1 박막 트랜지스터(T1)를 통해 제 j 액정 커패시터(C1cj)에 접속되고, 제 2 박막 트랜지스터(T2)를 통해 제 j+1 액정 커패시터(C1cj)에 접속된다. 그리고, 복수의 데이터 라인(D1 내지 Dm)은 픽셀 매트릭스의 열 방향(세로 방향)으로 연장되어 되어 행 방향으로 좌측 또는 우측에 각기 위치한 단위 픽셀에 접속된다.

<31> 본 실시예에서는 일 단위 픽셀 내에 각기 서로 다른 게이트 라인에 접속된 제 1 및 제 2 박막 트랜지스터(T1, T2)를 구비한다. 제 1 박막 트랜지스터(T1)의 게이트 단자(111)는 하측 게이트 라인에 접속되고, 제 2 박막 트랜지스터(T2)의 게이트 단자(111)는 상측 게이트 라인에 접속된다. 상기 제 1 및 제 2 박막 트랜지스터(T1) 각각의 소스 단자(115)는 데이터 라인(D1 내지 Dm)에 접속되고, 드레인 단자(118)는 각기 일 단위 픽셀 내의 화소

전극(140)에 접속된다.

- <32> 이를 통해 상측 게이트 라인에 게이트 턴온 신호(Von)가 인가될 때 제 2 박막 트랜지스터(T2)가 턴온된다. 턴온된 제 2 박막 트랜지스터(T2)를 통해 데이터 라인(D1 내지 Dm)의 전단 계조 데이터 신호가 화소 전극(140)으로 인가된다. 이어서, 상측 게이트 라인에 게이트 턴오프 신호(Voff)가 인가되면 제 2 박막 트랜지스터(T2)는 턴오프 되고, 이와 동시에 하측 게이트 라인에 게이트 턴온 신호(Von)가 인가된다. 이를 통해 하측 게이트 라인에 접속된 제 1 박막 트랜지스터(T1)가 턴온되고, 턴온된 제 1 박막 트랜지스터(T1)을 통해 데이터 라인(D1 내지 Dm)의 해당 계조 데이터 신호가 화소 전극(140)에 인가된다.
- <33> 상술한 표시 패널(100)에 관한 구체적인 설명은 후술한다.
- <34> 표시 패널(100)의 외측에는 표시 패널(100)의 구동을 위한 신호들을 제공하는 제어 수단들이 마련된다. 상기 제어 수단은 게이트 구동부(200), 데이터 구동부(300), 게이트 클럭 생성부(400), 구동 전압 생성부(500) 및 신호 제어부(600)를 포함한다.
- <35> 먼저, 신호 제어부(600)는 복수의 외부 제어 신호를 제공받아 내부 제어 신호를 생성한다. 즉, 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터의 영상 신호(R, G, B), 프레임 구별 신호인 수직 동기 신호(Vsync), 수평 동기 신호(Hsync) 및 외부 클럭 신호(CLK)를 포함하는 외부 제어신호를 공급받아 게이트 구동부(200), 데이터 구동부(300), 게이트 클럭 생성부(400) 및 구동 전압 생성부(500)의 동작을 제어하는 복수의 내부 제어신호를 생성한다. 그리고 생성된 내부 제어 신호들을 각부에 제공한다. 신호 제어부(600)는 공통 전압에 대한 계조 전압의 극성을 반전시키는 반전 신호를 데이터 구동부(300)에 제공할 수 있다. 이를 통해 표시 장치를 n 닷 반전 구동 및 라인 반전 구동 그리고, 1+m 반전 구동을 수행할 수 있다.
- <36> 이어서, 구동 전압 생성부(500)는 신호 제어부(600)의 전압 제어 신호 및/또는 외부 전원장치로부터 입력되는 외부 전원 전압을 이용하여 표시 장치의 구동에 필요한 다양한 구동 전압을 생성한다. 상기 구동 전압 생성부(500)는 기준 전압(GVDD)과, 게이트 턴온 전압 및 게이트 턴오프 전압 그리고 공통 전압을 생성한다. 상기 구동 전압 생성부(500)는 신호 제어부(600)의 제어 신호에 따라 상기 게이트 턴온 전압 및 게이트 턴 오프 전압을 게이트 클럭 신호 생성부(400)에 인가하고, 기준 전압(GVDD)을 데이터 구동부(300)에 인가한다. 여기서, 기준 전압(GVDD)은 액정을 구동시키는 계조 전압 생성을 위한 기본 전압으로 사용된다.
- <37> 데이터 구동부(300)는 신호 제어부(600)의 데이터 제어 신호와 계조 데이터 신호 그리고 구동 전압 생성부(500)의 기준 전압(GVDD)을 이용하여 계조 신호를 생성하여 각 데이터 라인(D1 내지 Dm)에 인가한다. 즉, 데이터 구동부(300)는 데이터 제어 신호에 따라 구동하여 입력된 디지털 형태의 계조 데이터 신호를 기준 전압(GVDD)을 이용하여 아날로그 형태의 계조 데이터 신호로 변환한다. 그리고, 데이터 구동부(300)는 변환된 계조 데이터 신호를 복수의 데이터 라인(D1 내지 Dm)에 공급한다.
- <38> 게이트 클럭 생성부(400)는 신호 제어부(600)의 내부 클럭 신호(CK) 및 수직 동기 시작 신호(STV) 그리고 구동 전압 생성부(500)의 게이트 턴온 전압(Von) 및 게이트 턴오프 전압(Voff)에 따라 시작 신호(STVP)와, 구동 클럭 신호(CKV, CKVB)를 생성하여 게이트 구동부(200)에 제공한다. 이때, 상기 구동 클럭 신호는 게이트 클럭 신호(CKV) 및/또는 반전된 게이트 클럭 신호(CKVB)를 포함한다. 하기에서는 구동 클럭 신호로 게이트 클럭 신호(CKV) 및 반전된 게이트 클럭 신호(CKVB)를 모두 사용하는 경우를 기준으로 설명한다. 여기서, 게이트 클럭 신호와 반전된 게이트 클럭 신호는 주기는 같고 위상이 반대인 신호를 지칭한다. 그리고, 상기 게이트 클럭 신호와 반전된 게이트 클럭 신호의 로직 하이 구간은 게이트 턴온 전압 레벨과 동일하고, 게이트 클럭 신호와 반전된 게이트 클럭 신호의 로직 로우 구간은 게이트 턴 오프 전압 레벨과 동일한 것이 바람직하다.
- <39> 상기 게이트 클럭 생성부(400)는 접지 전원(VSS)을 게이트 구동부(200)에 제공한다. 물론 이에 한정되지 않고, 상기 접지 전원은 구동 전압 생성부(500)에서 직접 게이트 구동부(200)에 전송될 수 있다. 또한, 상기 수직 동기 시작 신호(STV)는 신호 제어부(600)로부터 직접 게이트 구동부(200)에 전송될 수도 있다.
- <40> 게이트 구동부(200)는 시작 신호(STVP)와 게이트 클럭 신호(CKV) 및 반전된 게이트 클럭 신호(CKVB)에 따라 복수의 게이트 라인(G1 내지 Gn)에 게이트 턴온 신호(Von) 및 게이트 턴오프 신호(Voff)를 인가한다. 상기 게이트 턴온 신호(Von)는 복수의 게이트 라인(G1 내지 Gn)에 순차적으로 제공된다. 게이트 턴온 신호(Von)는 단일 펄스 형태의 신호이다. 게이트 턴온 신호(Von)는 1 수평 클럭 주기(1H) 동안 게이트 라인(G1 내지 Gn)에 공급되는 것이 바람직하다.
- <41> 이때, 게이트 턴온 신호(Von)는 상기 게이트 클럭 신호(CKV) 또는 반전된 게이트 클럭 신호(CKVB)의 로직 하이 구간 동안 게이트 라인(G1 내지 Gn)에 제공되는 것이 바람직하다. 이를 통해 각 게이트 라인(G1 내지 Gn)에 접

속된 제 1 및 제 2 박막 트랜지스터(T)를 턴온시켜 화상을 표시한다.

- <42> 도 1에는 하나의 게이트 구동부(200)가 표시 패널(100)의 일측 가장자리에 위치됨이 도시되었다. 그러나, 이에 한정되지 않고, 두개의 게이트 구동부(200)가 표시 패널(100)의 양측 가장자리에 위치될 수 있다. 이때, 두개의 게이트 구동부(200)는 모두 하나의 신호 제어부(600)에 의해 제어되는 것이 바람직하다.
- <43> 상술한 신호 제어부(600), 데이터 구동부(300) 및 게이트 클럭 생성부(400)는 칩 형태로 제작되어, 인쇄 회로 기판(Printed Circuit Board; PCB)에 실장된다. 그리고, 인쇄 회로 기판 상에 실장된 신호 제어부(600), 데이터 구동부(300) 및 게이트 클럭 생성부(400)는 연성 인쇄 회로 기판(Flexible Printed Circuit Board; FPC)을 통해 표시 패널(100)과 전기적으로 접속되는 것이 바람직하다. 물론 이에 한정되지 않고, 상기 데이터 구동부(300)와 게이트 클럭 신호 생성부(400)는 표시 패널(100)의 하부 기판 상에 실장될 수도 있다. 본 실시예의 게이트 구동부(200)는 표시 패널(100)의 하부 기판(10)의 일측 가장 자리 영역에 마련되는 것이 바람직하다. 이때, 게이트 구동부(200)는 복수의 스테이지(210-1 내지 210-n)를 포함한다.
- <44> 하기에서는 도 2를 중심으로 본 실시예에 따른 복수의 스테이지를 갖는 게이트 구동부에 관해 설명한다.
- <45> 본 실시예의 게이트 구동부(200)는 복수의 게이트 라인(G1 내지 Gn)에 각기 접속된 제 1 내지 제 n 스테이지부(210-1 내지 210-n)를 포함한다. 제 1 내지 제 n 스테이지부(210-1 내지 210-n)는 복수의 게이트 라인(G1 내지 Gn)에 각기 연결된다. 그리고, 제 1 내지 제 n 스테이지부(210-1 내지 210-n)는 순차적으로 구동하여 이에 접속된 복수의 게이트 라인(G1 내지 Gn)에 게이트 턴온 신호(Von)를 제공한다. 제 1 내지 제 n 스테이지부(210-1 내지 210-n)는 게이트 클럭 신호(CKV), 반전된 게이트 클럭 신호(CKVB), 접지 신호(VSS) 그리고, 수직 동기 시작 신호(STV) 또는 전단 스테이지부(210-1 내지 210-n-1)의 출력 신호를 포함하는 복수의 동작 신호에 따라 복수의 게이트 라인(G1 내지 Gn)에 게이트 턴온 신호(Von) 또는 게이트 턴 오프 신호(Voff)를 공급한다. 이때, 제 1 내지 제 n 스테이지부(210-1 내지 210-n)는 로직 하이 구간의 게이트 클럭 신호(CKV) 또는 반전된 게이트 클럭 신호(CKVB)를 게이트 턴온 신호(Von)로 복수의 게이트 라인(G1 내지 Gn)에 제공한다.
- <46> 제 1 스테이지부(210-1)는 수직 동기 시작 신호(STV), 게이트 클럭 신호(CKV), 반전된 게이트 클럭 신호(CKVB) 및 접지 신호(Vss)에 따라 구동하여 제 1 게이트 라인(G1)에 게이트 턴온 신호(Von)를 제공한다. 제 2 내지 제 n 스테이지부(210-2 내지 210-n)는 전단 스테이지부(210-1 내지 210-n-1)의 출력 신호(게이트 턴온 신호(Von)), 게이트 클럭 신호(CKV), 반전된 게이트 클럭 신호(CKVB) 및 접지 신호(Vss)에 따라 구동하여 제 2 내지 제 n 게이트 라인(G2 내지 Gn)에 게이트 턴온 신호(Von)를 제공한다. 그리고, 제 1 내지 제 n-1 스테이지부(210-1 내지 210-n-1)는 후단 스테이지부인 제 2 내지 제 n 스테이지부(210-2 내지 210-n)의 출력 신호(게이트 턴온 신호(Von))에 따라 리셋된다.
- <47> 하기에서는 도 3 및 도 4를 중심으로 표시 패널(100)에 관해 구체적으로 설명한다.
- <48> 표시 패널(100)은 제 1 내지 제 n 스테이지부(210-1 내지 210-n)로부터 게이트 턴온 신호(Von)를 인가받는 복수의 게이트 라인(G1 내지 Gn)과, 데이터 구동부(300)로부터 데이터 신호를 인가 받는 데이터 라인(D1 내지 Dm), 그리고 표시 패널(100)은 제 1 및 제 2 박막 트랜지스터(T1, T2), 액정 커패시터(C1c)와 유지 커패시터(Cst)용 화소 전극(140-j-1, 140-j, 140-j+1; 140) 및 유지 커패시터(Cst)용 유지 라인(120)이 마련된 하부 기판(10)과, 차광 패턴(160), 컬러 필터(170) 및 액정 커패시터(C1c)용 공통 전극(180)이 마련된 상부 기판(20)을 포함하고, 상부 기판(20)과 하부 기판(10) 사이에 마련된 액정(30)을 포함한다.
- <49> 하부 기판(10) 상에 형성된 게이트 라인(G1 내지 Gn)은 행 방향으로 연장되고, 그 일부가 돌출하여 제 1 및 제 2 박막 트랜지스터(T1, T2)의 게이트 단자(111)를 이룬다. 도 3에 도시된 바와 같이 게이트 라인(G1 내지 Gn)의 하나의 돌출부가 제 1 및 제 2 박막 트랜지스터(T1, T2)의 게이트 단자(111)로 사용된다. 이때, 제 j 게이트 라인(Gj)의 일 돌출부 상에 형성된 제 1 박막 트랜지스터(T1)는 제 j 게이트 라인(Gj) 상측의 화소 전극(140-j)에 접속되고, 제 2 박막 트랜지스터(T2)는 제 j 게이트 라인(Gj) 하측의 화소 전극(140-j+1)에 접속된다. 데이터 라인(D1 내지 Dm)은 열 방향으로 연장되고, 제 1 및 제 2 박막 트랜지스터(T1, T2)에 게조 데이터 신호를 제공한다. 유지 라인(120)은 게이트 라인(G1 내지 Gn)과 평행한 방향으로 연장된다. 유지 전극 라인(120)의 끝단을 공통 전압과 연결되어 있는 것이 효과적이다. 유지 라인(120)은 화소 전극 하측 영역 일부가 돌출된 돌출부를 갖는다. 이때, 돌출부는 그 상측에 마련된 드레인 전극 패드(118)와 유지 커패시터(Cst)를 이룬다.
- <50> 제 1 및 제 2 박막 트랜지스터(T1, T2)는 각기 게이트 단자(111), 게이트 절연막(112), 활성층(113), 오믹 접촉층(114), 소스 단자(115) 및 드레인 단자(116)를 구비한다. 앞서 설명한 바와 같이 제 1 박막 트랜지스터(T1)의 게이트 단자(111)는 하측 게이트 라인에 접속되고, 제 2 박막 트랜지스터(T2)의 게이트 단자(111)는 상측 게

이트 라인에 접속된다. 일 단위 픽셀내의 제 1 및 제 2 박막 트랜지스터(T1, T2)의 게이트 단자(111)들은 상하에 인접 위치한 단위 픽셀내의 제 2 박막 트랜지스터(T2) 또는 제 1 박막 트랜지스터(T1)의 게이트 단자(111)와 단일 몸체로 제작된다. 물론 이에 한정되지 않고, 이들 각각은 분리 제작될 수 있다.

- <51> 상기 게이트 단자(111) 상에는 절연성의 게이트 절연막(112)이 마련된다. 게이트 절연막(112)으로 실리콘 산화막 및 실리콘 질화막 계열의 무기 절연막을 사용하는 것이 바람직하다.
- <52> 게이트 단자(111) 상층의 게이트 절연막(112) 상에 활성층(113)이 마련된다. 활성층(113)은 제 1 및 제 2 박막 트랜지스터(T1, T2)의 채널부로 사용된다. 상기 활성층(113) 상에 소스 단자(115)와 드레인 단자(116)가 마련된다. 이때, 활성층(113)과 소스 단자(115) 및 드레인 단자(116) 사이에는 이들 간의 접촉 저항 감소를 위한 오믹 접촉층(114)이 마련된다. 물론 활성층(113)과 오믹 접촉층은 데이터 라인(D1 내지 Dm)하부에도 형성될 수 있다. 상기 소스 단자(115)는 데이터 라인(D1 내지 Dm)에 접속된다. 그리고, 일 단위 픽셀 내의 제 1 및 제 2 박막 트랜지스터(T1, T2)의 소스 단자(115)들은 상하에 인접 위치한 단위 픽셀내의 제 2 박막 트랜지스터(T2) 또는 제 1 박막 트랜지스터(T1)의 소스 단자(115)와 단일 몸체로 제작된다. 제 1 및 제 2 박막 트랜지스터(T1, T2)의 드레인 단자(116)는 각기 그 일부가 연장되어 드레인 전극 패드(118)에 접속된다. 물론 이에 한정되지 않고, 제 1 및 제 2 박막 트랜지스터(T1, T2)의 드레인 단자는 각기 연장되어 서로 다른 드레인 전극 패드(118)에 접속될 수 있다. 이 경우 서로 다른 드레인 전극 패드(118)는 일 화소 전극(140)에 각기 접속된다.
- <53> 여기서, 상술한 게이트 라인(G1 내지 Gn), 데이터 라인(D1 내지 Dm), 게이트 단자(111), 소스 단자(115), 드레인 단자(116) 및 유지 라인(120)은 Al, Ag, Cr, Ti, Ta, Mo 및 이들의 합금 금속 중 적어도 어느 하나의 금속으로 만들어 질 수 있다. 그리고, 상술한 요소는 단일 금속 층으로 제작되거나 복수의 금속층이 적층된 다중층으로 제작될 수 있다.
- <54> 상술한 게이트 단자(111), 소스 단자(115), 드레인 단자(116)를 포함하는 제 1 및 제 2 박막 트랜지스터(T1, T2) 및 드레인 전극 패드(118) 상부에 보호막(130)이 형성된다. 보호막(130)은 실리콘 질화막 또는 실리콘 산화막 등의 무기 물질로 형성될 수도 있고, 저유전율 유기막으로 형성될 수도 있다. 물론 무기 절연막과 유기막의 이중층으로 형성될 수도 있다. 상기 보호막(130)에는 상기 드레인 전극 패드(118)를 노출시키는 콘택홀(131)이 마련된다.
- <55> 보호막(130) 상에는 화소 전극(140)이 형성된다. 화소 전극(140)은 인듐 주석 산화물(Indium Tin Oxide: ITO)이나 인듐 아연 산화물(Indium Zinc Oxide: IZO)을 사용하는 것이 바람직하다. 물론 이에 한정되지 않고, 다양한 투명 전도성 물질을 사용할 수 있다. 화소 전극(140)은 콘택홀(131)을 통해 제 1 및 제 2 박막 트랜지스터(T1, T2)의 드레인 단자(116)와 접속된다. 그리고, 화소 전극(140)은 도사되지는 않았지만 복수의 도메인으로 분할될 수 있고, 이러한 도메인 규제 수단으로 절개 패턴 또는 돌기 패턴을 사용할 수 있다.
- <56> 또한, 상부 기관(20) 상에 형성된 차광 패턴(160)은 화상을 표시하기 위한 투광 영역 이외의 영역으로 빛이 새는 것을 방지한다. 또한 차광 패턴(160)은 인접한 단위 픽셀 간의 광 간섭을 장비한다. 컬러 필터(170)는 적색(R), 녹색(G), 청색(B)으로 구분되고, 이들이 각기 투광 영역에 마련된다. 공통 전극(180)은 컬러 필터(170)와 차광 패턴(160)을 포함하는 상부 기관(20) 전면에 형성된다. 공통 전극(180)은 하부 기관(10)의 화소 전극(140)과 액정 커패시터(C1c)를 이룬다. 공통 전극(180)은 화소 전극(140)과 동일한 물질막으로 제작되는 것이 바람직하다. 그리고 도사되지는 않았지만, 필요에 따라 상기 공통 전극(180) 하층에 유기물질로 이루어진 오버 코트막이 형성될 수도 있다.
- <57> 상술한 구조의 하부 기관(10)과 상부 기관(20)을 정렬시켜 결합하고, 그 사이에 액정 물질을 주입하여 수직 배향시켜 표시 패널을 제작한다. 상술한 설명에서는 단위 픽셀을 기준으로 설명하였지만, 상술한 단위 픽셀의 제 1 및 제 2 박막 트랜지스터(T1, T2)의 제작시 하부 기관(10)의 적어도 일측 가장자리에 게이트 라인(G1 내지 Gn)과 접속된 복수의 스테이지부(210-1 내지 210-n)도 함께 제작된다.
- <58> 하기에서는 도 2와 도 5를 중심으로 본 실시예에 따른 표시 장치의 구동 방법을 설명한다.
- <59> 본 실시예에 따른 표시 장치는 신호 제어부(600)의 제어 신호에 따라 게이트 클럭 생성부(400)는 제 1 내지 제 n 스테이지부(210-1 내지 210-n)를 구비하는 게이트 구동부(200)에 시작 신호(STVP)와, 구동 클럭 신호(CKV, CKVB) 및 접지 신호(VSS)를 제공한다. 제 1 내지 제 n 스테이지부(210-1 내지 210-n)는 순차적으로 구동하여 제 1 내지 제 n 게이트 라인(G1 내지 Gn)에 순차적으로 수평 클럭 주기(1H) 기간 동안 게이트 턴온 신호를 제공한다. 이때, 데이터 구동부(300)는 신호 제어부(600)의 계조 데이터 신호를 아날로그 형태의 계조 데이터 신호로 변환한다. 그리고, 해당 게이트 라인이 턴온될 때 해당 계조 데이터 신호를 데이터 라인에 인가한다.

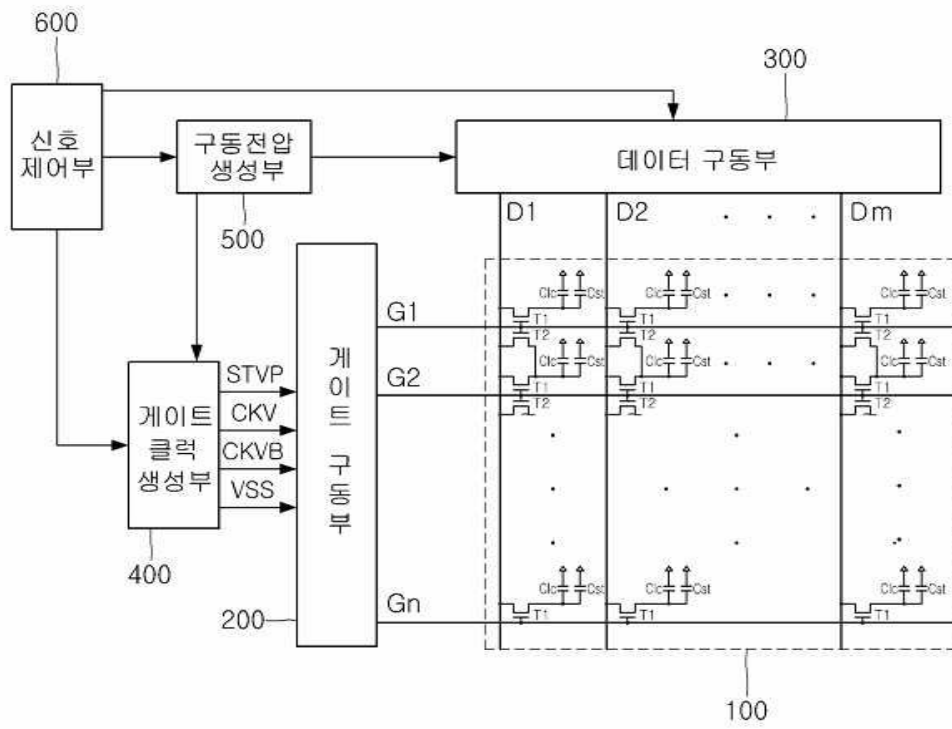
- <60> 이때, 본 실시예의 단위 픽셀은 상측 게이트 라인(즉, 전단 픽셀 게이트 라인)에 게이트 턴온 신호가 인가될 때 제 2 박막 트랜지스터(T2)에 의해 상측 게이트 라인에 해당하는 계조 데이터 신호를 프리차징 신호로 인가 받는다(즉, 프리차징 된다.). 그리고, 하측 게이트 라인(즉, 메인 픽셀 게이트 라인)에 게이트 턴온 신호가 인가될 때 제 1 박막 트랜지스터(T1)에 의해 하측 게이트 라인에 해당하는 계조 데이터 신호(즉, 메인 계조 데이터 신호)를 인가 받아 화상을 표시한다.
- <61> 도 5에 도시된 바와 같이 제 j-1 게이트 라인(Gj-1)에 게이트 턴온 신호(Von)가 인가되면 제 j-1 번째의 단위 픽셀 내의 제 1 박막 트랜지스터(T1)가 턴온되어 제 j-1 번째의 단위 픽셀에 해당하는 제 j-1 번째의 계조 데이터 신호(Dj-1)를 제 j-1 번째의 액정 커패시터(C1cj-1)에 제공한다. 즉 1H 시간 동안 제 j-1 번째 계조 데이터 신호(Dj-1)를 제 j-1 번째의 액정 커패시터(C1cj-1)에 충전하여 해당 화상을 표시한다. 이와 동시에(즉, 제 j-1 번째의 단위 픽셀 내의 제 1 박막 트랜지스터(T1)가 턴온되는 동안) 제 j 번째의 단위 픽셀 내의 제 2 박막 트랜지스터(T2)도 턴온되어 제 j 번째의 계조 데이터 신호(Dj)를 제 j 번째의 액정 커패시터(C1cj)에 제공한다. 즉, 전단 게이트 라인(Gj-1)에 게이트 턴온 신호(Von)가 인가되는 1H 시간 동안 제 j 번째의 액정 커패시터(C1cj)에 제 j-1 번째의 계조 데이터 신호(Dj-1)가 프리차징 신호로 충전된다.
- <62> 이어서, 제 j 게이트 라인(Gj)에 게이트 턴온 신호(Von)가 인가되면 제 j 번째의 단위 픽셀 내의 제 1 박막 트랜지스터(T1)가 턴온되어 제 j 번째의 단위 픽셀에 해당하는 제 j 번째의 계조 데이터 신호(Dj)를 제 j 번째의 액정 커패시터(C1cj)에 제공한다. 이때, 제 j 번째 액정 커패시터(C1cj)는 전단의 제 j-1 게이트 라인(Gj-1)에 게이트 턴온 신호(Von)가 인가될 때 전단 단위 픽셀에 인가되는 제 j-1 번째의 계조 데이터 신호(Dj-1)에 의해 미리 프리차징이 되어 있다. 이로 인해 짧은 시간 내에 제 j 번째의 데이터 신호(Dj)가 제 j 번째의 액정 커패시터(C1cj)에 충전될 수 있다. 이로 인해, 종래 기술에서 설명한 바와 같이 게이트 라인(G1 내지 Gn)의 개수가 증가하여 1H 타임이 줄어들더라도 액정 커패시터(C1cj)에 해당 계조 데이터 신호로 충전할 수 있게 된다. 그리고, 상하 게이트 라인에 인가되는 게이트 턴온 신호의 인가 시간의 중첩을 수행하지 않고, 클럭 주기에 따라 게이트 라인에 순차적으로 게이트 턴온 신호를 인가하기 때문에 중첩 구동을 위한 별도의 회로를 생략할 수 있다.
- <63> 그리고, 제 j 번째의 액정 커패시터(C1cj)에 제 j 번째의 계조 데이터 신호(Dj)가 인가될 때, 제 j+1 번째의 액정 커패시터(C1cj+1)에도 제 j 번째의 계조 데이터 신호(Dj)가 프리차징 신호로 인가된다.
- <64> 본 발명을 첨부 도면과 전술된 바람직한 실시예를 참조하여 설명하였으나, 본 발명은 그에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특허청구범위의 기술적 사상에서 벗어나지 않는 범위 내에서 본 발명을 다양하게 변형 및 수정할 수 있다.

도면의 간단한 설명

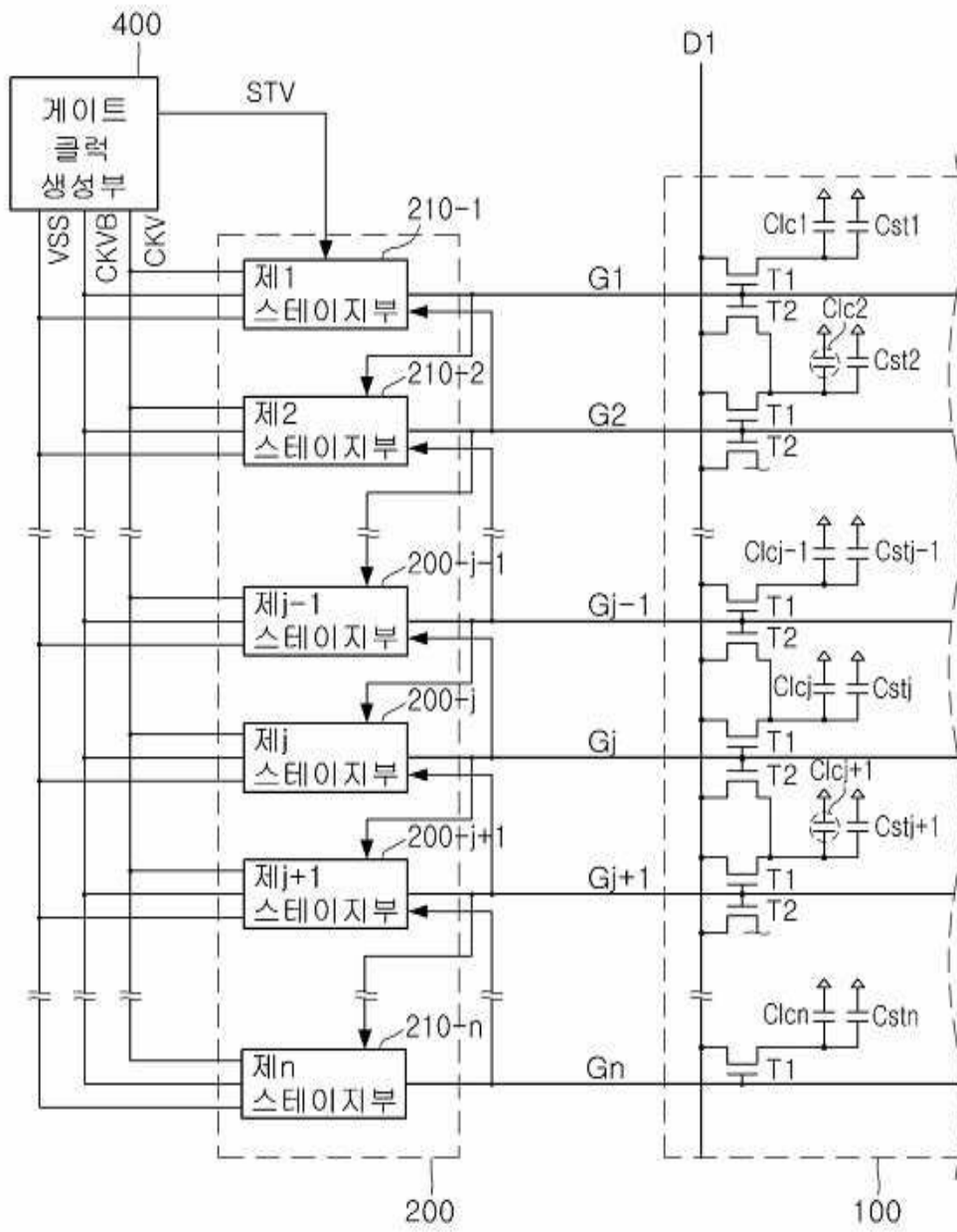
- <65> 도 1은 본 발명의 일 실시예에 따른 표시 장치의 블록.
- <66> 도 2는 일 실시예에 따른 게이트 구동부를 설명하기 위한 블록.
- <67> 도 3은 일 실시예에 따른 표시 패널을 설명하기 위한 평면 개념도.
- <68> 도 4는 도 3의 A-A선에 대해 자른 단면도.
- <69> 도 5는 일 실시예에 따른 표시 장치의 동작을 설명하기 위한 파형도.
- <70> <도면의 주요 부분에 대한 부호의 설명>
- <71> 100 : 표시 패널 200 : 게이트 구동부
- <72> 300 : 데이터 구동부 400 : 게이트 클럭 생성부
- <73> 500 : 구동 전압 생성부 600 : 신호 제어부

도면

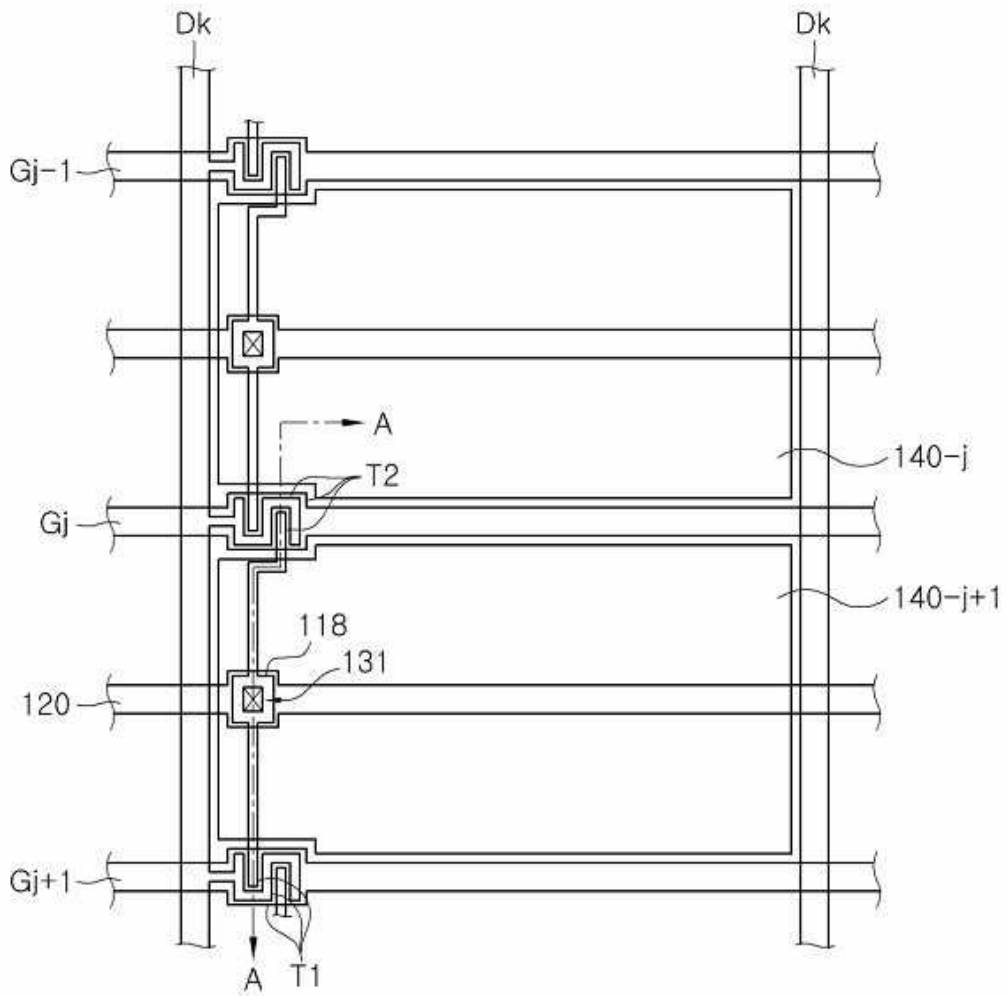
도면1



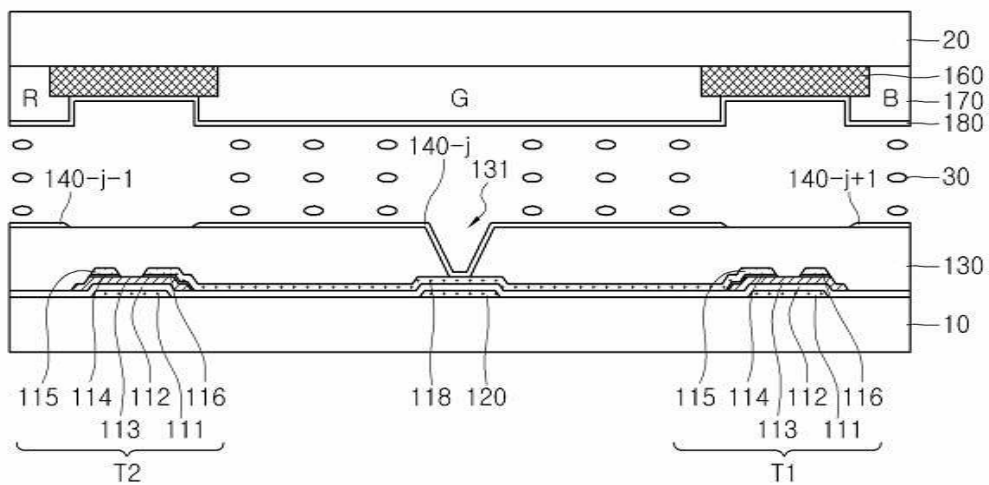
도면2



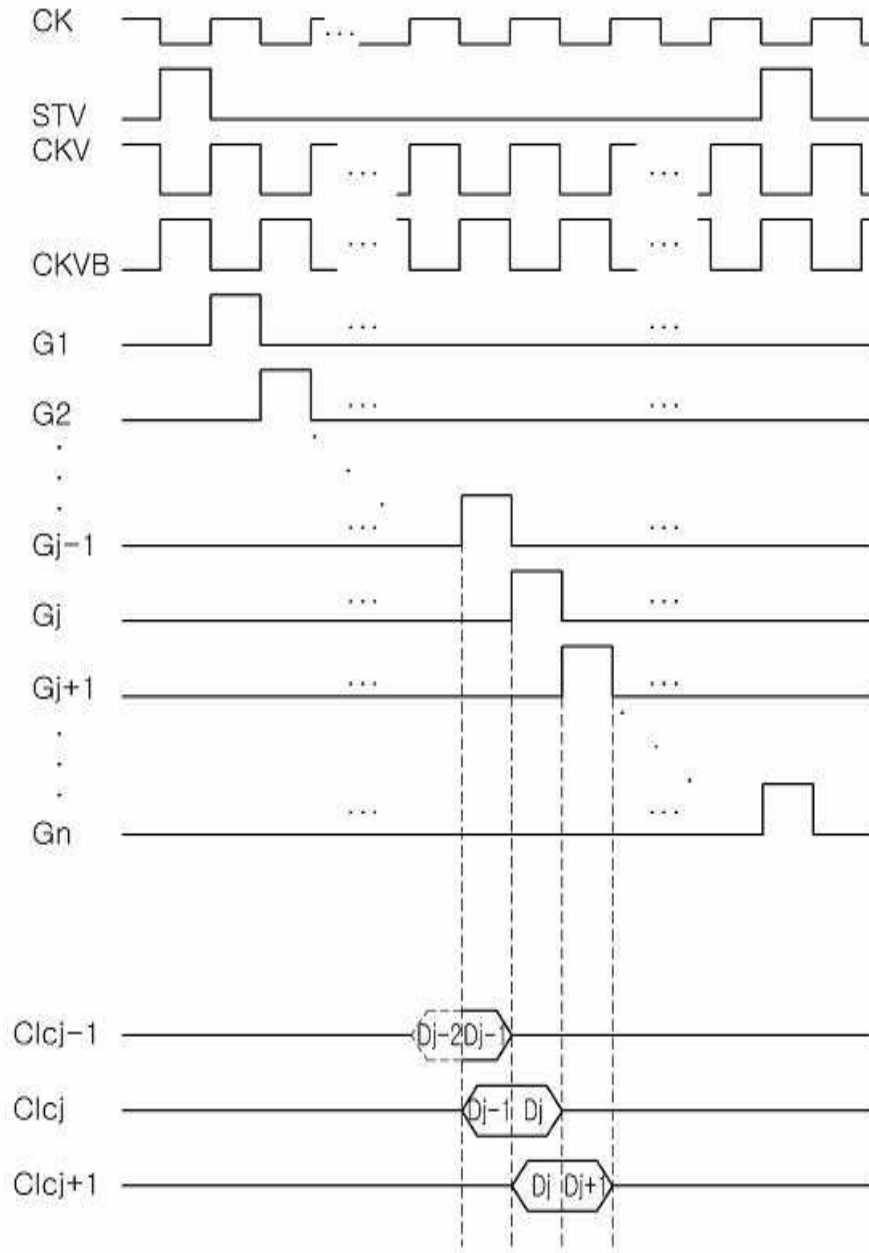
도면3



도면4



도면5



专利名称(译)	显示面板		
公开(公告)号	KR1020090004011A	公开(公告)日	2009-01-12
申请号	KR1020070067882	申请日	2007-07-06
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE KYOUNG JIN 이경진 KIM HYUK JIN 김혁진 SEO DONG WUUK 서동욱 KIM SUNG MAN 김성만 LEE BONG JUN 이봉준 CHO DA HYE 조다혜		
发明人	이경진 김혁진 서동욱 김성만 이봉준 조다혜		
IPC分类号	G02F1/133 G02F1/136		
CPC分类号	G09G3/3648 G02F1/136213 G02F1/136286 G02F1/1368 G09G3/3614 G09G3/3696		
外部链接	Espacenet		

摘要(译)

根据显示面板和显示装置本发明，并且涉及其驱动方法中，多条栅极线导通顺序与多个数据线的信号接收施加灰度等级数据信号和具有所述栅极导通信号接收被施加到栅并且，多个单位像素被施加灰度数据信号，其中多个单位像素中的每一个包括：连接到第一栅极线和一条数据线的第一薄膜晶体管；连接到一条数据线的第二薄膜晶体管，连接到第一薄膜晶体管和第二薄膜晶体管的液晶电容器，以及显示器及其驱动方法。因此，独立于本发明，提供有连接到一个单元和连接到栅极线的薄膜晶体管，以灰度数据信号施加到所述前端单元的像素中的像素中，用于施加的灰度级信号，以一个单位像素的栅极线的薄膜晶体管可以在不添加像素的控制芯片或信号布线的情况下提高像素的充电率。

