



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0117017
(43) 공개일자 2007년12월12일

(51) Int. Cl.

G02F 1/13 (2006.01)

(21) 출원번호 10-2006-0050656

(22) 출원일자 2006년06월07일

심사청구일자 2006년06월07일

(71) 출원인

전자부품연구원

경기도 성남시 분당구 야탑동 68번지

(72) 발명자

이대성

경기 용인시 기흥구 동백동 호수마을 동보노빌리
타 1208-401

성우경

경기도 성남시 분당구 서현동 우성아파트 223-401

(74) 대리인

서천석

전체 청구항 수 : 총 6 항

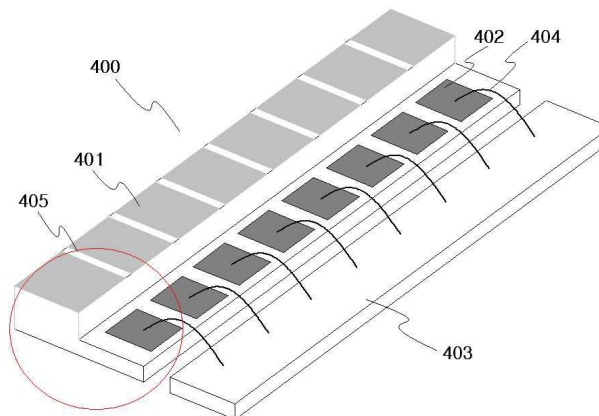
(54) 액정디스플레이의 박막트랜지스터 패널 검사장치 및 그제조방법

(57) 요약

본 발명은 MOSFET을 이용하여 대면적의 패널을 일관되고 빠르게 검사할 수 있는 TFT-LCD의 TFT 패널 검사장치를 제공함에 목적이 있다.

본 발명의 액정디스플레이의 박막트랜지스터 패널 검사장치는 액정패널을 검사하기 위하여 기관상에 형성되는 적어도 하나의 액정패널 검사 셀; 상기 액정패널 검사 셀로부터 출력되는 신호를 취득하기 위한 신호 취득 회로부; 및 상기 액정패널 검사 셀과 상기 신호 취득 회로부를 전기적으로 연결하기 위한 연결부를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

액정패널을 검사하기 위하여 기관상에 형성되는 적어도 하나의 액정 패널 검사 셀;
상기 액정패널 검사 셀로부터 출력되는 신호를 취득하기 위한 신호 취득 회로부; 및
상기 액정패널 검사 셀과 상기 신호 취득 회로부를 전기적으로 연결하기 위한 연결부를 포함하는 액정디스플레이의 박막트랜지스터 패널 검사장치.

청구항 2

제1항에 있어서, 상기 액정 패널 검사 셀은,
상기 기관상에 형성되는 전계효과 트랜지스터;
상기 전계효과 트랜지스터 상부에 증착되는 유전층;
상기 유전층을 관통하여 상기 전계효과 트랜지스터의 게이트와 연결되는 검지전극;
상기 전계효과 트랜지스터의 소스 또는 드레인에 형성되는 본딩 패드를 포함하는 액정디스플레이의 박막트랜지스터 패널 검사장치.

청구항 3

제2항에 있어서,
상기 전계효과 트랜지스터와 상기 검지전극은 각각 관통형 전극이 형성된 절연성 기관 양면에 형성되어 연결부에 의하여 전기적으로 연결된 액정디스플레이의 박막트랜지스터 패널 검사장치.

청구항 4

제2항에 있어서,
상기 기관은 SOI를 사용하는 액정디스플레이의 박막트랜지스터 패널 검사장치.

청구항 5

전계효과 트랜지스터 상부에 유전층을 형성하는 단계;
상기 유전층에 비아홀을 형성하여 상기 전계효과 트랜지스터의 게이트 전극을 노출시키는 단계;
상기 유전층 전면에 금속층을 증착하여 상기 비아홀 내부에 플러그 및 상기 유전층상에 검지전극을 형성하는 단계;
상기 전계효과 트랜지스터의 소스 또는 드레인을 노출시켜 하기 신호취득회로와 연결을 위한 본딩패드를 형성하는 단계; 및
상기 본딩패드와 상기 신호취득회로를 전기적으로 연결하는 단계를 포함하는 액정디스플레이의 박막트랜지스터 패널 검사장치의 제조방법.

청구항 6

절연성 기관의 일측면에 전계효과 트랜지스터를 형성하는 단계;
상기 절연성 기관의 다른 측면에 상기 전계효과 트랜지스터와 소정의 거리로 이격된 곳에 비아홀을 형성하는 단계;
상기 비아홀에 관통형 전극을 형성하고 상기 절연성 기관의 다른 측면에 검지전극을 형성하는 단계; 및
상기 전계효과 트랜지스터의 게이트 전극과 상기 절연성 기관의 일측면에 형성된 상기 관통형 전극을 전기적으로 연결하는 단계

를 포함하는 액정디스플레이의 박막트랜지스터 패널 검사장치의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 근접 전자기장 센서에 관한 것으로, 보다 자세하게는, MOSFET에 검지전극을 형성하여 전압이 인가된 액정패널에 형성된 TFT(Thin Film Transistor)의 동작여부를 판별할 수 있는 액정 패널 검사장치에 관한 것이다.
- <17> 일반적으로 액정 패널은 여러 단계의 제조 공정을 거쳐 제조되어지는 바, 이러한 제조 공정의 마지막 단계에서는 소정의 테스트가 진행되며, 이에 따라, 액정 패널은 항상 일정 수준 이상으로 그 성능을 유지하고 있다.
- <18> 통상, 이러한 테스트는 전기적인 신호를 통해 제품의 성능이 검사되는 전기신호 테스트와 육안을 통해 제품의 외관품질이 검사되는 비주얼 테스트 등으로 나뉘어 지는데, 이때, 액정 패널은 로딩 스테이지를 구비한 테스트 장치에 안정적으로 로딩된 후, 상술한 전기신호 테스트 및 비주얼 테스트를 받게 된다.
- <19> 종래의 액정 패널 검사장치에 따르면, 제조공정을 끝마친 액정 패널은 전기신호 테스트를 하기 위하여 이송 장치를 통해 측정챔버의 패널 로딩 스테이지에 로딩된다.
- <20> 여기서, 패널 로딩 스테이지의 상부면에는 액정 패널로 전기적인 신호를 전달하는 다수개의 프로브들이 설치되는 바, 이러한 프로브들은 패널 로딩 스테이지에 안착된 액정 패널과 접촉되어, 테스트회로에서 출력되는 검사 패턴 화상신호를 전달한다. 이에 따라, 액정 패널에는 소정의 검사패턴 화상이 디스플레이된다.
- <21> 한편, 액정 패널의 상부에는 CCD(Charge Coupled Device) 카메라가 설치되어, 액정 패널에 디스플레이된 검사패턴 화상을 촬영한 후, 이러한 검사패턴 화상을 전기 신호로 변환하여 화상 데이터 분석부로 전달한다.
- <22> 화상 데이터 분석부는 CCD 카메라로부터 출력되는 검사패턴 화상을 분석한 후, 그 결과를 모니터로 출력한다.
- <23> 이 후, 작업자는 모니터에 디스플레이되는 액정 패널 관련 검사패턴 화상의 분석결과를 참고하여, 액정 패널의 품질을 검증한다.
- <24> 이때, CCD 카메라의 설치에는 액정 패널에 디스플레이되는 검사패턴 화상의 배율 및 렌즈의 포커스 등이 적절히 고려되어야 하며, 이에 따라, CCD 카메라는 액정 패널과 일정한 거리를 둔 상태로 액정 패널의 상부에 수직으로 배치되는 것이 일반적이다.
- <25> 여기서, CCD 카메라는 고정되어 있는 관계로 여러 시야에서 다각도로 사람이 테스트하는 것과 같은 효과를 전부 기대할 수 없는 한계를 가진다. 따라서 액정 패널의 균일성을 측정하는 데 많은 제약이 따른다.
- <26> 즉, 검사자가 직접 검사를 하기 때문에, 검사 기준은 검사자의 주관적인 판단하에 이루어지게 되고 검사 기준도 정량적이지 못하고 검사시마다 검사자의 컨디션이나 각자의 기준이 다르기 때문에 액정 패널의 검사 기준이 일정하지 못해 제품도 일정하게 나오지 않는다.
- <27> 그리고, 검사자가 바뀔 때마다 그에 따른 교육이나 준비 과정을 거치게 되어 인건비나 시간이 많이 소요된다는 단점이 있다.
- <28> 또한, 액정 패널 전영역을 검사하기 위해서는 CCD 카메라나 액정 패널이 이동해야 하고, 고해상도의 카메라와 이미지 프로세싱을 사용하기 때문에 검사시간이 길어진다는 문제점이 있다.

<29>

발명이 이루고자 하는 기술적 과제

- <30> 본 발명은 MOSFET을 이용하여 대면적의 LCD 패널을 일관되고 빠르게 검사할 수 있는 액정디스플레이의 박막트랜지스터 패널 검사장치를 제공함에 목적이 있다.

발명의 구성 및 작용

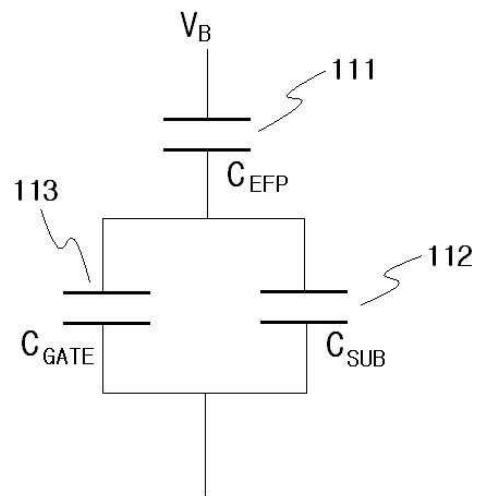
- <31> 본 발명의 액정디스플레이의 박막트랜지스터 패널 검사장치는 액정패널을 검사하기 위하여 기판상에 형성되는 적어도 하나의 액정 패널 검사 셀; 상기 액정패널 검사 셀로부터 출력되는 신호를 취득하기 위한 신호 취득 회로부; 및 상기 액정패널 검사 셀과 상기 신호 취득 회로부를 전기적으로 연결하기 위한 연결부를 포함한다.
- <32> 본 발명의 액정디스플레이의 박막트랜지스터 패널 검사장치의 제조방법은 전계효과 트랜지스터 상부에 유전층을 형성하는 단계; 상기 유전층에 비아홀을 형성하여 상기 전계효과 트랜지스터의 게이트 전극을 노출시키는 단계; 상기 유전층 전면에 금속층을 증착하여 상기 비아홀 내부에 플러그 및 상기 유전층상에 검지전극을 형성하는 단계; 상기 전계효과 트랜지스터의 소스 또는 드레인을 노출시켜 하기 신호취득회로와 연결을 위한 본딩패드를 형성하는 단계; 및 상기 본딩패드와 상기 신호취득회로를 전기적으로 연결하는 단계를 포함한다.
- <33> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.
- <34> 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- <35> 도 1a는 본 발명에 따른 박막트랜지스터 패널 검사 셀의 단면을 도시한 것으로 먼저, 실리콘 웨이퍼를 기판(101)으로 사용하여 절연층(102), 드레인(103), 소스(104) 및 게이트(105)로 이루어진 MOSFET을 형성한다.
- <36> 다음으로 MOSFET 상부에 유전층(106)을 다시 증착하고, 게이트(105) 상면에서 비아홀(107)을 형성한 후 금속을 증착하여 비아홀(107) 내부에 플러그(109)를 형성하고 유전층(106) 상에는 금속층인 검지전극(108)을 형성하면 액정패널 검사 셀이 완성된다.
- <37> 이렇게 형성된 각각의 셀로는 대면적의 액정패널을 검사할 수 없으므로 다수의 셀을 어레이로 형성한 다음 신호 취득회로(ROIC; Read Out Integrated Circuit)와 연결을 위한 와이어를 부착해야 한다.
- <38> 도 1b는 본 발명에 따른 박막트랜지스터 패널 검사 셀의 등가회로를 도시한 것이다.
- <39> 검지전극은 측정하고자 하는 물체 표면으로 수십 마이크로 이하의 간격을 유지한다. 이때, 검지전극, 검지하려는 물체, 그리고 그 사이의 공기를 유전체로 가정하면 하나의 캐패시터로 근사화할 수 있는데, 이를 검지전극 캐패시터(C_{EFP} , 111)라고 가정한다.
- <40> 그리고, 검지전극, MOSFET 중간에 형성된 절연층 그리고 기판으로 이루어진 캐패시터를 기판 캐패시터(C_{SUB} , 112)로, 게이트, 게이트 절연막 그리고 기판역시 하나의 게이트 캐패시터(C_{GTE} , 113)로 가정할 수 있다.
- <41> 각각의 캐패시터로 이루어진 등가회로로부터 게이트 전압은 아래와 같은 식으로 표현될 수 있다.

$$V_G = V_B \frac{C_{EFP}}{C_{GATE} + C_{SUB} + C_{EFP}}$$

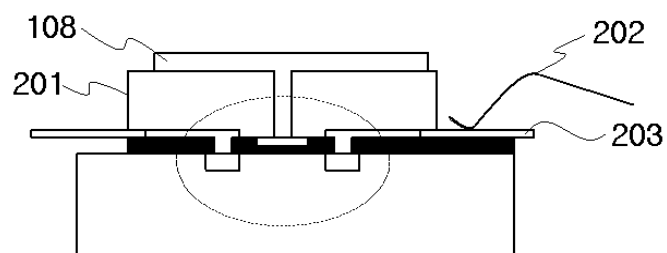
- <42>
- <43> 여기서 게이트 전압을 높이기 위해서는 게이트 캐패시터(113)의 캐패시턴스가 작아야 하는데, 이를 위하여 채널 길이가 작은 FET를 사용한다.
- <44> 이때, FET의 채널로서 채널길이가 짧고 캐리어의 이동도가 높은 실리콘 소재의 나노와이어를 사용하는 것이 효과적이다.
- <45> 그리고, 기판 캐패시터(112)의 캐패시턴스를 줄이기 위해서는 검지전극과 기판사이의 간격이 크거나 유전율이 작은 재료를 사용하는 것이 바람직하다.
- <46> 도 2는 본 발명의 일실시예에 따른 와이어 본딩을 고려한 박막트랜지스터 패널 검사 셀의 단면도로서, 와이어 본딩을 위하여 MOSFET 상부에 유전층(201)을 200 μ m 이상 형성한다.

- <47> 본 발명에 따른 MOSFET에서 출력되는 신호를 다른 회로와 전기적으로 연결하기 위하여 연결부로 와이어를 이용한 본딩을 사용할 수 있다. 본딩 와이어(202)의 높이가 $150\mu\text{m}$ 이상 되기 때문에 검지전극(108)면이 본딩 와이어(202)보다 더 높게 형성하여야 한다. 그렇지 않으면, TFT 셀을 검사하기 위하여 검지전극이 소정의 간격이하로 접근하는 경우, 본딩 와이어와 컨택이 될 수 있다.
- <48> 따라서, 유전층(201)을 본딩 와이어(202)의 높이보다 두껍게 증착한 다음 검지전극(108)을 형성한다. 이때, 유전층(201)은 유전율이 작은 소재를 사용하는 것이 바람직하다.
- <49> 그리고, 사진식각공정을 이용하여 와이어 본딩을 위한 와이어 본딩패드(203)를 노출시키고 와이어로 본딩한다.
- <50> 도 3은 본 발명의 다른 실시예에 따른 SOI(Silicon On Insulator) 기판을 이용한 박막트랜지스터 패널 검사 셀의 단면도이다.
- <51> 본 발명에 따른 TFT 패널 검사장치는 유전체와 나노 스케일의 소스, 드레인 및 게이트 전극과 배선으로 형성되어 있어, 기생 캐패시턴스가 발생하여 전류의 흐름을 방해할 수 있다.
- <52> 특히, 실질적인 대면적의 TFT 패널 검사장치는 다수의 검사장치가 어레이로 형성되어 있기 때문에 기판에 의한 기생 캐패시턴스의 발생시 측정의 정밀도가 떨어지게 된다.
- <53> 따라서, 본 발명의 일실시예에 따르면, 절연층(301)과 트렌치에 의한 소자 분리막(302)을 형성하여 MOSFET을 구조적으로 완전히 고립시켜 각각의 MOSFET간의 전기적 단락을 위하여 SOI 기판을 사용하는 것이 바람직하다.
- <54> 도 4는 본 발명의 또 다른 실시예에 따른 박막트랜지스터 패널 검사장치를 도시한 입체도이다.
- <55> MOSFET과 검지전극(401)이 결합된 복수의 액정패널 검사 셀(405)을 1차원 어레이로 형성하고 신호취득회로(403)와 본딩패드(402)를 본딩 와이어(404)로 본딩함으로써, 1차원 어레이 형태의 TFT 패널 검사장치(400)가 완성된다.
- <56> 액정패널 검사 셀(405)이 장치 모듈(400)을 신호취득회로(403)와 함께 집적화될 경우, 대면적 패널에 적용이 가능하며, 노이즈가 작아 보다 정밀한 검사가 가능하다.
- <57> 도 5는 본 발명의 또 다른 실시예에 따른 검지전극과 MOSFET의 어셈블리 구조로 된 박막트랜지스터 패널 검사장치의 단면도이다.
- <58> 앞서 기술한 실시예들은 검지전극의 크기는 MOSFET의 크기에 대응하기 때문에, 다른 분야에 적용할 경우 작은 검지전극의 크기로 인하여 한계가 있다.
- <59> 본 발명에 따른 TFT 패널 검사장치는 MOSFET(501)과 검지전극(502)을 각각 절연성 기판(503) 양면에 형성하고 절연성 기판에 비아홀(504)을 형성한 후 게이트 전극과 검지전극(502)을 연결할 수 있는 관통형 전극(505)을 형성함으로써, 검지전극(502)의 크기에 제한받지 않는 검사장치를 완성할 수 있다.
- <60> 따라서, 검지전극(502)의 크기를 달리하여 형성하여, 근접 전자기장 센서의 원리를 갖는 TFT 패널 검사장치를 필요로 하는 타분야에 적용이 가능하다.
- <61> 도 6은 본 발명에 따른 박막트랜지스터 패널 검사장치를 이용한 검사원리의 개념도이다.
- <62> 패널전면에 형성된 게이트 라인(601)과 데이터 라인(602)이 교차하는 지점에는 TFT(603)와 셀전극(604)이 형성되어 있고, 그 상부에 검지전극(605)과 이와 연결된 게이트(606) 그리고 드레인(607) 및 소스(608)로 이루어진 MOSFET이 위치하고 있다.
- <63> 액정의 셀전극(604)과 연결된 TFT(603)에 전압이 인가되어 있는 상태에서 전기장센서의 검지전극(605)이 수십 마이크로 이하의 간격(g)으로 근접하게 되면 TFT(603) 전극에 의한 전기장의 영향을 받아 근접 전자기장 센서의 검지전극(605)에 전하가 유도되어 전압차이를 유도하고, 유도된 전압이 MOSFET의 임계전압보다 높으면 소스(608)와 드레인(607) 양단에 인가된 전압에 의하여 드레인(607)에서 소스(608)로 드레인 전류가 흐르게 된다. 미리 설정된 드레인 전류를 기준값으로 하여 측정된 드레인 전류와 비교함으로써, TFT(603)의 동작여부를 판단할 수 있다.
- <64> 도 7은 본 발명에 따른 박막트랜지스터 패널 검사장치를 사용하여 액정패널에 형성된 TFT를 측정한 후의 전류-전압특성을 나타낸 그래프이다.
- <65> 본 발명의 일실시예에 따르면, 액정패널 검사 셀의 검지전극의 넓이는 $100 \times 100\mu\text{m}^2$ 이고, TFT와 검지전극의 거리

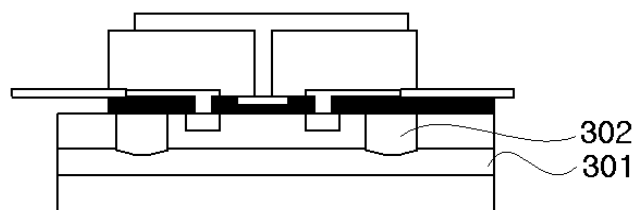
도면1b



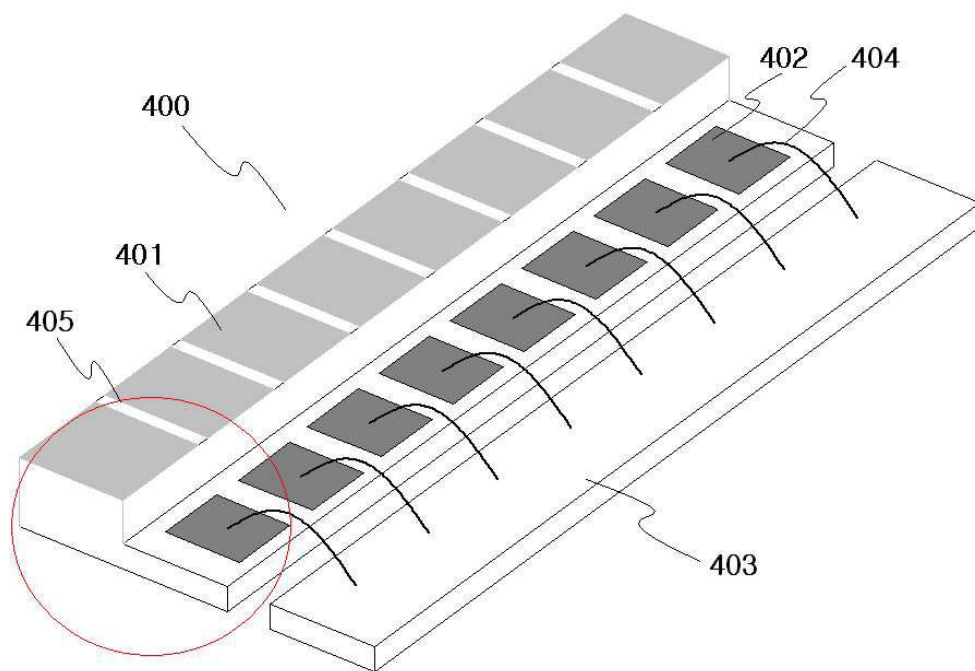
도면2



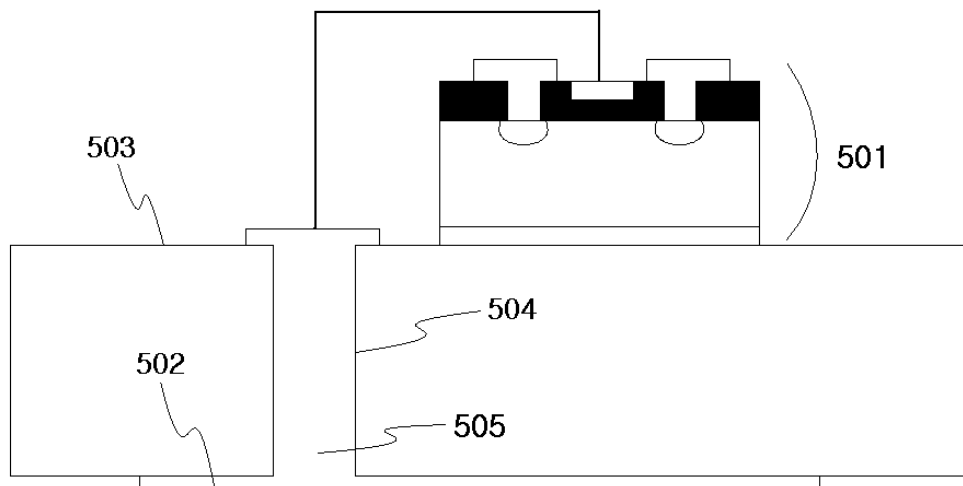
도면3



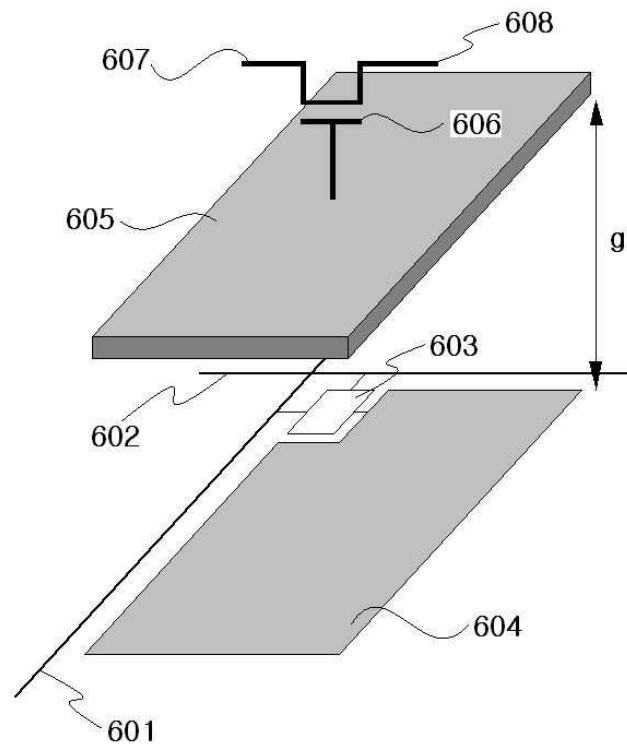
도면4



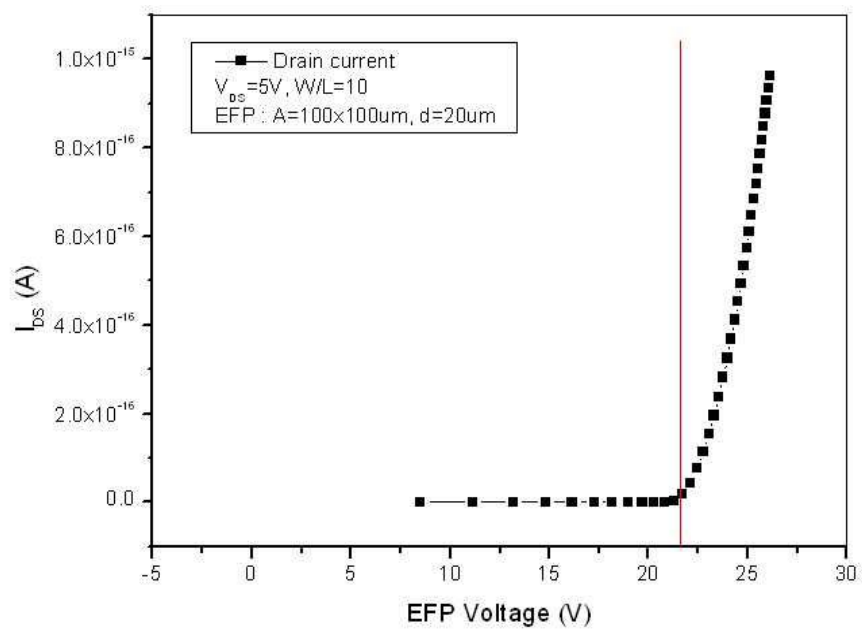
도면5



도면6



도면7



专利名称(译)	用于液晶显示器的薄膜晶体管面板检查设备及其制造方法		
公开(公告)号	KR1020070117017A	公开(公告)日	2007-12-12
申请号	KR1020060050656	申请日	2006-06-07
[标]申请(专利权)人(译)	电子部品研究院		
申请(专利权)人(译)	韩国电子技术研究所		
当前申请(专利权)人(译)	韩国电子技术研究所		
[标]发明人	LEE DAE SUNG 이대성 SEONG WOO KYEONG 성우경		
发明人	이대성 성우경		
IPC分类号	G02F1/13		
CPC分类号	G01R31/312 G02F1/1309 G09G3/006 H05K13/08		
代理人(译)	硕千SEO		
其他公开文献	KR100844393B1		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供一种用于TFT-LCD面板的TFT检查装置，其中本发明可以快速地使用MOSFET检查大面积的面板。本发明的液晶显示器面板用薄膜晶体管检测装置包括场效应晶体管，为了检查液晶面板，在基板上形成场效应上部的沉积介电层晶体管和场效应晶体管的栅极通过介电层和连接部分电连接至少一个液晶面板检测单元：信号获取电路部分：用于获取液晶面板检测单元输出的信号液体晶体面板检查单元和信号获取电路部分包括形成在连接的感测电极和场效应晶体管或漏极的源极上的焊盘。液晶，面板，TFT，MOSFET，电场。

