



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.  
G02F 1/1343 (2006.01)  
G02F 1/136 (2006.01)

(11) 공개번호 10-2007-0028602  
(43) 공개일자 2007년03월12일

(21) 출원번호 10-2007-7002198  
(22) 출원일자 2007년01월29일  
심사청구일자 2007년01월29일  
번역문 제출일자 2007년01월29일  
(86) 국제출원번호 PCT/JP2005/015271 (87) 국제공개번호 WO 2006/022259  
국제출원일자 2005년08월23일 국제공개일자 2006년03월02일

(30) 우선권주장 JP-P-2004-00243970 2004년08월24일 일본(JP)  
JP-P-2005-00235006 2005년08월12일 일본(JP)

(71) 출원인 샤프 가부시기가이샤  
일본 오사카후 오사카시 아베노구 나가이계조 22방 22고

(72) 발명자 오까다, 요시히로  
일본 619-0224 교토후 소라쿠궁 기즈쵸 가부또다이 1-2-10-504  
나까무라, 와따루  
일본 630-8451 나라깁 나라시 기따노쇼쵸 17-4-303  
반, 아쯔시  
일본 631-0001 나라깁 나라시 기따또미가오까 6-23-15  
오까자끼, 쇼지  
일본 630-8143 나라깁 나라시 가쯔라기쵸 2-304  
가쯔이, 히로미쯔  
일본 636-0245 나라깁 시끼궁 다와라모또쵸 아지마 813

(74) 대리인 장수길  
이중희  
구영창

전체 청구항 수 : 총 35 항

(54) 액티브 매트릭스 기관 및 그것을 구비한 표시 장치

(57) 요약

배선 저항의 증가나 스위칭 소자의 구동 능력의 저하를 수반하지 않아, 주사 배선과 신호 배선의 교차부에 형성되는 용량을 저감하는 것이 가능한 액티브 매트릭스 기관 및 그것을 구비한 표시 장치를 제공한다. 본 발명에 따른 액티브 매트릭스 기관은, 기관과, 기관 상에 형성된 주사 배선과, 주사 배선을 덮는 절연막과, 절연막을 개재하여 주사 배선과 교차하는 신호 배선과, 기관 상에 형성되어 대응하는 주사 배선에 인가되는 신호에 응답하여 동작하는 스위칭 소자와, 스위칭 소자를

통하여 대응하는 신호 배선과 전기적으로 접속될 수 있는 화소 전극을 구비하고 있다. 절연막은, 제1 절연층과 제2 절연층을 포함하는 다층 절연막이다. 제1 절연층은, 유기 성분을 포함하는 절연 재료로 형성되어 있고, 다층 절연막은, 스위칭 소자(14)에 접치는 영역의 적어도 일부에 제1 절연층이 형성되지 않은 저적층 영역을 갖고 있다.

## 대표도

도 3

## 특허청구의 범위

### 청구항 1.

기관과,

상기 기관 상에 형성된 복수의 주사 배선과,

상기 복수의 주사 배선을 덮는 절연막과,

상기 절연막을 개재하여 상기 복수의 주사 배선과 교차하는 복수의 신호 배선과,

상기 기관 상에 형성되고, 대응하는 상기 주사 배선에 인가되는 신호에 응답하여 동작하는 복수의 스위칭 소자와,

상기 복수의 스위칭 소자를 통해, 대응하는 상기 신호 배선과 전기적으로 접속 가능한 복수의 화소 전극을 구비한 액티브 매트릭스 기관으로서,

상기 절연막은, 제1 절연층과 제2 절연층을 포함하는 다층 절연막이고,

상기 제1 절연층은, 유기 성분을 포함하는 절연 재료로 형성되어 있으며,

상기 다층 절연막은, 상기 스위칭 소자에 접치는 영역의 적어도 일부에, 상기 제1 절연층이 형성되지 않은 저적층 영역을 갖고 있는 액티브 매트릭스 기관.

### 청구항 2.

제1항에 있어서,

상기 제1 절연층은, 상기 제2 절연층의 하층에 형성되어 있는 액티브 매트릭스 기관.

### 청구항 3.

제1항 또는 제2항에 있어서,

상기 제2 절연층은, 무기 절연 재료로 형성되어 있는 액티브 매트릭스 기관.

### 청구항 4.

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 복수의 스위칭 소자의 각각은, 채널 영역을 포함하는 반도체층과, 대응하는 상기 주사 배선에 전기적으로 접속된 게이트 전극과, 대응하는 상기 신호 배선에 전기적으로 접속된 소스 전극과, 대응하는 상기 화소 전극에 전기적으로 접속된 드레인 전극을 갖는 박막 트랜지스터인 액티브 매트릭스 기관.

#### 청구항 5.

제4항에 있어서,

상기 다층 절연막은, 상기 저적층 영역을 적어도 상기 채널 영역에 겹치는 영역에 갖고 있는 액티브 매트릭스 기관.

#### 청구항 6.

제4항 또는 제5항에 있어서,

상기 제2 절연층은, 상기 기관의 대략 전면에 형성되어 있으며,

상기 제2 절연층의 일부는, 상기 게이트 전극과 상기 반도체층 사이에 위치하고, 게이트 절연막으로서 기능하는 액티브 매트릭스 기관.

#### 청구항 7.

제4항 내지 제6항 중 어느 한 항에 있어서,

상기 게이트 전극의 엣지가 상기 제1 절연층에 의해 덮여 있는 액티브 매트릭스 기관.

#### 청구항 8.

제7항에 있어서,

상기 다층 절연막의 상기 신호 배선층의 표면은, 상기 저적층 영역에서 함몰되어 있으며,

상기 반도체층은, 상기 다층 절연막의 상기 채널 영역에 겹치는 상기 저적층 영역을 덮고, 또한, 상기 반도체층의 일부가 상기 다층 절연막의 상기 제1 절연층이 형성되어 있는 영역에 올라앉도록 형성되어 있는 액티브 매트릭스 기관.

#### 청구항 9.

제1항 내지 제8항 중 어느 한 항에 있어서,

상기 기관 상에 형성된 복수의 보조 용량 배선과,

상기 복수의 보조 용량 배선에 상기 절연막을 개재하여 대향하는 복수의 보조 용량 전극을 더 구비하고,

상기 다층 절연막은, 상기 저적층 영역을 상기 보조 용량 배선과 상기 보조 용량 전극 사이에도 갖고 있는 액티브 매트릭스 기관.

#### 청구항 10.

제9항에 있어서,

상기 보조 용량 배선의 엣지가 상기 제1 절연층에 의해 덮여 있는 액티브 매트릭스 기관.

### 청구항 11.

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 다층 절연막은, 상기 저적층 영역을 상기 신호 배선에 접치는 영역의 일부에도 갖고 있는 액티브 매트릭스 기관.

### 청구항 12.

제11항에 있어서,

상기 다층 절연막은, 상기 저적층 영역을 상기 신호 배선과 상기 주사 배선의 교차부에는 갖고 있지 않은 액티브 매트릭스 기관.

### 청구항 13.

제11항 또는 제12항에 있어서,

상기 다층 절연막은, 상기 신호 배선에 접치는 상기 저적층 영역을 포위하는 경사면을 갖고,

상기 경사면은, 상기 신호 배선이 연장되는 방향으로 평행한 제1 부분과, 상기 신호 배선이 연장되는 방향으로 대략 직교하는 제2 부분을 포함하고,

상기 기관의 주면에 대한 상기 제1 부분의 경사각은, 상기 기관의 주면에 대한 상기 제2 부분의 경사각보다 큰 액티브 매트릭스 기관.

### 청구항 14.

제1항 내지 제13항 중 어느 한 항에 있어서,

상기 복수의 신호 배선 및 상기 복수의 스위칭 소자를 덮도록 감광성 재료로 형성된 층간 절연막을 더 구비하고,

상기 복수의 화소 전극은, 상기 층간 절연막 상에 형성되어 있으며,

상기 복수의 화소 전극의 각각은, 상기 층간 절연막에 형성된 콘택트 홀에서 대응하는 상기 스위칭 소자에 접속되어 있고,

상기 다층 절연막은, 상기 콘택트 홀에 접치는 영역에는 상기 저적층 영역을 갖고 있지 않은 액티브 매트릭스 기관.

### 청구항 15.

제1항 내지 제14항 중 어느 한 항에 있어서,

매트릭스 형상으로 배열된 복수의 화소 영역을 갖고, 상기 복수의 화소 영역의 각각에 상기 복수의 화소 전극의 각각이 형성되어 있는 액티브 매트릭스 기관.

### 청구항 16.

제15항에 있어서,

상기 복수의 화소 영역에 의해 규정되는 표시 영역과, 상기 표시 영역의 주변에 배치되고, 상기 복수의 화소 영역을 구동하기 위한 신호가 입력되는 복수의 단자가 형성되는 비표시 영역을 갖고,

상기 다층 절연막은, 상기 저적층 영역을 상기 비표시 영역의 대략 전면에 갖고 있는 액티브 매트릭스 기판.

### 청구항 17.

제15항 또는 제16항에 있어서,

상기 다층 절연막은, 상기 복수의 화소 영역의 각각의 외주 근방에 링 형상의 상기 저적층 영역을 갖고 있는 액티브 매트릭스 기판.

### 청구항 18.

기판과,

상기 기판 상에 형성된 복수의 주사 배선과,

상기 복수의 주사 배선을 덮는 절연막과,

상기 절연막을 개재하여 상기 복수의 주사 배선과 교차하는 복수의 신호 배선과,

상기 기판 상에 형성되고, 대응하는 상기 주사 배선에 인가되는 신호에 응답하여 동작하는 복수의 박막 트랜지스터와,

상기 복수의 박막 트랜지스터를 개재하여, 대응하는 상기 신호 배선과 전기적으로 접속 가능한 복수의 화소 전극을 구비하고,

상기 복수의 박막 트랜지스터의 각각은, 대응하는 상기 주사 배선에 전기적으로 접속된 게이트 전극과, 대응하는 상기 신호 배선에 전기적으로 접속된 소스 전극과, 대응하는 상기 화소 전극에 전기적으로 접속된 드레인 전극을 갖는 액티브 매트릭스 기판으로서,

상기 절연막은, 제1 절연층과 제2 절연층을 포함하는 다층 절연막이며,

상기 제1 절연층은, 유기 성분을 포함하는 절연 재료로 형성되고, 또한, 상기 제2 절연층의 하층에 형성되어 있고,

상기 게이트 전극은, 상기 제1 절연층 상에 상기 복수의 주사 배선과는 상이한 도전층으로 형성되어 있으며, 상기 제1 절연층에 형성된 콘택트 홀을 통하여 대응하는 상기 주사 배선에 전기적으로 접속되어 있는 액티브 매트릭스 기판.

### 청구항 19.

제18항에 있어서,

상기 제2 절연층은, 무기 절연 재료로 형성되어 있는 액티브 매트릭스 기판.

## 청구항 20.

제18항 또는 제19항에 있어서,

상기 제2 절연층은 상기 게이트 전극을 덮도록 형성되어 있으며, 상기 제2 절연층의 일부가 게이트 절연막으로서 기능하는 액티브 매트릭스 기판.

## 청구항 21.

제18항 내지 제20항 중 어느 한 항에 있어서,

상기 제1 절연층 상에 형성된 복수의 보조 용량 배선과,

상기 복수의 보조 용량 배선에 상기 제2 절연층을 개재하여 대향하는 복수의 보조 용량 전극을 더 구비하는 액티브 매트릭스 기판.

## 청구항 22.

제18항 내지 제21항 중 어느 한 항에 있어서,

매트릭스 형상으로 배열된 복수의 화소 영역을 갖고, 상기 복수의 화소 영역의 각각에 상기 복수의 화소 전극의 각각이 형성되어 있는 액티브 매트릭스 기판.

## 청구항 23.

제22항에 있어서,

상기 복수의 화소 영역에 의해 규정되는 표시 영역과, 상기 표시 영역의 주변에 배치되고, 상기 복수의 화소 영역을 구동하기 위한 신호가 입력되는 복수의 단자가 형성되는 비표시 영역을 갖고,

상기 다층 절연막은, 상기 제1 절연층이 형성되지 않은 저적층 영역을 상기 비표시 영역의 대략 전면에 갖고 있는 액티브 매트릭스 기판.

## 청구항 24.

제22항 또는 제23항에 있어서,

상기 다층 절연막은, 상기 제1 절연층이 형성되지 않은 링 형상의 저적층 영역을 상기 복수의 화소 영역의 각각의 외주 근방에 갖고 있는 액티브 매트릭스 기판.

## 청구항 25.

제1항 내지 제24항 중 어느 한 항에 있어서,

상기 제1 절연층은, 상기 제2 절연층보다 두껍고, 또한, 상기 제2 절연층보다 비유전율이 낮은 액티브 매트릭스 기판.

**청구항 26.**

제1항 내지 제25항 중 어느 한 항에 있어서,

상기 제1 절연층의 두께는, 1.0 $\mu\text{m}$  이상 4.0 $\mu\text{m}$  이하인 액티브 매트릭스 기판.

**청구항 27.**

제1항 내지 제26항 중 어느 한 항에 있어서,

상기 제1 절연층의 비유전률은, 4.0 이하인 액티브 매트릭스 기판.

**청구항 28.**

제1항 내지 제27항 중 어느 한 항에 있어서,

상기 제1 절연층은, Si-O-C 결합을 골격으로 하는 스핀 온 글래스(SOG) 재료로 형성되어 있는 액티브 매트릭스 기판.

**청구항 29.**

제1항 내지 제27항 중 어느 한 항에 있어서,

상기 제1 절연층은, Si-C 결합을 골격으로 하는 스핀 온 글래스(SOG) 재료로 형성되어 있는 액티브 매트릭스 기판.

**청구항 30.**

제1항 내지 제29항 중 어느 한 항에 있어서,

상기 제1 절연층은, 실리카로 형성된 필러를 포함하는 스핀 온 글래스(SOG) 재료로 형성되어 있는 액티브 매트릭스 기판.

**청구항 31.**

제1항 내지 제30항 중 어느 한 항에 있어서,

상기 복수의 주사 배선은, Ti 또는 TiN으로 형성된 배선층을 적어도 상기 절연막층에 갖는 액티브 매트릭스 기판.

**청구항 32.**

제1항 내지 제31항 중 어느 한 항에 있어서,

상기 복수의 신호 배선에 대략 평행하게 연장되는 복수의 실드 전극을 갖는 액티브 매트릭스 기판.

**청구항 33.**

제32항에 있어서,

상기 복수의 실드 전극은, 상기 복수의 화소 전극의 엣지에 겹치도록 배치되어 있는 액티브 매트릭스 기관.

### 청구항 34.

제1항 내지 제33항 중 어느 한 항의 액티브 매트릭스 기관과, 상기 액티브 매트릭스 기관 상에 배치된 표시 매체층을 구비한 표시 장치.

### 청구항 35.

제34항에 있어서,

상기 액티브 매트릭스 기관에 상기 표시 매체층을 개재하여 대향하는 대향 기관을 더 구비하고, 상기 표시 매체층은 액정층인 표시 장치.

### 명세서

#### 기술분야

본 발명은, 액정 텔레비전, 액정 모니터, 노트북 컴퓨터 등에 이용되는 액티브 매트릭스 기관에 관한 것이다. 또한, 본 발명은, 액티브 매트릭스 기관을 구비한 표시 장치에도 관한 것이다.

#### 배경기술

액정 표시 장치는, 박형이고 저소비 전력이라는 특징을 갖고, 여러 분야에 널리 이용되고 있다. 특히, 화소마다 박막 트랜지스터(「TFT」라고 함) 등의 스위칭 소자를 구비한 액티브 매트릭스형의 액정 표시 장치는, 높은 콘트라스트비 및 뛰어난 응답 특성을 갖고, 고성능이기 때문에, 텔레비전이나 모니터, 노트북 컴퓨터에 이용되고 있으며, 최근 그 시장 규모가 확대되고 있다.

액티브 매트릭스형 액정 표시 장치에 이용되는 액티브 매트릭스 기관 상에는, 복수의 주사 배선과, 이들 주사 배선에 절연막을 개재하여 교차하는 복수의 신호 배선이 형성되어 있으며, 주사 배선과 신호 배선의 교차부 근방에 화소를 스위칭하기 위한 박막 트랜지스터가 형성되어 있다.

주사 배선과 신호 배선의 교차부에 형성되는 용량(「기생 용량」이라고 함)은, 표시 품위 저하의 원인으로 되기 때문에, 이 기생 용량의 용량치는 작은 것이 바람직하다.

따라서, 특허 문헌 1은, 주사 배선 및 신호 배선의 폭을 이들 교차부에서 다른 부분보다 좁게 함으로써, 교차부의 면적을 작게 하여, 교차부에 형성되는 기생 용량을 저감하는 방법을 개시하고 있다.

특허 문헌 1: 일본 특개평5-61069호 공보

<발명의 개시>

<발명이 해결하고자 하는 과제>

그러나, 국소적이라고는 하지만 배선 폭을 좁게 하는 것은, 배선의 저항치를 높게 하여, 신호 둔화의 원인으로 된다. 또한, 배선의 폭을 좁게 하는 것은, 단선의 확률을 높게 하므로, 일반적으로는, 본래의 폭의 50% 정도는 확보할 필요가 있다. 이 때문에, 상기 특허 문헌 1의 방법으로 교차부의 기생 용량을 저감시키기에는 한계가 있다. 최근, 액정 표시 장치의 대형화,

고정밀화가 진행되고 있으며, 대형, 고정밀의 액정 표시 장치에서는, 배선 저항의 저감을 위해 배선의 폭이 넓어지고, 또한, 배선의 교차부가 많아지기 때문에, 교차부에 형성되는 기생 용량이 증대한다. 그 때문에, 전술한 신호의 둔화가 현저하게 된다.

주사 배선과 신호 배선의 교차부에 생성되는 용량을 저감시키는 다른 방법으로서, 주사 배선을 덮는 절연막을 두껍게 하는 것도 고려할 수 있지만, 보텀 게이트형의 TFT 등과 같이 주사 배선을 덮는 절연막의 일부가 게이트 절연막으로서 기능하는 경우에는, 이 절연막을 두껍게 하는 것은 TFT의 구동 능력의 저하를 초래하게 된다.

본 발명은, 상기 문제를 감안하여 이루어진 것으로, 그 목적은, 배선 저항의 증가나 스위칭 소자의 구동 능력의 저하를 수반하지 않아, 주사 배선과 신호 배선의 교차부에 형성되는 용량을 저감시키는 것이 가능한 액티브 매트릭스 기관 및 그것을 구비한 표시 장치를 제공하는 것에 있다.

#### <과제를 해결하기 위한 수단>

본 발명의 제1 국면에 의한 액티브 매트릭스 기관은, 기관과, 상기 기관 상에 형성된 복수의 주사 배선과, 상기 복수의 주사 배선을 덮는 절연막과, 상기 절연막을 개재하여 상기 복수의 주사 배선과 교차하는 복수의 신호 배선과, 상기 기관 상에 형성되고, 대응하는 상기 주사 배선에 인가되는 신호에 응답하여 동작하는 복수의 스위칭 소자와, 상기 복수의 스위칭 소자를 통해, 대응하는 상기 신호 배선과 전기적으로 접속될 수 있는 복수의 화소 전극을 구비한 액티브 매트릭스 기관으로서, 상기 절연막은, 제1 절연층과 제2 절연층을 포함하는 다층 절연막이며, 상기 제1 절연층은, 유기 성분을 포함하는 절연 재료로 형성되어 있으며, 상기 다층 절연막은, 상기 스위칭 소자에 접치는 영역의 적어도 일부에 상기 제1 절연층이 형성되지 않은 저적층 영역을 갖고 있으며, 그것에 의해 상기 목적이 달성된다.

임의의 바람직한 실시예에서, 상기 제1 절연층은, 상기 제2 절연층의 하층에 형성되어 있다.

임의의 바람직한 실시예에서, 상기 제2 절연층은, 무기 절연 재료로 형성되어 있다.

임의의 바람직한 실시예에서, 상기 복수의 스위칭 소자의 각각은, 채널 영역을 포함하는 반도체층과, 대응하는 상기 주사 배선에 전기적으로 접속된 게이트 전극과, 대응하는 상기 신호 배선에 전기적으로 접속된 소스 전극과, 대응하는 상기 화소 전극에 전기적으로 접속된 드레인 전극을 갖는 박막 트랜지스터이다.

임의의 바람직한 실시예에서, 상기 다층 절연막은, 상기 저적층 영역을 적어도 상기 채널 영역에 접치는 영역에 갖고 있다.

임의의 바람직한 실시예에서, 상기 제2 절연층은, 상기 기관의 대략 전면에서 형성되어 있으며, 상기 제2 절연층의 일부는, 상기 게이트 전극과 상기 반도체층 사이에 위치하고, 게이트 절연막으로서 기능한다.

임의의 바람직한 실시예에서, 상기 게이트 전극의 엣지가 상기 제1 절연층에 의해 덮여 있다.

임의의 바람직한 실시예에서, 상기 다층 절연막의 상기 신호 배선층의 표면은, 상기 저적층 영역에서 함몰되어 있고, 상기 반도체층은, 상기 다층 절연막의 상기 채널 영역에 접치는 상기 저적층 영역을 덮으며, 또한, 상기 반도체층의 일부가 상기 다층 절연막의 상기 제1 절연층이 형성되어 있는 영역에 올라오도록 형성되어 있다.

임의의 바람직한 실시예에서, 본 발명의 제1 국면에 의한 액티브 매트릭스 기관은, 상기 기관 상에 형성된 복수의 보조 용량 배선과, 상기 복수의 보조 용량 배선에 상기 절연막을 개재하여 대향하는 복수의 보조 용량 전극을 더 구비하고, 상기 다층 절연막은, 상기 저적층 영역을 상기 보조 용량 배선과 상기 보조 용량 전극 사이에도 갖고 있다.

임의의 바람직한 실시예에서, 상기 보조 용량 배선의 엣지가 상기 제1 절연층에 의해 덮여 있다.

임의의 바람직한 실시예에서, 상기 다층 절연막은, 상기 저적층 영역을 상기 신호 배선에 접치는 영역의 일부에도 갖고 있다.

임의의 바람직한 실시예에서, 상기 다층 절연막은, 상기 저적층 영역을 상기 신호 배선과 상기 주사 배선의 교차부에는 갖지 않는다.

임의의 바람직한 실시예에서, 상기 다층 절연막은, 상기 신호 배선에 접치는 상기 저적층 영역을 포위하는 경사면을 갖고, 상기 경사면은, 상기 신호 배선이 연장되는 방향으로 평행한 제1 부분과, 상기 신호 배선이 연장되는 방향으로 대략 직교하는 제2 부분을 포함하며, 상기 기관의 주면에 대한 상기 제1 부분의 경사각은, 상기 기관의 주면에 대한 상기 제2 부분의 경사각보다 크다.

임의의 바람직한 실시예에서, 본 발명의 제1 국면에 의한 액티브 매트릭스 기관은, 상기 복수의 신호 배선 및 상기 복수의 스위칭 소자를 덮도록 감광성 재료로 형성된 층간 절연막을 더 구비하고, 상기 복수의 화소 전극은, 상기 층간 절연막 상에 형성되어 있으며, 상기 복수의 화소 전극의 각각은, 상기 층간 절연막에 형성된 콘택트 홀에서 대응하는 상기 스위칭 소자에 접속되어 있고, 상기 다층 절연막은, 상기 콘택트 홀에 접치는 영역에는 상기 저적층 영역을 갖지 않는다.

임의의 바람직한 실시예에서, 본 발명의 제1 국면에 의한 액티브 매트릭스 기관은, 매트릭스 형상으로 배열된 복수의 화소 영역을 갖고, 상기 복수의 화소 영역의 각각에 상기 복수의 화소 전극의 각각이 형성되어 있다.

임의의 바람직한 실시예에서, 본 발명의 제1 국면에 의한 액티브 매트릭스 기관은, 상기 복수의 화소 영역에 의해 규정되는 표시 영역과, 상기 표시 영역의 주변에 배치되고, 상기 복수의 화소 영역을 구동하기 위한 신호가 입력되는 복수의 단자가 형성되는 비표시 영역을 갖고, 상기 다층 절연막은, 상기 저적층 영역을 상기 비표시 영역의 대략 전면에 갖고 있다.

임의의 바람직한 실시예에서, 상기 다층 절연막은, 상기 복수의 화소 영역의 각각의 외주 근방에 링 형상의 상기 저적층 영역을 갖고 있다.

본 발명의 제2 국면에 의한 액티브 매트릭스 기관은, 기관과, 상기 기관 상에 형성된 복수의 주사 배선과, 상기 복수의 주사 배선을 덮는 절연막과, 상기 절연막을 개재하여 상기 복수의 주사 배선과 교차하는 복수의 신호 배선과, 상기 기관 상에 형성되고, 대응하는 상기 주사 배선에 인가되는 신호에 응답하여 동작하는 복수의 박막 트랜지스터와, 상기 복수의 박막 트랜지스터를 통하여 대응하는 상기 신호 배선과 전기적으로 접속될 수 있는 복수의 화소 전극을 구비하고, 상기 복수의 박막 트랜지스터의 각각은, 대응하는 상기 주사 배선에 전기적으로 접속된 게이트 전극과, 대응하는 상기 신호 배선에 전기적으로 접속된 소스 전극과, 대응하는 상기 화소 전극에 전기적으로 접속된 드레인 전극을 갖는 액티브 매트릭스 기관으로서, 상기 절연막은, 제1 절연층과 제2 절연층을 포함하는 다층 절연막이며, 상기 제1 절연층은, 유기 성분을 포함하는 절연 재료로 형성되고, 또한, 상기 제2 절연층의 하층에 형성되어 있으며, 상기 게이트 전극은, 상기 제1 절연층 상에 상기 복수의 주사 배선과는 상이한 도전층으로 형성되고, 상기 제1 절연층에 형성된 콘택트 홀을 통하여 대응하는 상기 주사 배선에 전기적으로 접속되어 있어, 그것에 의해 상기 목적이 달성된다.

임의의 바람직한 실시예에서, 상기 제2 절연층은, 무기 절연 재료로 형성되어 있다.

임의의 바람직한 실시예에서, 상기 제2 절연층은 상기 게이트 전극을 덮도록 형성되어 있고, 상기 제2 절연층의 일부가 게이트 절연막으로서 기능한다.

임의의 바람직한 실시예에서, 본 발명의 제2 국면에 의한 액티브 매트릭스 기관은, 상기 제1 절연층 상에 형성된 복수의 보조 용량 배선과, 상기 복수의 보조 용량 배선에 상기 제2 절연층을 개재하여 대향하는 복수의 보조 용량 전극을 더 구비한다.

임의의 바람직한 실시예에서, 본 발명의 제2 국면에 의한 액티브 매트릭스 기관은, 매트릭스 형상으로 배열된 복수의 화소 영역을 갖고, 상기 복수의 화소 영역의 각각에 상기 복수의 화소 전극의 각각이 형성되어 있다.

임의의 바람직한 실시예에서, 본 발명의 제2 국면에 의한 액티브 매트릭스 기관은, 상기 복수의 화소 영역에 의해 규정되는 표시 영역과, 상기 표시 영역의 주변에 배치되고, 상기 복수의 화소 영역을 구동하기 위한 신호가 입력되는 복수의 단자가 형성되는 비표시 영역을 갖고, 상기 다층 절연막은, 상기 제1 절연층이 형성되지 않은 저적층 영역을 상기 비표시 영역의 대략 전면에 갖고 있다.

임의의 바람직한 실시예에서, 상기 다층 절연막은, 상기 제1 절연층이 형성되지 않은 링 형상의 저적층 영역을 상기 복수의 화소 영역의 각각의 외주 근방에 갖고 있다.

임의의 바람직한 실시예에서, 상기 제1 절연층은, 상기 제2 절연층보다 두껍고, 상기 제2 절연층보다 비유전률이 낮다.

임의의 바람직한 실시예에서, 상기 제1 절연층의 두께는, 1.0 $\mu\text{m}$  이상 4.0 $\mu\text{m}$  이하이다.

임의의 바람직한 실시예에서, 상기 제1 절연층의 비유전률은, 4.0 이하이다.

임의의 바람직한 실시예에서, 상기 제1 절연층은, Si-O-C 결합을 골격으로 하는 스피온 온 글래스(SOG) 재료로 형성되어 있다.

임의의 바람직한 실시예에서, 상기 제1 절연층은, Si-C 결합을 골격으로 하는 스피온 온 글래스(SOG) 재료로 형성되어 있다.

임의의 바람직한 실시예에서, 상기 제1 절연층은, 실리카로 형성된 필러를 포함하는 스피온 온 글래스(SOG) 재료로 형성되어 있다.

임의의 바람직한 실시예에서, 상기 복수의 주사 배선은, Ti 또는 TiN으로 형성된 배선층을 적어도 상기 절연막층에 갖는다.

임의의 바람직한 실시예에서, 본 발명에 따른 액티브 매트릭스 기판은, 상기 복수의 신호 배선에 대략 평행하게 연장되는 복수의 실드 전극을 갖는다.

임의의 바람직한 실시예에서, 상기 복수의 실드 전극은, 상기 복수의 화소 전극의 엣지에 겹치도록 배치되어 있다.

본 발명에 따른 표시 장치는, 상기 구성을 갖는 액티브 매트릭스 기판과, 상기 액티브 매트릭스 기판 상에 배치된 표시 매체층을 구비하고 있어, 그것에 의해 상기 목적이 달성된다.

임의의 바람직한 실시예에서, 본 발명에 따른 표시 장치는, 상기 액티브 매트릭스 기판에 상기 표시 매체층을 개재하여 대향하는 대향 기판을 더 구비하며, 상기 표시 매체층은 액정층이다.

#### <발명의 효과>

본 발명에 따른 액티브 매트릭스 기판에서는, 주사 배선을 덮는 절연막이, 제1 절연층과 제2 절연층을 갖는 다층 절연막이며, 제1 절연층은, 유기 성분을 포함하는 절연 재료로 형성되어 있으므로, 주사 배선과 신호 배선의 교차부에 형성되는 용량을 저감시킬 수 있다.

본 발명의 제1 국면에 의하면, 다층 절연막은, 스위칭 소자에 겹치는 영역의 적어도 일부에, 제1 절연층이 형성되지 않은 저적층 영역을 갖고 있기 때문에, 스위칭 소자의 구동 능력은 저하되지 않는다.

또한, 본 발명의 제2 국면에 의하면, 박막 트랜지스터의 게이트 전극이, 제1 절연층 상에 주사 배선과는 상이한 도전층으로 형성되어 있고, 제1 절연층에 형성된 콘택트 홀을 통하여 주사 배선에 전기적으로 접속되어 있으므로, 박막 트랜지스터(스위칭 소자)의 구동 능력은 저하되지 않는다.

전술한 바와 같이, 본 발명에 의하면, 스위칭 소자의 구동 능력의 저하를 수반하지 않아, 주사 배선과 신호 배선의 교차부에 형성되는 용량을 저감시킬 수 있다.

#### 산업상 이용 가능성

본 발명에 의하면, 배선 저항의 증가나 스위칭 소자의 구동 능력의 저하를 수반하지 않아, 주사 배선과 신호 배선의 교차부에 형성되는 용량을 저감시킬 수 있는 액티브 매트릭스 기판 및 그것을 구비한 표시 장치가 제공된다.

#### 도면의 간단한 설명

도 1은 본 발명의 제1 실시예에서의 액정 표시 장치(100)를 모식적으로 도시하는 상면도.

- 도 2는 액정 표시 장치(100)를 모식적으로 도시하는 단면도로서, 도 1 중의 2A-2A'를 따라 자른 단면을 도시하는 도면.
- 도 3의 (a)~(c)는 액정 표시 장치(100)의 TFT 기관(100a)을 모식적으로 도시하는 단면도로서, 각각 도 1 중의 3A-3A'선, 3B-3B'선, 3C-3C'선을 따라 자른 단면을 도시하는 도면.
- 도 4의 (a)~(f)는 TFT 기관(100a)의 제조 공정을 모식적으로 도시하는 공정 단면도.
- 도 5는 주사 배선과 신호 배선의 교차부에 선택적으로 제1 절연층을 형성한 액정 표시 장치(700)를 모식적으로 도시하는 단면도.
- 도 6은 본 발명의 제2 실시예에서의 액정 표시 장치(200)를 모식적으로 도시하는 상면도.
- 도 7은 액정 표시 장치(200)를 모식적으로 도시하는 단면도로서, 도 6 중의 7A-7A'를 따라 자른 단면을 도시하는 도면.
- 도 8의 (a)~(c)는, 액정 표시 장치(200)의 TFT 기관(200a)을 모식적으로 도시하는 단면도로서, 각각 도 6 중의 8A-8A'선, 8B-8B'선, 8C-8C'선을 따라 자른 단면을 도시하는 도면.
- 도 9의 (a)~(f)는, TFT 기관(200a)의 제조 공정을 모식적으로 도시하는 공정 단면도.
- 도 10은 TFT 기관(200a)을 모식적으로 도시하는 상면도.
- 도 11은 실리카 필러를 포함하는 유기 SOG 재료로 형성된 제1 절연층을 모식적으로 도시하는 단면도.
- 도 12는 내(耐)크랙성 평가의 순서를 도시하는 플로우차트.
- 도 13은 본 발명의 제3 실시예에서의 액정 표시 장치(300)를 모식적으로 도시하는 상면도.
- 도 14의 (a)~(d)는 액정 표시 장치(300)의 TFT 기관(300a)을 모식적으로 도시하는 단면도로서, 각각 도 13 중의 14A-14A'선, 14B-14B'선, 14C-14C'선, 14D-14D'선을 따라 자른 단면을 도시하는 도면.
- 도 15는 본 발명의 제3 실시예의 다른 액정 표시 장치(300')를 모식적으로 도시하는 상면도.
- 도 16의 (a)~(d)는 액정 표시 장치(300')의 TFT 기관(300a')을 모식적으로 도시하는 단면도로서, 각각 도 15 중의 16A-16A'선, 16B-16B'선, 16C-16C'선, 16D-16D'선을 따라 자른 단면을 도시하는 도면.
- 도 17은 본 발명의 제4 실시예에서의 액정 표시 장치(400)를 모식적으로 도시하는 상면도.
- 도 18의 (a)~(d)는 액정 표시 장치(400)의 TFT 기관(400a)을 모식적으로 도시하는 단면도로서, 각각 도 17 중의 18A-18A'선, 18B-18B'선, 18C-18C'선, 18D-18D'선을 따라 자른 단면을 도시하는 도면.
- 도 19는 본 발명의 제5 실시예에서의 액정 표시 장치(500)를 모식적으로 도시하는 상면도.
- 도 20의 (a)~(d)는 액정 표시 장치(500)의 TFT 기관(500a)을 모식적으로 도시하는 단면도로서, 각각 도 19 중의 20A-20A'선, 20B-20B'선, 20C-20C'선, 20D-20D'선을 따라 자른 단면을 도시하는 도면.
- 도 21은 다층 절연막이 신호 배선에 겹치는 저적층 영역을 갖지 않는 경우의 단면 구조를 도시하는 도면으로서, 도 20의 (d)에 대응한 도면.
- 도 22는 액정 표시 장치(500)를 모식적으로 도시하는 상면도.
- 도 23의 (a) 및 (b)는 다층 절연막의 경사면의 바람직한 경사각을 설명하기 위한 도면으로서, 각각 도 22 중의 23A-23A'선 및 23B-23B'선을 따라 자른 단면을 도시하는 도면.

도 24의 (a)는 패턴 불량에 의해 형성된 도전편이 신호 배선과 접속되어 있는 모습을 모식적으로 도시하는 도면이고, (b)는 신호 배선의 단선이 발생하고 있는 모습을 모식적으로 도시하는 도면.

도 25의 다층 절연막의 경사면의 경사각을 제어하기 위한 마스크 패턴의 일례를 도시하는 도면.

도 26은 다층 절연막의 경사면의 경사각을 제어하기 위한 마스크 패턴의 다른 일례를 도시하는 도면.

도 27의 (a)~(c)는 도 25나 도 26에 도시하는 마스크 패턴을 이용함으로써 경사면의 경사각을 제어할 수 있는 이유를 설명하기 위한 도면.

도 28은 본 발명의 제6 실시예에서의 액정 표시 장치(600)를 모식적으로 도시하는 상면도.

도 29의 (a)~(c)는 액정 표시 장치(600)의 TFT 기관(600a)을 모식적으로 도시하는 단면도로서, 각각 도 28 중의 29A-29A'선, 29B-29B'선, 29C-29C'선을 따라 자른 단면을 도시하는 도면.

도 30은 본 발명의 제7 실시예에서의 액정 표시 장치(700)를 모식적으로 도시하는 상면도.

도 31의 (a)~(d)는 액정 표시 장치(700)의 TFT 기관을 모식적으로 도시하는 단면도로서, 각각 도 30 중의 31A-31A'선, 31B-31B'선, 31C-31C'선, 31D-31D'선을 따라 자른 단면을 도시하는 도면.

도 32는 본 발명의 제8 실시예에서의 액정 표시 장치(800)를 모식적으로 도시하는 상면도.

도 33의 (a)~(c)는 액정 표시 장치(800)의 TFT 기관(800a)을 모식적으로 도시하는 단면도로서, 각각 도 32 중의 33A-33A'선, 33B-33B'선, 33C-33C'선을 따라 자른 단면을 도시하는 도면.

도 34의 (a)~(g)는 TFT 기관(800a)의 제조 공정을 모식적으로 도시하는 공정 단면도로서, 도 32 중의 34A-34A'선을 따라 자른 단면을 도시하는 도면.

도 35의 (a) 및 (b)는 각 화소 영역에 형성되는 TFT의 예를 도시하는 도면.

도 36의 (a) 및 (b)는 각 화소 영역에 형성되는 TFT의 예를 도시하는 도면.

<부호의 설명>

- 1 : 표시 영역
- 2 : 비표시 영역(프레임 영역)
- 10 : 기관(투명 절연성 기관)
- 11, 11' : 주사 배선
- 12 : 절연막(다층 절연막)
- 12a : 제1 절연층
- 12A' : 콘택트 홀
- 12a1 : 실리카 필러
- 12a2 : 기재(매트릭스)
- 12b : 제2 절연층

12R : 저적층 영역

13 : 신호 배선

14 : 박막 트랜지스터(스위칭 소자)

14G : 게이트 전극

14S : 소스 전극

14D : 드레인 전극

15 : 화소 전극

16 : 게이트 절연막

17 : 반도체층(진성 반도체층)

17a : 소스 영역

17b : 드레인 영역

17c : 채널 영역

18 : 불순물 첨가 반도체층

19 : 층간 절연막

19' : 콘택트 홀

20 : 보조 용량 배선

21 : 보조 용량 전극

22 : 도전 부재

23 : 실드 전극

30 : 게이트 드라이버

40 : 소스 드라이버

60 : 액정층

100, 200, 300, 300', 400, 500, 600, 700, 800 : 액정 표시 장치

100a, 200a, 300a, 300A', 400a, 500a, 600a, 800a : 액티브 매트릭스 기판(TFT 기판)

<발명을 실시하기 위한 최선의 형태>

이하, 도면을 참조하면서 본 발명의 실시예를 설명한다. 또한, 본 발명은 이하의 실시예에 한정되는 것은 아니다.

(제1 실시예)

도 1 및 도 2에, 본 실시예에서의 액정 표시 장치(100)를 도시한다. 도 1은 액정 표시 장치(100)의 1개의 화소 영역을 모식적으로 도시하는 상면도이고, 도 2는 도 1 중의 2A-2A'선을 따라 자른 단면도이다.

액정 표시 장치(100)는, 액티브 매트릭스 기관(이하에서는 「TFT 기관」이라고 함)(100a)과, TFT 기관(100a)에 대항하는 대항 기관(「컬러 필터 기관」이라고도 함)(100b)과, 이들 사이에 형성된 액정층(60)을 구비하고 있다.

TFT 기관(100a)은, 투명 절연성 기관(예를 들면 글래스 기관)(10)과, 기관(10) 상에 형성된 복수의 주사 배선(11)과, 이들 주사 배선(11)을 덮는 절연막(12)과, 절연막(12)을 개재하여 주사 배선(11)과 교차하는 복수의 신호 배선(13)을 갖고 있다.

TFT 기관(100a)은, 또한, 화소 영역마다, 대응하는 주사 배선(11)에 인가되는 신호에 응답하여 동작하는 박막 트랜지스터(TFT)(14)와, 스위칭 소자로서의 TFT(14)를 통하여 대응하는 신호 배선(13)과 전기적으로 접속될 수 있는 화소 전극(15)을 갖고 있다.

대항 기관(100b)은, 투명 절연성 기관(예를 들면 글래스 기관)(50)과, 기관(50) 상에 형성되어 화소 전극(15)에 대항하는 대항 전극(51)을 갖고 있다. 전형적으로는, 대항 기관(100b)은 컬러 필터를 더 갖고 있다.

액정층(60)은, 화소 전극(15)과 대항 전극(51) 사이에 인가된 전압에 따라 그 배향 상태를 변화시키고, 그것에 의해 액정층(60)을 통과하는 광을 변조함으로써 표시가 행해진다. 액정층(60)으로서, 여러 표시 모드용의 액정층을 널리 이용할 수 있다. 예를 들면, 선광성을 이용하는 TN(Twisted Nematic) 모드의 액정층이나, 복굴절성을 이용하는 ECB(Electrically Controlled Birefringence) 모드의 액정층을 이용할 수 있다. ECB 모드 중에서도, VA(Vertically Aligned) 모드는 높은 콘트라스트비를 실현할 수 있다. VA 모드의 액정층은, 전형적으로는, 음의 유전 이방성을 갖는 액정 재료를 포함하는 액정층의 양측에 수직 배향층을 형성함으로써 얻을 수 있다.

이하, 또한 도 3도 참조하면서, TFT 기관(100a)의 구성을 보다 자세하게 설명한다. 도 3의 (a)는 도 1 중의 3A-3A'선을 따라 자른 단면도이고, 도 3의 (b)는 도 1 중의 3B-3B'선을 따라 자른 단면도이고, 도 3의 (c)는 도 1 중의 3C-3C'선을 따라 자른 단면도이다.

도 3의 (a)에 도시한 바와 같이, TFT 기관(100a)의 TFT(14)는 주사 배선(11)에 전기적으로 접속된 게이트 전극(14G)과, 신호 배선(13)에 전기적으로 접속된 소스 전극(14S)과, 화소 전극(15)에 전기적으로 접속된 드레인 전극(14D)을 갖고 있다. 또한, TFT(14)는 게이트 전극(14G), 게이트 절연막(16), 진성 반도체층(이하에서는 단순히 「반도체층」이라고도 함)(17) 및 불순물 첨가 반도체층(18)이 하층부터 차례로 적층된 적층 구조를 갖고 있으며, 반도체층(17)의 소스 영역(17a), 드레인 영역(17b)은 컨택트층으로서 기능하는 불순물 첨가 반도체층(18)을 개재하여, 소스 전극(14S), 드레인 전극(14D)과 전기적으로 접속되어 있다. 반도체층(17) 가운데, 소스 영역(17a)과 드레인 영역(17b) 사이의 영역은 채널 영역(17c)으로서 기능하고, 채널 영역(17c)의 상면에는 불순물 첨가 반도체층(18)이 존재하지 않는다.

또한, 도 3의 (b)에 도시한 바와 같이, TFT 기관(100a)은 기관(10) 상에 형성된 복수의 보조 용량 배선(20)과, 복수의 보조 용량 배선(20)에 절연막(12)을 개재하여 대항하는 복수의 보조 용량 전극(21)을 더 갖고 있으며, TFT 기관(100a)에는 이른바 Cs On Com 구조가 채용되고 있다. 보조 용량 배선(20)은 주사 배선(11)이나 게이트 전극(14G)과 동일한 도전막을 패터닝함으로써 형성되어 있다. 보조 용량 전극(21)은, 신호 배선(13), 소스 전극(14S) 및 드레인 전극(14D)과 동일한 도전막을 패터닝함으로써 형성되어 있으며, 도 1에 도시한 바와 같이 드레인 전극(14D)으로부터 연장 형성된 도전 부재(22)를 개재하여 TFT(14)의 드레인 전극(14D)에 전기적으로 접속되어 있다.

진술한 TFT(14)나 신호 배선(13)을 덮도록 층간 절연막(19)이 형성되어 있으며, 화소 전극(15)은 이 층간 절연막(19) 상에 형성되어 있다. 화소 전극(15)은, 도 3의 (b)에 도시한 바와 같이, 층간 절연막(19)에 형성된 콘택트 홀(19')에서 보조 용량 전극(21)에 접속되어 있고, 보조 용량 전극(21)을 통하여 TFT(14)의 드레인 전극(14D)에 전기적으로 접속되어 있다.

본 실시예에서의 TFT 기관(100a)에서는, 도 3의 (c)에 도시한 바와 같이, 주사 배선(11)을 덮는 절연막(12)은, 제1 절연층(12a)과 제2 절연층(12b)을 포함하는 다층 절연막이다. 제1 절연층(12a)은, 제2 절연층(12b)의 하층에 형성되어 있고, 유기 성분을 포함하는 절연 재료로 형성되어 있다. 한편, 제2 절연층(12b)은  $\text{SiN}_x$ 나  $\text{SiO}_x$  등의 무기 절연 재료로 형성되어 있다.

제1 절연층(12a)은, 도 3의 (c)에 도시한 바와 같이, 주사 배선(11)과 신호 배선(13)의 교차부를 포함하는 기판(10) 상의 대부분에 형성되어 있지만, 도 3의 (a)에 도시한 바와 같이, 절연막(12)과 TFT(14)가 접치는 부분에는 형성되어 있지 않다. 이에 반해, 제2 절연층(12b)은, 기판(10)의 대략 전면에 형성되어 있으며, 절연막(12)과 TFT(14)가 접치는 부분에도 형성되어 있다. 제2 절연층(12b) 가운데, 게이트 전극(14G)과 반도체층(17) 사이에 위치하는 부분은, 게이트 절연막(16)으로서 기능한다. 이와 같이, 다층 절연막(12)은 TFT(14)에 접치는 영역에 제1 절연층(12a)이 형성되지 않은 저적층 영역(12R)을 갖고 있다. 또한, 도 1에서는, 저적층 영역(12R)을 파선으로 둘러싸인 영역으로서 나타내고 있다.

또한, 제1 절연층(12a)은, 도 3의 (b)에 도시한 바와 같이, 보조 용량 배선(20)과 보조 용량 전극(21) 사이에도 형성되어 있지 않고, 제2 절연층(12b)만이 보조 용량용의 유전체막으로서 기능한다. 즉, 다층 절연막(12)은, 저적층 영역(12R)을 보조 용량 배선(20)과 보조 용량 전극(21) 사이에도 갖고 있다.

본 실시예에서의 TFT 기판(100a)에서는, 전술한 바와 같이, 주사 배선(11)을 덮는 절연막(12)이, 제1 절연층(12a)과 제2 절연층(12b)을 포함하는 다층 절연막이고, 또한 이 다층 절연막(12)이, 제1 절연층(12a)이 형성되지 않은 저적층 영역(12R)을 TFT(14)에 접치는 영역이나 보조 용량 배선(20)과 보조 용량 전극(21) 사이에 갖고 있다. 그 때문에, TFT(14)의 구동 능력의 저하나 보조 용량의 용량치의 저하를 수반하지 않아, 주사 배선(11)과 신호 배선(13)의 교차부에 형성되는 용량을 저감시킬 수 있다.

주사 배선(11)과 신호 배선(13)의 교차부의 용량을 충분히 저감시키기 위해서는, 제1 절연층(12a)은 제2 절연층(12b)보다 두꺼운 것이 바람직하고, 제2 절연층(12b)보다 비유전률이 낮은 것이 바람직하다.

게이트 절연막(16)으로서도 기능하는 제2 절연층(12b)은, 전형적으로는, 0.2 $\mu$ m~0.4 $\mu$ m 정도의 두께를 갖고, 5.0~8.0 정도의 비유전률을 갖고 있다. 이에 반해, 제1 절연층(12a)의 두께는 1.0 $\mu$ m 이상 4.0 $\mu$ m 이하인 것이 바람직하고, 제1 절연층(12a)의 비유전률은, 4.0 이하인 것이 바람직하다.

제1 절연층(12a)의 재료로서는, 유기 성분을 포함하는 스핀 온 글래스 재료(이른바 유기 SOG 재료)를 바람직하게 이용할 수 있으며, 특히, Si-O-C 결합을 골격으로 하는 SOG 재료나, Si-C 결합을 골격으로 하는 SOG 재료를 바람직하게 이용할 수 있다. SOG 재료란, 스핀 코트법 등의 도포법에 의해 글래스막(실리카계 피막)을 형성할 수 있는 재료이다. 유기 SOG 재료는, 비유전률이 낮고, 후막의 형성이 용이하기 때문에, 유기 SOG 재료를 이용함으로써, 제1 절연층(12a)의 비유전률을 낮게 하고, 제1 절연층(12a)을 두껍게 형성하는 것이 용이해진다. Si-O-C 결합을 골격으로 하는 SOG 재료로서는, 예를 들면, 일본 특개 2001-98224호 공보, 일본 특개평6-240455호 공보에 개시되어 있는 재료나, IDW' 03 예고집 제617페이지에 개시되어 있는 토오레 다우 코닝 실리콘 주식회사 제품 DD1100을 이용할 수 있다. 또한, Si-C 결합을 골격으로 하는 SOG 재료로서는, 예를 들면, 일본 특개10-102003호 공보에 개시되어 있는 재료를 이용할 수 있다.

다음으로, TFT 기판(100a)의 제조 방법의 일례를 도 4의 (a)~(f)를 참조하면서 설명한다.

우선, 글래스 기판 등의 절연성 기판(10) 상에, 스퍼터링법을 이용하여 몰리브덴(Mo)막, 알루미늄(Al)막, 몰리브덴(Mo)막을 이 순서로 적층하고, 이 적층막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 4의 (a)에 도시한 바와 같이, 게이트 전극(14G)을 형성한다. 이때, 도시하지 않은 주사 배선(11) 및 보조 용량 배선(20)도 동시에 형성된다. 여기에서는, Mo/Al/Mo 적층막의 두께는, 상층부터 차례로 150nm, 200nm, 50nm이다.

다음으로, 스핀 코트법을 이용하여 기판(10) 상에 유기 SOG 재료를 도포하고, 계속해서 프리베이크, 포스트베이크를 행하여 제1 절연층(12a)을 형성한 후, 도 4의 (b)에 도시한 바와 같이, 포토리소그래피 기술을 이용하여 제1 절연층(12a)의 소정의 부분, 구체적으로는 게이트 전극(14G)에 접치는 부분 및 그 근방 부분과, 보조 용량 배선(20)에 접치는 부분 및 그 근방 부분을 제거한다. 여기에서는, 우선, 두께가 1.5 $\mu$ m로 되도록 유기 SOG 재료의 도포를 행하고, 다음에 핫플레이트를 이용하여 150 $^{\circ}$ C에서 5분간 프리베이크를 행한 후, 오븐을 이용하여 350 $^{\circ}$ C에서 1시간의 포스트베이크를 행함으로써, 비유전률이 2.5인 제1 절연층(12a)을 형성한다. 에칭 시에는, 4불화 탄소(CF)와 산소(O)의 혼합 가스를 이용하여 드라이 에칭을 행한다.

계속해서, CVD법을 이용하여 SiN<sub>x</sub>막, 아몰퍼스 실리콘(a-Si)막, n<sup>+</sup> 아몰퍼스 실리콘(n<sup>+</sup>a-Si)막을 연속하여 퇴적하고, 그 후, a-Si막, n<sup>+</sup>a-Si막을 포토리소그래피 기술을 이용하여 패터닝(드라이 에칭에 의해 n<sup>+</sup>a-Si막, a-Si막의 일부를 제거)함으로써, 도 4의 (c)에 도시한 바와 같이, 제2 절연층(12b)(일부가 게이트 절연막(16)으로서 기능함)과, 진성 반도체층(17)

및 불순물 첨가 반도체층(18)으로 구성되는 섬 형상의 반도체 구조(반도체 활성층 영역)를 형성한다. 여기에서는, 두께 0.4 $\mu\text{m}$ , 비유전률 7.0의 제2 절연층(12b)을 형성하고, 두께가 50nm~200nm 정도인 진성 반도체층(17), 두께 40nm 정도의 불순물 첨가 반도체층(18)을 형성한다.

그 후, 스퍼터링법에 의해, Mo막, Al막, Mo막을 차례로 형성하고, 포토리소그래피 기술에 의해 이 적층막을 패터닝함으로써, 소스 전극(14S), 드레인 전극(14D), 신호 배선(13) 및 보조 용량 전극(12)을 형성한다.

다음으로, 도 4의 (d)에 도시한 바와 같이, 섬 형상의 반도체 구조의 채널로 되는 영역(17c)에서, 소스 전극(14S) 및 드레인 전극(14D)을 마스크로 하여, 불순물 첨가 반도체층(18)을 드라이 에칭에 의해 제거한다. 또한, 불순물 첨가 반도체층(18)을 제거할 때에, 진성 반도체층(17)의 표면도 얇게 에칭된다.

계속해서, 도 4의 (e)에 도시한 바와 같이, CVD법을 이용하여 SiN<sub>x</sub>를 퇴적함으로써, 두께 150nm~700nm 정도의 층간 절연막(19)을 기판(10)의 대략 전면을 덮도록 형성하고, 그 후, 포토리소그래피 기술을 이용하여 콘택트 홀(19')을 형성한다. 또한, 층간 절연막(19)의 재료로서 유기계의 절연 재료(예를 들면 감광성의 수지 재료)를 이용하여 두께 1.0 $\mu\text{m}$ ~3.0 $\mu\text{m}$  정도의 막을 형성하여도 되고, 또한, 층간 절연막(19)은 SiN<sub>x</sub> 등의 무기 절연 재료로 형성된 막과, 전술한 유기계의 절연 재료로 형성된 막이 적층된 적층 구조를 가져도 된다.

마지막으로, 스퍼터링법을 이용하여 두께 100nm의 ITO막을 형성하고, 이 ITO막을 포토리소그래피 기술을 이용하여 패터닝(에칭 시에는, 웨트 에칭을 이용함)함으로써, 도 4의 (f)에 도시한 바와 같이 화소 전극(15)을 형성한다. 또한, 화소 전극(15)의 재료로서는, 여기에서 예시한 ITO 등의 투명 도전 재료에 한정되지 않고, Al 등의 광반사성을 갖는 금속 재료를 이용하여도 된다.

전술한 바와 같이 하여, TFT 기판(100a)이 완성된다. 여기에서 예시한 방법에서는, 두께 1.5 $\mu\text{m}$ , 비유전률 2.5의 제1 절연층(12a)과, 두께 0.4 $\mu\text{m}$ , 비유전률 7.0의 제2 절연층(12b)을 포함하는 다층 절연막(12)이 형성된다. 따라서, 주사 배선(11)과 신호 배선(13)의 교차부에 형성되는 용량의 단위 면적당 용량치는,  $1.48 \times 10^{-5} \text{pF}/\mu\text{m}^2$ 이다. 이에 반해, 종래의 액티브 매트릭스 기판과 같이, 주사 배선과 신호 배선 사이에 두께 0.4 $\mu\text{m}$ , 비유전률 7.0의 게이트 절연막(본 실시예의 제1 절연층(12a)에 상당)만을 형성하면, 단위 면적당 용량치는  $1.55 \times 10^{-4} \text{pF}/\mu\text{m}^2$ 로 되므로, 본 실시예의 구성을 채용함으로써 교차부에 형성되는 용량의 값이 10분의 1 이하로 저감되고 있다. 또한, 주사 배선(11)과 화소 전극(15) 사이에도 제1 절연층(12a)이 개재하기 때문에, 주사 배선(11)과 화소 전극(15)의 교차부에 대해서도 큰 폭으로 용량치를 저감시킬 수 있다.

또한, 본 실시예에서는, 다층 절연막(12)이 제1 절연층(12a)이 형성되지 않은 저적층 영역(12R)을 갖고 있지만, 제1 절연층(12a)은 기판(10) 상의 대부분에 형성되어 있다. 이에 반해, 도 5에 도시하는 액정 표시 장치(700)와 같이, 주사 배선(11)과 신호 배선(13)의 교차부에만 선택적으로 제1 절연층(12a)을 형성하는 구성도 생각할 수 있다. 그러나, 이와 같은 구성을 채용하면, 도 2와 도 5의 비교로부터도 알 수 있는 바와 같이, 신호 배선(13)과 대향 전극(51)의 간격이 도 2에 도시하는 구성보다 짧아지게 되므로, 신호 배선(13)과 대향 전극(51) 사이에서 형성되는 용량의 값이 증가하게 된다.

본 실시예와 같이, 주사 배선(11)과 신호 배선(13)의 교차부 이외에도 제1 절연층(12a)을 형성함으로써, 신호 배선(13)과 대향 전극(51) 사이에 형성되는 용량을 증가시키지 않아, 주사 배선(11)과 신호 배선(13) 사이에 형성되는 용량을 저감시킬 수 있다.

또한, 도 5에는, 제1 절연층(12a)이 제2 절연층(12b)의 상층에 형성되어 있는 구성을 나타내었지만, 이와 같은 구성을 채용하면, 유기 성분을 포함하는 절연 재료로 형성된 제1 절연층(12a)이, 신호 배선(13) 등을 형성할 때의 드라이 에칭에 의해 열화되는 경우가 있다.

이에 반해, 본 실시예와 같이, 제1 절연층(12a)을 제2 절연층(12b)의 하층에 형성하면, 신호 배선(13) 등을 형성하기 위한 드라이 에칭 시에는, 제1 절연층(12a)은 제2 절연층(12b)에 의해 덮여 있으므로, 제1 절연층(12a)의 열화를 방지할 수 있다.

(제2 실시예)

도 6, 도 7 및 도 8의 (a)~(c)를 참조하면서, 본 실시예에서의 액정 표시 장치(200)를 설명한다. 이하에서는, 제1 실시예에서의 액정 표시 장치(100)와 상이한 점을 중심으로 설명한다.

액정 표시 장치(200)의 TFT 기관(200a)은, 다층 절연막(12)의 저적층 영역(12R)의 배치가 액정 표시 장치(100)의 TFT 기관(100a)과는 상이하다. 도 6, 도 7, 도 8의 (a)에 도시한 바와 같이, TFT 기관(200a)의 다층 절연막(12)은, 제1 절연층(12a)이 형성되지 않은 저적층 영역(12R)을 채널 영역(17c)에 겹치는 부분에 갖고 있지만, 제1 절연층(12a)은 게이트 전극(14G) 상의 모든 영역에서 제거되고 있는 것은 아니며, 게이트 전극(14G)의 엣지를 덮고 있다. 또한, 도 6 및 도 8의 (b)에 도시한 바와 같이, 제1 절연층(12a)은 보조 용량 배선(20) 상의 모든 영역에서 제거되고 있는 것은 아니며, 보조 용량 배선(20)의 엣지를 덮고 있다.

본 실시예에서의 TFT 기관(200a)에서도, 주사 배선(11)을 덮는 절연막(12)이 제1 절연층(12a)과 제2 절연층(12b)을 포함하는 다층 절연막이고, 또한 이 다층 절연막(12)이 제1 절연층(12a)이 형성되지 않은 저적층 영역(12R)을 채널 영역(17c)에 겹치는 부분이나 보조 용량 배선(20)과 보조 용량 전극(21) 사이에 갖고 있으므로, TFT(14)의 구동 능력의 저하나 보조 용량의 용량치의 저하를 수반하지 않아, 주사 배선(11)과 신호 배선(13)의 교차부에 형성되는 용량을 저감시킬 수 있다.

본 실시예에서는, 또한, 게이트 전극(14G)의 엣지 및 보조 용량 배선(20)의 엣지가 제1 절연층(12a)에 의해 덮여 있다. 이와 같은 구성을 채용하면, 이하에 설명하는 바와 같은 이점을 얻을 수 있다.

일반적인 액티브 매트릭스 기관에서는, 주사 배선층(주사 배선 및 주사 배선과 동일한 도전막으로 형성되는 요소의 총칭)의 엣지부와 신호 배선층(신호 배선 및 신호 배선과 동일한 도전막으로 형성되는 요소의 총칭) 사이에서 전류의 리크가 발생하기 쉽다. 구체적으로는, 게이트 전극의 엣지부와 소스 전극, 드레인 전극과의 사이에서의 리크나, 보조 용량 배선의 엣지부와 보조 용량 전극 사이에서의 리크가 발생하기 쉽다.

전술한 리크의 원인은, 주사 배선층으로 되는 도전막을 패터닝할 때에 엣지부에 돌기물(힐록이라고 불림)이 형성되기 쉬운 것과, 주사 배선층 상에 CVD법 등에 의해 게이트 절연막을 형성할 때에 엣지부에서 커버리지성이 나빠지기 쉬운 것에 있다.

그 때문에, 주사 배선층으로 되는 도전막을 패터닝할 때에는, 엣지부가 테이퍼 형상으로 되도록 패터닝을 행할 필요가 있어, 이것이 패터닝 공정의 처리 능력의 저하를 초래하였다. 또한, 엣지부를 테이퍼 형상으로 형성할 필요가 있기 때문에 주사 배선층 자체의 후막화도 곤란하였다.

이에 반해, 본 실시예에서는, 게이트 전극(14G)의 엣지 및 보조 용량 배선(20)의 엣지가 제1 절연층(12a)에 의해 덮여 있으므로, 주사 배선층(게이트 전극(14G)이나 보조 용량 배선(20))의 엣지부를 테이퍼 형상으로 형성하지 않아도 리크의 발생을 억제할 수 있다. 그 때문에, 패터닝 공정의 처리 능력을 향상시킬 수 있다. 또한, 엣지부를 테이퍼 형상으로 형성할 필요가 없기 때문에(게이트 전극(14G)이나 보조 용량 배선(20)이 기관면에 대해 대략 수직인 측면을 가져도 됨), 주사 배선층 자체의 후막화도 용이하다.

또한, 다층 절연막(12)의 신호 배선(13)층의 표면은, 저적층 영역(12R)에서 함몰되어 있지만, 본 실시예에서는, 도 6 및 도 8의 (a)에 도시한 바와 같이, 반도체층(17)은, 다층 절연막(12)의 저적층 영역(12R)을 덮고, 또한, 반도체층(17)의 일부가 제1 절연층(12a)이 형성되어 있는 영역에 올라앉도록 형성되어 있다. 이와 같은 구성을 채용하면, 소스 전극(14S)이나 드레인 전극(14D)에 만일 단절이 발생하여도, 전기적인 접속을 확보할 수 있다. 또한, 단절이 발생했을 때의 전기적인 접속을 확보하기 위해서는, 반도체층(17) 가운데, 적어도 소스 전극(14S) 및 드레인 전극(14D)에 겹치는 부분이 제1 절연층(12a)이 형성되어 있는 영역에 올라앉아 있으면 되고, TFT의 오프 특성을 확보하기 위해서는, 도 6에 도시하고 있는 바와 같이 다른 부분은 제1 절연층(12a)이 형성되어 있는 영역에는 가능한 한 올라앉지 않는 것이 바람직하다.

다음으로, TFT 기관(200a)의 제조 방법의 일례를 도 9의 (a)~(f)를 참조하면서 설명한다.

우선, 글래스 기관 등의 절연성 기관(10) 상에, 스퍼터링법을 이용하여 도전막을 형성하고, 이 도전막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 9의 (a)에 도시한 바와 같이, 게이트 전극(14G)을 형성한다. 이때, 도시하지 않은 주사 배선(11) 및 보조 용량 배선(20)도 동시에 형성된다.

다음으로, 스핀 코팅법을 이용하여 기관(10) 상에 유기 SOG 재료를 도포하고, 계속해서 프리베이크, 포스트베이크를 행하여 제1 절연층(12a)을 형성한 후, 도 9의 (b)에 도시한 바와 같이, 포토리소그래피 기술을 이용하여 제1 절연층(12a)의 소정의 부분, 즉 게이트 전극(14G)에 겹치는 부분과, 보조 용량 배선(20)에 겹치는 부분을 제거한다. 단, 이때, 게이트 전극(14G)의 엣지부 상과 보조 용량 배선(20)의 엣지부 상의 제1 절연층(12a)을 남기도록 제거한다.

계속해서, CVD법을 이용하여 무기 절연막, 진성 반도체막, 불순물 첨가 반도체막을 연속하여 퇴적하고, 그 후, 진성 반도체막, 불순물 첨가 반도체막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 9의 (c)에 도시한 바와 같이, 제2 절연층(12b)(일부가 게이트 절연막(16)으로서 기능함)과, 진성 반도체층(17) 및 불순물 첨가 반도체층(18)으로 구성되는 섬 형상의 반도체 구조를 형성한다.

그 후, 스퍼터링법에 의해, 도전막을 형성하고, 포토리소그래피 기술에 의해 이 도전막을 패터닝함으로써, 소스 전극(14S), 드레인 전극(14D), 신호 배선(13) 및 보조 용량 전극(12)을 형성한다.

다음으로, 도 9의 (d)에 도시한 바와 같이, 섬 형상의 반도체 구조의 채널로 되는 영역(17c)에서, 소스 전극(14S) 및 드레인 전극(14D)을 마스크로 하여 불순물 첨가 반도체층(18)을 드라이 에칭에 의해 제거한다. 또한, 불순물 첨가 반도체층(18)을 제거할 때에, 진성 반도체층(17)의 표면도 얇게 에칭된다.

계속해서, 도 9의 (e)에 도시한 바와 같이, CVD법을 이용하여 층간 절연막(19)을 기판(10)의 대략 전면을 덮도록 형성하고, 그 후, 포토리소그래피 기술을 이용하여 콘택트 홀(19')을 형성한다.

마지막으로, 스퍼터링법을 이용하여 ITO막을 형성하고, 이 ITO막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 9의 (f)에 도시한 바와 같이 화소 전극(15)을 형성한다. 이와 같이 하여, TFT 기판(200a)이 완성된다.

또한, 유기 SOG 재료로 형성된 막은, 일반적으로, 기계적 스트레스, 열 스트레스에 약하여, 크랙이 발생하기 쉽다. 제1 절연층(12a)을 유기 SOC 재료로 형성하는 경우, 크랙의 발생을 억제하는 관점에서는, 도 10에 도시한 바와 같이, 제1 절연층(12a)을 비표시 영역(2)에는 형성하지 않는, 바꾸어 말하면, 저적층 영역(12R)을 비표시 영역(2)의 대략 전면에 형성하는 것이 바람직하다.

비표시 영역(2)은, 매트릭스 형상으로 배열된 복수의 화소 영역에 의해 규정되는 표시 영역(1)의 주변에 배치되어 있고 프레임 영역이라고도 불린다. 비표시 영역(2)에는, 화소 영역을 구동하기 위한 신호가 입력되는 복수의 단자가 형성되어 있으며, 이들 단자에 게이트 드라이버(30)나 소스 드라이버(40)가 접속되어 있다. 비표시 영역(2)에는, 실장 공정이나 기판 분단 공정에서 스트레스가 인가되기 쉽기 때문에, 비표시 영역(2)에는 제1 절연층(12a)을 형성하지 않음으로써, 크랙의 발생을 억제할 수 있다.

또한, 전술한 크랙은, 제1 절연층(12a)을 두껍게 할수록, 또한, 기판이 대형으로 될수록 발생하기 쉽다. 본원 발명자가 크랙의 발생과 제1 절연층(12a)의 재료와의 관계에 대해 상세한 검토를 행한 결과, 실리카로 형성된 필러(실리카 필러)를 포함하는 SOG 재료를 이용함으로써, 크랙의 발생을 억제할 수 있어, 대형의 액티브 매트릭스 기판에서 제1 절연층(12a)을 두껍게 형성하는 것이 용이하게 되는 것을 알 수 있었다.

도 11에, 실리카 필러를 포함하는 유기 SOG 재료로 형성된 제1 절연층(12a)의 단면 구조를 모식적으로 도시한다. 도 11에 도시한 바와 같이, 제1 절연층(12a)은, 유기 SOG 재료로 형성된 매트릭스(기재)(12a2) 중에, 실리카 필러(12a1)가 분산된 구성을 갖고 있다. 이와 같은 구성을 이용하면, 실리카 필러(12a1)가 스트레스를 완화함으로써 크랙의 발생이 억제되므로, 대형 기판에서 제1 절연층(12a)을 후막화하는 것이 용이해진다. 실리카 필러(12a1)의 입경은, 전형적으로는 10nm~30nm 이고, 제1 절연층(12a)에서의 실리카 필러(12a1)의 혼입 비율은, 전형적으로는 20체적%~80체적%이다. 실리카 필러를 포함하는 유기 SOG 재료로서는, 예를 들면, 촉매화성사 제품 LNT-025를 이용할 수 있다.

표 1에, 실리카 필러를 포함하는 유기 SOG막과 실리카 필러를 포함하지 않는 유기 SOG막에 대해, 내크랙성 평가를 행한 결과를 나타낸다. 또한, 샘플 기판으로서, 사이즈가 360mm×465mm인 글래스 기판(Corning 1737)을 이용하였다. 또한, 내크랙성 평가는, 도 12에 도시하는 순서로 행하였다. 구체적으로는, 우선, 샘플 기판 상에 SOC 재료를 도포하고, 다음으로, 180℃에서 4분간의 프리베이크를 행한다. 계속해서, 질소 분위기 하에서 350℃에서 1시간의 포스트베이크를 행함으로써 SOG막을 형성하고, 그 후, SOG막이 형성된 기판을 질소 분위기 하에서 350℃에서 1시간 유지한 후에 급냉한다는 열 사이클 시험을 행하였다.

**【표 1】**

막 두께	필러 없음	필러 있음
1.0 $\mu$ m	○	○

1.5 $\mu\text{m}$	×	○
2.0 $\mu\text{m}$	×	○
2.5 $\mu\text{m}$	×	○
3.0 $\mu\text{m}$	×	○

표 1에 나타내는 바와 같이, 필러 없는 경우에는, 막 두께가 1.5 $\mu\text{m}$  이상으로 되면 크랙이 발생하는 경우가 있는데 반해, 필러가 있는 경우에는, 막 두께를 3.0 $\mu\text{m}$ 로 해도 크랙의 발생을 억제할 수 있었다.

(제3 실시예)

도 13 및 도 14의 (a)~(d)에, 본 실시예에서의 액정 표시 장치(300)를 모식적으로 도시한다.

본 실시예의 액정 표시 장치(300)가 갖는 TFT 기판(300a)은, 도 13 및 도 14의 (a)~(c)에 도시한 바와 같이, 제2 실시예에서의 액정 표시 장치(200)의 TFT 기판(200a)과 거의 동일한 구성을 갖고 있다.

단, 액정 표시 장치(300)의 TFT 기판(300a)은, 도 13 및 도 14의 (d)에 도시한 바와 같이, 신호 배선(13)과 대략 평행하게 연장되는 복수의 실드 전극(23)을 갖고 있는 점에서, 액정 표시 장치(200)의 TFT 기판(200a)과 상이하다.

본 실시예에서의 실드 전극(23)은, 주사 배선(11)과 동일한 도전막을 패터닝함으로써 형성되어 있다. 이 실드 전극(23)은, 보조 용량 배선(20)에 접속되어 일정한 전위가 부여된다. 이하, 실드 전극(23)을 형성하지 않은 경우에 발생할 수 있는 문제와, 실드 전극(23)을 형성함으로써 얻을 수 있는 이점을 설명한다.

실드 전극(23)이 존재하지 않는 경우, 화소 전극(15)과 신호 배선(13) 사이에서 정전 용량이 형성된다. 즉, 화소 영역 내의 전기력선에 착안하여 설명하면, 전기력선은, 화소 전극(15)과 대향 전극을 연결하도록 형성될 뿐만 아니라, 화소 전극(15)과 신호 배선(13)도 연결하도록 형성된다. 그 때문에, 1 프레임 내에서 일정하게 유지될 화소 전극(15)의 전위가, 신호 배선(13)의 전위의 영향을 받아 변동하게 된다.

이에 반해, 실드 전극(23)을 형성하면, 화소 전극(15)으로부터 신호 배선(13)을 향하는 전기력선을, 실드 전극(23)으로 유도하는 것이 가능하게 되어, 화소 전극(15)과 신호 배선(13) 사이에서의 용량의 형성을 방해할 수 있다. 그 때문에, 화소 전극(15)의 전위가 신호 배선(13)의 전위의 영향을 받아 변동하는 것을 억제할 수 있다. 즉, 실드 전극(23)은, 화소 전극(15)을, 신호 배선(13)에 의해 생성되는 전기장으로부터 차폐하는 기능을 갖고 있다.

화소 전극(15)으로부터의 전기력선을 보다 많이 실드 전극(23)으로 유도하여, 화소 전극(15)의 전위 변동을 효과적으로 억제하는 관점에서는, 실드 전극(23)은, 도 14의 (d)에 도시한 바와 같이, 화소 전극(15)의 엣지보다 신호 배선(13)에 가까운 위치에 배치되어 있는 것이 바람직하다. 또한, 신호 배선(13)과 화소 전극(15) 사이의 영역은, 액정 표시 장치에서는 광 누설이 발생하는 영역이기 때문에, 대향 기관측에 차광체(블랙 매트릭스라고도 함)를 형성함으로써 이 영역을 차광하는 것이 바람직하지만, 도 14의 (d)에 도시한 바와 같이, 실드 전극(23)을 화소 전극(15)의 엣지에 겹치도록 배치함으로써, 대향 기관측의 차광체의 폭을 좁게 하는 것이 가능해져, 액정 표시 장치의 개구율, 투과율이 향상된다.

도 15 및 도 16의 (a)~(d)에, 본 실시예에서의 다른 액정 표시 장치(300')를 도시한다. 액정 표시 장치(300')의 TFT 기판(300A')은, 다층 절연막(12)의 저적층 영역(12R)의 배치가 전술한 액정 표시 장치(300)의 TFT 기판(300a)과 상이하다.

TFT 기판(300A')에서는, 도 16의 (a) 및 (b)에 도시한 바와 같이, 채널 영역(17c)에 겹치는 부분이나 보조 용량 배선(20)과 보조 용량 전극(21) 사이에 저적층 영역(12R)이 형성되어 있지만, 그것들 외에 도 15 및 도 16의 (d)에 도시한 바와 같이, 화소 영역의 외주를 따르도록 저적층 영역(12R)이 형성되어 있다. 즉, TFT 기판(300A')의 다층 절연막(12)은, 화소 영역의 외주 근방에 링 형상의 저적층 영역(12R)을 갖고 있다.

이와 같은 구성을 채용하면, 제1 절연층(12a)이 홈(저적층 영역(12R))에 의해 화소 영역 단위로 분할되므로, 대형 기관이라도 열 스트레스에 의한 크랙이 발생하기 어렵다.

(제4 실시예)

도 17 및 도 18의 (a)~(d)에, 본 실시예에서의 액정 표시 장치(400)를 모식적으로 도시한다.

본 실시예의 액정 표시 장치(400)가 갖는 TFT 기판(400a)은, 도 17 및 도 18의 (a)~(c)에 도시한 바와 같이, 제3 실시예에서의 액정 표시 장치(300)의 TFT 기판(300a)과 거의 동일한 구성을 갖고 있다.

단, 액정 표시 장치(400)의 TFT 기판(400a)은, 도 17 및 도 18의 (d)에 도시한 바와 같이, 다층 절연막(12)의 저적층 영역(12R)이 신호 배선(13)의 일부에도 겹치도록 배치되어 있는 점에서, 액정 표시 장치(300)의 TFT 기판(300a)과 상이하다.

본 실시예에서의 다층 절연막(12)은, 제1 절연층(12a)이 형성되지 않은 저적층 영역(12R)을, 도 17, 도 18의 (a) 및 (b)에 도시한 바와 같이 TFT(14)의 채널 영역(17)에 접치는 부분이나 보조 용량 배선(20)과 보조 용량 전극(21) 사이에 갖고 있으며, 또한 도 17 및 도 18의 (d)에 도시한 바와 같이, 신호 배선(13)에 접치는 영역의 일부에도 갖고 있다. 신호 배선(13)의 일부에 접치는 저적층 영역(12R)의 제1 절연층(12a)은, 제1 절연층(12a)을 패터닝하는 공정에서 슬릿 형상으로 제거되어 있다.

저적층 영역(12R)이 신호 배선(13)의 일부에 겹치도록 배치되어 있으면, 도 14의 (d)와 도 18의 (d)를 비교하면 알 수 있듯이, 신호 배선(13)과 화소 전극(15)과의 거리나 신호 배선(13)과 대향 전극(51)과의 거리를 길게 할 수 있다. 그 때문에, 신호 배선(13)과 화소 전극(15) 사이에 형성되는 용량이나 신호 배선(13)과 대향 전극(51) 사이에 형성되는 용량을 저감시킬 수 있다.

또한, 전술한 바와 같이 다층 절연막(12)의 저적층 영역(12R)은 신호 배선(13)의 일부에 겹치도록 배치되어 있지만, 도 17 및 도 18의 (c)에 도시되어 있는 바와 같이, 저적층 영역(12R)은, 신호 배선(13)과 주사 배선(11)의 교차부나, 신호 배선(13)과 보조 용량 배선(20)의 교차부에는 배치되지 않아, 신호 배선(13)과 주사 배선(11) 사이에 형성되는 용량이나 신호 배선(13)과 보조 용량 배선(20) 사이에 형성되는 용량은, 제3 실시예에서의 액정 표시 장치(300)와 마찬가지로 저감되어 있다.

TFT(14)나 신호 배선(13)을 덮는 층간 절연막(19)은, 도포형의 재료(예를 들면 아크릴계 수지나 유기 SOG 재료)로 형성되어 있는 것이 바람직하다. 도포형의 재료를 이용하여 층간 절연막(19)을 형성하면, 다층 절연막(12)에 저적층 영역(12R)을 형성하는 것에 의한 단차를 평탄화할 수 있어, 단차에 기인한 콘트라스트비 저하의 발생을 방지할 수 있다.

본 실시예에서는, 도 17에 도시한 바와 같이, 신호 배선(13)의 일부에 겹치도록 슬릿 형상의 저적층 영역(12R)이 형성되어 있다. 본원 발명자가 검토한 결과로는, 슬릿 형상의 저적층 영역(12R)의 폭(길이 방향으로 직교하는 방향의 폭)(W)을 30 μm 이하로 함으로써, 층간 절연막(19)에 의한 평탄화 효과를 한층 더 높일 수 있었다. 저적층 영역(12R)의 폭이 30 μm를 넘으면, 층간 절연막(19)의 표면에 형성되는 함몰이 콘트라스트비의 저하를 초래할 정도로 큰 경우가 있다.

또한, 제1 실시예에서는, 주사 배선(13) 및 보조 용량 배선(20)으로서 최상층에 Mo막을 포함하는 것을 예시하였지만, 본원 발명자가, 주사 배선(13) 및 보조 용량 배선(20)과 제1 절연층(바람직하게는 유기 SOG 재료로 형성됨)(12a)과의 밀착성을 상세하게 평가한 결과, 주사 배선(13)이나 보조 용량 배선(20)은, 티탄(Ti) 또는 질화 티탄(TiN)으로 형성된 배선층을 절연막(12)측에 갖는(예를 들면 다층 배선인 경우에는 최상층으로서 갖는) 것이 바람직한 것을 알 수 있었다. 표 2에, 주사 배선(13) 및 보조 용량 배선(20)과 제1 절연층(12a)과의 밀착성의 필테스트에 의해 평가 결과를 나타낸다. 표 2 중, 「○」는 제1 절연층(12a)의 박리가 발생하지 않았던 것을 나타내고, 「△」는 배선의 패턴에 따라서는 제1 절연층(12a)의 박리가 발생한 것을 나타낸다.

**[표 2]**

최상층의 재료	Mo	MoN	Ti	TiN
막 두께 0.5 μm	○	○ or △	○	○
막 두께 1.0 μm	○	△	○	○

표 2로부터도 알 수 있듯이, Mo계의 막을 최상층으로 이용한 경우에는, 조건에 따라서는 밀착성이 충분하지 않은 경우가 있었다. 이에 반해, Ti계의 막(Ti 또는 TiN으로 형성된 막)을 최상층에 이용한 경우에는, 조건에 상관없이 충분한 밀착성을 얻을 수 있어 제조 프로세스의 안정성을 향상시킬 수 있었다.

(제5 실시예)

도 19 및 도 20의 (a)~(d)에, 본 실시예에서의 액정 표시 장치(500)를 모식적으로 도시한다.

본 실시예의 액정 표시 장치(500)가 갖는 TFT 기관(500a)은, 도 19 및 도 20의 (a)~(c)에 도시한 바와 같이, 제4 실시예에서의 액정 표시 장치(400)의 TFT 기관(400a)과 거의 동일한 구성을 갖고 있다.

단, 액정 표시 장치(500)의 TFT 기관(500a)은, 도 19 및 도 20의 (d)에 도시한 바와 같이, 신호 배선(13)이 굴곡되어 있는 점과, 실드 전극(23)을 갖지 않는 점에서, 액정 표시 장치(400)의 TFT 기관(400a)과 상이하다.

본 실시예에서의 신호 배선(13)은, 도 19에 도시한 바와 같이, 구형과 형상으로 굴곡되어 있고, 그것에 의해, 각 화소 영역의 화소 전극(15)이, 인접하는 2개의 신호 배선(13)의 양쪽 모두에 층간 절연막(19)을 개재하여 겹쳐져 있다.

예를 들면, 도 19 중의 중앙에 도시하는 화소 전극(15)에 착안하면, 이 화소 전극(15)은, TFT(14)를 개재하여 전기적으로 접속되는 좌측의 신호 배선(13)과, 전기적으로 접속되지 않은 우측의 신호 배선(13)의 양쪽 모두와 겹쳐져 있다. 또한, 이들 2개의 신호 배선(13)은, 한쪽의 신호 배선(13)과 화소 전극(15) 사이에 형성되는 용량(Csd<sub>1</sub>)과, 다른 쪽의 신호 배선(13)과 화소 전극(15) 사이에 형성되는 용량(Csd<sub>2</sub>)이 서로 거의 동일하게 되도록 굴곡되어 있다.

이와 같이, 본 실시예에서는, 각 화소 영역에서 용량(Csd<sub>1</sub>)과 용량(Csd<sub>2</sub>)이 거의 동일하므로, 도 17에 도시한 바와 같은 실드 전극(23)을 형성하지 않아도, 화소 전극(15)의 전위의 변동(신호 배선(13)의 전위의 영향에 의한 변동)을 억제할 수 있다. 그 때문에, 개구율을 향상시킬 수 있다. 이하, 용량(Csd<sub>1</sub>)과 용량(Csd<sub>2</sub>)을 동일하게 함으로써 화소 전극(15)의 전위의 변동을 억제할 수 있는 이유를 설명한다.

액티브 매트릭스형 액정 표시 장치의 구동 방법으로서 1 라인 주사할 때마다 신호 전압의 극성을 반전시키는 1 라인 반전 구동이나, 인접하는 화소마다 신호 전압의 극성을 반전시키는 도트 반전 구동이 알려져 있다. 화소 전극과 신호 배선 사이에 형성되는 용량에 기인한 화소 전극의 전위의 변동량은, 1 라인 반전 구동을 이용한 경우에는, 용량(Csd<sub>1</sub>)과 용량(Csd<sub>2</sub>)의 합에 대략 비례하는데 반해, 도트 반전 구동을 이용한 경우에는, 용량(Csd<sub>1</sub>)과 용량(Csd<sub>2</sub>)의 차에 대략 비례한다. 그 때문에, 도트 반전 구동을 이용함으로써, 화소 전극의 전위의 변동을 억제할 수 있다. 본 실시예에서는, 또한, 용량(Csd<sub>1</sub>)과 용량(Csd<sub>2</sub>)이 거의 동일하게 되도록 신호 배선(13)이 굴곡되어 있으므로, 화소 전극(15)의 전위의 변동을 한층 더 억제할 수 있다.

또한, 본 실시예에서는, 신호 배선(13)이 화소 전극(15)에 겹쳐져 있기 때문에, 신호 배선(13)이 화소 전극(15)에 겹쳐져 있지 않은 경우에 비해, 신호 배선(13)과 화소 전극(15) 사이에 형성되는 용량이 커진다. 단, 본 실시예에서는, 도 19 및 도 20의 (d)에 도시한 바와 같이, 신호 배선(13)의 일부(주사 배선(11)이나 보조 용량 배선(20)에 겹쳐지지 않는 부분)에 겹치도록 다층 절연막(12)의 저적층 영역(12R)이 형성되어 있으므로, 도 21에 도시한 바와 같이 신호 배선(13)에 겹치도록 하는 저적층 영역이 형성되지 않은 경우에 비해, 용량의 증가를 억제할 수 있다.

또한, 다층 절연막(12)에 저적층 영역(12R)을 형성한 경우, 다층 절연막(12)의 액정층(60)측의 표면은, 기관의 주면에 대해 평행한 면뿐만 아니라, 기관의 주면에 대해 경사진 경사면을 포함하고 있으며, 저적층 영역(12R)은 다층 절연막(12)의 경사면에 의해 포위된다. 여기에서, 다층 절연막(12)의 경사면의 바람직한 경사각을 도 22 및 도 23의 (a) 및 (b)를 참조하면서 설명한다. 도 23의 (a)는, 도 22 중의 23A-23A'선을 따라 자른 단면도로서, 신호 배선(13)이 연장되는 방향으로 직교하는 단면을 도시하고 있다. 또한, 도 23의 (b)는, 도 22 중의 23B-23B'선을 따라 자른 단면도로서, 신호 배선(13)이 연장되는 방향으로 평행한 단면을 도시하고 있다.

다층 절연막(12)의 경사면은, 도 23의 (a)에 도시한 바와 같이 신호 배선(13)이 연장되는 방향으로 평행한 부분(이하에서는 「제1 부분」이라고 함)(12s1)과, 도 23의 (b)에 도시한 바와 같이 신호 배선(13)이 연장되는 방향으로 대략 직교하는 부분(이하에서는 「제2 부분」이라고 함)(12s2)을 포함하고 있다.

도 23의 (a) 및 (b)에 도시하고 있는 바와 같이, 제1 부분(12s1)의 기관(10)의 주면에 대한 경사각( $\theta_1$ )은, 제2 부분(12s2)의 기관(10)의 주면에 대한 경사각( $\theta_2$ )보다 큰 것이 바람직하다. 그 이유는 하기와 같다.

TFT 기관(500a)의 제조 공정에서, 도전막을 패터닝할 때에, 제거될 부분이 제거되지 않고 남게 되는 경우(패턴 불량이라고 함)가 있다. 이와 같은 패턴 불량은, 배선끼리의 단락의 원인으로 되어, 전류 리크의 원인으로 된다. 예를 들면, 도 22에는, 신호 배선(13)으로 되는 도전막을 패터닝할 때에 제거되지 않고 남게 된 도전편(24)을 도시하고 있다. 이와 같은 도전편(24)에 의해 신호 배선(13)과 다른 부재(예를 들면 드레인 전극(14D))으로부터 연장 형성된 도전 부재(22))가 단락되면, 전류의 리크가 발생하게 된다.

제1 부분(12s1)의 경사각( $\theta_1$ )이 클수록, 패턴 불량에 의해 형성된 도전편(24)이 도 23의 (a)에 도시한 바와 같이 제1 부분(12s1)에서 단선되기 쉬워, 신호 배선(13)과 접속되기 어렵다. 이에 반해, 제1 부분(12s1)의 경사각( $\theta_1$ )이 작을수록, 도 24의 (a)에 도시한 바와 같이 도전편(24)과 신호 배선(13)이 접속되기 쉬워, 리크가 발생하기 쉽다.

또한, 본 실시예와 같이, 신호 배선(13)의 일부에 겹치도록 저적층 영역(12R)을 형성하면, 저적층 영역(12R) 근방의 단차에서 신호 배선(13)의 단선이 발생할 가능성이 있다.

제2 부분(12s2)의 경사각( $\theta_2$ )이 작을수록, 도 23의 (b)에 도시한 바와 같이 제2 부분(12s2)에서의 신호 배선(13)의 단선이 발생하기 어렵다. 이에 반해, 제2 부분(12s2)의 경사각( $\theta_2$ )이 클수록, 도 24의 (b)에 도시한 바와 같이 제2 부분(12s2)에서의 신호 배선(13)의 단선이 발생하기 쉽다.

전술한 바와 같이, 제1 부분(12s1)의 경사각( $\theta_1$ )이 클수록, 패턴 불량에 의한 리크가 발생하기 어렵고, 제2 부분(12s2)의 경사각( $\theta_2$ )이 작을수록, 신호 배선(13)의 단선이 발생하기 어렵다. 따라서, 제1 부분(12s1)의 경사각( $\theta_1$ )을 제2 부분(12s2)의 경사각( $\theta_2$ )보다 크게 함으로써, 패턴 불량에 의한 리크의 발생을 억제하면서, 신호 배선(13)의 단선의 발생을 억제할 수 있다.

패턴 불량에 의한 리크의 발생을 억제하기 위해서는, 제1 부분(12s1)의 경사각( $\theta_1$ )은 60° 이상인 것이 바람직하다. 또한, 신호 배선(13)의 단선의 발생을 억제하기 위해서는, 제2 부분(12s2)의 경사각( $\theta_2$ )은 40° 이하인 것이 바람직하다.

또한, 제1 부분(12s1)의 경사각( $\theta_1$ )이 작으면 층간 절연막(19)에 의한 평탄화 효과가 얻어지기 어렵기 때문에, 도 24의 (a)에 도시하고 있는 바와 같이 신호 배선(13) 상의 층간 절연막(19)이 얇아지게 된다. 그 때문에, 신호 배선(13)과 대향 전극(51) 사이에 형성되는 용량을 층간 절연막(19)에 의해 저감시키는 효과가 낮게 된다. 제1 부분(12s1)의 경사각( $\theta_1$ )을 크게 하면, 층간 절연막(19)에 의한 평탄화 효과를 얻기 쉽기 때문에, 도 23의 (a)에 도시한 바와 같이 신호 배선(13) 상의 층간 절연막(19)이 얇아지기 어렵다. 그 때문에, 신호 배선(13)과 대향 전극(51) 사이에 형성되는 용량을 충분히 저감시킬 수 있다.

제1 부분(12s1)의 경사각( $\theta_1$ )과 제2 부분(12s2)의 경사각( $\theta_2$ )은, 예를 들면 도 25나 도 26에 도시하는 마스크 패턴을 채용함으로써 상이하게 할 수 있다. 도 25 및 도 26은, 제1 절연층(12a)을 포토리소그래피 기술을 이용하여 패터닝할 때에 이용하는 포토마스크의 패턴의 예를 도시하는 도면이다.

도 25 및 도 26에 도시하는 마스크 패턴은, 제1 절연층(12a)이 제거될 영역, 즉 저적층 영역(12R)에 대응한 투광부(72)와, 제1 절연층(12a)이 남을 영역에 대응한 차광부(74)로 구성되어 있다. 또한, 마스크 패턴으로서는, 제1 절연층(12a)이 제거될 영역에 대응한 차광부와, 제1 절연층(12a)이 남을 영역에 대응한 투광부로 구성된 것을 이용하여도 되는 것은 말할 필요도 없다. 이용하는 포토레지스트가 포지티브형인지 네가티브형인지에 따라 어느 하나의 구성을 채용하면 된다.

도 25에 도시하는 마스크 패턴에서는, 투광부(72)의 단부가, 도 25 중에 확대하여 도시한 바와 같이, 빗살 형상으로 형성되어 있다. 예를 들면, 폭 13.5 $\mu\text{m}$ 의 투광부(72)에 대해, 길이 5 $\mu\text{m}$ , 폭 1.5 $\mu\text{m}$ 의 빗살이 1.5 $\mu\text{m}$ 의 간격으로 형성되어 있다. 또한, 도 26에 도시하는 마스크 패턴에서는, 투광부(72)의 단부가, 도 26 중에 확대하여 도시한 바와 같이, 끝에 가까워질수록 폭이 가늘게 되도록(즉 뾰족해지도록) 형성되어 있다.

도 25나 도 26에 도시한 바와 같이 투광부(72)의 단부가 빗살 형상이나 뾰족해지도록 형성되어 있으면, 도 27의 (a)에 도시한 바와 같이, 제1 절연층(12a) 상에서 현상되는 레지스트(25)의 테이퍼 형상을 완만하게 할 수 있다. 이와 같이 하여 완만한 테이퍼 형상의 레지스트(25)를 형성한 후에 이방성이 높은 에칭(예를 들면 드라이 에칭)을 행하면, 도 27의 (b)에 도시한 바와 같이, 레지스트(25)의 테이퍼 형상이 제1 절연층(12a)의 테이퍼 형상에 반영되므로, 제1 절연층(12a)의 테이퍼 형상을 완만하게 할 수 있다. 그 후, 레지스트(25)를 박리하고, 계속해서, 제2 절연층(12b)을 형성하면, 도 27의 (c)에 도시한 바와 같이, 경사각( $\theta_2$ )이 작은 제2 부분(12s2)을 포함하는 경사면을 얻을 수 있다.

#### (제6 실시예)

도 28 및 도 29의 (a)~(c)에, 본 실시예에서의 액정 표시 장치(600)를 모식적으로 도시한다.

본 실시예의 액정 표시 장치(600)가 갖는 TFT 기관(600a)은, 도 28, 도 29의 (a) 및 (c)에 도시한 바와 같이, 제5 실시예에서의 액정 표시 장치(500)의 TFT 기관(500a)과 거의 동일한 구성을 갖고 있다.

단, 액정 표시 장치(600)의 TFT 기관(600a)은, 도 28 및 도 29의 (b)에 도시한 바와 같이, 다층 절연막(12)의 저적층 영역(12R)이 층간 절연막(19)에 형성된 콘택트 홀(19')에는 겹치지 않도록 배치되어 있는 점에서, 액정 표시 장치(500)의 TFT 기관(500a)과 상이하다.

본 실시예에서는, 도 29의 (b)에 도시한 바와 같이, 콘택트 홀(19')의 하방에 위치하는 제1 절연층(12a)은 제거되지 않아, 다층 절연막(12)의 저적층 영역(12R)은 콘택트 홀(19')에는 겹치지 않도록 배치되어 있다. 이와 같은 구성을 채용하면, 전형적으로는 감광성 재료로 형성되는 층간 절연막(19)의 노광 프로세스에 필요로 하는 시간을 단축시킬 수 있다. 이하, 그 이유를 설명한다.

층간 절연막(19)은, TFT 기관(600a)의 대략 전면에서 형성되기 때문에, 층간 절연막(19)의 재료는, 높은 투과율을 갖고 있는 것이 바람직하다. 그런데, 높은 투과율을 갖는 재료는, 노광하는데 높은 에너지를 필요로 하여, 재료나 막 두께에 따라 상이하지만, 일반적으로는, 레지스트 재료의 10배 정도의 에너지를 필요로 한다. 또한, 층간 절연막(19)은, 그 평탄화 효과를 위해, 다층 절연막(12)의 저적층 영역(12R) 상에서는 두꺼워진다. 그 때문에, 콘택트 홀(19')에 겹치도록 저적층 영역(12R)을 형성하면, 콘택트 홀(19')을 형성하기 위한 노광 프로세스에 필요로 하는 에너지가 한층 더 높아져 노광 시간이 보다 길어지게 되어, 제조 라인의 처리 능력의 저하를 초래하게 된다.

이에 반해, 본 실시예와 같이, 콘택트 홀(19')의 하방에 제1 절연층(12a)을 남기고, 다층 절연막(12)의 저적층 영역(12R)을 콘택트 홀(19')에 겹치지 않도록 배치함으로써, 노광에 필요로 하는 에너지의 증가를 막아, 노광 시간을 단축시킬 수 있다.

#### (제7 실시예)

도 30 및 도 31의 (a)~(d)에, 본 실시예에서의 액정 표시 장치(700)를 모식적으로 도시한다. 본 실시예에서의 액정 표시 장치(700)는, 각 화소 영역이 복수의 부화소 영역으로 분할되어 있는 점에서, 제5 실시예에서의 액정 표시 장치(500)와 상이하다.

액정 표시 장치(700)에서는, 도 30에 도시한 바와 같이, 각 화소 영역(P)이, 서로 상이한 전압을 인가하는 것이 가능한 제1 부화소 영역(SP1) 및 제2 부화소 영역(SP2)을 갖고 있다. 제1 부화소 영역(SP1) 및 제2 부화소 영역(SP2)에는, 각각 TFT(14a, 14b) 및 부화소 전극(15a, 15b)이 형성되어 있다. TFT(14a, 14b)의 게이트 전극은 동일한(공통의) 주사 배선(11)에 접속되어 있고, TFT(14a, 14b)의 소스 전극은 동일한(공통의) 신호 배선(13)에 접속되어 있다.

제1 부화소 영역(SP1)과 제2 부화소 영역(SP2)에는, 각각, 보조 용량 배선(20) 및 보조 용량 전극(21)과 이들 사이의 절연막(12)에 의해 구성되는 보조 용량이 형성되어 있다. 도 30에 도시한 바와 같이, 제1 부화소 영역(SP1)의 보조 용량을 구성하는 보조 용량 배선(20)과, 제2 부화소 영역(SP2)의 보조 용량을 구성하는 보조 용량 배선(20)은, 다른 배선으로서, 각각 전기적으로 독립되어 있으므로, 서로 상이한 전압이 공급될 수 있다.

제1 부화소 영역(SP1) 및 제2 부화소 영역(SP2)의 각각에서, 액정 용량(부화소 전극, 대향 전극 및 액정층으로 구성됨)과 보조 용량은 전기적으로 병렬로 접속되어 있으므로, 제1 부화소 영역(SP1)의 보조 용량을 구성하는 보조 용량 배선(20)과, 제2 부화소 영역(SP2)의 보조 용량을 구성하는 보조 용량 배선(20)에 서로 상이한 전압을 부여하면, 제1 부화소 영역(SP1)의 부화소 전극(15a)의 전압과 제2 부화소 영역(SP2)의 부화소 전극(15b)의 전압을 서로 상이하게 할 수 있다. 그 때문에, 제1 부화소 영역(SP1)의 액정층(60)과 제2 부화소 영역(SP2)의 액정층(60)에 인가되는 실효적인 전압을 서로 상이하게 할 수 있다.

전술한 바와 같이, 각 화소 영역(P)이 서로 상이한 전압을 인가할 수 있는 복수의 부화소 영역(SP1, SP2)으로 분할되어 있으면, 표시면을 정면 방향으로부터 관찰했을 때의  $\gamma$  특성과 경사 방향으로부터 관찰했을 때의  $\gamma$  특성이 상이하다고 하는  $\gamma$  특성의 시각 의존성을 저감시킬 수 있다. 이와 같은 화소 분할의 방법은, 예를 들면 일본 특개 2004-62146호 공보나 일본 특개 2004-78157호 공보에 개시되어 있다.

화소 분할이 실시된 액정 표시 장치(700)에서도, 도 30 및 도 31의 (a)~(d)에 도시한 바와 같이, 저적층 영역(12R)이 소정의 위치에 배치된 다층 절연막(12)을 이용함으로써, TFT(14a, 14b)의 구동 능력의 저하나 보조 용량의 용량치의 저하를 수반하지 않아, 주사 배선(11)과 신호 배선(13)의 교차부에 형성되는 용량을 저감시킬 수 있다.

또한, 화소 분할법은, 상기 일본 특개 2004-62146호 공보나 일본 특개 2004-78157호 공보에 개시되어 있는 바와 같이, 광시야각 특성을 갖는 VA 모드(예를 들면 MVA 모드나 ASM 모드)의 액정 표시 장치에 이용하는 것이 바람직하기 때문에, 액정 표시 장치(700)의 화소 영역(P)은, VA 모드의 표시를 행할 수 있는 구조를 갖추고 있는 것이 바람직하다.

#### (제8 실시예)

도 32 및 도 33의 (a)~(c)에, 본 실시예에서의 액정 표시 장치(800)를 도시한다. 도 32는 액정 표시 장치(800)의 1개의 화소 영역을 모식적으로 도시하는 상면도이며, 도 33의 (a)~(c)는 액정 표시 장치(800)의 TFT 기관(800a)을 모식적으로 도시하는 부분 단면도이다.

TFT 기관(800a)은, 주사 배선(11')을 덮는 절연막(12)이, 제1 절연층(12a)과 제2 절연층(12b)을 포함하는 다층 절연막인 점에 대해서는, 제3 실시예에서의 TFT 기관(300a)과 공통이지만, 주사 배선(11')과 게이트 전극(14G)의 배치 관계가 TFT 기관(300a)과 상이하다.

제3 실시예의 TFT 기관(300a)에서는, 주사 배선(11)과 게이트 전극(14G)이 동일한 층에 형성되는데 반해, 본 실시예의 TFT 기관(800a)에서는, 주사 배선(11')과 게이트 전극(14G)은, 상이한 도전막으로 형성되고, 서로 다른 층에 형성되어 있다.

구체적으로는, 게이트 전극(14G)은, 도 33의 (a)에 도시한 바와 같이, 주사 배선(11')을 덮는 제1 절연층(12a) 상에 형성되어 있으며, 도 32에 도시한 바와 같이, 제1 절연층(12a)에 형성된 콘택트 홀(12A')에서 주사 배선(11')에 전기적으로 접속되어 있다.

즉, 제3 실시예의 TFT 기관(300a)에서는, 채널 영역(17c)에 겹치도록 저적층 영역(12R)을 형성함으로써, 제2 절연층(12b)만을 게이트 절연막(16)으로서 기능시키고 있는데 반해, 본 실시예에서는, 게이트 전극(14G)을 제1 절연층(12a) 상에 형성함으로써, 제2 절연층(12b)만을 게이트 절연막(16)으로서 기능시키고 있다.

또한, TFT 기관(800a)에서는, 도 33의 (b)에 도시한 바와 같이, 보조 용량 배선(20)도 제1 절연층(12a) 상에 형성되어 있으며, 보조 용량 전극(21)은 제2 절연층(12b)을 개재하여 보조 용량 배선(20)에 대향하고 있다.

본 실시예에서의 TFT 기판(800a)에서는, 도 33의 (c)에 도시한 바와 같이, 주사 배선(11)을 덮는 절연막(12)이, 제1 절연층(12a)과 제2 절연층(12b)을 포함하는 다층 절연막이므로, 주사 배선(11)과 신호 배선(13)의 교차부에 형성되는 용량을 저감시킬 수 있다. 또한, 도 33의 (a) 및 (b)에 도시한 바와 같이, 게이트 전극(14G)이나 보조 용량 배선(20)은, 제1 절연층(12a) 상에 형성되어 있으므로, TFT(14)의 구동 능력이 저하되거나, 보조 용량의 용량치가 저하되는 일도 없다.

다음으로, 본 실시예에서의 TFT 기판(800a)의 제조 방법의 일례를 도 34의 (a)~(g)를 참조하면서 설명한다.

우선, 글래스 기판 등의 절연성 기판(10) 상에, 스퍼터링법을 이용하여 도전막을 형성하고, 이 도전막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 34의 (a)에 도시한 바와 같이, 주사 배선(11')을 형성한다.

다음으로, 스피ن 코트법을 이용하여 기판(10) 상에 유기 SOG 재료를 도포하고, 계속해서 프리베이크, 포스트베이크를 행하여 제1 절연층(12a)을 형성한 후, 도 34의 (b)에 도시한 바와 같이, 포토리소그래피 기술을 이용하여 제1 절연층(12a)의 주사 배선(11') 상의 부분에 콘택트 홀(12A')을 형성한다.

계속해서, 스퍼터링 법을 이용하여 도전막을 형성하고, 이 도전막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 34의 (c)에 도시한 바와 같이, 게이트 전극(14G)을 형성한다. 이때, 도시하지 않은 보조 용량 배선(20)도 동시에 형성된다.

그 후, CVD법을 이용하여 무기 절연막, 진성 반도체막, 불순물 첨가 반도체막을 연속하여 퇴적하고, 그 후, 진성 반도체막, 불순물 첨가 반도체막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 34의 (d)에 도시한 바와 같이, 제2 절연층(12b)(일부가 게이트 절연막(16)으로서 기능함)과, 진성 반도체층(17) 및 불순물 첨가 반도체층(18)으로 구성되는 섬 형상의 반도체 구조를 형성한다.

다음으로, 스퍼터링법에 의해 도전막을 형성하고, 포토리소그래피 기술에 의해 이 적층막을 패터닝함으로써, 소스 전극(14S), 드레인 전극(14D), 신호 배선(13) 및 보조 용량 전극(21)을 형성한다.

계속해서, 도 34의 (e)에 도시한 바와 같이, 섬 형상의 반도체 구조의 채널로 되는 영역(17c)에서, 소스 전극(14S) 및 드레인 전극(14D)을 마스크로 하여, 불순물 첨가 반도체층(18)을 드라이 에칭에 의해 제거한다. 또한, 불순물 첨가 반도체층(18)을 제거할 때에, 진성 반도체층(17)의 표면도 얇게 에칭된다.

그 후, 도 34의 (f)에 도시한 바와 같이, CVD법을 이용하여 층간 절연막(19)을 기판(10)의 대략 전면을 덮도록 형성하고, 계속해서, 포토리소그래피 기술을 이용하여 콘택트 홀(19')을 형성한다.

마지막으로, 스퍼터링법을 이용하여 투명 도전막(혹은 광반사성을 갖는 도전막)을 형성하고, 이 도전막을 포토리소그래피 기술을 이용하여 패터닝함으로써, 도 34의 (g)에 도시한 바와 같이 화소 전극(15)을 형성한다. 이와 같이 하여, TFT 기판(400a)이 완성된다.

또한, 본 발명은, 상기 제1~제8 실시예에서 예시한 구조로 한정되는 것은 아니다. 예를 들면, 각 화소 영역에 형성하는 TFT로서 도 35의 (a) 및 (b)나 도 36의 (a) 및 (b)에 도시하는 바와 같은 구조의 TFT를 이용하여도 된다.

도 35의 (a)에 도시하는 TFT(14)는, 2개의 드레인 전극(14D)을 갖고 있으며, 이들 2개의 드레인 전극(14D)의 사이에 소스 전극(14S)이 배치되어 있다. 이와 같은 구성을 채용하면, 포토마스크의 얼라인먼트 차이가 발생하여도, 게이트-드레인 용량의 변화를 2개의 드레인 전극(14D) 사이에서 상쇄할 수 있기 때문에, TFT(14) 전체적인 게이트-드레인 용량의 변화를 억제할 수 있다.

도 35의 (b)에 도시하는 TFT(14)도, 2개의 드레인 전극(14D)을 갖고 있으므로, 도 35의 (a)에 도시하는 TFT(14)와 마찬가지로, 포토마스크의 얼라인먼트 차이가 발생했을 때의 게이트-드레인 용량의 변화를 억제할 수 있다.

또한, 도 35의 (a)에 도시하는 구성에서는, TFT(14)의 채널 영역에 겹치도록 직사각형의 저적층 영역(12R)이 형성되고 있는데 반해, 도 35의 (b)에 도시하는 구성에서는, 채널 영역에 겹치도록 형성된 저적층 영역(12R)은, 직사각형의 일부를 절개한 형상을 갖고 있다. 구체적으로는, 저적층 영역(12R)은, 도 35의 (b)에 도시한 바와 같이, 소스 전극(14S)에 겹치는 부분의 일부가 절개된 H자 형상을 갖고 있다. 그 때문에, 채널 영역 내의 소스 전극(14S)과 게이트 전극(14G) 사이의 일부에는 제1 절연막(12a)이 형성되어 있으며, 도 35의 (b)에 도시하는 구성에서는, 도 35의 (a)에 도시하는 구성보다 게이트-소스 용량이 저감된다.

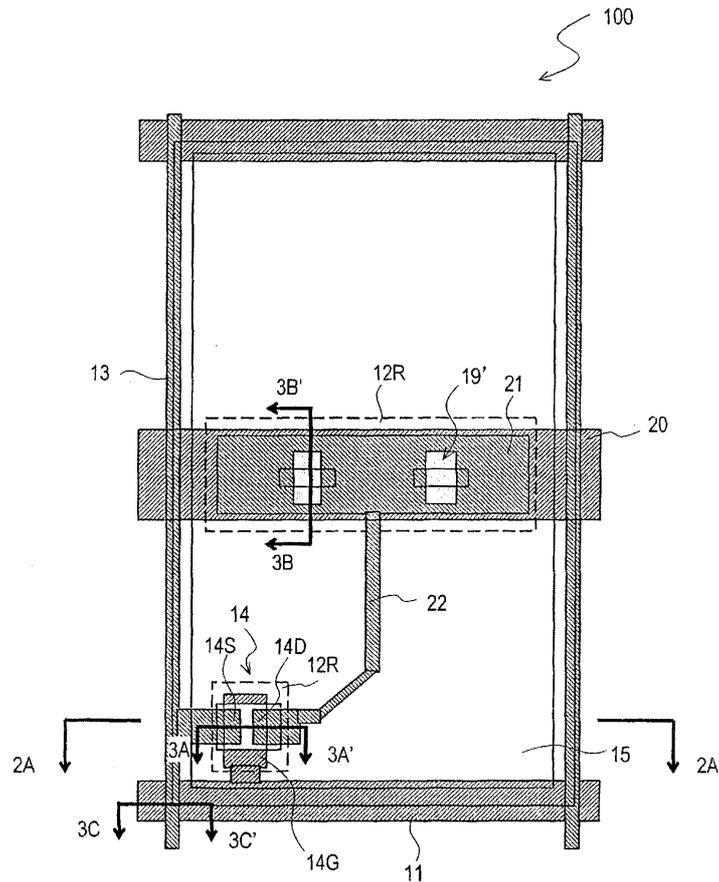
도 36의 (a) 및 (b)에 각각 도시하는 TFT(14)에서는, 드레인 전극(14D)이 L자 형상으로 형성되어 있으므로, 드레인의 인출부가 가늘어지고 있다. 그 때문에, 포토마스크의 얼라인먼트 차이가 발생했을 때의 게이트-드레인 용량의 변화를 억제할 수 있다.

도 36의 (b)에 도시하는 구성에서는, TFT(14)의 채널 영역에 겹치도록 직사각형의 저장층 영역(12R)이 형성되고 있는데 반해, 도 36의 (a)에 도시하는 구성에서는, 채널 영역에 겹치도록 형성된 저장층 영역(12R)은, 채널 영역 내의 게이트 전극(14G)의 보다 많은 부분에 겹치도록 L자 형상으로 형성되어 있다. 그 때문에, 도 36의 (a)에 도시하는 구성에서는, 도 36의 (b)에 도시하는 구성보다도 충분한 게이트 전압이 인가되는 반도체 영역이 많아, TFT(14)의 오프 리크를 방지하여 TFT(14)의 오프 특성을 향상시킬 수 있다.

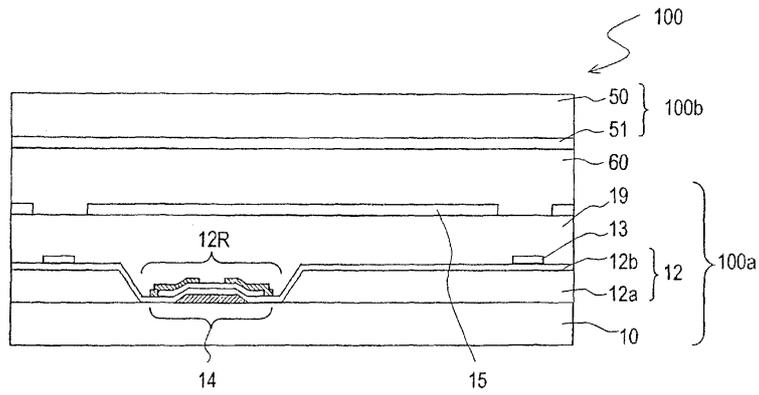
또한, 상기 제1~제8 실시예에서는, 표시 매체층으로서 액정층을 구비한 액정 표시 장치 및 액정 표시 장치용의 액티브 매트릭스 기관을 예로 본 발명을 설명하였지만, 본 발명은 이것에 한정되는 것은 아니다. 본 발명은, 유기 EL 표시 장치 등의 여러 표시 장치용의 액티브 매트릭스 기관에 매우 적합하게 이용된다.

도면

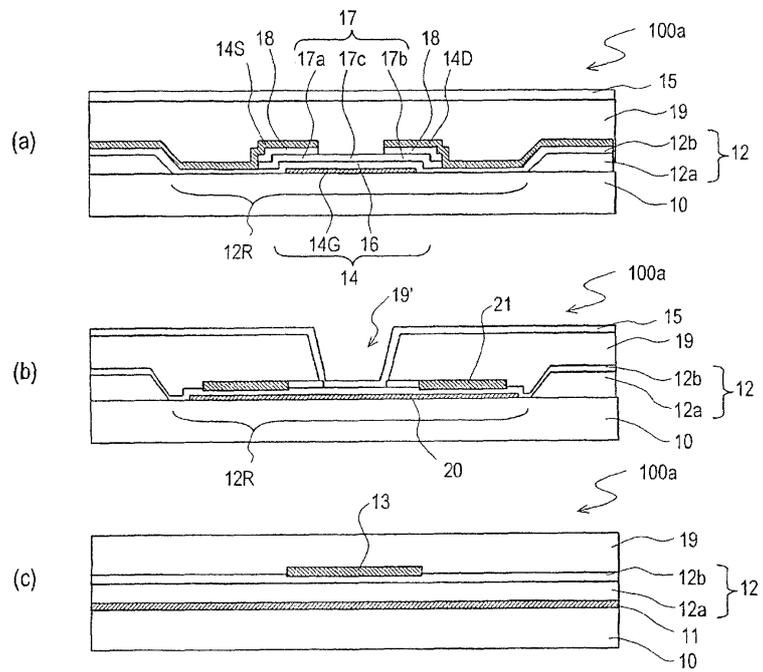
도면1



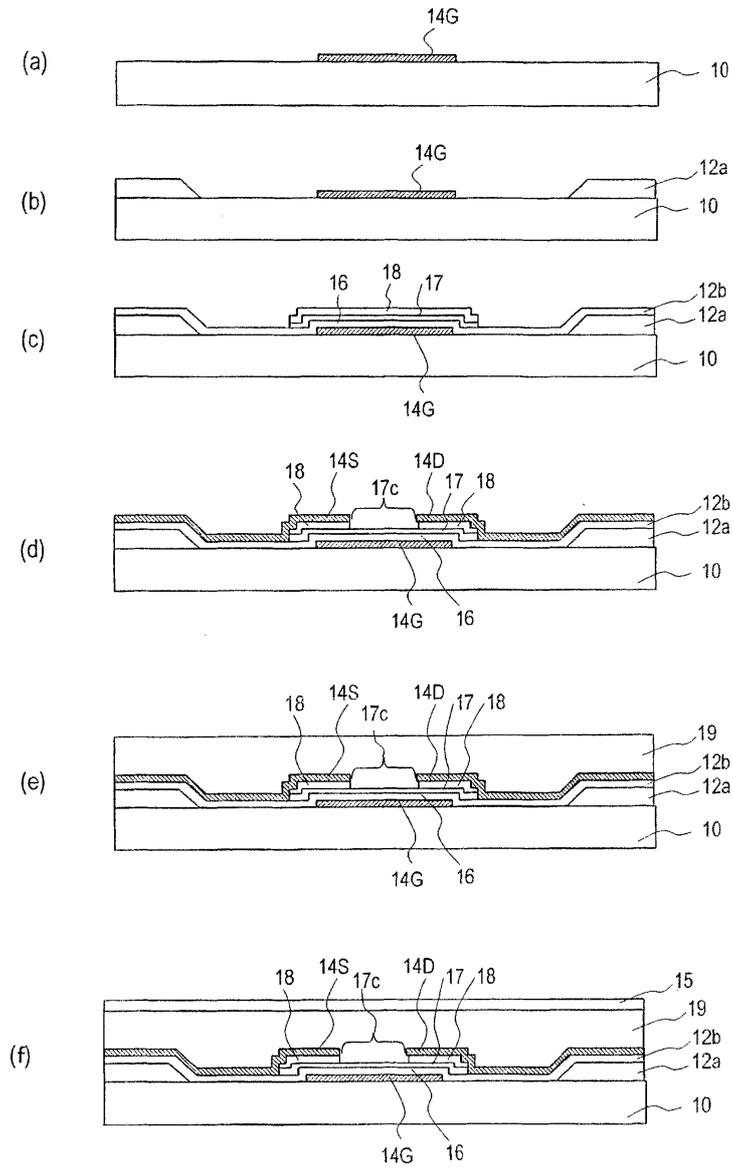
도면2



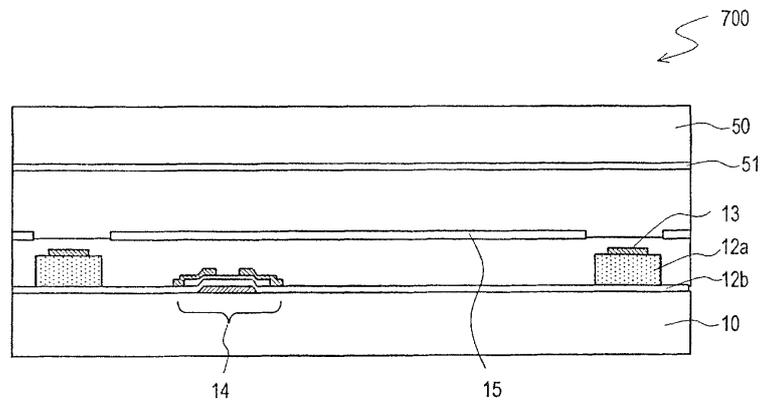
도면3



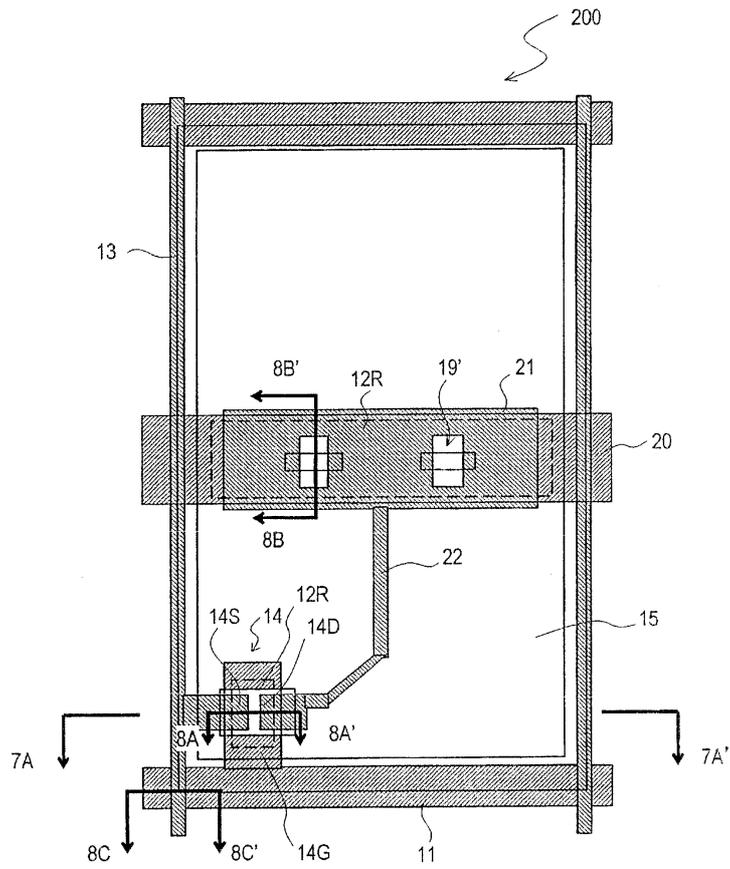
도면4



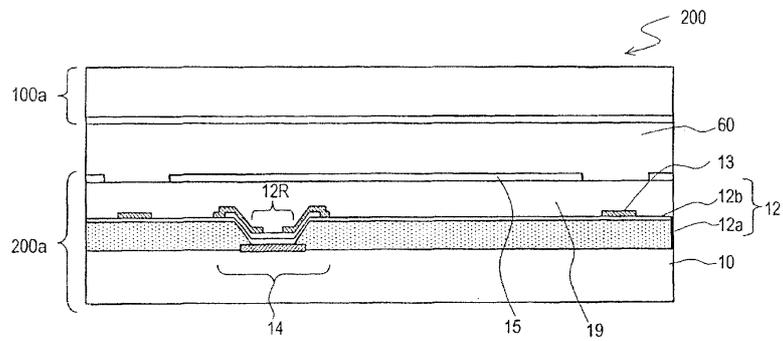
도면5



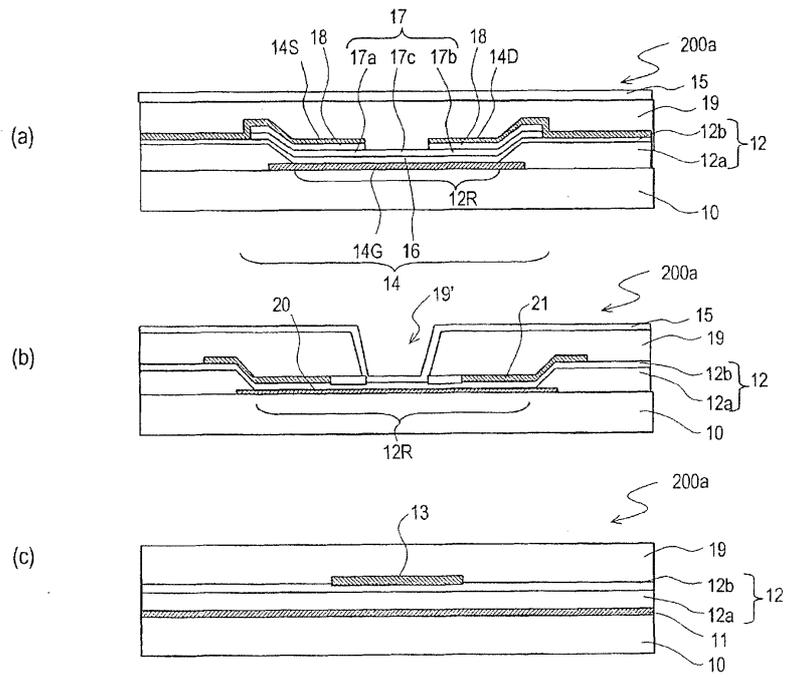
도면6



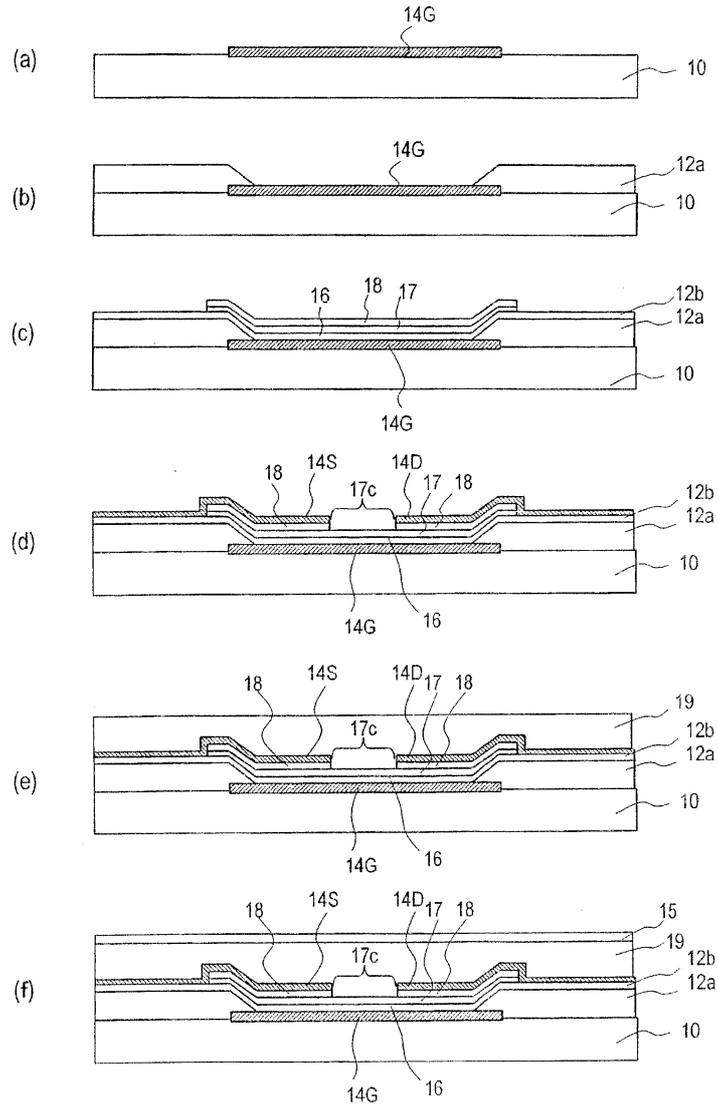
도면7



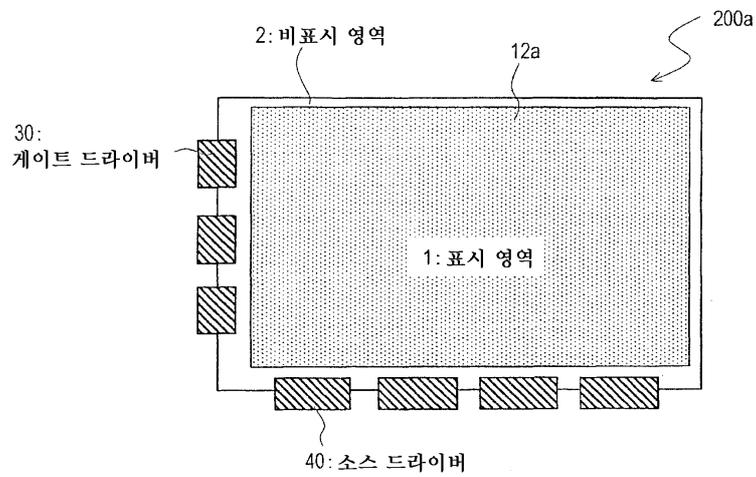
도면8



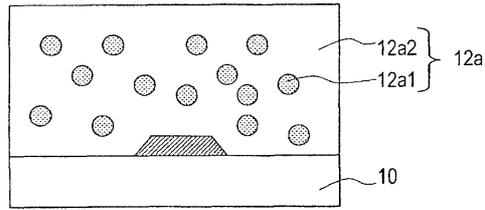
도면9



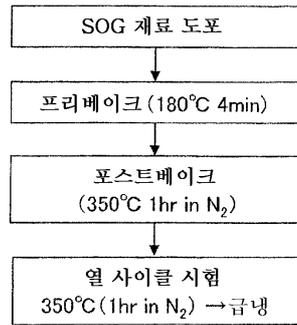
도면10



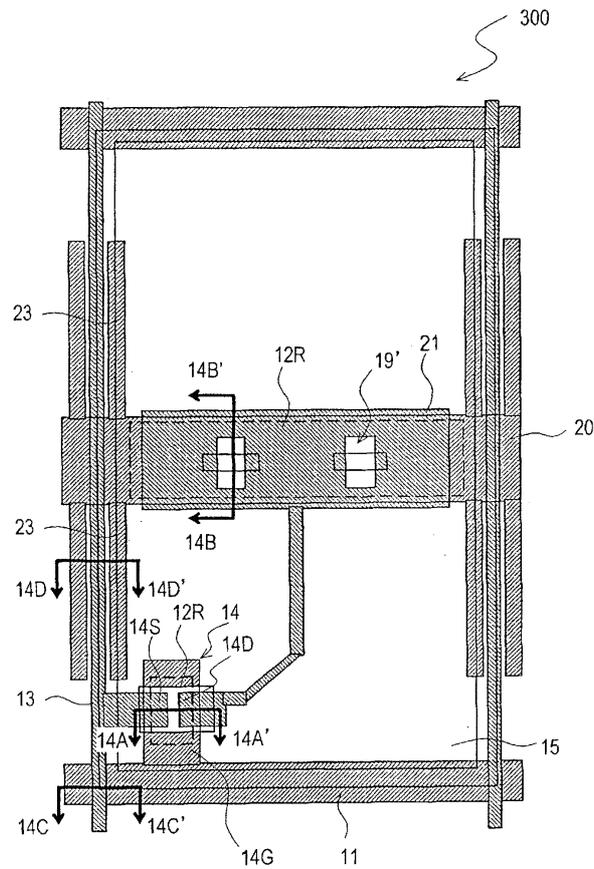
도면11



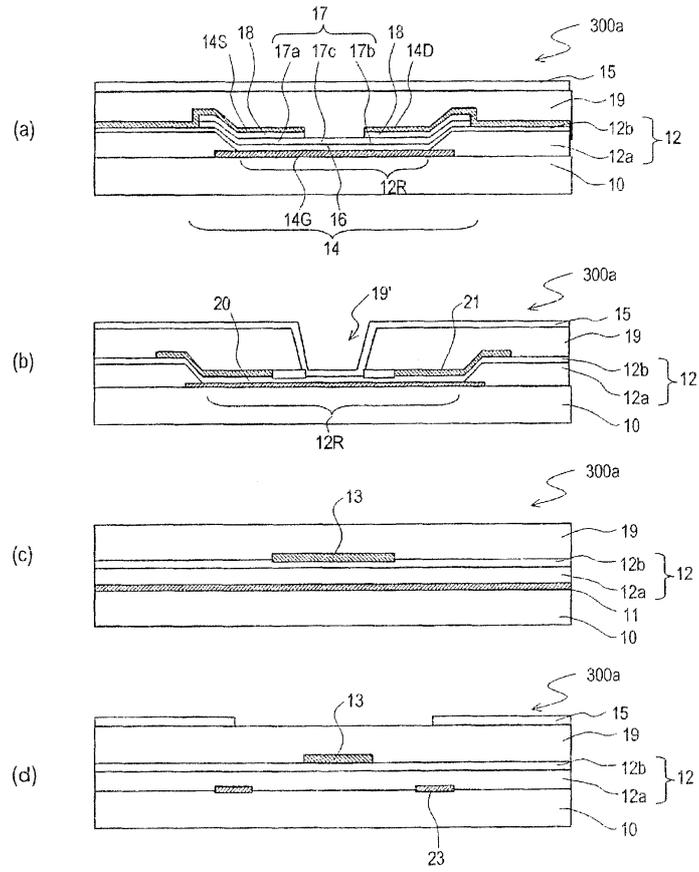
도면12



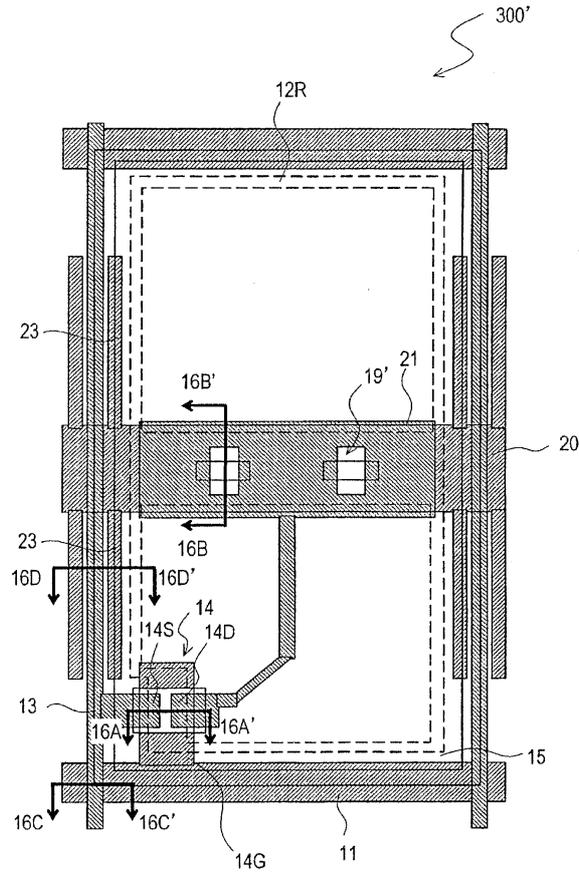
도면13



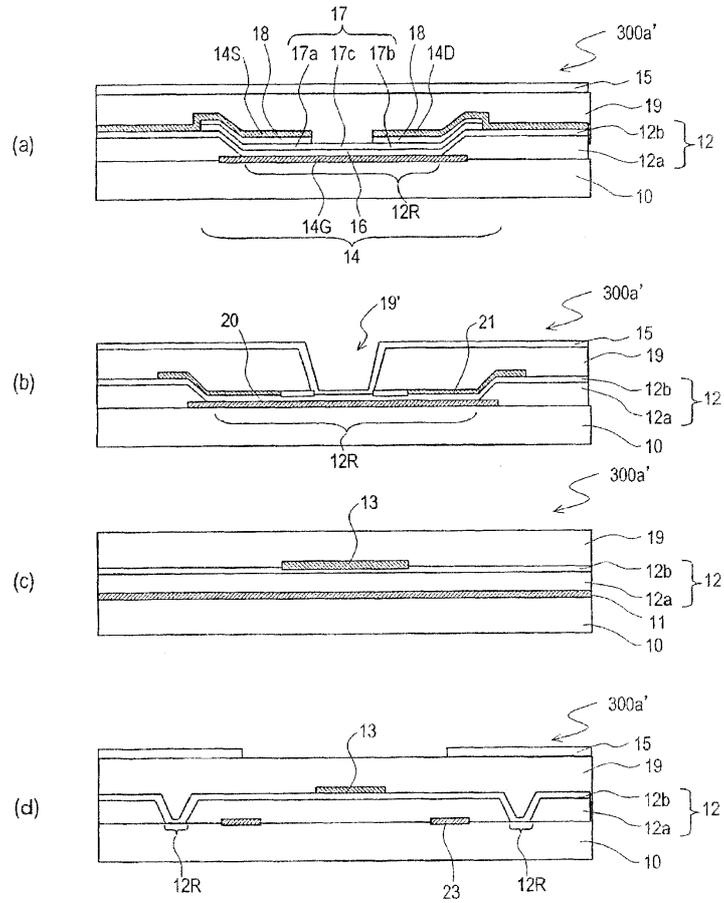
도면14



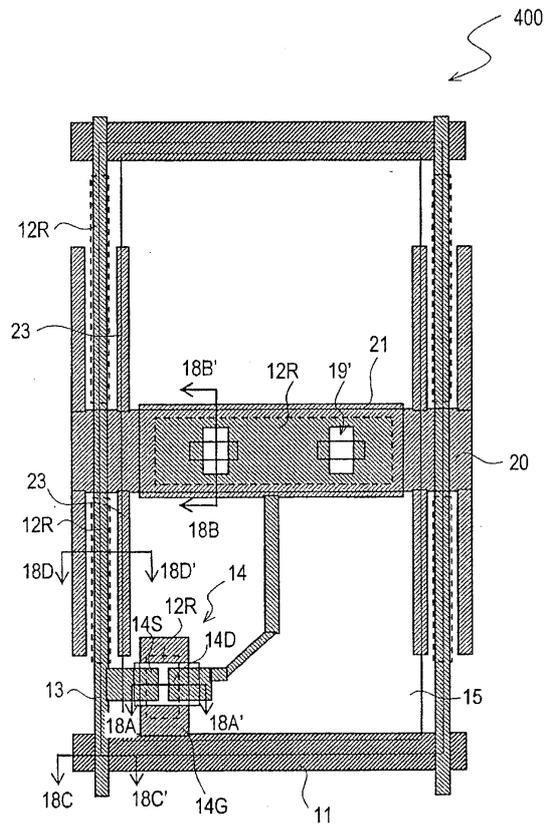
도면15



도면16

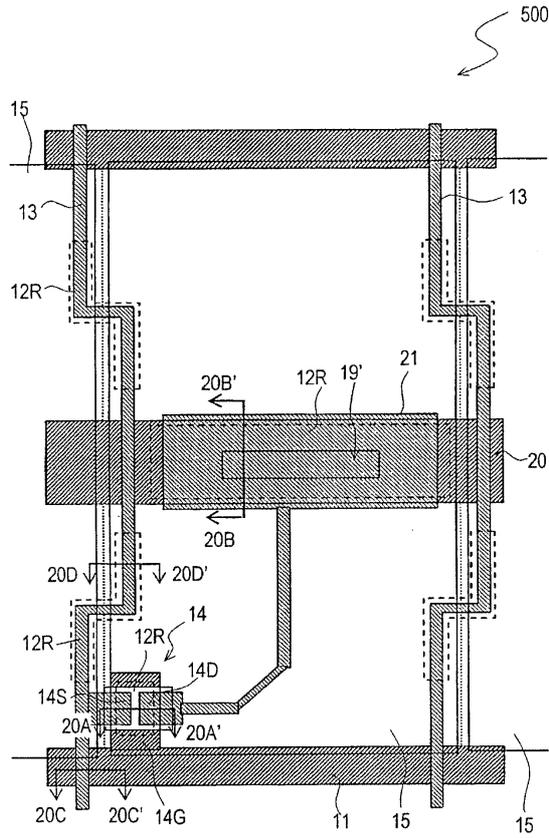


도면17

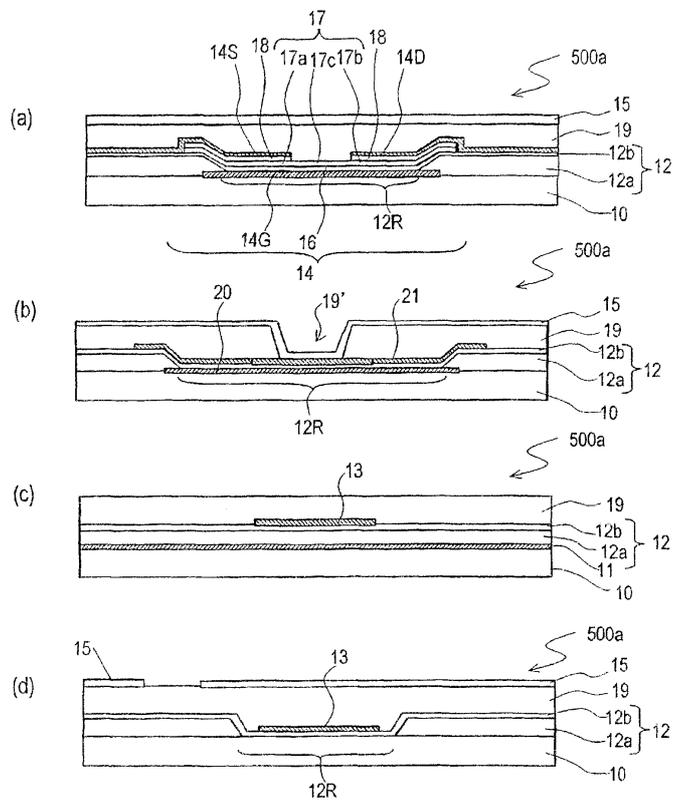




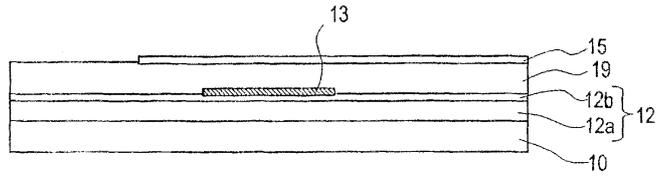
도면19



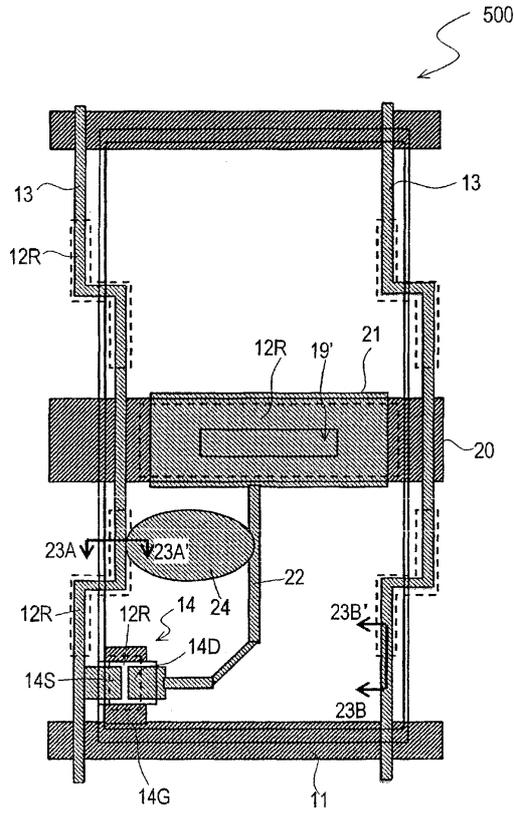
도면20



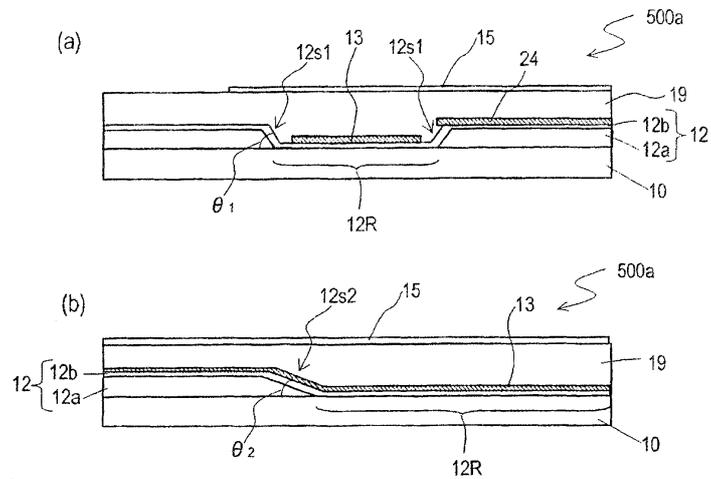
도면21



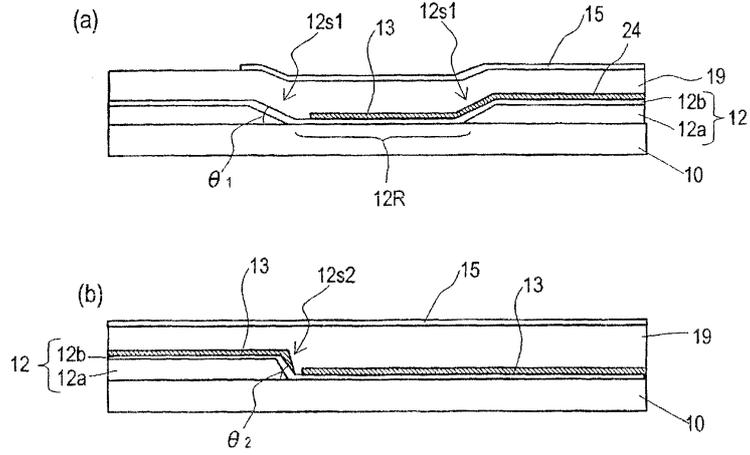
도면22



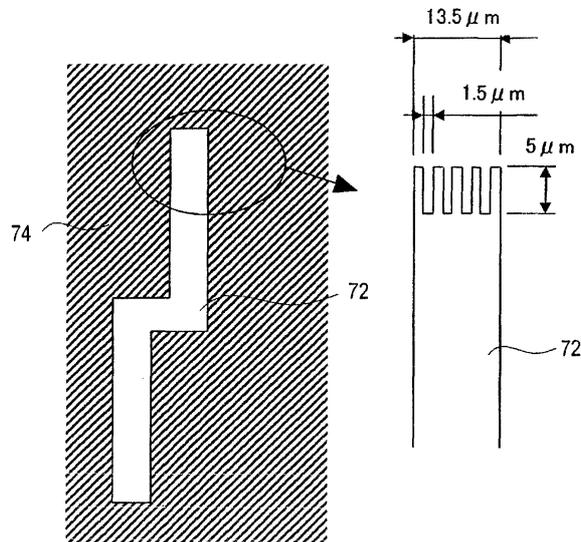
도면23



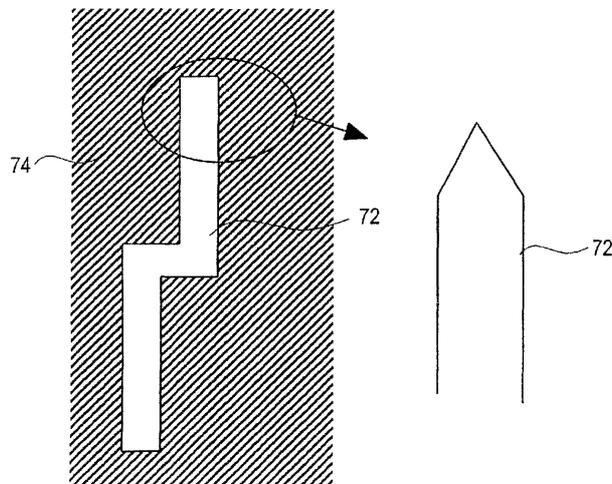
도면24



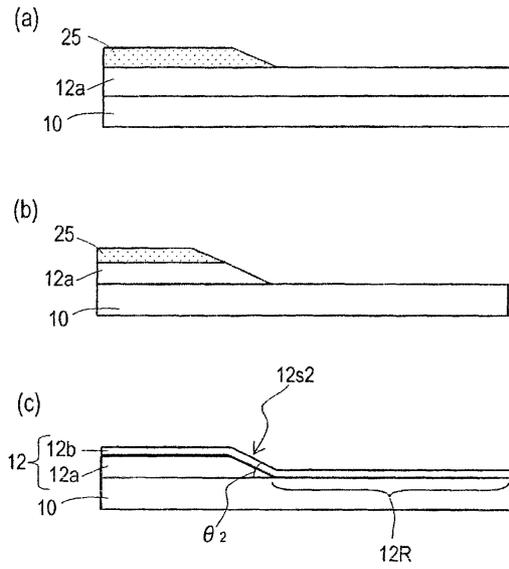
도면25



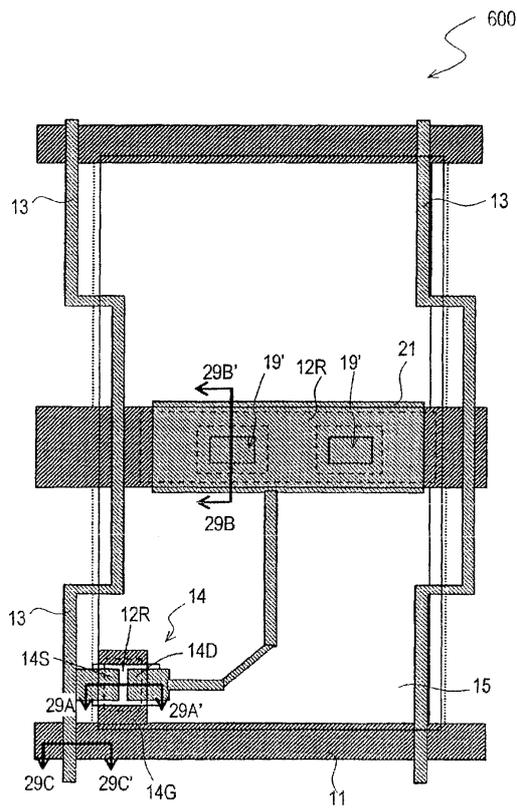
도면26



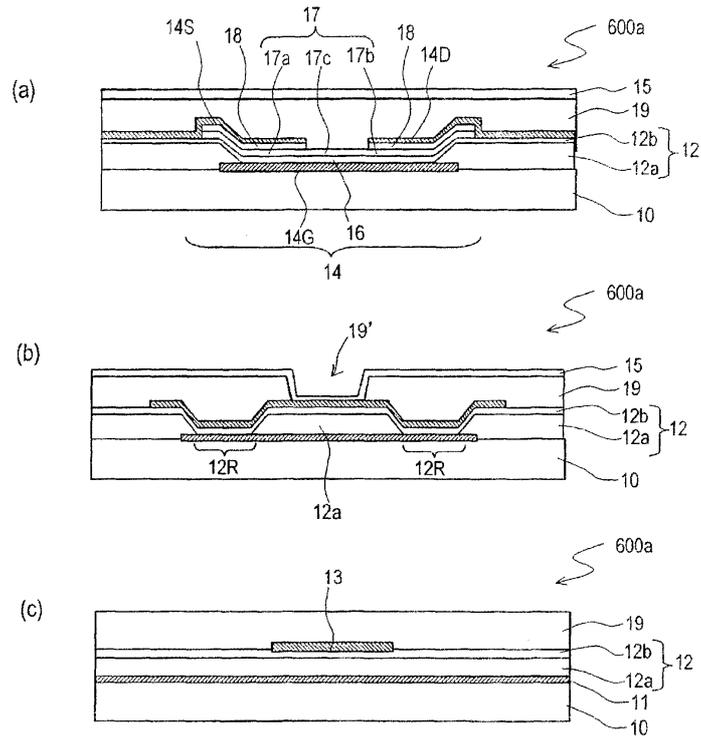
도면27



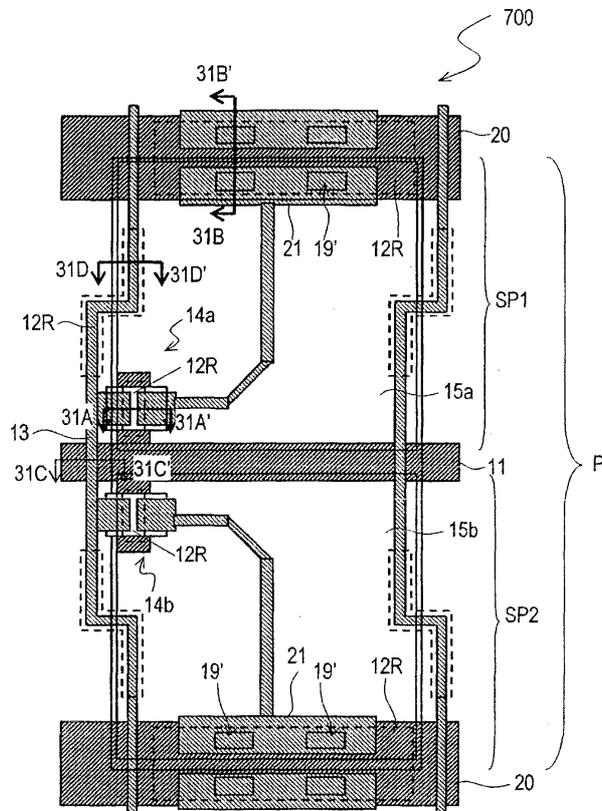
도면28



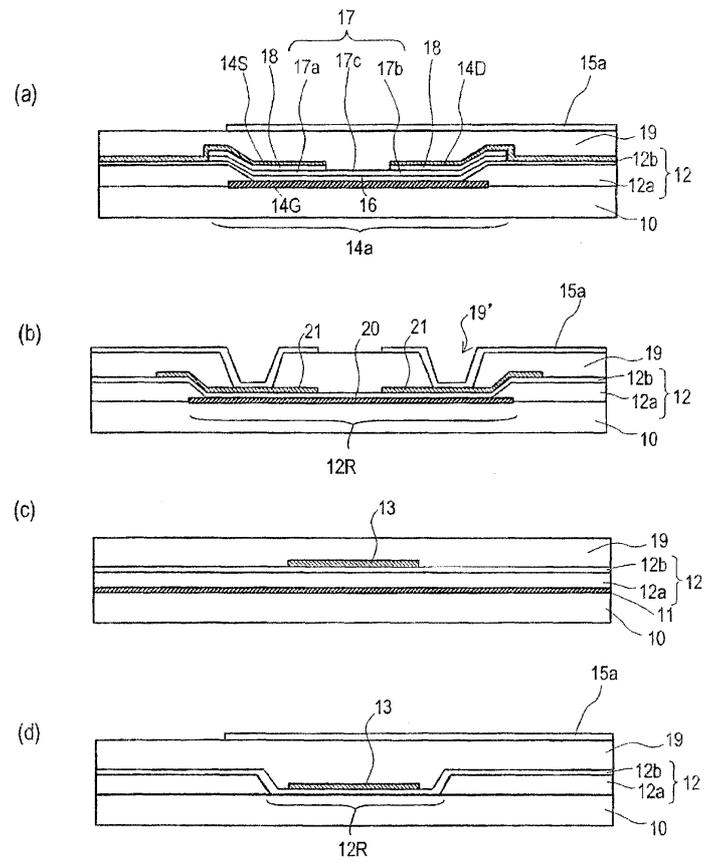
도면29



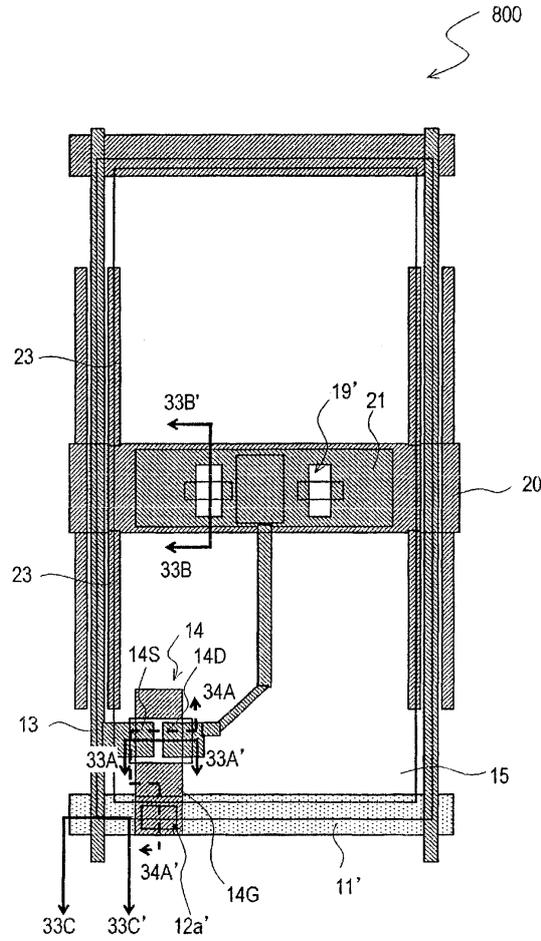
도면30



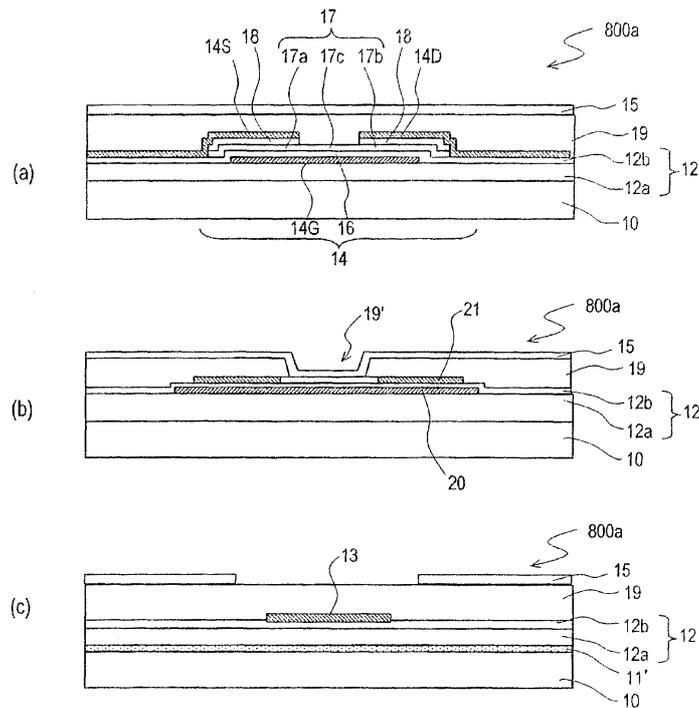
도면31



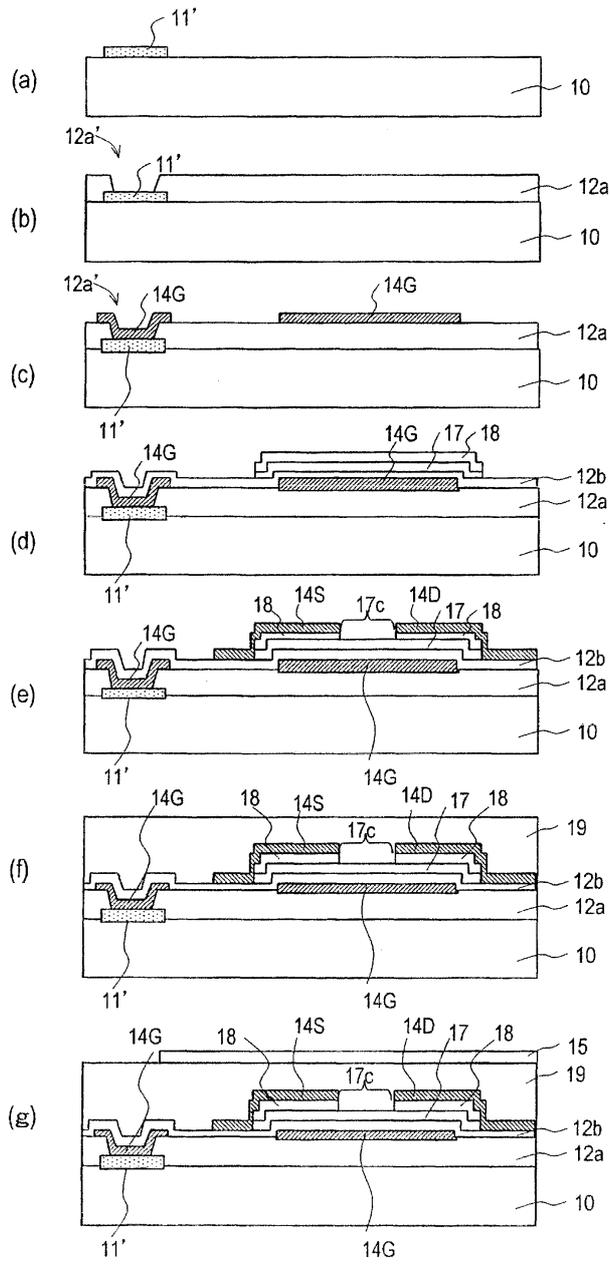
도면32



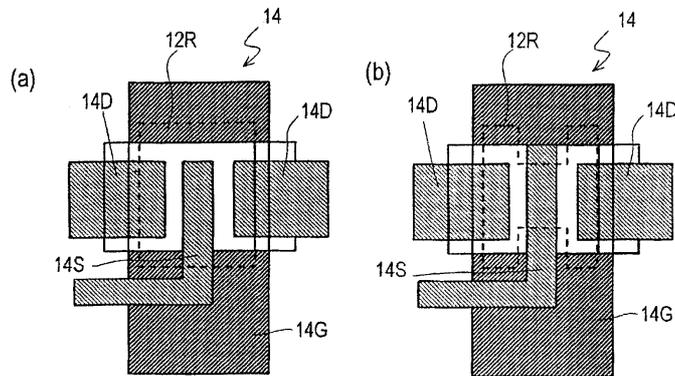
도면33



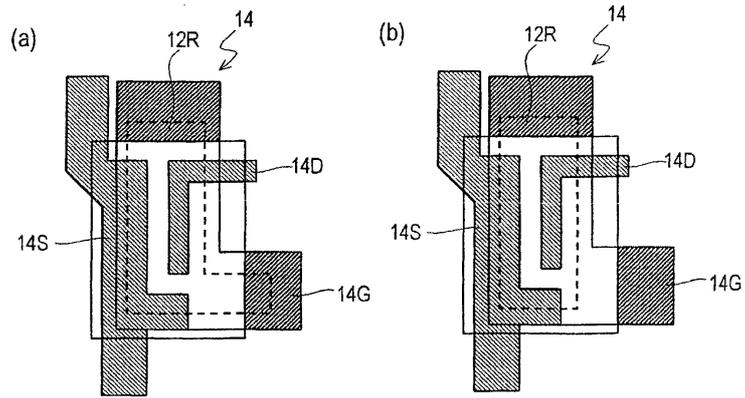
도면34



도면35



도면36



专利名称(译)	有源矩阵基板和具有该基板的显示装置		
公开(公告)号	<a href="#">KR1020070028602A</a>	公开(公告)日	2007-03-12
申请号	KR1020077002198	申请日	2005-08-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	NAKAMURA WATARU 나카무라와타루 BAN ATSUSHI 반아쯔시 OKAZAKI SHOJI 오까자끼쇼지 KATSUI HIROMITSU 가쯔이히로미쯔 OKADA YOSHIHIRO 오까다요시히로		
发明人	나카무라,와타루 반,아쯔시 오까자끼,쇼지 가쯔이,히로미쯔 오까다,요시히로		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136286 G02F1/136227		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2004243970 2004-08-24 JP 2005235006 2005-08-12 JP		
其他公开文献	KR100850613B1		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

有源矩阵基板可以减小在扫描布线和信号布线的交叉处形成的容量，不伴随驱动强度的降低，并且提供包括该有源矩阵基板的显示装置。根据本发明的有源矩阵基板包括基板和扫描布线，形成在基板和绝缘层上，覆盖扫描布线和插入绝缘层的扫描布线以及开关元件，其响应于信号布线，交叉和施加在相应扫描布线中的信号形成在基板和像素电极上，像素电极可以通过开关元件与相应的信号布线连接。绝缘层是第一绝缘层，第二绝缘层可以是指隐含的多层绝缘层。第一绝缘层具有基底累积区域，该基底累积区域由包括有机组分的绝缘材料形成，并且其中对于多层绝缘层，第一绝缘层不形成在至少一部分区域之后重叠的区域中。开关元件(14)。有源矩阵基板，液晶显示器，扫描布线，信号布线，布线电阻，寄生电容。

