



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0010675
(43) 공개일자 2007년01월24일

(21) 출원번호 10-2005-0065454
(22) 출원일자 2005년07월19일
심사청구일자 없음

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 김중희
서울 종로구 명륜동3가 1-202 301호
박철우
경기 수원시 영통구 매탄2동 한국1차아파트 102-601
민웅규
서울 광진구 자양3동 우성3차아파트 305-906
정호용
경기 수원시 영통구 매탄4동 삼성1차아파트 5-912
최육철
충남 천안시 두정동 한성아파트 111-1105
조재현
서울 은평구 갈현동 476-12
박문산
서울 강서구 화곡5동 1055-13 202호
홍성진
서울 광진구 화양동 84-1
이일평
경북 칠곡군 동명면 학명리 324번지

(74) 대리인 허성원
윤창일

전체 청구항 수 : 총 12 항

(54) 액정표시장치와 액정표시장치의 제조방법

(57) 요약

본발명은 액정표시장치와 액정표시장치의 제조방법에 관한 것이다. 본발명에 따른 액정표시장치는 게이트선과 데이터선의 교차로 정의되는 화소가 마련되어 있는 액정표시패널과; 다수의 게조전압을 생성하며, 한 게조의 포지티브 전압과 네가티브 전압의 평균이 게조에 따라 변위되는 게조별 공통전압에 연동되는 게조전압 생성수단을 가지는 게조전압 생성부와; 게이트 온전압을 생성하는 구동 전압 생성부와; 상기 게이트선에 게이트 온전압을 인가하는 게이트 구동부와; 상기 게조전압 생성부로부터 게조전압을 인가받아 상기 화소에 데이터 전압을 인가하는 데이터 구동부와; 상기 게이트 구동부와 상기 데이터 구동부를 제어하는 신호제어부를 포함하는 것을 특징으로 한다. 이에 의하여 액정표시장치의 플리커와 잔상 발생을 감소시킬 수 있다.

대표도

도 7

특허청구의 범위

청구항 1.

게이트선과 데이터선의 교차로 정의되는 화소가 마련되어 있는 액정표시패널과;

다수의 계조전압을 생성하며, 한 계조의 포지티브 전압과 네가티브 전압의 평균이 계조에 따라 변위되는 계조별 공통전압에 연동되는 계조전압 생성수단을 가지는 계조전압 생성부와;

게이트 온전압을 생성하는 구동 전압 생성부와;

상기 게이트선에 게이트 온전압을 인가하는 게이트 구동부와;

상기 계조전압 생성부로부터 계조전압을 인가받아 상기 화소에 데이터 전압을 인가하는 데이터 구동부와;

상기 게이트 구동부와 상기 데이터 구동부를 제어하는 신호제어부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2.

제1항에 있어서,

상기 계조별 공통전압은 해당 계조에서의 플리커 발생이 감소하도록 조절된 것임을 특징으로 하는 액정표시장치.

청구항 3.

제1항에 있어서,

상기 계조별 공통전압은 상기 신호제어부에 저장되어 있는 것을 특징으로 하는 액정표시장치.

청구항 4.

제1항에 있어서,

상기 계조전압 생성부는 포지티브 계조전압과 네가티브 계조전압의 합이 상기 계조별 공통전압의 95 내지 105%가 되도록 계조전압을 생성하는 것을 특징으로 하는 액정표시장치.

청구항 5.

제1항에 있어서,

상기 계조별 공통전압은 중간계조에서의 공통전압의 98% 내지 102%범위인 것을 특징으로 하는 액정표시장치.

청구항 6.

제1항에 있어서,

상기 계조별 공통전압 중 최소값은 최대값의 95% 이상인 것을 특징으로 하는 액정표시장치.

청구항 7.

제1항에 있어서,

상기 계조전압 생성수단은 감마스트링을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8.

제7항에 있어서,

상기 감마 스트링은 상기 포지티브 계조전압을 생성하기 위한 포지티브 전압생성부와 상기 네가티브 계조전압을 생성하기 위한 네가티브 전압생성부를 포함하며,

상기 포지티브 전압생성부와 상기 네가티브 계조전압 생성부는 비대칭인 것을 특징으로 하는 액정표시장치.

청구항 9.

플리커 발생을 감안한 계조별 공통전압을 구하는 단계와;

포지티브 계조전압과 네가티브 계조전압의 합이 상기 계조별 공통전압에 연동되도록 계조전압을 생성하는 계조전압 발생부를 마련하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 10.

제9항에 있어서,

상기 포지티브 계조전압과 상기 네가티브 계조전압의 합은 상기 계조별 공통전압의 95 내지 105%가 되도록 생성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 11.

제9항에 있어서,

상기 계조별 공통전압은 중간계조에서의 공통전압의 98% 내지 102%범위인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12.

제9항에 있어서,

상기 제조별 공통전압 중 최소값은 최대값의 95% 이상인 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치와 액정표시장치의 제조방법에 관한 것으로서, 보다 상세하게는, 비대칭 감마 스트링을 통해 제조별 전압차에 의한 플리커를 감소시킨 액정표시장치와 액정표시장치의 제조방법에 관한 것이다.

액정표시장치는 박막트랜지스터가 형성되어 있는 박막트랜지스터 기판과 컬러필터층이 형성되어 있는 컬러필터 기판, 그리고 이들 사이에 액정층이 위치하고 있는 액정표시패널을 포함한다. 액정표시패널은 비발광소자이기 때문에 박막트랜지스터 기판의 후면에는 빛을 공급하기 위한 백라이트 유닛이 위치할 수 있다. 백라이트 유닛에서 공급된 빛은 액정층의 배열상태에 따라 투과량이 조절된다.

박막트랜지스터 기판에 마련된 게이트선과 데이터선은 서로 교차하면서 화소를 형성하며 각 화소는 박막트랜지스터에 연결되어 있다. 게이트선에 게이트 온전압(V_{on})이 인가되어 박막트랜지스터가 턴온되면 데이터선을 통해 인가된 데이터 전압(V_d)이 화소에 충전된다. 화소에 충전된 화소 전압(V_p)과 컬러필터 기판의 공통전극에 형성된 공통전압(V_{com}) 사이에 형성된 전계에 따라 액정층의 배열상태가 결정된다. 데이터 전압(V_d)은 프레임 별로 극성을 달리하여 인가된다.

화소에 인가된 데이터 전압(V_d)은 게이트 전극과 소스 전극 간의 기생 용량(C_{gs})에 의해 강하되어 화소 전압(V_p)을 형성한다. 데이터 전압(V_d)과 화소 전압(V_p) 간의 전압 차이를 킥백 전압(V_{kb})이라 한다.

킥백 전압(V_{kb})은 제조와 극성에 따라 그 값이 변화하여 프레임마다 화소 전압(V_p)을 상이하게 한다. 이에 의해 회도차에 의한 플리커(flicker) 불량이 감지되며 액정층이 잔류 직류전압(residual DC voltage)의 영향을 받아 잔상이 발생하는 문제가 생긴다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명의 목적은 플리커와 잔상이 감소한 액정표시장치를 제공하는 것이다.

본 발명의 또 다른 목적은 플리커와 잔상이 감소하는 액정표시장치의 제조방법을 제공하는 것이다.

발명의 구성

상기의 목적은 게이트선과 데이터선의 교차로 정의되는 화소가 마련되어 있는 액정표시패널과; 다수의 제조전압을 생성하며, 한 제조의 포지티브 전압과 네가티브 전압의 평균이 제조에 따라 변위되는 제조별 공통전압에 연동되는 제조전압 생성수단을 가지는 제조전압 생성부와; 게이트 온전압을 생성하는 구동 전압 생성부와; 상기 게이트선에 게이트 온전압을 인가하는 게이트 구동부와; 상기 제조전압 생성부로부터 제조전압을 인가받아 상기 화소에 데이터 전압을 인가하는 데이터 구동부와; 상기 게이트 구동부와 상기 데이터 구동부를 제어하는 신호제어부를 포함하는 액정표시장치에 의하여 달성될 수 있다.

상기 제조별 공통전압은 해당 제조에서의 플리커 발생이 감소하도록 조절된 것임이 바람직하다.

상기 제조별 공통전압은 상기 신호제어부에 저장되어 있는 것이 바람직하다.

상기 제조전압 생성부는 포지티브 제조전압과 네가티브 제조전압의 합이 상기 제조별 공통전압의 95 내지 105%가 되도록 제조전압을 생성하는 것이 바람직하다.

상기 제조별 공통전압은 중간제조에서의 공통전압의 98% 내지 102%범위인 것이 바람직하다.

상기 제조별 공통전압 중 최소값은 최대값의 95% 이상인 것이 바람직하다.

상기 제조전압 생성수단은 감마스트링을 포함하는 것이 바람직하다.

상기 감마 스트링은 상기 포지티브 제조전압을 생성하기 위한 포지티브 전압생성부와 상기 네가티브 제조전압을 생성하기 위한 네가티브 전압생성부를 포함하며, 상기 포지티브 전압생성부와 상기 네가티브 제조전압 생성부는 비대칭인 것이 바람직하다.

상기 본 발명의 다른 목적은 플리커 발생을 감안한 제조별 공통전압을 구하는 단계와; 포지티브 제조전압과 네가티브 제조전압의 합이 상기 제조별 공통전압에 연동되도록 제조전압을 생성하는 제조전압 발생부를 마련하는 단계를 포함하는 액정표시장치의 제조방법에 의하여 달성될 수 있다.

상기 포지티브 제조전압과 상기 네가티브 제조전압의 합은 상기 제조별 공통전압의 95 내지 105%가 되도록 생성되는 것이 바람직하다.

상기 제조별 공통전압은 중간제조에서의 공통전압의 98% 내지 102%범위인 것이 바람직하다.

상기 제조별 공통전압 중 최소값은 최대값의 95% 이상인 것이 바람직하다.

이하 첨부된 도면을 참조로 하여 본발명을 더욱 상세히 설명하겠다.

먼저 제조와 극성에 따라 플리커가 발생하는 원인을 도 1 내지 도 3을 설명하며, 예시된 액정표시장치는 PVA(patterned vertical alignment) 모드이다.

도 1은 본발명의 일 실시예에 따른 액정표시장치의 블록도이다.

액정표시장치(1)는 액정표시패널(300) 및 이에 연결된 게이트 구동부(400)와 데이터 구동부(500), 게이트 구동부(400)에 연결된 구동 전압 생성부(700)와 데이터 구동부(500)에 연결된 제조전압 생성부(800) 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.

이 중 액정표시패널(300)을 도 2와 도 3을 참조하여 설명하면 다음과 같다.

액정표시패널(300)은 서로 대향하는 박막트랜지스터 기관(100)과 컬러 필터 기관(200), 그리고 양 기관(100, 200) 사이에 위치하는 액정층(260)을 포함한다.

우선 박막트랜지스터 기관(100)을 보면 제1절연기관(111)위에 게이트 배선(121, 122, 123)이 형성되어 있다. 게이트 배선(121, 122, 123)은 금속 단일층 또는 다중층일 수 있다. 게이트 배선(121, 122, 123)은 가로 방향으로 뻗어 있는 게이트선(121) 및 게이트선(121)에 연결되어 있는 박막 트랜지스터(T)의 게이트 전극(122), 화소전극층(151)과 중첩되어 저장용량을 형성하는 공통전극선(123)을 포함한다.

제1절연기관(111)위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(131)이 게이트 배선(121, 122, 123)을 덮고 있다.

게이트 전극(122)의 게이트 절연막(131) 상부에는 비정질 규소 등의 반도체로 이루어진 반도체층(132)이 형성되어 있으며, 반도체층(132)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 저항 접촉층(133)이 형성되어 있다. 저항 접촉층(133)은 게이트 전극(122)을 중심으로 2부분으로 나누어져 있다.

저항 접촉층(133) 및 게이트 절연막(131) 위에는 데이터 배선(141, 142, 143)이 형성되어 있다. 데이터 배선(141, 142, 143) 역시 금속층으로 이루어진 단일층 또는 다중층일 수 있다. 데이터 배선(141, 142, 143)은 세로방향으로 형성되어 계

이트선(121)과 교차하여 화소를 형성하는 데이터선(141), 데이터선(141)의 분지이며 저항 접촉층(133)의 상부까지 연장되어 있는 드레인 전극(142), 드레인 전극(142)과 분리되어 있으며 게이트 전극(122)을 중심으로 드레인 전극(142)의 반대쪽 저항 접촉층(133) 상부에 형성되어 있는 소스 전극(143)을 포함한다.

데이터 배선(141, 142, 143) 및 이들이 가리지 않는 반도체층(132)의 상부에는 질화규소, PECVD 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F막 및 아크릴계 유기절연막 등으로 이루어진 보호막(134)이 형성되어 있다. 보호막(134)에는 소스 전극(143)을 드러내는 접촉구(161)가 형성되어 있다.

보호막(134)의 상부에는 화소전극층(151)이 형성되어 있다. 화소전극층(151)은 통상 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다.

화소전극층(151)에는 화소전극 절개패턴(152)이 형성되어 있다. 화소전극 절개패턴(152)은 후술한 공통전극 절개패턴(252)과 함께 액정층(260)을 다수의 도메인으로 분할하기 위해 형성되어 있는 것이다.

컬러필터 기관(200)을 보면 제2절연기관(211) 위에 블랙매트릭스(221)가 형성되어 있다. 블랙매트릭스(221)는 일반적으로 적색, 녹색 및 청색 필터 사이를 구분하며, 박막트랜지스터 기관(100)에 위치하는 박막트랜지스터(T)로의 직접적인 광조사를 차단하는 역할을 한다. 블랙매트릭스(221)는 통상 검은색 안료가 첨가된 감광성 유기물질로 이루어져 있다. 상기 검은색 안료로는 카본블랙이나 티타늄 옥사이드 등을 사용한다.

컬러필터층(231)은 블랙매트릭스(221)를 경계로 하여 적색, 녹색 및 청색 필터가 반복되어 형성된다. 컬러필터층(231)은 광원부(400)로부터 조사되어 액정층(260)을 통과한 빛에 색상을 부여하는 역할을 한다. 컬러필터층(231)은 통상 감광성 유기물질로 이루어져 있다.

컬러필터층(231)과 컬러필터층(231)이 덮고 있지 않은 블랙매트릭스(221)의 상부에는 오버코트막(241)이 형성되어 있다. 오버코트막(241)은 컬러필터층(231)을 평탄화하면서, 컬러필터층(231)을 보호하는 역할을 하며 통상 아크릴계 에폭시 재료가 많이 사용된다.

오버코트막(241)의 상부에는 공통전극층(251)이 형성되어 있다. 공통전극층(251)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)등의 투명한 도전물질로 이루어진다. 공통전극층(251)은 박막트랜지스터 기관의 화소전극층(151)과 함께 액정층(260)에 직접 전압을 인가한다. 공통전극층(251)에는 공통전극 절개패턴(252)이 형성되어 있다. 공통전극 절개패턴(252)은 화소전극층(151)의 화소전극 절개패턴(152)과 함께 액정층(260)을 다수의 도메인으로 나누는 역할을 한다.

화소전극 절개패턴(152)과 공통전극 절개패턴(252)은 다양한 형상으로 형성될 수 있다. 예를 들어 화소전극 절개패턴(152)과 공통전극 절개패턴(252) 모두 사선으로 형성되고 서로 직교하게 형성될 수 있다.

박막트랜지스터 기관(100)과 컬러필터 기관(200) 사이에 액정층(260)이 위치한다. 액정층(260)은 VA(vertically aligned)모드로서 액정분자는 전압이 가해지지 않은 상태에서는 길이방향이 수직을 이루고 있다. 전압이 가해지면 액정분자는 유전율 이방성이 음이기 때문에 전기장에 대하여 수직방향으로 눕는다. 그런데 화소전극 절개패턴(152)과 공통전극 절개패턴(252)이 형성되어 있지 않으면, 액정분자는 눕는 방위각이 결정되지 않아서 여러 방향으로 무질서하게 배열하게 되고, 배향 방향이 다른 경계면에서 전경선(disclination line)이 생긴다. 화소전극 절개패턴(152)과 공통전극 절개패턴(252)은 액정층(260)에 전압이 걸릴 때 프린지 필드를 만들어 액정 배향의 방위각을 결정해 준다. 또한 액정층(260)은 화소전극 절개패턴(152)과 공통전극 절개패턴(252)의 배치에 따라 다중영역으로 나누어진다.

구동전압 생성부(700)는 박막트랜지스터(T)를 턴온시키는 게이트 온전압(Von)과 턴오프시키는 게이트 오프전압(Voff), 그리고 공통전극층(251)에 인가되는 공통전압(Vcom) 등을 생성한다.

계조전압 생성부(800)는 액정표시장치(1)의 휘도와 관련된 복수의 계조전압(gray scale voltage)을 생성한다. 계조전압 생성부(800)에는 계조전압 생성수단으로서 포지티브 계조전압을 생성하기 위한 포지티브 전압생성부와 네가티브 계조전압을 생성하기 위한 네가티브 전압생성부를 포함하는 감마 스트링이 위치하고 있다.

게이트 구동부(400)는 스캔 구동부(scan driver)라고도 하며 게이트선(121)에 연결되어 구동전압 생성부(700)로부터의 게이트 온전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(121)에 인가한다.

데이터 구동부(500)는 소스 구동부(source driver)라고도 하며, 계조전압 생성부(800)로부터 계조전압을 인가받고 신호 제어부(600)의 제어에 따라 계조전압을 선택하여 데이터선(141)에 데이터 전압(Vd)을 인가한다.

신호제어부(600)는 게이트 구동부(400), 데이터 구동부(500), 구동 전압 생성부(700) 및 계조 전압 생성부(800) 등의 동작을 제어하는 제어신호를 생성하여, 각 게이트 구동부(400), 데이터 구동부(500), 구동전압 생성부(800)에 공급한다.

이하 액정표시장치(1)의 동작에 대하여 자세히 설명한다.

신호 제어부(600)는 외부의 그래픽 제어기(graphic controller)로부터 RGB 계조 신호(R, G, B) 및 이의 표시를 제어하는 제어입력신호(input control signal), 예를 들면 수직동기신호(vertical synchronizing signal, Vsync)와 수평동기신호(horizontal synchronizing signal, Hsync), 메인 클럭(main clock, CLK), 데이터 인에이블 신호(data enable signal, DE) 등을 제공받는다. 신호제어부(600)는 제어 입력 신호를 기초로 게이트 제어 신호, 데이터 제어 신호 및 전압선택제어신호(voltage selection control signal, VSC)를 생성하고, 외부로부터의 계조신호(R, G, B)를 액정표시패널(300)의 동작조건에 맞게 적절히 변환한 후, 게이트 제어신호를 게이트 구동부(400)와 구동 전압 생성부(700)로 내보내고 데이터 제어신호와 처리한 계조신호(R', G', B')는 데이터 구동부(500)로 내보내며, 전압 선택 제어신호(VSC)를 계조 전압 생성부(800)로 내보낸다.

게이트 제어신호는 게이트 온 펄스(게이트 신호의 하이 구간)의 출력 시작을 지시하는 수직동기시작신호(vertical synchronization start signal, STV), 게이트 온 펄스의 출력시기를 제어하는 게이트 클럭신호(gate clock) 및 게이트 온 펄스의 폭을 한정하는 게이트 온 인에이블 신호(gate on enable signal, OE) 등을 포함한다. 이 중에서 게이트 온 인에이블 신호(OE)와 게이트 클럭 신호(CPV)는 구동 전압 생성부(700)에 공급된다. 데이터 제어 신호는 계조 신호의 입력 시작을 지시하는 수평 동기 시작 신호(horizontal synchronization start signal, STH)와 데이터선(141)에 해당 데이터 전압(Vd)을 인가하라는 로드신호(load signal, LOAD 또는 TP), 데이터 전압의 극성을 반전시키는 반전 제어 신호(RVS) 및 데이터 클럭 신호(HCLK) 등을 포함한다.

먼저 계조전압생성부(800)는 전압선택 제어신호(VSC)에 따라 결정된 전압값을 가지는 계조 전압을 데이터 구동부(500)에 공급한다.

게이트 구동부(400)는 신호제어부(600)로부터의 게이트 제어 신호에 따라 게이트 온전압(Von)을 차례로 게이트선(121)에 인가하여 게이트선(121)에 연결된 박막트랜지스터(T)를 턴온시킨다. 이와 동시에 데이터 구동부(500)는 신호제어부(600)로부터의 데이터 제어신호에 따라, 턴온된 박막트랜지스터(T)에 연결되어 있는 화소(170)에 대한 계조 신호(R', G', B')에 대응하는 계조 전압 생성부(800)로부터의 아날로그 데이터 전압(Vd)을 데이터 신호로서 해당 데이터선(141)에 공급한다.

데이터선(141)에 공급된 데이터 신호는 턴온된 박막트랜지스터(T)를 통해 해당 화소(170)에 인가된다. 이러한 방식으로 한 프레임(frame) 동안 모든 게이트선(121)에 대하여 차례로 게이트 온전압(Von)을 인가하여 모든 화소(170)에 데이터 신호를 인가한다. 한 프레임이 끝나고 구동 전압 생성부(700)와 데이터 구동부(500)에 반전 제어 신호(RVS)가 공급되면 다음 프레임의 모든 데이터 신호의 극성이 바뀐다.

이하에서는 계조전압과 극성에 따라 변화하는 킥백 전압(Vkb)을 설명한다.

먼저 킥백 전압(Vkb)은 다음과 같이 표현된다.

[식 1]

$$V_{kb} = \frac{C_{gs}}{(C_{lc} + C_{st} + C_{gs})} (V_{on} - V_{off})$$

여기서 C_{gs}는 게이트 전극과 소스 전극간의 기생용량, C_{lc}는 액정용량, C_{st}는 저장용량을 나타낸다.

또한 액정용량(C_{lc})은 다음과 같이 표현된다.

[식 2]

$$C_c = \epsilon_0 \cdot \epsilon \cdot \frac{A}{d}$$

여기서 ϵ_0 는 진공에서의 액정의 유전율, ϵ 은 액정의 유전율, d 는 화소전극층과 공통전극층 간의 거리, A 는 화소전극층과 공통전극층 간에 겹쳐진 넓이를 나타낸다.

액정용량(C_c)은 액정의 배향 상태에 따라 그 값이 변화한다. 이는 액정의 유전율 이방성에 의한 것으로, 예를 들어, 노멀리 블랙(normally black) PVA 모드에서는 블랙 상태의 액정 유전율(수평방향 유전율, $\epsilon_{\parallel}$)이 화이트 상태의 액정 유전율(수직방향, $\epsilon_{\perp}$)에 비해 작다. 따라서 액정용량(C_c)은 화이트 상태가 블랙 상태보다 크며, 킥백 전압(V_{kb})은 화이트 상태가 블랙 상태보다 작게 된다.

액정용량(C_c)은 수평방향 유전율($\epsilon_{\parallel}$)의 영향을 받는 블랙상태에서 수직방향 유전율($\epsilon_{\perp}$)의 영향을 받는 화이트상태보다 낮게 되며, 블랙 상태에서의 킥백 전압(V_{kb})은 화이트 상태보다 크게 된다.

한편 포지티브 데이터 전압($V_d(+)$)이 인가될 때보다 네가티브 데이터 전압($V_d(-)$)이 인가될 때 킥백 전압(V_{kb})이 크게 된다. 극성에 따른 킥백 전압(V_{kb})이 달라 포지티브 화소 전압($V_p(+)$)과 네가티브 화소 전압($V_p(-)$)의 산술평균값으로 정의되는 최적 공통전압(V_{com})이 서로 다르게 된다. 한편 실제 공통전압(V_{com})은 중간 계조에서 실험을 통해 구하게 된다.

킥백 전압(V_{kb})에 의해 발생하는 최적 공통전압(V_{com})과 실제 공통전압(V_{com}) 간의 편차로 인해 포지티브 데이터 전압($V_d(+)$) 인가 시와 네가티브 데이터 전압($V_d(-)$) 인가 시의 화소 전압(V_p)이 상이하게 되어 플리커와 잔상이 발생한다.

도 4는 종래의 계조-전압 커브를 설명하기 위한 도면, 도 5는 종래의 계조에 따른 공통전압값을 설명하기 위한 도면이며 64계조 액정표시장치에 관한 것이다.

표시한 전압은 계조전압발생부의 감마스트링으로부터 생성된 계조별 레퍼런스 전압이다. 공통전압은 네가티브 계조전압과 포지티브 계조전압의 평균으로 표시되는데 도 4와 같이 32계조인 중간계조를 중심으로 저계조에서는 다소 높으며 고계조에서는 다소 낮은 모습을 나타내고 있다. 도 4는 킥백전압을 고려하지 않은 상태를 나타낸 것이다.

도 5는 킥백전압을 고려한 계조별 공통전압값이다. 저계조와 중간계조 간의 전압차이보다 고계조와 중간계조 간의 전압차이가 더 큰데 이는 앞서 설명한 계조와 극성에 따른 킥백전압의 차이에 의한 것이다. 구체적으로 보면 최상위/최하위 계조 간 공통전압차가 약 0.8볼트로서, 약 10%범위의 변화를 보여주고 있다. 또한 최상위 고계조에서의 공통전압값은 약 6.8볼트로서 중간계조에서의 공통전압값인 약 6.3볼트의 108%수준을 보여주고 있다.

일반적으로 공통전극에 입력되는 공통전압은 중간계조에서 실험을 통해 구하는데, 32계조에서의 공통전압값이 공통전압으로 인가될 경우 고계조와 저계조에서 계조별 전압차에 의한 플리커 발생이 예상된다.

이러한 문제를 해결하기 위해 본발명에서는 계조에 따른 계조별 공통전압값을 실험을 통해 구한 후, 감마 스트링을 변형하여 전계조에 걸쳐 공통전압 최적화를 이루도록 한다. 계조별 공통전압은 각 계조에서 플리커가 감소하는 값이며, 플리커가 최소가 되는 값으로 이루어지는 것이 바람직하다.

도 6은 본발명의 일 실시예에 따른 계조별 공통전압값을 설명하기 위한 도면이다. 계조별 공통전압값은 약 6.7 내지 6.9 V 사이에 형성되어 있는데, 계조별 공통전압값은 중간계조에서의 공통전압값(약 6.81V)의 98% 내지 102%범위인 것이 바람직하다. 또한 계조별 공통전압값 중 최소값은 최대값의 중간계조에서의 공통전압값의 95% 이상인 것이 바람직하다.

도 7은 본발명의 일 실시예에 따른 감마스트링(810)을 설명하기 위한 도면이다. 감마 스트링(810)은 계조전압발생부(800) 내에 위치하면서 입력되는 AVDD전압으로부터 레퍼런스 계조전압을 생성한다.

감마 스트링(810)은 포지티브 계조전압을 생성하는 포지티브 전압생성부(811)와 네가티브 계조전압을 생성하는 네가티브 전압생성부(812)를 포함하며 각 전압생성부(811, 812)는 복수의 저항과 계조전압 출력단으로 이루어져 있다.

본발명에 따른 감마 스트링(810)은 포지티브 전압생성부(811)와 네가티브 전압생성부(812)가 비대칭을 이루고 있다. 이는 계조별 포지티브 및 네가티브 전압의 평균과 도 6에 도시한 최적 공통전압과의 차이를 최소화하기 위한 것이다. 네가티브 전압생성부(812)의 구성을 변경하는 것을 예로 들어 설명한다.

도 5와 도 7을 보면 저계조부분의 네가티브 전압(B)은 상대적으로 최적 공통전압(또는 포지티브 전압)과의 차이를 늘려야 하는 부분이며 고계조부분의 네가티브 전압(A)은 상대적으로 계조별 공통전압(또는 포지티브 전압)과의 차이를 줄여야 하는 부분이다. 따라서 네가티브 전압생성부(812)에서 저계조전압 부분(C)의 저항은 대응하는 포지티브 생성부(811)의 저계조전압 부분(D)의 저항에 비하여 크게 하여 계조별 공통전압과의 차이를 늘린다. 반면 네가티브 전압생성부(812)의 고계조전압 부분(E)의 저항은 대응하는 포지티브 생성부(813)의 고계조전압 부분(F)의 저항에 비하여 작게 하여 계조별 공통전압과의 차이를 감소시킨다.

이와 같은 과정을 통하여 각 계조별로 포지티브 및 네가티브 전압의 평균을 각 계조별 공통전압값의 95 내지 105% 범위 내로 조절하는 것이 바람직하다.

감마 스트링(810)의 조절에 있어, 중간 계조전압을 기준으로 가감할 전압차를 계산하면 적용되는 공통전압을 감마 스트링(810) 조절 전의 값과 비슷하게 유지시킬 수 있으며 감마곡선 상의 변화를 작게 하여 바람직하다.

실시예에서는 네가티브 전압생성부(812)를 조절하였으나, 포지티브 전압생성부(811)를 조절하거나 양 전압생성부(811, 812)를 모두 조절하는 것도 가능하다. 또한 계조별 최적 공통전압은 도 6에 도시한 형태에 한정되지 않는다.

한편 신호제어부(600)가 계조별 공통전압을 저장하고서 계조전압생성부(800)가 저장된 계조별 공통전압에 연동해서 계조전압을 생성하도록 할 수 있다. 이 때 계조전압생성부(800)는 감마 스트링(810)이 아닌 디지털타입의 계조전압 생성수단을 포함할 수 있다.

본발명과 같이 감마 스트링(810)을 조절하면 계조별 혹은 극성별 킥백전압의 변화에 따른 공통전압과의 차이를 감소시켜 플리커와 잔상을 감소시킬 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면 플리커와 잔상이 감소한 액정표시장치가 제공된다.

또한 플리커와 잔상이 감소하는 액정표시장치의 제조방법이 제공된다.

도면의 간단한 설명

도 1은 본발명의 일 실시예에 따른 액정표시장치의 블록도이고,

도 2는 본발명의 일 실시예에 따른 액정표시패널의 배치도이고,

도 3는 도 2의 III-III를 따른 단면도이고,

도 4는 종래의 계조-전압 커브를 설명하기 위한 도면이고,

도 5는 종래의 계조에 따른 공통전압값을 설명하기 위한 도면이고,

도 6는 본발명의 일 실시예에 따른 계조별 공통전압값을 설명하기 위한 도면이고,

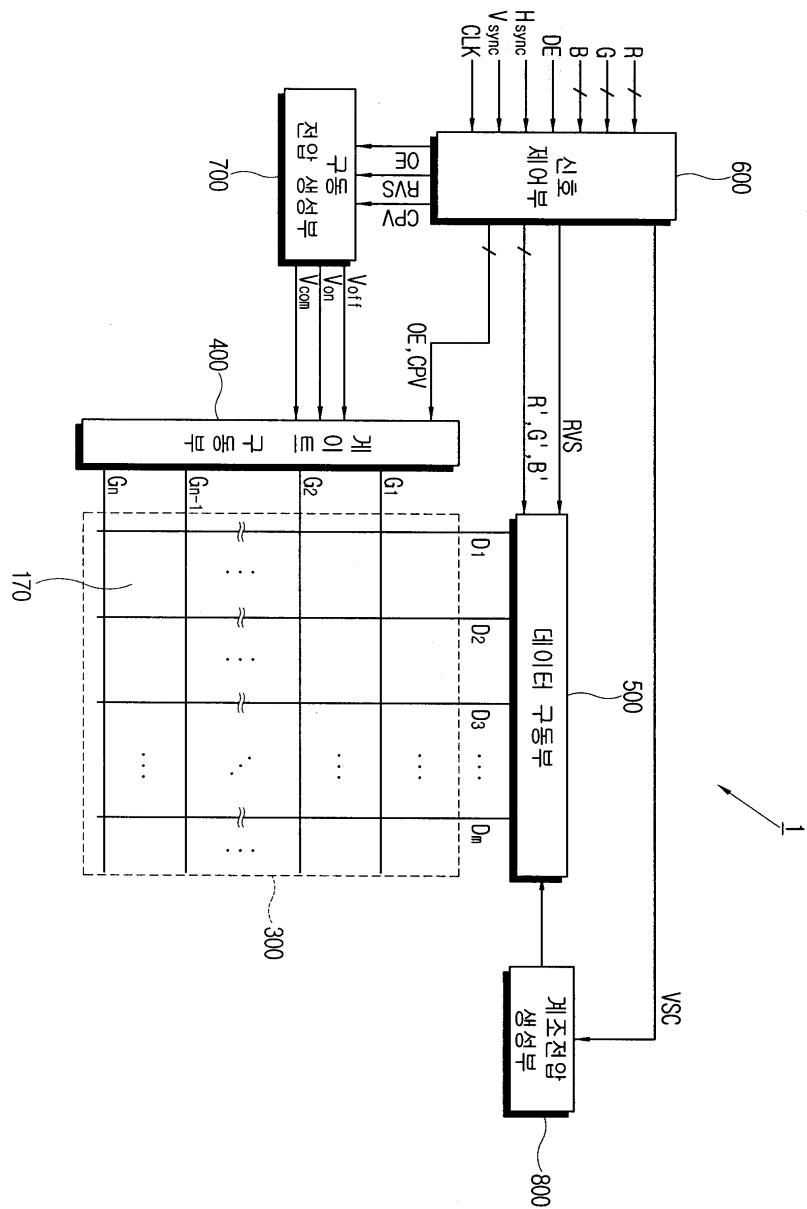
도 7은 본발명의 일 실시예에 따른 감마스트링을 설명하기 위한 도면이다.

* 도면의 주요부분의 부호에 대한 설명 *

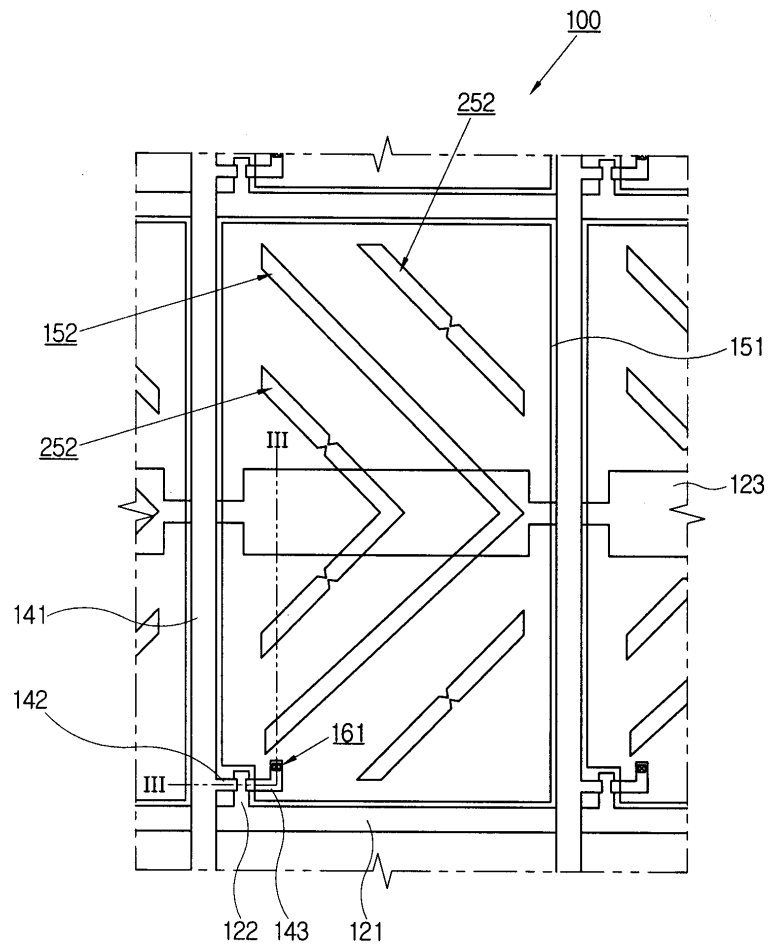
- 100 : 박막트랜지스터 기판 170 : 화소
- 200 : 컬러필터 기판 300 : 액정표시패널
- 400 : 게이트 구동부 500 : 데이터 구동부
- 600 : 신호 제어부 700 : 구동전압 생성부
- 800 : 계조전압 생성부 810 : 감마 스트링

도면

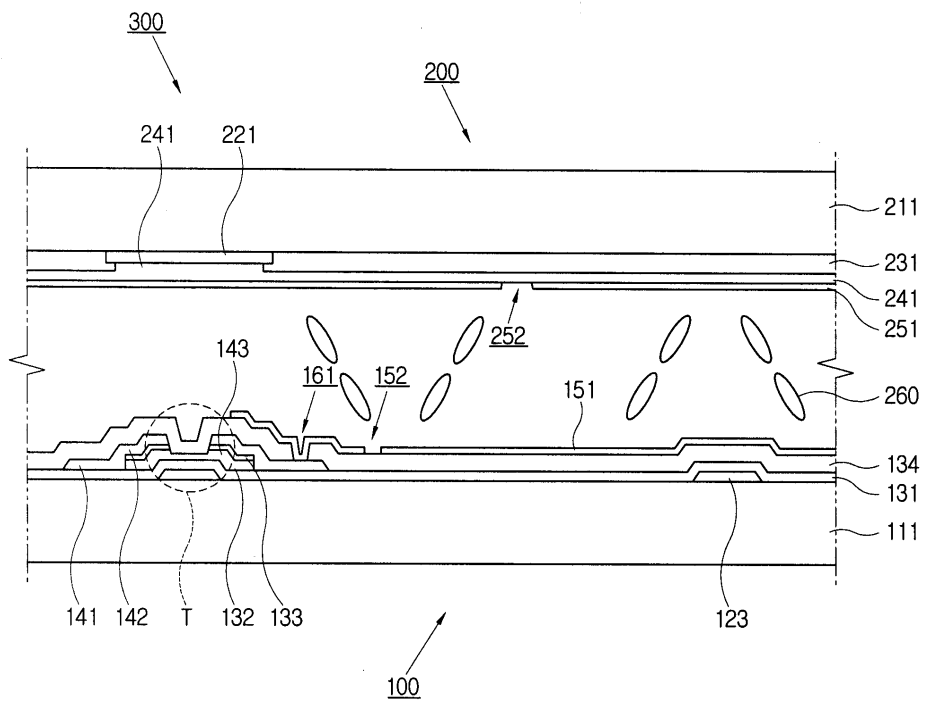
도면1



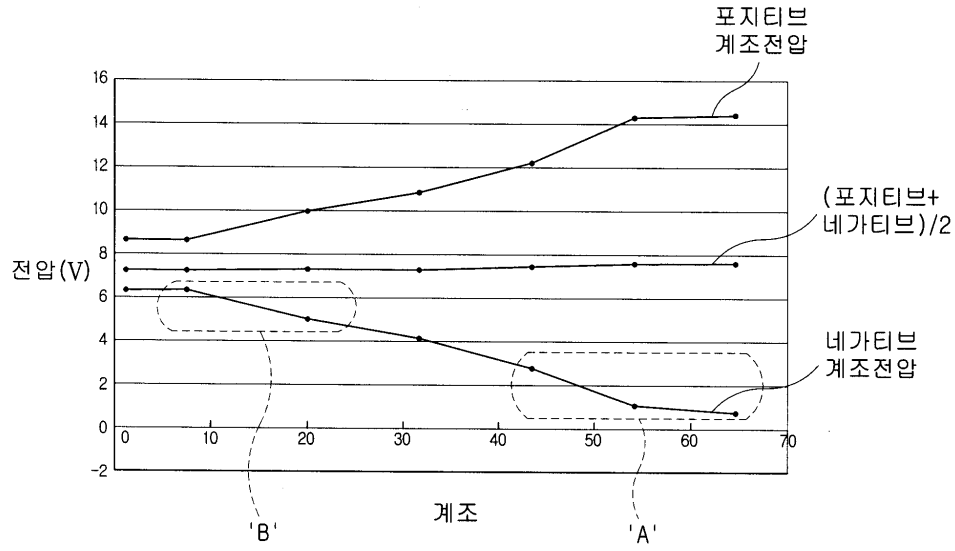
도면2



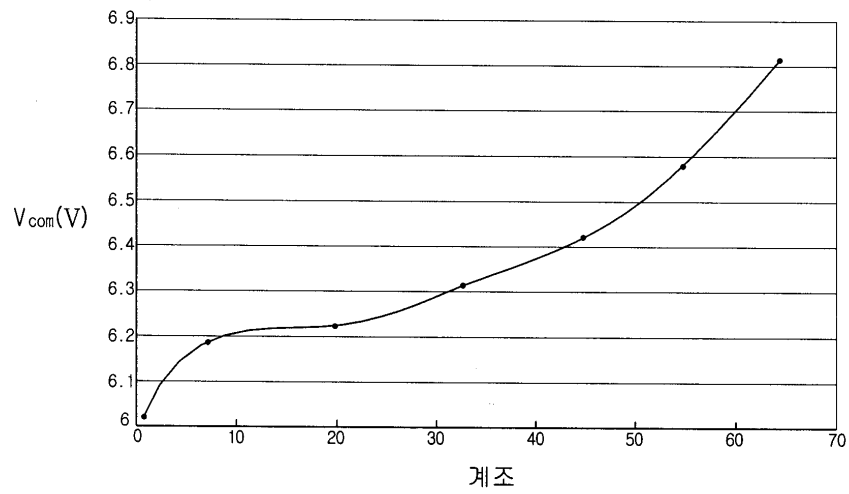
도면3



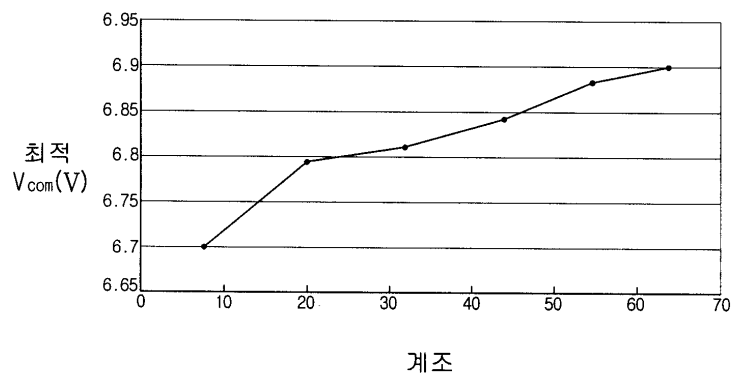
도면4



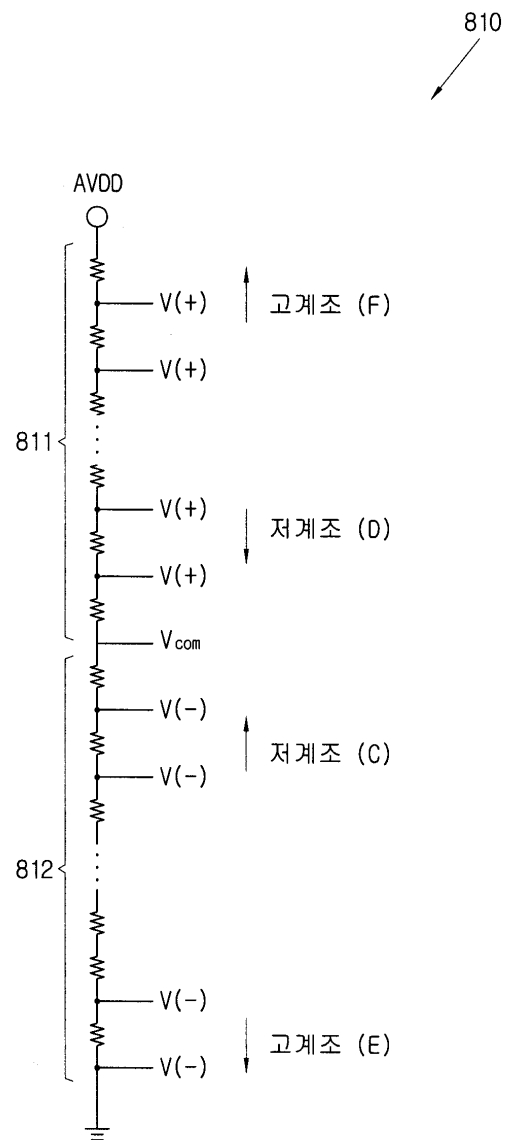
도면5



도면6



도면7



专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	KR1020070010675A	公开(公告)日	2007-01-24
申请号	KR1020050065454	申请日	2005-07-19
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM JONG HEE 김종희 PARK CHEOL WOO 박철우 MIN UNG GYU 민웅규 JUNG HO YONG 정호용 CHOI UK CHUL 최옥철 CHO JAE HYUN 조재현 PARK MUN SAN 박문산 HONG SUNG JIN 홍성진 LEE IL PYUNG 이일평		
发明人	김종희 박철우 민웅규 정호용 최옥철 조재현 박문산 홍성진 이일평		
IPC分类号	G02F1/133		
CPC分类号	G02F1/1333 G02F2001/133397 G09G3/3648 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器和制造液晶显示器件的方法。根据本发明的液晶显示器包括LCD面板，其中准备了被定义为数据线和栅极线的交叉点的像素，并且信号控制单元控制灰度电压发生器，该灰度电压发生器具有所产生的灰度电压产生装置。连接在灰度公共电压中，其中一个灰度的正电压和负电压的平均值根据灰度，驱动电压发生器移位，产生栅极导通电压，栅极驱动单元，授权栅极导通电压在栅极线数据驱动器中，其被施加关于来自灰度电压发生器的灰度电压并且授权像素数据驱动器中的数据电压和多个灰度电压。因此，可以减少液晶显示器的闪烁和余像产生。

