(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.
G02F 1/136 (2006.01)

(11) 공개번호 10-2006-0083260
(43) 공개일자 2006년07월20일

(21) 출원번호 10-2005-0003711
(22) 출원일자 2005년01월14일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 이성일
경기 남양주시 가운동 617-47 동원빌라 B동 1032호
김영구
서울 서초구 방배동 430-5 초원빌라 201호

(74) 대리인 정상빈
김동진

심사청구 : 없음

(54) 액정 표시 장치의 박막 트랜지스터 기판

요약

액정 표시 장치의 박막 트랜지스터 기판이 제공된다. 액정 표시 장치의 박막 트랜지스터 기판은, 절연 기판과, 절연 기판 위에 형성되어 있는 게이트선과, 게이트선과 절연되어 교차하여 형성된 데이터선과, 데이터선 위에 형성되어 있는 보호막과, 보호막 위에 형성되어 있는 화소 전극과, 게이트선과 데이터선이 교차하여 정의하는 다수의 화소 영역들 내에 각각 형성되어 있으며 게이트선, 데이터선 및 화소 전극에 각각 연결되는 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와, 상기 각 화소 영역들의 해당 게이트선에 중첩되어 형성되며 화소 전극에 전기적으로 연결되는 수리 패턴을 포함한다.

대표도

도 4

색인어

액정 표시 장치, 수리 패턴, 줌 모드 구동 방식

명세서

도면의 간단한 설명

도 1은 종래 기술에 따른 수리 구조를 갖는 액정 표시 장치의 등가 회로를 나타낸 도면이다.

도 2는 줌 모드 구동 방식에 따라 인가되는 종래의 수리 구조를 갖는 액정 표시 장치의 화소행별 충전 전압 상태를 나타낸 파형도이다.

도 3은 본 발명의 일실시예에 따른 액정 표시 장치의 등가 회로를 나타낸 도면이다.

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이다.

도 5는 도 4의 V-V' 선을 따라 잘라 도시한 단면도이다.

도 6은 줌 모드 구동 방식에 따라 인가되는 본 발명의 일실시예에 따른 액정 표시 장치의 화소행별 충전 전압 상태를 나타낸 파형도이다.

도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이다.

도 8은 도 7의 VIII-VIII' 선을 따라 잘라 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치의 박막 트랜지스터 기판에 관한 것으로, 더욱 상세하게는 수리 구조를 갖는 액정 표시 장치의 줌 모드 구동시 화질 저하를 개선하기 위한 액정 표시 장치의 박막 트랜지스터 기판에 관한 것이다.

액정 표시 장치는 일반적으로 공통 전극과 컬러 필터(Color filter) 등이 형성되어 있는 컬러 필터 기판과 박막 트랜지스터와 화소 전극 등이 형성되어 있는 박막 트랜지스터 기판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

상기한 바와 같은 액정 표시 장치는 모듈 완성 후, 액정 패널의 화면에 테스트 패턴을 띄우고 불량 화소의 유무를 탐지하여 불량 화소가 발견되었을 때 이에 대한 수리 작업을 수행하는 과정을 거친다.

액정 패널의 불량에는 화소별 색상 불량, 휘점(항상 켜져 있는 셀), 암점(항상 꺼져 있는 셀) 등의 점 결함과, 게이트 배선과 인접한 데이터 배선간의 단락(short)으로 인해 발생하는 선 결함(line defect) 등이 있다.

이러한 불량은 완성된 액정 표시 장치에 테스트 패턴들을 띄웠을 때 작업자의 눈에 확연히 드러나게 되고, 작업자는 불량 화소의 위치를 파악하여 이 후에 그 부분에 대한 수리 작업을 행하게 된다.

종래에는, 휘점에 대한 수리 공정으로 불량셀의 화소 전극을 게이트 배선에 레이저로 단접하고, 화소 전극의 일부를 절단하여 게이트 배선에 인가되는 게이트 전압이 불량셀에 머무르도록 하여 불량 화소를 암점화하는 방법이 주로 이용된다.

종래에는 이러한 수리 공정을 수행하기 위하여, 상기 화소 전극의 일부가 전단 게이터선 상부에 중첩되도록 돌출 패턴이 형성된 화소 전극을 형성하여 수리 구조를 갖도록 하였다.

도 1은 종래 기술에 따른 수리 구조를 갖는 액정 표시 장치의 등가 회로를 나타낸 도면이다.

도 1에 도시된 바와 같이, 종래 기술에 따른 액정 표시 장치는, 주사 신호를 전달하는 다수의 게이트선(G0, G1, ...)과 상기 게이트선(G0, G1, ...)에 교차하여 형성되며 화상 데이터를 전달하는 다수의 데이터선(D1, D2, ...)이 형성되어 있다. 상기 게이트선(G0, G1, ...)과 데이터선(D1, D2, ...)에 의해 둘러싸여 형성된 행렬 형태의 다수의 화소 영역에는 스위칭 소자(TFT)가 형성되어 있다.

여기서, 하나의 화소 영역을 예로 들어 설명하면, 상기 스위칭 소자(TFT)의 게이트 전극(g)은 상기 게이트선(G1)에 연결되고, 소스 전극(s)은 상기 데이터선(D1)에 연결되며, 드레인 전극(d)은 액정 패널의 하부 기판에 형성된 화소 전극(p)에 연결된다. 또한, 상기 하부 기판에 대향하여 형성된 상부 기판에는 공통 전극(com)이 형성되어 있다.

화소 전극(p)과 공통 전극(com) 사이에는 액정 물질이 형성되는데 이를 등가적으로 액정 용량(Clc)으로 나타내었다. 그리고, 상기 액정 용량(Clc)으로 인가되는 전압을 유지하기 위한 축적 용량(Cst)이 형성되며, 상기 액정 용량(Clc)과 축적 용량(Cst)은 액정 표시 장치가 구동해야 하는 부하로서 작용한다.

또한, 전단 게이트선(G0)에 중첩되도록 상기 화소 전극(p)으로부터 연장되어 형성된 수리 패턴에 의하여 전단 게이트선(G0)에 연결되는 부가 용량(Cpa)도 형성된다.

한편, 액정 표시 구동 방식 중에 화면을 수직 방향으로 확대하기 위한 줌 모드(Zoom mode) 구동 방식이 있는데, 상기 줌 모드 구동 방식으로 수리 구조를 갖는 액정 표시 장치를 구동할 경우, 전술한 전단 게이트선에 연결되는 부가 용량(Cpa)에 의하여 아래와 같은 화질 저하를 발생시킬 수 있다.

상기 줌 모드 구동 방식은, 예를 들어, 수개의 게이트선 단위로 한 라인은 인접 라인과 동일 타이밍에 게이트 온하여, 인접 라인과 같은 데이터 신호가 인가되도록 하는 방식을 취하여 구동하게 된다.

도 2는 줌 모드 구동 방식에 따라 인가되는 종래의 수리 구조를 갖는 액정 표시 장치의 화소행별 충전 전압 상태를 나타낸 파형도이다.

구체적으로, 도 2에 도시된 바와 같이, 인접한 소정 게이트선들(G2, G3)에 인가되는 게이트 전압(Vgate)을 살펴보면, 전단 게이트선(G2)에 인가되는 게이트 온 전압(Von)이 후단 게이트선(G3)에 게이트 온 전압(Von)이 인가될 때 거의 동시에 인가된다. 또한, 상기 전단 게이트선(G2)에 인가되는 게이트 오프 전압(Voff)은 후단 게이트선(G3)에 인가되는 게이트 오프 전압(Voff)보다 늦게 인가되는 방식을 취한다.

일반적으로, 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 천이되는 부근에서 화소 충전 전압(a)을 떨어트리는 킥백 전압(Vkickback)이 발생되는데, 이와 같은 구동 방식에서는, 게이트 오프 전압(Voff)의 인가 순서가 바뀌면서, 전단 게이트선(G2)에 인가되는 게이트 온/오프 전압에 따른 킥백 전압의 영향을 후단 화소 영역에도 영향을 주게 되어, 후단 화소 영역의 충전 전압(b)을 더욱 저하시킨다. 이에 따라 소정 화소행이 인접 화소행보다 충전 전압이 떨어져 나타나는 가로줄 불량 등의 화질 저하를 발생시키는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 줌 모드 구동시에 발생될 수 있는 화질 저하를 방지하는 액정 표시 장치의 박막 트랜지스터 기판을 제공하는데 있다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 액정 표시 장치의 박막 트랜지스터 기판은, 절연 기판과, 상기 절연 기판 위에 형성되어 있는 게이트선과, 상기 게이트선과 절연되어 교차하여 형성된 데이터선과, 상기 데이터선 위에 형성되어 있는 보호막과, 상기 보호막 위에 형성되어 있는 화소 전극과, 상기 게이트선과 상기 데이터선이 교차하여 정의하는 다수의 화소 영역들 내에 각각 형성되어 있으며 상기 게이트선, 상기 데이터선 및 상기 화소 전극에 각각 연결되는 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와, 상기 각 화소 영역들의 상기 해당 게이트선에 중첩되어 형성되며 상기 화소 전극에 전기적으로 연결되는 수리 패턴을 포함한다.

여기서, 상기 게이트선과 동일층에 형성되는 유지 전극선을 더 포함할 수 있다.

또한, 상기 수리 패턴은 상기 화소 전극과 동일층에 형성되어 상기 화소 전극으로부터 연장되어 형성될 수 있다.

또, 상기 수리 패턴은 상기 데이터선에 동일층에 형성되어 상기 드레인 전극으로부터 연장되어 형성될 수도 있다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

먼저, 도 3의 등가 회로를 참조하여 본 발명의 일실시예에 따른 액정 표시 장치를 설명한다.

도 3은 본 발명의 일실시예에 따른 액정 표시 장치의 등가 회로를 나타낸 도면이다.

도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 액정 표시 장치는, 주사 신호를 전달하는 다수의 게이트선(G0, G1, ...)과 상기 게이트선(G0, G1, ...)에 교차하여 형성되며 화상 데이터를 전달하는 다수의 데이터선(D1, D2, ...)이 형성되어 있다.

상기 게이트선(G0, G1, ...)과 데이터선(D1, D2, ...)에 의해 둘러싸여 형성된 행렬 형태의 다수의 화소 영역에는 스위칭 소자(TFT)가 형성되어 있다.

여기서, 하나의 화소 영역을 예로 들어 설명하면, 상기 스위칭 소자(TFT)의 게이트 전극(g)은 상기 게이트선(G1)에 연결되고, 소스 전극(s)은 상기 데이터선(D1)에 연결되며, 드레인 전극(d)은 액정 패널의 하부 기판에 형성된 화소 전극(p)에 연결된다. 또한, 상기 하부 기판에 대향하여 형성된 상부 기판에는 공통 전극(com)이 형성되어 있다.

화소 전극(p)과 공통 전극(com) 사이에는 액정 물질이 형성되는데 이를 등가적으로 액정 용량(Clc)으로 나타내었다. 그리고, 상기 액정 용량(Clc)으로 인가되는 전압을 유지하기 위한 축적 용량(Cst)이 형성되며, 상기 액정 용량(Clc)과 축적 용량(Cst)은 액정 표시 장치가 구동해야 하는 부하로서 작용한다.

또한, 상기 화소 전극(p)으로부터 연장되어 형성된 수리 패턴에 의하여 해당 화소 영역의 게이트선(G1)에 연결되는 부가 용량(Cpa)도 형성된다.

본 발명의 일실시예에 따르면, 상기 화소 전극(p)에 연장되어 형성된 수리 패턴과 게이트선과의 중첩에 의해 형성되는 부가 용량(Cpa)을 종래의 전단 게이트 중첩 방식에서 해당 화소 영역의 게이트선에 중첩되도록 하였다.

이와 같이, 해당 게이트선에 연결되는 부가 용량(Cpa)에 의해 게이트 오/오프 전압(Von/off) 타이밍 순서가 바뀌는 상기 줌 모드 구동 방식시에도, 전단 게이트 온/오프 전압(Von/off)에 따른 킥백 전압 영향을 받지 않도록 하여 화질 저하를 개선할 수 있다.

다음은, 상술한 본 발명의 일실시예에 따른 액정 표시 장치를 구현하는 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 5는 도 4의 V-V'선을 따라 잘라 도시한 단면도이다.

절연 기판(10) 위에 가로 방향으로 길게 뻗어 있는 게이트선(22), 게이트선(22)의 일단에 형성되어 게이트선(22)에 주사 신호를 전달하는 게이트 패드(24) 및 게이트선(22)으로부터 돌출되어 있는 게이트 전극(26)을 포함하는 게이트 배선(22, 24, 26)이 형성되어 있다.

또한, 절연 기판(10) 위에는 게이트선(22)과 평행하게 유지 전극선(28)이 형성되어 있다. 유지 전극선(28)은 후술할 화소 전극(82)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 유지 전극선(28)에는 상부 기판의 공통 전극과 동일한 전압이 인가되는 것이 보통이다.

상기 게이트 배선(22, 24, 26) 및 유지 전극선(28)은 단일층 구조로 형성되거나, 이중층 이상의 구조로 형성될 수 있다. 게이트 배선(22, 24, 26) 및 유지 전극선(28)이 단일층 구조로 형성되는 경우에는 크롬 또는 크롬 합금, 몰리브덴 또는 몰리브덴 합금, 알루미늄 또는 알루미늄 합금, 또는, 은 또는 은 합금이 사용된다. 한편, 게이트 배선(22, 24, 26) 및 유지 전극선(28)이 이중층 구조로 형성되는 경우에는 이중층 중 적어도 한 층은 저저항 금속 물질로 형성하는 것이 바람직하다.

또, 절연 기판(10) 위에는 질화 규소 등으로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26) 및 유지 전극선(28)을 덮고 있다.

게이트 절연막(30) 상부에는 게이트 전극(26)에 대응하여 비정질 규소 등의 반도체로 이루어진 반도체 패턴(42)이 형성되어 있으며, 반도체 패턴(42)의 상부에는 불순물이 고농도로 도핑되어 있는 비정질 규소 등으로 이루어진 저항성 접촉 패턴(45, 46)이 각각 형성되어 있다.

또한, 게이트 절연막(30) 위에는 게이트선(22)에 교차하여 화소 영역을 정의하는 데이터선(52), 데이터선(52)의 일단에 형성되어 데이터선(52)에 영상 신호를 전달하는 데이터 패드(54), 데이터선(52)에 연장되어 하나의 저항성 접촉층(45)에 접촉되어 있는 소스 전극(55) 및 소스 전극(55)에 대응하여 다른 하나의 저항성 접촉층(46)에 접촉되어 있는 드레인 전극(56)을 포함하는 데이터 배선(52, 54, 55, 56)이 형성되어 있다.

데이터 배선(52, 54, 55, 56)도 게이트 배선(22, 24, 26)과 동일하게 단일층 구조로 형성되거나, 이중층 이상의 구조로 형성될 수 있다.

여기서, 게이트 전극(26), 반도체 패턴(42), 소스 전극(55) 및 드레인 전극(56)은 박막 트랜지스터(TFT)를 구성한다.

이러한 데이터 배선(52, 54, 55, 56) 및 박막 트랜지스터(TFT)를 질화 규소 또는 산화 규소로 이루어진 보호막(70)이 덮고 있다.

보호막(70)에는 드레인 전극(56) 및 데이터 패드(54)를 각각 드러내는 접촉 구멍(72, 74)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(76)이 형성되어 있다.

보호막(70) 위에는 접촉 구멍(72)을 통하여 드레인 전극(56)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(76, 74)을 통하여 각각 게이트 패드(24) 및 데이터 패드(54)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(84)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 패드(86) 및 보조 데이터 패드(84)는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)로 이루어져 있다.

여기서, 화소 전극(82)은 해당 화소 영역의 게이트선(22)과 중첩되도록 형성된 수리 패턴(88)이 상기 화소 전극(82)으로부터 연장되어 형성되어 있다.

상기 수리 패턴(88)은 박막 트랜지스터(TFT)의 불량 등에 의한 수리 작업을 할 경우에, 상기 수리 패턴(88)과 해당 게이트선(22)의 중첩 부분을 레이저로 조사하여 쇼팅시키는 방식으로 불량 화소를 암점화시키도록 한다. 또한, 수리 작업이 필요없는 화소 영역에서는 상기 수리 패턴(88)과 게이트선(22)이 중첩되어 형성되는 부가 용량(Cpa)이 형성된다.

상기 부가 용량(Cpa)은 해당 화소 영역의 게이트선(22)에 커플링되어 있으므로, 전술한 줌 모드 구동시에도 전단 화소 영역에서의 킥백 전압의 영향을 받지 않도록 하여 화질 저하를 개선할 수 있다.

도 6은 줌 모드 구동 방식에 따라 인가되는 본 발명의 일실시예에 따른 액정 표시 장치의 화소행별 충전 전압 상태를 나타낸 파형도이다.

구체적으로, 도 6에 도시된 바와 같이, 상기 줌 모드 구동 방식에 따라 인접한 소정 게이트선들(G2, G3)에 인가되는 게이트 전압(Vgate)을 살펴보면, 전단 게이트선(G2)에 인가되는 게이트 온 전압(Von)이 후단 게이트선(G3)에 게이트 온 전압(Von)이 인가될 때 거의 동시에 인가된다. 또한, 상기 전단 게이트선(G2)에 인가되는 게이트 오프 전압(Voff)은 후단 게이트선(G3)에 인가되는 게이트 오프 전압(Voff)보다 늦게 인가되는 방식을 취한다.

일반적으로, 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 천이되는 부근에서 화소 충전 전압을 떨어트리는 킥백 전압(Vkickback)이 발생된다. 한편, 본 발명의 일실시예 따르면 상술한 수리 패턴(88)에 따른 부가 용량(Cpa)이 해당 화

소 영역의 게이트선(22)에 커플링되어 있으므로, 상기 줌 모드 구동 방식에 따라, 게이트 오프 전압(Voff)의 인가 순서가 바뀌어도, 전단 게이트선(G2)에 인가되는 게이트 온/오프 전압에 따른 킥백 전압의 영향이 후단 화소 영역에 영향을 주지 않아, 각 화소행별로 동일한 킥백 전압이 인가되어 일정한 충전 전압을 나타낼 수 있다.

다음은, 도 7 및 도 8을 참조하여, 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조를 설명한다.

도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 8은 도 7의 VIII-VIII' 선을 따라 잘라 도시한 단면도이다.

절연 기판(10) 위에 가로 방향으로 길게 뻗어 있는 게이트선(22), 게이트선(22)의 일단에 형성되어 게이트선(22)에 주사 신호를 전달하는 게이트 패드(24) 및 게이트선(22)으로부터 돌출되어 있는 게이트 전극(26)을 포함하는 게이트 배선(22, 24, 26)이 형성되어 있다.

또한, 절연 기판(10) 위에는 게이트선(22)과 평행하게 유지 전극선(28)이 형성되어 있다. 유지 전극선(28)은 후술할 화소 전극(82)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 유지 전극선(28)에는 상부 기판의 공통 전극과 동일한 전압이 인가되는 것이 보통이다.

상기 게이트 배선(22, 24, 26) 및 유지 전극선(28)은 단일층 구조로 형성되거나, 이중층 이상의 구조로 형성될 수 있다. 게이트 배선(22, 24, 26) 및 유지 전극선(28)이 단일층 구조로 형성되는 경우에는 크롬 또는 크롬 합금, 몰리브덴 또는 몰리브덴 합금, 알루미늄 또는 알루미늄 합금, 또는, 은 또는 은 합금이 사용된다. 한편, 게이트 배선(22, 24, 26) 및 유지 전극선(28)이 이중층 구조로 형성되는 경우에는 이중층 중 적어도 한 층은 저저항 금속 물질로 형성하는 것이 바람직하다.

또, 절연 기판(10) 위에는 질화 규소 등으로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26) 및 유지 전극선(28)을 덮고 있다.

게이트 절연막(30) 상부에는 게이트 전극(26)에 대응하여 비정질 규소 등의 반도체로 이루어진 반도체 패턴(42)이 형성되어 있으며, 반도체 패턴(42)의 상부에는 불순물이 고농도로 도핑되어 있는 비정질 규소 등으로 이루어진 저항성 접촉 패턴(45, 46)이 각각 형성되어 있다.

또한, 게이트 절연막(30) 위에는 게이트선(22)에 교차하여 화소 영역을 정의하는 데이터선(52), 데이터선(52)의 일단에 형성되어 데이터선(52)에 영상 신호를 전달하는 데이터 패드(54), 데이터선(52)에 연장되어 하나의 저항성 접촉층(45)에 접촉되어 있는 소스 전극(55) 및 소스 전극(55)에 대응하여 다른 하나의 저항성 접촉층(46)에 접촉되어 있는 드레인 전극(56)을 포함하는 데이터 배선(52, 54, 55, 56)이 형성되어 있다.

여기서, 상기 드레인 전극(56)은 해당 화소 영역의 게이트선(22)과 중첩되도록 형성된 수리 패턴(58)이 상기 드레인 전극(82)으로부터 연장되어 형성되어 있다.

상기 수리 패턴(58)은 박막 트랜지스터(TFT)의 불량 등에 의한 수리 작업을 할 경우에, 상기 수리 패턴(58)과 해당 게이트선(22)의 중첩 부분을 레이저로 조사하여 숏팅시키는 방식으로 불량 화소를 암점화시키도록 한다. 또한, 수리 작업이 필요없는 화소 영역에서는 상기 수리 패턴(58)과 게이트선(22)이 중첩되어 형성되는 부가 용량(Cpa)이 형성된다.

데이터 배선(52, 54, 55, 56) 및 수리 패턴(58)도 게이트 배선(22, 24, 26)과 동일하게 단일층 구조로 형성되거나, 이중층 이상의 구조로 형성될 수 있다.

여기서, 게이트 전극(26), 반도체 패턴(42), 소스 전극(55) 및 드레인 전극(56)은 박막 트랜지스터(TFT)를 구성한다.

이러한 데이터 배선(52, 54, 55, 56)과 수리 패턴(58) 및 박막 트랜지스터(TFT)를 질화 규소 또는 산화 규소로 이루어진 보호막(70)이 덮고 있다.

보호막(70)에는 드레인 전극(56) 및 데이터 패드(54)를 각각 드러내는 접촉 구멍(72, 74)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(76)이 형성되어 있다.

보호막(70) 위에는 접촉 구멍(72)을 통하여 드레인 전극(56)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(76, 74)을 통하여 각각 게이트 패드(24) 및 데이터 패드(54)와 연결되어 있는 보조 게이트 패드(86) 및 보조 데이터 패드(84)가 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 패드(86) 및 보조 데이터 패드(84)는 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)로 이루어져 있다.

따라서, 본 발명의 제2 실시예에 따르면, 본 발명의 제1 실시예와 동일한 효과를 갖는다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명은 상기 실시예에 한정되지 않고 본 발명의 기술적 요지를 벗어나지 않는 범위 내에서 당업자에 의해 다양하게 변형 실시될 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 따르면, 수리 구조를 갖는 액정 표시 장치의 수리 패턴을 해당 화소행의 게이트선에 중첩되도록 형성하여, 화면을 수직 방향으로 확대하기 위한 줌 모드 구동시에 발생될 수 있는 화질 저하를 방지할 수 있다.

(57) 청구의 범위

청구항 1.

절연 기판;

상기 절연 기판 위에 형성되어 있는 게이트선;

상기 게이트선과 절연되어 교차하여 형성된 데이터선;

상기 데이터선 위에 형성되어 있는 보호막;

상기 보호막 위에 형성되어 있는 화소 전극;

상기 게이트선과 상기 데이터선이 교차하여 정의하는 다수의 화소 영역들 내에 각각 형성되어 있으며 상기 게이트선, 상기 데이터선 및 상기 화소 전극에 각각 연결되는 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 및

상기 각 화소 영역들의 상기 해당 게이트선에 중첩되어 형성되며 상기 화소 전극에 전기적으로 연결되는 수리 패턴을 포함하는 액정 표시 장치의 박막 트랜지스터 기판.

청구항 2.

제1항에서,

상기 게이트선과 동일층에 형성되는 유지 전극선을 더 포함하는 액정 표시 장치의 박막 트랜지스터 기판.

청구항 3.

제1항에서,

상기 수리 패턴은 상기 화소 전극과 동일층에 형성되어 상기 화소 전극으로부터 연장되어 형성된 액정 표시 장치의 박막 트랜지스터 기판.

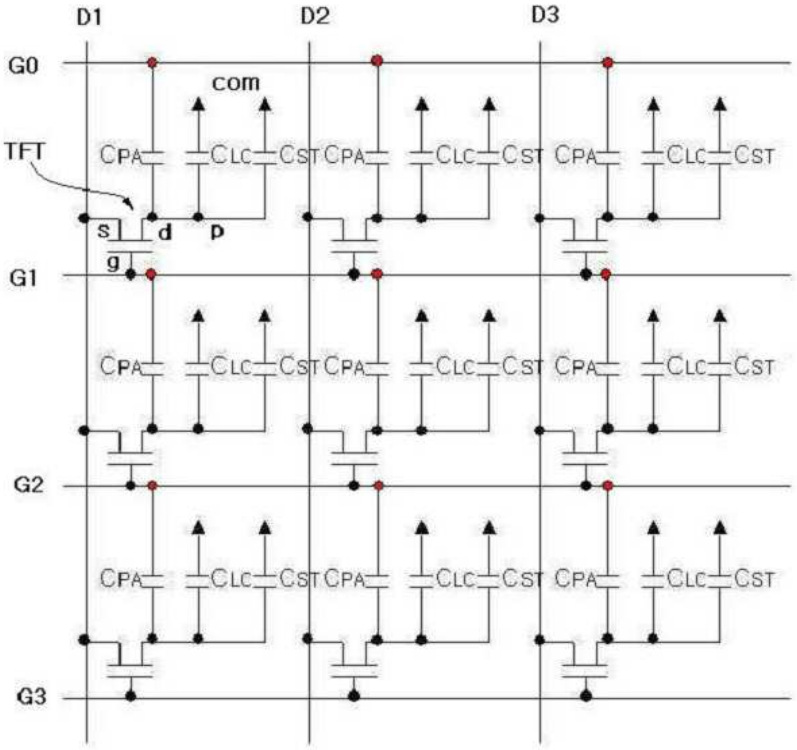
청구항 4.

제1항에서,

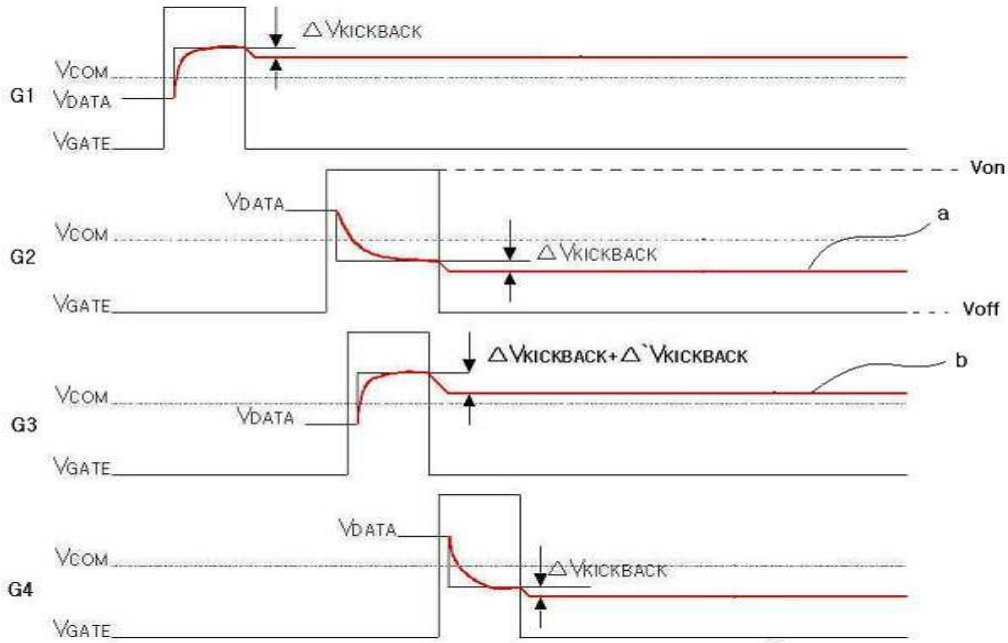
상기 수리 패턴은 상기 데이터선에 동일층에 형성되어 상기 드레인 전극으로부터 연장되어 형성된 액정 표시 장치의 박막 트랜지스터 기판.

도면

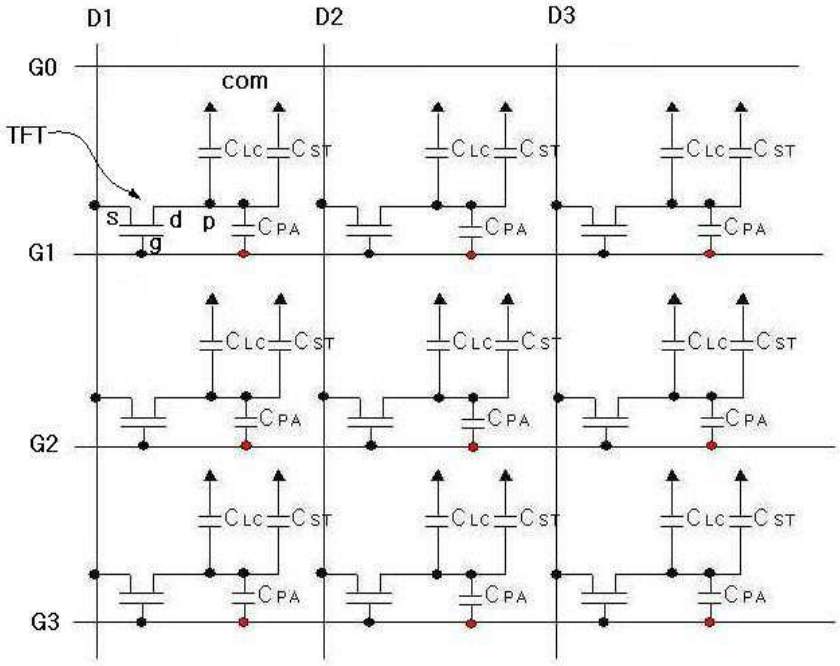
도면1



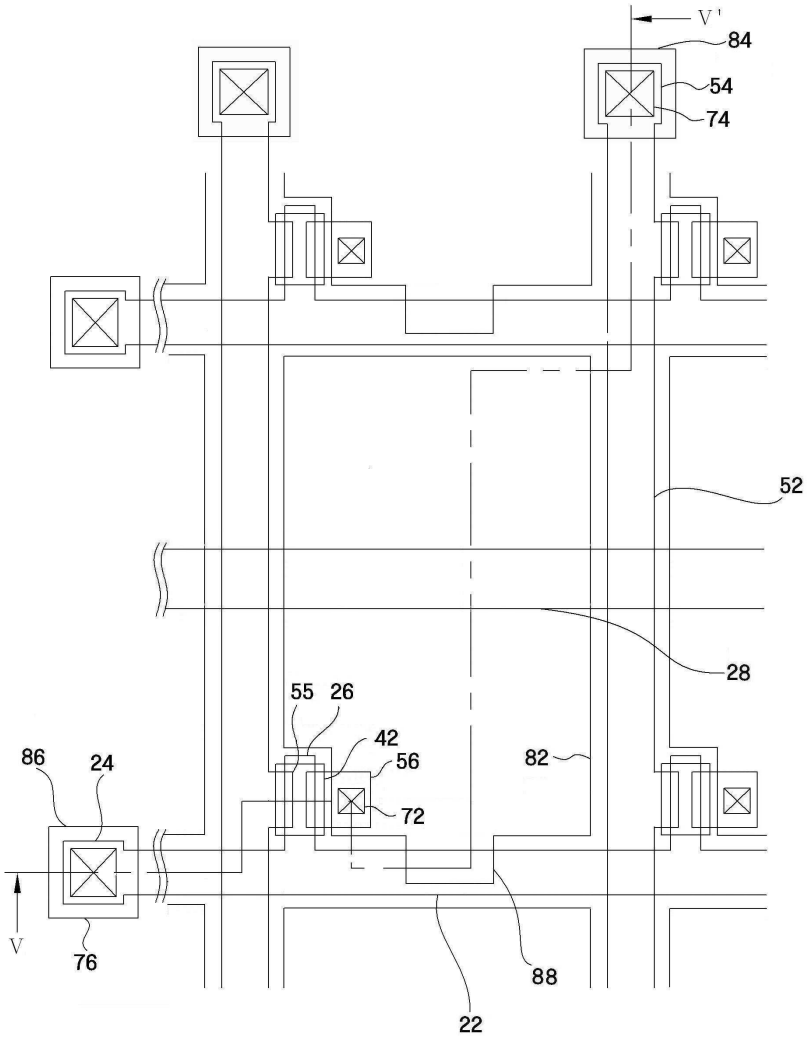
도면2


G1
VCOM
VDATA
VGATE
△VKICKBACK
Von
G2
VDATA
VCOM
VGATE
△VKICKBACK
a
Voff
G3
VCOM
VDATA
VGATE
△VKICKBACK+△`VKICKBACK
b
G4
VDATA
VCOM
VGATE
△VKICKBACK

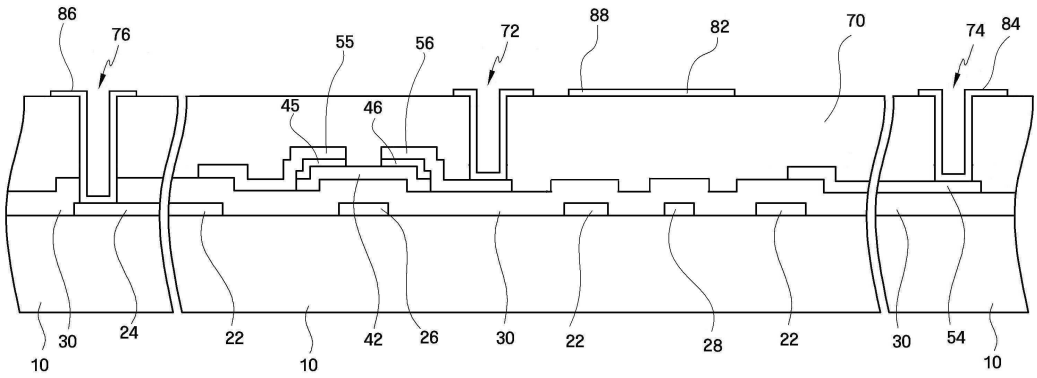
도면3


D1
D2
D3
G0
com
TFT
s
d
g
p
G1
G2
G3
CLC
CST
CPA

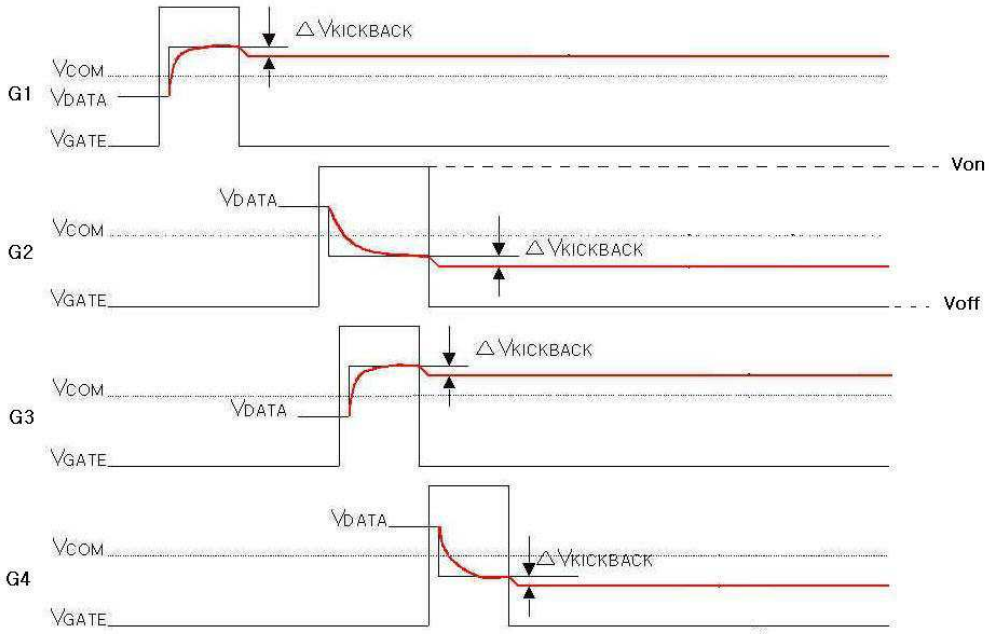
도면4


V'
84
54
74
52
28
55
26
42
56
72
86
24
82
V
76
88
22

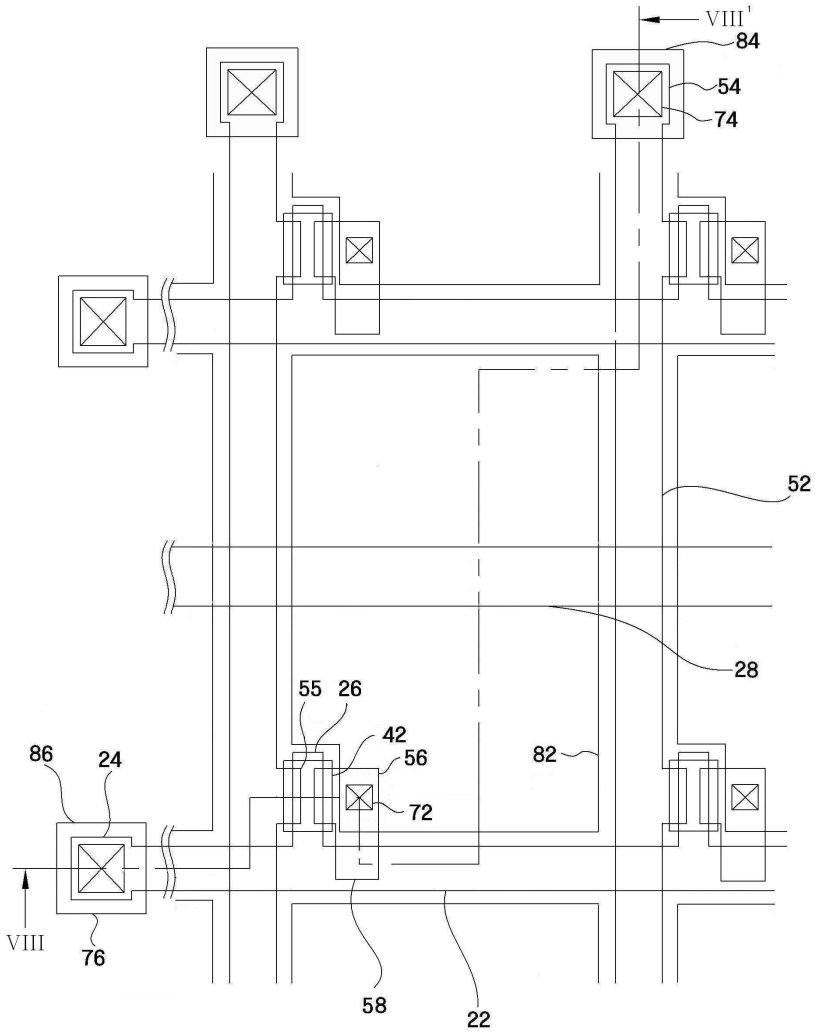
도면5


86
76
55
56
72
88
82
70
74
84
45
46
10
30
24
22
10
42
26
30
22
28
22
30
54
10

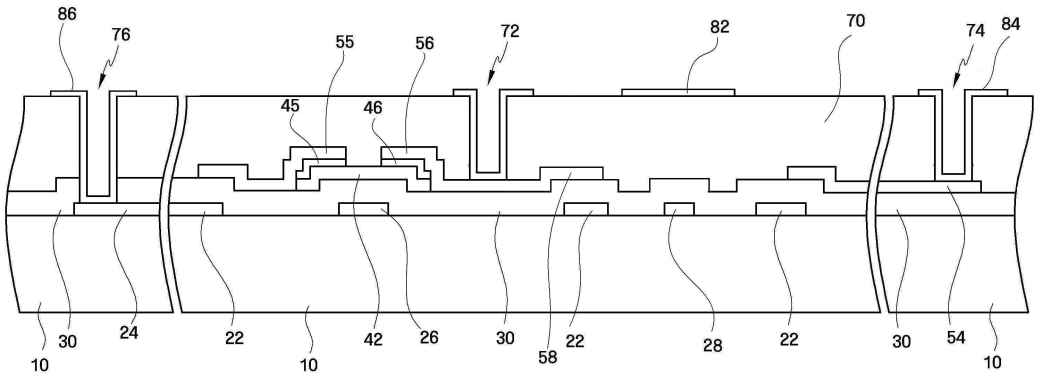
도면6


G1
VCOM
VDATA
VGATE
△VKICKBACK
Von
G2
VDATA
VCOM
VGATE
△VKICKBACK
Voff
G3
VCOM
VDATA
VGATE
△VKICKBACK
G4
VDATA
VCOM
VGATE
△VKICKBACK

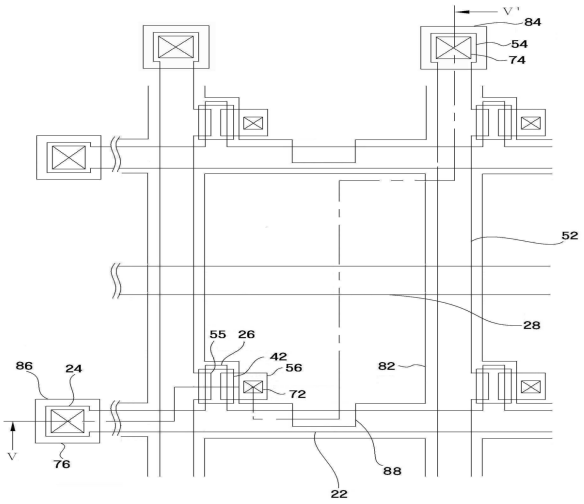
도면7


VIII'
84
54
74
52
28
55
26
42
56
72
86
24
82
VIII
76
58
22

도면8


86
76
55
56
72
82
70
74
84
45
46
10
30
24
22
10
42
26
30
58
22
28
22
30
54
10

专利名称(译)	液晶显示装置的薄膜晶体管基板		
公开(公告)号	KR1020060083260A	公开(公告)日	2006-07-20
申请号	KR1020050003711	申请日	2005-01-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE SUNGIL 이성일 KIM YEONGKOO 김영구		
发明人	이성일 김영구		
IPC分类号	G02F1/136		
CPC分类号	E06B1/363 E06B1/56		
代理人(译)	JEONG，SANG BIN		
外部链接	Espacenet		

摘要(译)

提供液晶显示器的薄膜晶体管基板。液晶显示器的薄膜晶体管基板包括数据线，其形成栅极线与栅极线相交，栅极线与绝缘基板绝缘，栅极线形成在绝缘基板和保护膜上，形成在数据线和像素电极上，形成在保护膜和栅极线和数据线上，该数据线是在像素电极中电连接同时在相应的栅极线中重叠并由栅极线形成的修复图案，在数据线和像素电极中的相应连接的栅电极，以及包括源电极和漏电极的薄膜晶体管，以及每个像素区域，它们分别形成在交叉和限定的多个像素域框架内。液晶显示器，修复图案和变焦模式驱动模式。