

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 10-2006-0000961
G02F 1/1345 (2006.01) (43) 공개일자 2006년01월06일

(21) 출원번호 10-2004-0049954
(22) 출원일자 2004년06월30일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 안병철
경기도 안양시 동안구 평촌동 899-2(9통6반) 향촌아파트 203동 903호
(74) 대리인 김영호

심사청구 : 없음

(54) 유기 절연막을 포함하는 액정 패널 및 그 제조 방법

요약

본 발명은 유기 절연막과 실재의 접착력을 향상시키고, 액정 오염을 방지할 수 있는 액정 패널 및 그 제조 방법을 제공하는 것이다.

이를 위하여, 본 발명의 액정 패널은 배선과, 그 배선을 덮는 무기 절연막 및 유기 절연막이 적층된 제1 기판과; 상기 제1 기판과 액정을 사이에 두고 마주하는 제2 기판과; 상기 배선과 교차하도록 형성되어 상기 제1 및 제2 기판을 합착시키면서 상기 액정을 밀폐시키는 실재를 구비하고; 상기 액정과 실재의 경계부 중 상기 배선 상부에서는 상기 무기 절연막이 노출되어 상기 실재와 접촉되고, 상기 실재 외부의 배선은 상기 무기 절연막 및 유기 절연막에 의해 보호되는 것을 특징으로 한다.

대표도

도 11

명세서

도면의 간단한 설명

도 1은 일반적인 액정 패널 구조를 개략적으로 도시한 평면도.

도 2는 본 발명의 실시 예에 따른 액정 패널 중 유기 절연막을 포함한 박막 트랜지스터 기판의 일부분을 도시한 평면도.

도 3은 도 2에 도시된 박막 트랜지스터 기판을 I-I', II-II', III-III', IV-IV'선을 따라 절단하여 도시한 단면도.

도 4a 및 도 4b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 5a 및 도 5b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 7a 및 도 7b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 8은 도 2에 도시된 박막 트랜지스터 기판 중 실링 영역의 일부분을 확대 도시한 평면도.

도 9a 내지 도 9d는 도 8에 도시된 실재와 교차하는 배선부 수직 구조로 적용 가능한 4가지의 실시 예들을 도시한 단면도.

도 10a 내지 도 10d는 도 8에 도시된 실재와 교차하는 배선과 배선 사이 영역의 수직 구조로 적용 가능한 4가지의 실시 예들을 도시한 단면도.

도 11은 본 발명의 제1 실시 예에 따른 실링 영역을 부분적으로 도시한 평면도.

도 12는 도 11에 도시된 박막 트랜지스터 기판의 실링 영역을 V-V', VI-V', VIIa-VIIa', VIIb-VIIb', VIIc-VIIc', VIId-VIId', VIIe-VIIe'선을 따라 절단하여 도시한 단면도.

도 13a 및 도 13b는 도 11 및 도 12에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 14a 및 도 14b는 도 11 및 도 12에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 15a 및 도 15b는 도 11 및 도 12에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 16a 및 도 16b는 도 11 및 도 12에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 17은 본 발명의 제2 실시 예에 따른 실링 영역을 부분적으로 도시한 평면도.

도 18은 도 17에 도시된 박막 트랜지스터 기판의 실링 영역을 V-V', VI-V', VIIa-VIIa', VIIb-VIIb', VIIc-VIIc', VIId-VIId', VIIe-VIIe'선을 따라 절단하여 도시한 단면도.

도 19a 및 도 19b는 도 17 및 도 18에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 20a 및 도 20b는 도 17 및 도 18에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 21a 및 도 21b는 도 17 및 도 18에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 22a 및 도 22b는 도 17 및 도 18에 도시된 박막 트랜지스터 기판의 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도.

도 23은 본 발명의 실시 예에 따른 액정 패널을 개략적으로 도시한 평면도.

도 24는 도 23에 도시된 테이프 캐리어 패키지의 부착부를 IX-IX'선을 따라 절단하여 도시한 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 110 : 박막 트랜지스터 기관 4, 100, 120 : 상판
6, 90, 130, 160 : 실재 8 : 데이터 패드
10 : 게이트 패드 22 : 게이트 라인
23 : 제1 게이트 금속층 24 : 데이터 라인
25 : 제2 게이트 금속층 26A : 활성층
26B : 오믹 컨택층 26 : 반도체 패턴
28 : 소스 전극 30 : 드레인 전극
31, 36, 44, 54, 62, 64, 72, 74 : 컨택홀
32, 76 : 제1 공통 라인 34 : 스토리지 상부 전극
38 : 화소 전극 40 : 게이트 패드
42 : 게이트 패드 하부 전극 46 : 게이트 패드 상부 전극
48 : 게이트 링크 50 : 데이터 패드
52 : 데이터 패드 하부 전극 56 : 데이터 패드 상부 전극
58 : 데이터 링크 60, 62 : 컨택 전극
80 : 기관 82 : 게이트 절연막
82A, 82B : 게이트 절연 패턴 84 : 버퍼 절연막
86 : 유기 절연막 88 : 액정
92, 96 : 더미 패턴 94, 98 : 더미 보호 패턴
102 : 기관 노출부 140 : 드라이브 집적 회로(IC)
150 : 테이프 캐리어 패키지(TCP) 152 : TCP 패드
154 : 이방성 도전 필름

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 유기 절연막을 포함한 액정 패널에 관한 것으로, 특히 유기 절연막과 실제의 접착력을 향상시키면서 액정 오염을 방지할 수 있는 액정 패널 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀들이 매트릭스형으로 배열되어진 액정 표시 패널(이하, 액정 패널)과, 액정 패널을 구동하기 위한 구동 회로를 구비한다.

액정 패널은 도 1에 도시된 바와 같이 박막트랜지스터 기관(2)과, 상판(4)이 대향하여 실재(Seal Material)(6)에 의해 접합된 구조를 가진다. 접합된 박막트랜지스터 어레이 기관(2)과 상판(4)은 스페이서에 의해 일정한 셀갭을 유지하게 되고, 그 셀갭에는 전계에 따라 빛 투과율 조절을 위한 액정이 채워진다.

박막 트랜지스터 기관(2)은 제1 기관 위에 형성된 게이트 라인 및 데이터 라인, 그 게이트 라인과 데이터 라인의 교차부와 접속된 박막 트랜지스터, 게이트 라인 및 데이터 라인의 교차로 정의된 각 화소 영역에 형성되어 박막 트랜지스터와 접속된 화소 전극, 이들을 보호하는 보호막, 액정 배향을 위한 배향막 등을 구비한다. 게이트 라인은 게이트 패드(10)를 통해 게이트 드라이버로부터 스캔 신호를 공급받는다. 데이터 라인은 데이터 패드(8)를 통해 데이터 드라이버로부터 비디오 신호를 공급받는다. 박막 트랜지스터는 게이트 라인의 스캔 신호에 응답하여 데이터 라인의 비디오 신호를 화소 전극에 공급한다.

상판(4)은 제2 기관 위에 액정셀 단위로 형성된 칼라 필터, 칼라 필터간의 구분 및 외부광 반사를 위한 블랙 매트릭스, 액정셀들에 공통적으로 기준 전압을 공급하는 공통 전극, 액정 배향을 위한 배향막 등을 구비한다.

이러한 박막 트랜지스터 기관(2)과 상판(4)은 액정셀들이 배열된 화상 표시 영역의 외곽을 따라 도포된 실재(6)를 통해 합착된다. 이때, 상판(4)은 박막 트랜지스터 기관(2)의 주변부에 마련된 게이트 패드(8) 및 데이터 패드(10)가 노출되도록 박막 트랜지스터 기관(2)과 합착된다.

이러한 액정 패널에서 박막 트랜지스터 기관(2)에 포함된 보호막으로는 무기 절연막 또는 유기 절연막이 이용된다.

무기 절연막으로는 SiNx , SiOx 와 같은 무기 절연 물질이 이용된다. 이러한 무기 절연막은 유전율이 크고, 증착 방법으로 형성되므로 높이를 증가시키기 어려운 단점을 가지고 있다. 이로 인하여 무기 절연막을 사이에 둔 화소 전극과 데이터 라인은 기생 캐패시터로 인한 커플링 효과를 최소화하기 위하여 일정한 수평 간격, 예를 들면 $3\sim 5\mu\text{m}$ 의 수평 간격을 유지해야만 한다. 이 결과, 액정셀의 개구율을 좌우하는 화소 전극의 크기가 줄어들게 되어 개구율이 낮아지게 된다.

유기 절연막은 상기 무기 절연막으로 인한 낮은 개구율 문제를 해결하기 위하여 적용된 것으로 상대적으로 유전율이 낮은 유기 절연 물질이 이용된다. 또한, 유기 절연막은 스피ن 코팅(Spin Coating) 등으로 비교적 두껍게 형성할 수 있는 장점을 가진다. 이러한 상대적으로 낮은 유전율과 두꺼운 두께를 갖는 유기 절연막에 의해 데이터라인과 화소전극 간의 기생 캐패시터 용량이 줄어들게 되므로 화소전극과 유기 절연막을 사이에 두고 데이터 라인과 중첩되게 형성할 수 있게 된다. 이 결과, 화소 전극의 크기가 증대되어 개구율이 증가하게 된다.

이러한 고개구율 구조 이외에도 유기 절연막은 박막 트랜지스터 기관 위에 칼라 필터가 형성된 구조, 그리고 각 화소 영역이 투과 영역과 반사 영역으로 구분된 반투과 구조에도 적용된다.

이와 같이, 박막 트랜지스터 기관에 포함된 유기 절연막은 상판과의 합착을 위한 실재와 접촉하게 된다. 그런데, 에폭시 수지 등이 이용되는 실재와 유기 절연막은 취약한 접착 특성을 가짐에 따라 접착력이 저하되거나, 유기 절연막이 구조적으로 외부의 수분을 침투시키는 경로를 제공하여 액정 오염 등과 같은 불량이 발생하게 된다. 또한, 유기 절연막 및 실재가 액정과 접촉되는 부분에서는 유기 절연막 및 실재에 잔류하는 폴리머(Polymer), 모노머(Monomer)의 상호 반응으로 생성된 극성이 있는 유기물로 인한 액정 오염 불량이 발생하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 유기 절연막과 실재의 접착력을 향상시킬 수 있는 액정 패널 및 그 제조 방법을 제공하는 것이다.

본 발명의 다른 목적은 유기 절연막 및 실재의 반응으로 인한 액정 오염을 방지할 수 있는 액정 패널 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정 패널은 배선과, 그 배선을 덮는 무기 절연막 및 유기 절연막이 적층된 제1 기판과; 상기 제1 기판과 액정을 사이에 두고 마주하는 제2 기판과; 상기 배선과 교차하도록 형성되어 상기 제1 및 제2 기판을 합착시키면서 상기 액정을 밀폐시키는 실재를 구비하고; 상기 액정과 실재의 경계부 중 상기 배선 상부에서는 상기 무기 절연막이 노출되어 상기 실재와 접촉되고, 상기 실재 외부의 배선은 상기 무기 절연막 및 유기 절연막에 의해 보호되는 것을 특징으로 한다.

그리고, 본 발명에 따른 액정 패널의 제조 방법은 제1 기판에 배선과, 그 배선을 덮는 무기 절연막을 형성하고, 그 위에 유기 절연막을 형성하는 단계와; 상기 배선과 교차하도록 형성된 실재를 이용하여 상기 제1 기판을 별도로 마련된 제2 기판과 합착시키고, 그 제1 및 제2 기판 사이에 형성된 액정을 밀봉하는 단계를 포함하고; 상기 유기 절연막을 형성하는 단계는, 상기 액정과 실재의 경계부 중 상기 배선 상부에서 상기 무기 절연막이 노출되어 실재와 접촉되고, 상기 실재 내부 및 외부의 배선은 상기 무기 절연막 및 유기 절연막에 의해 보호되도록 상기 유기 절연막 및 무기 절연막을 패터닝하는 단계를 포함한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 2 내지 도 27을 참조하여 상세하게 설명하기로 한다.

도 2는 본 발명의 실시 예에 따른 액정 패널 중 유기 절연막을 포함한 박막 트랜지스터 기판의 일부분을 도시한 평면도이고, 도 3은 도 2에 도시된 박막 트랜지스터 기판을 I-I', II-II', III-III', IV-IV'선을 따라 절단하여 도시한 단면도이다. 특히, 도 2 및 도 3에 도시된 박막 트랜지스터 기판은 개구율을 높이기 위하여 유기 절연막(86)이 이용된 고개구율 구조를 예를 들어 도시한 것이다.

도 2 및 도 3에 도시된 박막 트랜지스터 기판은 하부 기판(80) 위에 게이트 절연막(82)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(22) 및 데이터 라인(24), 그 게이트 라인(22) 및 데이터 라인(24)와 접속된 박막 트랜지스터(TFT), 각 화소 영역에 형성되고 박막 트랜지스터(TFT)와 접속된 화소 전극(38)을 구비한다. 그리고, 박막 트랜지스터 기판은 화소 영역을 가로지르는 제1 공통 라인(32)과 화소 전극(38)의 중첩으로 형성된 스토리지 캐패시터(Cst), 게이트 링크(48)를 경유하여 게이트 라인(22)과 접속된 게이트 패드(40), 데이터 링크(58)를 경유하여 데이터 라인(24)과 접속된 데이터 패드(50)를 구비한다.

게이트 라인(22)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 데이터 라인(24)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트 라인(22) 및 데이터 라인(24)은 게이트 절연막(82)을 사이에 두고 교차하여 각 화소 영역을 정의한다.

박막 트랜지스터(TFT)는 게이트 라인(22)의 스캔 신호에 응답하여 데이터 라인(24) 상의 비디오 신호가 화소 전극(38)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(TFT)는 게이트 라인(22)에 포함된 게이트 전극, 데이터 라인(24)과 접속된 소스 전극(28), 소스 전극(28)과 마주하며 화소 전극(38)과 접속된 드레인 전극(30), 게이트 절연막(82)을 사이에 두고 게이트 라인(22)과 중첩되어 소스 전극(28)과 드레인 전극(30) 사이에 채널을 형성하는 활성층(26A), 소스 전극(28) 및 드레인 전극(30)과의 오믹 접촉을 위하여 채널부를 제외한 활성층(26A) 위에 형성된 오믹 접촉층(26B)을 구비한다.

그리고, 활성층(26A) 및 오믹 접촉층(26B)을 포함하는 반도체 패턴(26)은 데이터 라인(24)과도 중첩되게 형성된다.

화소 전극(38)은 각 화소 영역의 유기 절연막(86) 위에 형성되고 유기 절연막(86) 및 버퍼 절연막(84)을 관통하는 제1 컨택홀(31)을 통해 노출된 드레인 전극(30)과 접속된다. 화소 전극(38)은 두꺼운 유기 절연막(86)에 의해 게이트 라인(22) 및 데이터 라인(24)과 부분적으로 중첩되게 형성되므로 개구율이 증가하게 된다. 이러한 화소 전극(38)은 박막 트랜지스터(TFT)를 통해 공급된 화소 신호에 의해 상판(미도시)의 공통 전극과 전위차를 발생시킨다. 이 전위차에 의해 유전 이방성을 갖는 액정이 회전하여 반사 영역과 투과 영역 각각의 액정층을 경유하는 광의 투과율을 조절하므로 상기 비디오 신호에 따라 휘도가 달라지게 된다.

스토리지 캐패시터(Cst)는 화소 전극(38)을 가로지르는 제1 공통 라인(32)과, 제2 콘택홀(36)을 통해 화소 전극(38)과 접속된 스토리지 상부 전극(34)이 게이트 절연막(82)을 사이에 두고 중첩되어 형성된다. 스토리지 상부 전극(34)의 아래에는 반도체 패턴(26)이 더 중첩된다. 이러한 스토리지 캐패시터(Cst)는 화소 전극(38)에 충전된 비디오 신호가 안정적으로 유지되게 한다.

게이트 라인(22)은 게이트 패드(40)를 통해 게이트 드라이버(도시하지 않음)와 접속된다. 게이트 패드(40)는 게이트 링크(48)를 경유하여 게이트 라인(22)과 접속된 게이트 패드 하부 전극(42), 유기 절연막(86)에서 게이트 절연막(82)까지 관통하는 제3 콘택홀(44)를 통해 노출된 게이트 패드 하부 전극(42)과 접속된 게이트 패드 상부 전극(46)을 구비한다.

데이터 라인(24)은 데이터 패드(50)를 통해 데이터 드라이버(도시하지 않음)와 접속된다. 데이터 패드(50)는 데이터 링크(58)를 경유하여 데이터 라인(24)과 접속된 데이터 패드 하부 전극(52), 유기 절연막(86)에서 게이트 절연막(82)까지 관통하는 제4 콘택홀(54)을 통해 노출된 데이터 패드 하부 전극(52)과 접속된 데이터 패드 상부 전극(56)을 구비한다.

여기서, 데이터 패드 및 링크(50, 58)는 게이트 패드 및 링크(40, 48)와 동일한 수직 구조로 형성된다. 다시 말하여, 데이터 패드 및 링크(50, 58)는 게이트 패드 및 링크(40, 48), 게이트 라인(22), 제1 공통 라인(32)과 함께 단일층 또는 복수층 구조의 게이트 금속층으로 형성된다. 예를 들면, 게이트 금속층으로는 제1 및 제2 게이트 금속층(23, 25)이 적층된 이중 구조가 이용된다. 이렇게, 데이터 패드 및 링크(50, 58)는 게이트 패드 및 링크(40, 48)와 동일한 수직 구조로 형성함에 따라 게이트 절연막(82)에서 유기 절연막(86)까지를 보호막으로 사용함으로써 배선의 신뢰성 향상을 최대화할 수 있게 된다. 또한, 실재(90)는 동일한 수직 구조의 게이트 링크(48)와 데이터 링크(58)를 가로질러 인쇄되므로 실 영역은 균일한 셀갯을 유지할 수 있게 된다.

그리고, 본 발명의 박막 트랜지스터 기판은 게이트 절연막(82) 아래의 게이트 금속층(23, 25)으로 형성된 데이터 링크(58)와, 게이트 절연막(82) 위의 소스/드레인 금속층으로 형성된 데이터 라인(24)을 접속시키기 위한 제1 콘택 전극(60)을 추가로 구비한다. 제1 콘택 전극(60)은 유기 절연막(86) 및 버퍼 절연막(84)을 관통하는 제5 콘택홀(62)을 통해 노출된 데이터 라인(24)과, 유기 절연막(86)에서 게이트 절연막(82)까지 관통하는 제6 콘택홀(64)을 통해 노출된 데이터 링크(58)를 접속시킨다. 이러한 제1 콘택 전극(60)은 실재(90)에 의해 밀봉되어질 액정 영역에 위치하게 된다.

또한, 본 발명의 박막 트랜지스터 기판은 화소 전극(38)을 가로지르는 제1 공통 라인(32)을 공통으로 연결시키기 위한 제2 공통 라인(76)을 추가로 구비한다. 제2 공통 라인(76)은 게이트 라인(22) 사이마다 형성된 제1 공통 라인들(32)과 공통 접속되어 공통 전압을 공급한다. 이를 위하여, 제2 공통 라인(76)은 게이트 라인(22)과 절연되면서 교차하게끔 데이터 라인(24)과 동일한 소스/드레인 금속층으로 형성되고, 공정상 그 아래에는 반도체 패턴(26)이 중첩된다. 이러한 제2 공통 라인(76)은 제2 콘택 전극(70)을 통해 게이트 금속층(23, 25)으로 형성된 제1 공통 라인(32)과 접속된다. 제2 콘택 전극(70)은 유기 절연막(86) 및 버퍼 절연막(84)을 관통하는 제7 콘택홀(72)을 통해 노출된 제2 공통 라인(76)과, 유기 절연막(86)에서 게이트 절연막(82)까지 관통하는 제8 콘택홀(74)을 통해 노출된 제1 공통 라인(32)을 접속시킨다. 이러한 콘택 전극(70)은 실재(90)에 의해 밀봉되어질 액정 영역에 위치하게 된다.

그리고, 본 발명의 박막 트랜지스터 기판은 외부 공통 전압원으로부터의 공통 전압을 제2 공통 라인(76)에 공급하기 위한 공통 패드 및 링크(미도시)를 추가로 구비한다. 공통 패드 및 링크는 상기 데이터 패드 및 링크(50, 58)와 동일한 수직 구조를 갖고, 상기 제1 콘택 전극(60)을 포함하는 데이터 라인(24)과 데이터 링크(58)의 콘택부와 동일한 수직 구조를 갖는 콘택부(미도시)를 통해 제2 공통 라인(78)과 접속된다.

이러한 구성을 갖는 본 발명의 박막 트랜지스터 기판의 제조 방법은 다음과 같다.

도 4a 및 도 4b는 본 발명의 실시 예에 따른 반투과형 박막 트랜지스터 기판 제조 방법 중 제1 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

제1 마스크 공정으로 하부 기판(80) 상에 게이트 라인(22), 게이트 링크(48), 게이트 패드 하부 전극(42), 데이터 링크(58), 데이터 패드 하부 전극(52), 제1 공통 라인(32)을 포함하는 게이트 금속 패턴이 형성된다. 이러한 게이트 금속 패턴은 제1 및 제2 게이트 금속층(23, 25)이 적층된 이중 구조로 형성된다.

구체적으로, 하부 기판(80) 상에 스퍼터링 방법 등의 증착 방법을 통해 제1 및 제2 게이트 금속층(23, 25)이 적층된다. 제1 및 제2 게이트 금속층(23, 25)으로는 Mo, Ti, Cu, Al(Nd), Cr, MoW계 등의 금속이 이용된다. 예를 들면, 제1 게이트 금속층(23)으로는 Al이, 제2 게이트 금속층(25)으로는 Mo이 이용된다. 적층된 제1 및 제2 게이트 금속층(23, 25)은 제1 마스크

크를 이용한 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 게이트 라인(22), 게이트 링크(48), 게이트 패드 하부 전극(42), 데이터 링크(58), 데이터 패드 하부 전극(52), 제1 공통 라인(32)을 포함하는 게이트 금속 패턴이 형성된다. 이러한 게이트 금속 패턴에는 공통 패드 하부 전극과 공통 링크(미도시)도 포함된다.

도 5a 및 도 5b는 본 발명의 실시 예에 따른 박막 트랜지스터 기관 제조 방법 중 제2 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

게이트 금속 패턴이 형성된 하부 기관(80) 상에 게이트 절연막(82)이 형성되고, 그 위에 제2 마스크 공정으로 데이터 라인(24), 소스 전극(28), 드레인 전극(30), 스토리지 상부 전극(34), 제2 공통 라인(76)을 포함하는 소스/드레인 금속 패턴과, 소스/드레인 금속 패턴의 배면을 따라 중첩된 활성층(26A) 및 오믹 접촉층(26B)을 포함하는 반도체 패턴(26)이 형성된다.

구체적으로, 게이트 패턴이 형성된 하부 기관(80) 상에 게이트 절연막(82), 비정질 실리콘층, 불순물($n+$ 또는 $p+$)이 도핑된 비정질 실리콘층, 소스/드레인 금속층이 순차적으로 형성된다. 예를 들면, 게이트 절연막(82), 비정질 실리콘층, 불순물이 도핑된 비정질 실리콘층은 PECVD 방법으로, 소스/드레인 금속층은 스퍼터링 방법으로 형성된다. 게이트 절연막(82)으로는 SiO_x , SiN_x 등과 같은 무기 절연 물질이, 소스/드레인 금속층으로는 Mo, Ti, Cu, Al(Nd), Cr, MoW계 등과 같은 금속 이 이용된다.

그리고, 소스/드레인 금속층 위에 회절 노광(하프 톤) 마스크를 이용한 포토리소그래피 공정으로 단차를 갖는 포토레지스트 패턴이 형성된다. 단차를 갖는 포토레지스트 패턴은 박막 트랜지스터의 채널을 형성하기 위한 부분이 다른 부분 보다 얇은 구조를 갖는다. 이러한 포토레지스트 패턴을 이용한 식각 공정으로 데이터 라인(24), 소스 전극(28), 소스 전극(28)과 일체화된 드레인 전극(30), 스토리지 상부 전극(34), 제2 공통 라인(76)을 포함하는 소스/드레인 패턴과, 그 아래의 반도체 패턴(26)이 형성된다.

이어서, 산소(O_2) 플라즈마를 이용한 애싱 공정으로 채널 형성을 위한 포토레지스트 패턴은 제거되고 다른 부분의 포토레지스트 패턴은 얇아지게 된다. 애싱된 포토레지스트 패턴을 이용한 식각 공정으로 노출된 소스/드레인 패턴과, 그 아래의 오믹 접촉층(26B)이 제거됨으로써 소스 전극(28)과 드레인 전극(30)은 분리되고 채널에 해당되는 활성층(26A)이 노출된다. 이때, 애싱된 포토레지스트 패턴을 따라 소스/드레인 패턴의 양측부가 한번 더 식각됨으로써 소스/드레인 패턴과 반도체 패턴(26)은 계단 형태로 일정한 단차를 갖게 된다.

그리고, 스트립 공정으로 소스/드레인 패턴 위에 잔존하던 포토레지스트 패턴이 제거된다.

도 6a 및 도 6b는 본 발명의 실시 예에 따른 박막 트랜지스터 기관 제조 방법 중 제3 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

제3 마스크 공정으로 소스/드레인 패턴이 형성된 게이트 절연막(82) 상에 제1 내지 제8 컨택홀(31, 36, 44, 54, 62, 64, 72, 74)을 포함하는 버퍼 절연막(84) 및 유기 절연막(86)이 형성된다.

구체적으로, 소스/드레인 패턴이 형성된 게이트 절연막(82) 상에 PECVD 등의 증착 방법으로 버퍼 절연막(84)이 형성되고, 그 위에 스핀 코팅 등으로 유기 절연막(86)이 형성된다. 버퍼 절연막(84)으로는 게이트 절연막(82)과 같은 무기 절연 물질이, 유기 절연막(86)으로는 아크릴계(acryl) 화합물, 테프론(Teflon), BCB (benzocyclobutene), 사이토프(cytop) 또는 PFCB(perfluorocyclobutane) 등과 같은 유기 절연 물질이 이용된다.

그 다음, 제3 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 제1 내지 제8 컨택홀(31, 36, 44, 54, 62, 64, 72, 74)이 형성된다. 예를 들면, 유기 절연막(86)으로 포토 아크릴과 같은 감광성 유기 물질을 이용한 경우 제3 마스크를 이용한 유기 절연막(86)을 노광 및 현상 공정으로 패터닝함으로써 유기 절연막(86)에만 제1 내지 제8 컨택홀(31, 36, 44, 54, 62, 64, 72, 74)이 형성된다. 이어서, 패터닝된 유기 절연막(86)을 마스크로 이용한 건식 식각 공정으로 제1 내지 제8 컨택홀(31, 36, 44, 54, 62, 64, 72, 74)은 버퍼 절연막(84)을 경유하여 반도체 패턴(26) 또는 게이트 절연막(82)까지 연장된다. 구체적으로, 제1, 제2, 제5, 제7 컨택홀(31, 36, 62, 72) 각각은 유기 절연막(86)으로부터 버퍼 절연막(84)을 관통하여 드레인 전극(30), 스토리지 상부 전극(34), 데이터 라인(24), 제2 공통 라인(76) 각각을 노출시킨다. 이때, 소스/드레인 금속 패턴으로 Mo 등과 같이 건식 식각이 용이한 금속이 이용된 경우 제1 및 제2 컨택홀(31, 36)은 소스/드레인 금속층을 경유하여 그 아래의 반도체 패턴(26)까지 관통하게 된다. 제3, 제4, 제6, 제8 컨택홀(44, 54, 64, 74)은 유기 절연막(86)으로부터 게이트 절연막(82)까지 관통하여 게이트 패드 하부 전극(42), 데이터 패드 하부 전극(52), 데이터 링크(58), 제1 공통 라인(32) 각각을 노출시킨다.

도 7a 및 도 7b는 본 발명의 실시 예에 따른 박막 트랜지스터 기판 제조 방법 중 제4 마스크 공정을 설명하기 위한 평면도 및 단면도를 도시한 것이다.

제4 마스크 공정으로 유기 절연막(86) 위에 화소 전극(38), 게이트 패드 상부 전극(46), 데이터 패드 상부 전극(56), 제1 및 제2 컨택 전극(60, 70)을 포함하는 투명 도전 패턴이 형성된다.

구체적으로, 유기 절연막(86) 위에 스퍼터링 등의 증착 방법으로 투명 도전층이 형성된다. 투명 도전 물질로는 ITO, TO, IZO 등과 같은 투명 도전 물질이 이용된다. 이어서, 제4 마스크를 이용한 포토리소그래피 공정 및 식각 공정으로 투명 도전층이 패터닝됨으로써 화소 전극(38), 게이트 패드 상부 전극(46), 데이터 패드 상부 전극(56), 제1 및 제2 컨택 전극(60, 70)을 포함하는 투명 도전 패턴이 형성된다. 화소 전극(38)은 제1 및 제2 컨택홀(31, 36) 각각을 통해 노출된 드레인 전극(30) 및 스토리지 상부 전극(34)과 접속된다. 게이트 패드 상부 전극(46) 및 데이터 패드 상부 전극(56)은 제3 및 제4 컨택홀(44, 54) 각각을 통해 노출된 게이트 패드 하부 전극(42) 및 데이터 패드 하부 전극(52) 각각과 접속된다. 제1 컨택 전극(60)은 제5 및 제6 컨택홀(62, 64) 각각을 통해 노출된 데이터 라인(24) 및 데이터 링크(58)를 접속시킨다. 제2 컨택 전극(70)은 제7 및 제8 컨택홀(72, 74) 각각을 통해 노출된 제2 공통 라인(76) 및 제1 공통 라인(32)을 접속시킨다.

이와 같이, 본 발명의 실시 예에 따른 박막 트랜지스터 기판이 4마스크 공정으로 형성되면 액정 배향을 위한 배향막(미도시)이 화상 표시부에 도포되고, 이어서 별도로 마련된 상판과의 합착을 위한 실재(90)가 액정이 채워지는 액정 영역을 둘러싸도록 형성된다. 이때, 실재(90)의 접착력을 강화시키기 위하여 실재(90)와 유기 절연막(86)의 접촉 면적을 줄이고, 부식 방지를 위하여 배선이 노출되는 것을 방지하여야 한다. 이러한 조건을 고려하여 적용 가능한 실 영역의 수직 구조들을 살펴보면 다음과 같다.

도 8은 본 발명의 실시 예에 따른 박막 트랜지스터 기판에서 실 영역의 일부분을 확대 도시한 평면도이다. 도 9a 내지 도 9c는 도 8에 도시된 실 영역 중 V-V'선을 따른 배선 상부의 수직 구조로 적용 가능한 3가지 경우를, 도 10a 내지 도 10d는 VI-VI'선을 따른 배선 사이의 수직 구조로 적용 가능한 4가지 경우를 도시한 단면도들이다. 특히, 도 9a 내지 도 10d는 실재(90)를 통해 박막 트랜지스터 기판과 합착된 상판(100)을 부가하여 도시한 것이다.

도 8에 도시된 실재(90)는 박막 트랜지스터 기판의 게이트 링크(48) 또는 데이터 링크(58)와 같은 배선과 교차하도록 형성되어 박막 트랜지스터 기판과 상판이 합착되게 한다. 합착된 박막 트랜지스터 기판과 상판 사이의 셀갭에는 액정이 채워지고, 이러한 액정 영역은 실재(90)에 의해 밀봉된다.

여기서, 실재(90)가 형성된 실 영역 중 게이트 링크(48), 데이터 링크(58), 공통 링크와 같은 배선의 상부 구조로는 도 9a와 같이 실재(90)가 유기 절연막 없이 게이트 절연막(82)과 접촉된 제1 배선 상부 구조, 도 9b와 같이 실재(90)가 셀 외부(=비액정 영역)로부터 연장된 유기 절연막(86)의 일부와 접촉된 제2 배선 상부 구조, 도 9c와 같이 실재(90)가 셀 내부(=액정 영역) 및 셀 외부로부터 연장된 유기 절연막(86)의 일부와 접촉된 제3 배선 상부 구조가 적용 가능하다.

도 9a에 도시된 제1 배선 상부 구조에서 박막 트랜지스터 기판의 유기 절연막은 실재(90)가 게이트 절연막(82)하고만 접촉되도록 패터닝된다. 이때, 유기 절연막과 함께 그 아래의 버퍼 절연막이 패터닝되고, 게이트 절연막(82)이 노출된 부분은 실재(90) 주변의 셀 내부 및 셀 외부까지 확장된다. 이에 따라, 실재(90)는 유기 절연막과 접촉되지 않으므로 접착력이 향상되고 실재(90)와 유기 절연막의 반응으로 인한 액정(88)의 오염을 방지할 수 있게 된다. 또한, 게이트 링크(48) 또는 데이터 링크(58)와 같은 배선은 게이트 절연막(82)에 의해 보호된다.

도 9b에 도시된 제2 배선 상부 구조에서 유기 절연막(86)은 셀 외부로부터 연장된 유기 절연막(86)이 실재(90)의 일부분과 중첩되고, 셀 내부와 인접한 실재(90)의 다른 부분은 게이트 절연막(82)과 중첩되도록 패터닝된다. 여기서, 유기 절연막(86)과 함께 그 아래의 버퍼 절연막(84)이 제거되어 게이트 절연막(82)이 노출된 부분은 실 영역 주변의 셀 내부까지 확장된다. 이때, 게이트 절연막(82)이 노출되도록 유기 절연막(86)을 제거하기 위하여 에치 스타퍼(Etch Stopper) 역할을 하는 더미 패턴(92)을 이용하게 된다. 이에 따라, 실 영역에는 잔존하는 유기 절연막(86)과 중첩된 더미 패턴(92)의 일부가 남아있게 된다. 또한, 더미 패턴(92)으로 소스/드레인 금속층이 이용된 경우 그 아래에는 공정상 반도체 패턴(26)이 잔존하게 되고, 유기 절연막(86)이 패터닝된 다음 투명 도전층으로 형성된 더미 보호 패턴(94)이 더미 패턴(92) 보호를 위해 더 형성된다. 이에 따라, 실재(90)는 유기 절연막(86)과의 접촉 면적이 감소하게 되므로 접착력이 향상되고, 액정(88)과 실재(90)가 접촉되는 경계부에 유기 절연막(86)이 존재하지 않으므로 실재(90)와 유기 절연막(86)의 반응으로 인한 액정(88)의 오염을 방지할 수 있게 된다. 또한, 게이트 링크(48), 데이터 링크(58), 공통 링크와 같은 배선은 게이트 절연막(82)과, 그 위에 패터닝된 버퍼 절연막(84) 및 유기 절연막(86)에 의해 보호된다.

도 9c에 도시된 제3 배선 상부 구조에서 유기 절연막(86)은 셀 외부 및 셀 내부로부터 연장된 유기 절연막(86)의 일부분이 실재(90)와 중첩되도록 패터닝된다. 그리고, 실 영역 양측에는 잔존하는 유기 절연막(86)과 중첩된 더미 패턴(96)의 일부가 그 아래의 반도체 패턴(26)과 같이 남아있게 되고, 더미 보호 패턴(98)이 양측의 더미 패턴(96)을 보호하도록 형성된다. 이에 따라, 실재(90)는 유기 절연막(86)과의 접촉 면적이 감소하게 되므로 접촉력이 향상되고, 게이트 링크(48) 또는 데이터 링크(58)와 같은 배선은 게이트 절연막(82)과, 그 위에 패터닝된 버퍼 절연막(84) 및 유기 절연막(86)에 의해 보호된다. 또한, 실재(90)와 액정(88)이 접촉되는 경계부에 유기 절연막(86)이 존재하게 되나, 반응물을 생성하지 않는 실재(90)와 유기 절연막(86)의 재료를 이용하는 경우 그 반응물로 인한 액정(88)의 오염을 방지할 수 있게 된다.

그리고, 실재(90)가 인쇄된 실 영역 중 배선 사이 구조로는 도 10a와 같이 실재(90)가 기관(80)과 접촉된 제1 배선 사이 구조, 도 10b와 같이 실재(90)가 유기 절연막 없이 게이트 절연막(82)과 접촉된 제2 배선 사이 구조, 도 10c와 같이 실재(90)가 셀 외부로부터 연장된 유기 절연막(86)의 일부와 접촉된 제3 배선 사이 구조, 도 10d와 같이 실재(90)가 셀 내부 및 셀 외부로부터 연장된 유기 절연막(86)의 일부와 접촉된 제4 배선 사이 구조가 적용 가능하다.

도 10a에 도시된 제1 배선 사이 구조에서 유기 절연막은 실재(90)가 기관(80)하고만 접촉되도록 그 아래의 버퍼 절연막 및 게이트 절연막과 함께 패터닝된다. 이때, 기관(80)이 노출된 부분은 실재(90) 주변의 셀 내부 및 셀 외부까지 확장되게 한다.

도 10b에 도시된 제2 배선 사이 구조에서 유기 절연막과 그 아래의 버퍼 절연막은 실재(90)가 게이트 절연막(82)하고만 접촉되도록 패터닝되고, 게이트 절연막(82)이 노출된 부분은 실재(90) 주변의 셀 내부 및 셀 외부까지 확장되게 한다.

이에 따라, 제1 및 제2 배선 사이 구조에서는 실재(90)가 유기 절연막과 접촉되지 않으므로 접촉력이 향상되고 실재(90)와 유기 절연막의 반응으로 인한 액정(88)의 오염을 방지할 수 있게 된다.

도 10c에 도시된 제3 배선 상부 구조에서 유기 절연막(86)은 셀 외부로부터 연장된 유기 절연막(86)이 실재(90)의 일부분과 중첩되고, 셀 내부와 인접한 실재(90)의 다른 부분은 게이트 절연막(82)과 중첩되도록 패터닝된다. 여기서, 유기 절연막(86)과 함께 그 아래의 버퍼 절연막(84)이 제거되어 게이트 절연막(82)이 노출된 부분은 실 영역 주변의 셀 내부까지 확장된다. 그리고, 실 영역에는 잔존하는 유기 절연막(86)과 중첩된 더미 패턴(92)의 일부가 그 아래의 반도체 패턴(26)과 같이 남아있게 되고, 더미 보호 패턴(96)이 양측의 더미 패턴(94)을 보호하도록 형성된다. 이에 따라, 실재(90)는 유기 절연막(86)과의 접촉 면적이 감소하게 되므로 접촉력이 향상되고, 실재(90)와 액정(88)이 접촉되는 경계부에 유기 절연막(86)이 존재하지 않으므로 실재(90)와 유기 절연막(86)의 반응으로 인한 액정(88)의 오염을 방지할 수 있게 된다.

도 10d에 도시된 제4 배선 사이 구조에서 유기 절연막(86)은 셀 외부 및 셀 내부로부터 연장된 유기 절연막(86)의 일부분이 실재(90)와 중첩되도록 패터닝된다. 그리고, 실 영역 양측에는 잔존하는 유기 절연막(86)과 중첩된 더미 패턴(96)의 일부가 그 아래의 반도체 패턴(26)과 같이 남아있게 되고, 더미 보호 패턴(98)이 양측의 더미 패턴(96)을 보호하도록 형성된다. 이에 따라, 실재(90)는 유기 절연막(86)과의 접촉 면적이 감소하게 됨으로써 접촉력이 향상되고, 실재(90)와 액정(88)이 접촉되는 경계부에 유기 절연막(86)이 존재하게 되나, 이 경우에는 반응물을 생성하지 않는 실재(90)와 유기 절연막(86)의 재료를 선택하여 액정(88)의 오염을 방지할 수 있다.

이와 같이, 본 발명에 따른 박막 트랜지스터 기관에서 실 영역의 수직 구조로는 제1 내지 제3 배선 상부 구조와, 제1 내지 제4 배선 사이 구조를 각각 조합한 12가지의 경우가 가능해지게 된다. 이러한 12가지 경우의 실 영역 구조를 가압 가열 테스트(Pressure Cooking Test)와 고습 동작 테스트를 수행한 결과, 도 9b에 도시된 제1 배선 상부 구조와, 도 10a에 도시된 제1 배선 사이 구조 또는 도 10b에 도시된 제2 배선 사이 구조가 가장 신뢰성이 강한 구조임을 알 수 있게 되었다. 이하, 제1 배선 상부 구조와 제1 배선 사이 구조 또는 제2 배선 사이 구조가 적용된 2가지의 실 영역 구조를 구체적으로 살펴보기로 한다.

도 11은 본 발명의 제1 실시 예에 따른 박막 트랜지스터 기관의 실 영역 일부를 확대 도시한 평면도이고, 도 12는 도 11에 도시된 실 영역과 그 주변부를 V-V', VI-VI', VIIa-VIIa', VIIb-VIIb', VIIc-VIIc', VIId-VIId', VIIe-VIIe'선을 따라 절단하여 도시한 단면도이다.

구체적으로, 도 11 및 도 12에 도시된 실 영역은 전술한 제1 배선 구조와 제1 배선 사이 구조가 적용된 것이다. 도 12에서 V-V', VI-VI' 단면도는 배선 방향으로 절단한 배선부 수직 구조와 배선 사이 수직 구조를 도시한 것이고, VIIa-VIIa', VIIb-

VIIb', VIIc-VIIc', VIId-VII d', VIIe-VIIe' 단면 각각은 유기 절연막(86)이 존재하는 셀 내부, 유기 절연막(86)이 제거된 셀 내부, 유기 절연막(86)이 제거된 실 영역, 유기 절연막(86)이 존재하는 실 영역, 셀 내부의 수직 구조를 각각을 실재(90) 인쇄 방향을 따라 절단하여 도시한 것이다.

도 12 및 도 13에서 실재(90)는 박막 트랜지스터 기판에 형성된 게이트 링크(48), 데이터 링크(58), 공통 링크와 같은 배선과 교차하도록 인쇄된다.

액정이 형성되어질 셀 내부의 박막 트랜지스터 기판에는 VIIa-VIIa' 단면과 같이 배선을 공통으로 덮도록 적층된 게이트 절연막(82), 버퍼 절연막(84), 유기 절연막(86)을 포함하는 절연막이 형성된다. 이러한 셀 내부의 절연막은 실재(90)와 중첩되지 않도록 절연막의 에지부는 실재(90)와 이격된다.

셀 외부의 박막 트랜지스터 기판에는 VIIe-VIIe' 단면과 같이 배선 각각을 독립적으로 포획하도록 적층된 라인형 게이트 절연 패턴(82A), 버퍼 절연 패턴(84A), 유기 절연 패턴(86A)을 포함하는 절연 패턴이 형성된다. 이러한 셀 외부의 절연 패턴은 실재(90)의 일부분과 중첩되도록 배선을 따라 연장되어 VIId-VII d' 단면과 같이 배선을 보호하게 된다. 이들 중 게이트 절연 패턴(82A)은 실재(90)의 다른 부분과도 중첩되도록 배선을 따라 내부 절연막의 에지부까지 더 연장되어 VIIb-VIIb' 단면과 같이 배선을 보호하게 된다.

이렇게 게이트 절연 패턴(82A)만을 배선을 따라 더 연장시키기 위하여 절연막 패터닝시 에치 스타퍼로 더미 패턴(92)이 이용된다. 이러한 더미 패턴(92)에서 내부 절연막의 끝단과 중첩된 부분과, 실재(90)와 중첩된 유기 절연 패턴(86A)의 끝단과 중첩된 부분이 그 아래의 반도체 패턴(26)과 함께 잔존하게 된다. 더미 패턴(92)은 VIId-VII d' 단면과 같이 배선보다 큰 선포를 갖는다.

그리고, 잔존하는 더미 패턴(92) 및 반도체 패턴(26)의 에지부를 보호하기 위한 더미 보호 패턴(94)이 더 형성된다. 더미 보호 패턴(94)은 유기 절연 패턴(86A)보다 큰 선포(실 방향)를 갖도록 형성되므로 VIId-VII d' 단면과 같이 절연 패턴을 감싸는 형태를 갖게 된다.

그리고, 게이트 절연 패턴(82A) 사이의 영역(102)은 절연막이 모두 제거되어 VIIb-VIIb', VIIc-VIIc', VIId-VII d', VIIe-VIIe' 단면과 같이 기판(80)이 노출된 구조를 갖게 된다.

이에 따라, 실재(90)는 배선 상부에서는 셀 내부와 인접하여 노출된 게이트 절연 패턴(82A), 셀 외부와 인접하여 노출된 유기 절연 패턴(86A), 더미 보호 패턴(94)과 접촉하게 되고, 배선 사이에서는 기판(80)과 접촉하게 된다. 이 결과, 접촉력이 향상, 액정 오염 방지, 배선 보호와 같이 신뢰성을 향상시킬 수 있게 된다.

이러한 구조를 갖는 본 발명의 제1 실시 예에 따른 실 영역은 도 13a 내지 도 16b에 도시된 바와 같은 제4 마스크 공정으로 형성된다. 이러한 제4 마스크 공정은 도 4a 내지 도 7b에서 기술한 제4 마스크 공정을 이용한 것이므로 간단히 설명하기로 한다.

도 13a 및 도 13b를 참조하면, 제1 마스크 공정으로 기판(80) 위에 게이트 링크(48), 데이터 링크(58), 공통 링크와 같은 이중 구조의 배선이 형성된다.

도 14a 및 도 14b를 참조하면, 배선을 공통으로 덮는 게이트 절연막(82)이 형성되고, 그 위에 제2 마스크 공정으로 에치 스타퍼 역할을 하는 더미 패턴(92)이 그 아래의 반도체 패턴(26)과 함께 배선 각각과 중첩되도록 형성된다. 이 경우, 더미 패턴(92) 및 반도체 패턴(26)은 실 영역과 인접한 셀 내부에서부터 실 영역의 일부까지 각 배선을 따라 그 배선을 포획하도록 형성된다. 이때, 각 배선 간의 간격이 충분치 않은 경우 더미 패턴(92) 및 반도체 패턴(26)은 다수개씩의 배선을 포획하도록 형성하기도 한다.

도 15a 및 도 15b를 참조하면, 제3 마스크 공정으로 게이트 절연막(82) 위에 버퍼 절연막(84), 유기 절연막(86)이 형성된 다음 유기 절연막(86)으로부터 게이트 절연막(82)까지를 포함하는 절연막이 패터닝된다. 이에 따라, 셀 내부에는 실 영역과 이격된 절연막이 형성되고, 실 영역의 일부분으로부터 셀 외부까지는 각 배선을 독립적으로 보호하는 절연 패턴이 형성된다. 이 경우, 에치 스타퍼 역할을 하는 더미 패턴(92)이 노출되어 그 아래의 반도체 패턴(26)과 함께 제거되므로, 그 더미 패턴(92) 및 반도체 패턴(26)의 제거 부분에는 그 더미 패턴(92)의 형태로 게이트 절연 패턴(82A)이 남아 있게 된다. 이때, 게이트 절연 패턴(82A)은 배선 각각을 포획하는 더미 패턴(92) 또는 다수개씩의 배선을 포획하는 더미 패턴(92)의 형태를 따라 각 배선을 포획하거나, 다수개씩의 배선을 포획하도록 남아있게 된다. 또한, 유기막(86) 및 유기 절연 패턴(86A)의 끝단과 중첩된 더미 패턴(92)의 일부분이 반도체 패턴(26)과 함께 대칭적으로 잔존하게 된다.

구체적으로, 유기 절연막(86)까지 형성된 다음 제3 마스크를 이용한 포토리소그래피 공정으로 유기 절연막(86)이 패터닝된다. 이에 따라, 유기 절연막(86)은 실 영역과 이격되어 셀 내부에 존재하게 된다. 그리고, 실 영역의 일부분으로부터 셀 외부까지 각 배선을 감싸는 유기 절연 패턴(86A)이 형성된다. 패터닝된 유기 절연막(86) 및 유기 절연 패턴(86A)을 마스크로 이용하여 그 아래의 버퍼 절연막(84) 및 게이트 절연막(82)이 패터닝된다. 이에 따라, 셀 내부의 버퍼 절연막(84) 및 게이트 절연막(82)은 유기 절연막(86)과 같이 실 영역과 이격된다. 그리고, 실 영역 및 셀 외부에서는 유기 절연 패턴(86A)과 증착된 버퍼 절연 패턴(84A) 및 게이트 절연 패턴(82A)이 형성된다. 이때, 유기막(86) 및 유기 절연 패턴(86A) 사이로 노출된 더미 패턴(92)과 그 아래의 반도체 패턴(26)이 에치 속도를 지연시키면서 제거되므로, 그 더미 패턴(92) 및 반도체 패턴(26)의 제거 부분에는 그 형태로 각 배선 또는 다수개씩의 배선을 포획하는 게이트 절연 패턴(82A)이 남아 있게 된다. 이때, 더미 패턴(92) 및 반도체 패턴(26) 내에 핀홀이 있을 경우 그 핀홀이 게이트 절연 패턴(82A)까지 연장되어 배선이 노출되어 고습에서 장기간 사용시 부식될 수 있으므로 배선은 이중층 이상으로 형성하는 것이 바람직하다. 또한, 유기막(86) 및 유기 절연 패턴(86A)의 끝단과 증착된 더미 패턴(92)의 일부가 반도체 패턴(26)과 함께 대칭적으로 잔존하게 된다.

도 16a 및 도 16b를 참조하면, 제4 마스크 공정으로 더미 패턴(92) 및 반도체 패턴(26)의 에지를 보호하기 위한 더미 보호 패턴(94)이 형성된다. 더미 보호 패턴(94)은 투명 도전층으로 형성된다. 이러한 더미 보호 패턴(94)은 셀 내부의 화소 전극 및 컨택 전극 등을 형성하기 위한 투명 도전층의 패터닝 공정에서 더미 패턴(92) 및 반도체 패턴(26)이 노출되어 투명 도전층의 에천트에 의해 식각되는 것을 방지한다.

도 17은 본 발명의 제2 실시 예에 따른 박막 트랜지스터 기관의 실 영역 일부를 확대 도시한 평면도이고, 도 18는 도 17에 도시된 실 영역과 그 주변부를 V-V', VI-VI', VIIa-VIIa', VIIb-VIIb', VIIc-VIIc', VIId-VII'd', VIIe-VIIe'선을 따라 절단하여 도시한 단면도이다.

구체적으로, 도 17 및 도 18에 도시된 실 영역은 전술한 제1 배선 구조와 제2 배선 사이 구조가 적용된 것이다.

도 17 및 도 18에 도시된 실 영역은 도 11 및 도 12에 도시된 실 영역과 대비하여 실재(90)가 배선 사이에서도 게이트 절연 패턴(82B)과 접촉되는 것을 제외하고는 동일한 구성 요소들을 구비하므로, 중복되는 구성 요소들에 대한 설명은 생략하기로 한다.

셀 내부의 유기 절연막(86)과, 실 영역의 일부와 증착된 유기 절연 패턴(86A) 사이로 노출된 게이트 절연 패턴은 배선 상부의 제1 게이트 절연 패턴(82A)과 배선 사이의 제2 게이트 절연 패턴(82B)을 구비하고, 제1 및 제2 게이트 절연 패턴(82A, 82B)은 일체화되어 형성된다. 그리고, 제1 게이트 절연 패턴(82A)은 각 배선을 독립적으로 포획하는 유기 절연 패턴(86A)을 따라 셀 외부까지 더 연장된다. 여기서, 제2 게이트 절연 패턴(82B)은 제1 게이트 절연 패턴(82A)의 노출 부분 길이(배선 방향) 보다 작은 길이를 갖도록 형성된다. 이에 따라, 유기 절연 패턴(86A) 사이의 영역(102)은 기관(80)이 노출된 구조를 갖게 된다.

따라서, 실재(90)는 배선 상부에서는 셀 내부와 인접하여 노출된 제1 게이트 절연 패턴(82A), 셀 외부와 인접하여 노출된 유기 절연 패턴(86A), 더미 보호 패턴(94)과 접촉하게 된다. 그리고, 배선 사이에서는 셀 내부와 인접하여 노출된 제2 게이트 절연 패턴(82B), 셀 외부와 인접하여 노출된 기관(80)과 접촉하게 된다. 이 결과, 접촉력이 향상, 액정 오염 방지, 배선 보호와 같이 신뢰성을 향상시킬 수 있게 된다.

이러한 구조를 갖는 본 발명의 제2 실시 예에 따른 실 영역은 도 19a 내지 도 22b에 도시된 바와 같은 제4 마스크 공정으로 형성된다. 이러한 제4 마스크 공정은 도 4a 내지 도 7b에서 전술한 제4 마스크 공정을 이용한 것이므로 간단히 설명하기로 한다.

도 19a 및 도 19b를 참조하면, 제1 마스크 공정으로 기관(80) 위에 게이트 링크(48), 데이터 링크(58), 공통 링크와 같은 이중 구조의 배선이 형성된다.

도 20a 및 도 20b를 참조하면, 배선을 공통으로 덮는 게이트 절연막(82)이 형성되고, 그 위에 제2 마스크 공정으로 에치 스타퍼 역할을 하는 제1 및 제2 더미 패턴(92, 93)이 그 아래의 반도체 패턴(26)과 함께 형성된다. 여기서, 제1 더미 패턴(92)은 실 영역과 인접한 셀 내부에서부터 실 영역의 일부까지 배선을 따라 형성되고, 제2 더미 패턴(93)은 배선 사이에서 제1 더미 패턴(92)과 일체화되어 형성된다. 이 경우, 제1 더미 패턴(92)의 길이(배선 방향) 보다 제2 더미 패턴(93)의 길이는 작게 설정된다.

도 21a 및 도 21b를 참조하면, 제3 마스크 공정으로 게이트 절연막(82) 위에 버퍼 절연막(84), 유기 절연막(86)이 형성된 다음 유기 절연막(86)으로부터 게이트 절연막(82)까지를 포함하는 절연막이 패터닝된다. 이에 따라, 셀 내부에는 실 영역과 이격된 절연막이 형성되고, 실 영역의 일부로부터 셀 외부까지는 각 배선을 독립적으로 보호하는 절연 패턴이 형성된다. 이 경우, 에치 스타퍼 역할을 하는 제1 및 제2 더미 패턴(92, 93)이 노출되어 그 아래의 반도체 패턴(26)과 함께 제거되므로, 그 제1 및 제2 더미 패턴(92, 93) 및 반도체 패턴(26)의 제거 부분에는 각 배선을 포획하는 제1 게이트 절연 패턴(82A)과 배선의 사이의 제2 게이트 절연 패턴(82B)이 남아 있게 된다. 또한, 유기막(86) 및 유기 절연 패턴(86A)의 끝단과 중첩된 제1 더미 패턴(92)의 일부분이 반도체 패턴(26)과 함께 대칭적으로 잔존하게 된다.

도 22a 및 도 22b를 참조하면, 제4 마스크 공정으로 제1 더미 패턴(92) 및 반도체 패턴(26)의 에지를 보호하기 위한 더미 보호 패턴(94)이 투명 도전층으로 형성된다. 더미 보호 패턴(94)은 셀 내부의 화소 전극 및 컨택 전극 등을 형성하기 위한 투명 도전층의 패터닝 공정에서 제1 더미 패턴(92) 및 반도체 패턴(26)이 노출되어 투명 도전층의 에칭에 의해 식각되는 것을 방지한다.

도 23은 본 발명에 따른 유기막을 포함한 액정 패널을 개략적으로 도시한 것이고, 도 24는 도 23에 도시된 테이프 캐리어 패키지(Tape Carrier Package; 이하, TCP)(150)의 부착부를 IX-IX'선을 따라 절단한 단면을 도시한 것이다.

도 23에 도시된 액정 패널은 박막 트랜지스터 기관(110)과 상판(120)은 액정 영역을 둘러싸는 제1 실재(130)를 통해 합착되어 형성된다.

상판(120)과 비중첩된 박막 트랜지스터 기관(110)의 주변부에는 게이트 라인(22) 및 데이터 라인(24)을 구동하기 위한 구동 IC(140)가 실장된 TCP(150)가 부착된다. TCP(150)는 도 24와 같이 ACF(Anisotropic Conductive Film)(154)를 통해 게이트 패드(40) 또는 데이터 패드(미도시)를 포함하는 패드부와 부착된다. 그리고, TCP(150)와 패드부의 부착 부분은 TCP(150)의 주변을 감싸는 제2 실재(160)에 의해 밀폐된다.

액정 영역에 형성된 게이트 라인(22)은 게이트 링크(48)를 경유하여 게이트 패드(40)와 접속되고, 게이트 패드(40)는 ACF(154)를 통해 구동 IC(140)가 실장된 TCP(150)의 출력 패드(152)와 접속된다. 게이트 패드(40)는 게이트 링크(48)로부터 연장된 이중 구조의 게이트 패드 하부 전극(42)과, 게이트 패드 하부 전극(42)과 접속된 게이트 패드 상부 전극(46)을 구비한다. 이때, 게이트 패드 상부 전극(46)은 유기 절연막(86)과 버퍼 절연막(84) 및 게이트 절연막(82)을 관통하는 컨택홀을 통해 노출된 게이트 패드 하부 전극(42)과 접속된다. 이러한 게이트 패드 상부 전극(46)은 도 24와 같이 TCP(150)의 에지부와 제2 실재(160)의 에지부 사이에 위치하여 제2 실재(160)에 의해 보호되게 한다. 한편, 제1 및 제2 게이트 금속층(23, 25)이 적층된 이중 구조의 게이트 패드 하부 전극(42)에서 제2 게이트 금속층(25)으로 Mo과 같이 전식 식각이 용이한 금속이 이용된 경우 컨택홀 형성시 식각되어 제1 게이트 금속층(23)이 노출된 구조를 갖기도 한다.

데이터 라인(24)은 전술한 바와 같이 컨택 전극(미도시)을 통해 데이터 링크(58)와 접속되고, 데이터 링크(58) 및 데이터 패드(미도시)도 상기 게이트 링크(48) 및 게이트 패드(40)와 동일한 구조를 갖고 ACF(154)를 통해 TCP(150)의 출력 패드(152)와 접속된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 유기 절연막을 포함한 액정 패널 및 그 제조 방법은 실재와 교차하는 배선이 동일한 구조를 갖음으로써 균일한 셀갭을 유지할 수 있게 된다.

또한, 본 발명에 따른 유기 절연막을 포함한 액정 패널 및 그 제조 방법은 액정과 실재가 접촉하는 경계부의 유기 절연막을 제거하여 배선 상부에는 게이트 절연막이 존재하고, 배선 사이에는 게이트 절연막이 존재하거나 기관이 노출되게 한다. 이에 따라, 액정과 실재가 그의 경계부에서 유기 절연막과 접촉하지 않게 되므로 실재 및 유기 절연막의 반응으로 인한 액정 오염을 방지할 수 있고, 게이트 절연막으로 배선을 보호할 수 있게 된다. 이때, 유기 절연막은 셀 외부에서 배선을 보호할 수 있도록 존재하면서 실재와 부분 중첩되므로 실재와 유기 절연막의 접촉 면적 감소로 접착력을 향상시킬 수 있게 된다.

또한, 본 발명에 따른 유기 절연막을 포함한 액정 패널 및 그 제조 방법은 패드부에 부착된 TCP의 주변을 실재로 밀폐시키는 경우 투명 도전층으로 형성된 패드 상부 전극이 TCP의 에지부와 실재의 에지부 사이에 위치되게 함으로써 접착력을 향상시키고 패드 상부 전극을 보호할 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

배선과, 그 배선을 덮는 무기 절연막 및 유기 절연막이 적층된 제1 기판과;

상기 제1 기판과 액정을 사이에 두고 마주하는 제2 기판과;

상기 배선과 교차하도록 형성되어 상기 제1 및 제2 기판을 합착시키면서 상기 액정을 밀폐시키는 실재를 구비하고;

상기 액정과 실재의 경계부 중 상기 배선 상부에서는 상기 무기 절연막이 노출되어 상기 실재와 접촉되고,

상기 실재 외부의 배선은 상기 무기 절연막 및 유기 절연막에 의해 보호되는 것을 특징으로 하는 액정 패널.

청구항 2.

제 1 항에 있어서,

상기 액정과 실재의 경계부 중 상기 배선 사이는 상기 무기 절연막 또는 상기 제1 기판이 노출되어 상기 실재와 접촉된 것을 특징으로 하는 액정 패널.

청구항 3.

제 1 항에 있어서,

상기 무기 절연막은

상기 액정이 형성된 액정 영역에서 일체형으로 형성되고,

상기 액정 및 실재의 경계부에서 상기 배선을 따라 감싸는 라인형으로 형성된 것을 특징으로 하는 액정 패널.

청구항 4.

제 3 항에 있어서,

상기 라인형 무기 절연막은 상기 배선 각각을 독립적으로 감싸거나, 다수개씩의 배선이 포함된 배선 그룹 각각을 독립적으로 감싸도록 형성된 특징으로 하는 액정 패널.

청구항 5.

제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 라인형 무기 절연막은 상기 배선을 따라 상기 실재 외부까지 신장된 것을 특징으로 하는 액정 패널.

청구항 6.

제 3 항 및 제 4 항 중 어느 한 항에 있어서,

상기 일체형 무기 절연막은 상기 실재와 이격되고

상기 라인형 무기 절연막은 상기 배선을 따라 상기 일체형 무기 절연막까지 신장된 것을 특징으로 하는 액정 패널.

청구항 7.

제 3 항에 있어서,

상기 배선 사이에 형성되어 상기 라인형 무기 절연막과 일체화된 제2 라인형 무기 절연막을 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 8.

제 7 항에 있어서,

상기 배선 방향으로 상기 제2 라인형 무기 절연막의 길이는 상기 라인형 무기 절연막의 노출 부분의 길이 보다 작게 설정된 것을 특징으로 하는 액정 패널.

청구항 9.

제 1 항에 있어서,

상기 유기 절연막은

상기 액정이 형성된 액정 영역에서 일체형으로 형성되고,

상기 실재 외부에서 상기 배선을 감싸는 라인형으로 형성된 것을 특징으로 하는 액정 패널.

청구항 10.

제 9 항에 있어서,

상기 라인형 유기 절연막은 상기 실재의 일부분과 중첩되도록 그 실재의 내부 쪽으로 더 연장된 것을 특징으로 하는 액정 패널.

청구항 11.

제 10 항에 있어서,

상기 유기 절연막 및 무기 절연막 패터닝시 상기 무기 절연막의 노출 부분을 식각 방지하면서 제거된 더미 패턴이 상기 일체형 유기 절연막의 끝단과, 상기 실재와 중첩된 상기 라인형 유기 절연막의 끝단과 각각 중첩되어 잔존하는 것을 특징으로 하는 액정 패널.

청구항 12.

제 11 항에 있어서,

상기 더미 패턴은 상기 배선의 상부에만 잔존하는 것을 특징으로 하는 액정 패널.

청구항 13.

제 11 항에 있어서,

상기 잔존하는 더미 패턴과 중첩된 반도체 패턴과;

상기 잔존하는 더미 패턴을 보호하기 위한 더미 보호 패턴을 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 14.

제 10 항에 있어서,

상기 더미 보호 패턴은 상기 유기 절연막의 에지부와 같이 노출된 상기 더미 패턴의 에지부를 감싸는 투명 도전층으로 형성되고,

상기 더미 보호 패턴 중 상기 실재와 중첩된 더미 보호 패턴은 그 실재 내부에만 위치하는 것을 특징으로 하는 액정 패널.

청구항 15.

제 1 항에 있어서,

상기 유기 절연막과 무기 절연막 사이에 상기 유기 절연막과 동일한 형태로 형성된 제2 무기 절연막을 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 16.

제 1 항에 있어서,

상기 배선은

상기 제1 기관의 액정 영역에 형성된 게이트 라인과, 상기 실재의 외부에 형성된 게이트 패드와, 상기 게이트 라인 및 게이트 패드를 연결시키는 게이트 링크와,

상기 게이트 라인과 교차하는 데이터 라인과, 상기 실재의 외부에 형성된 데이터 패드와, 상기 데이터 라인 및 데이터 패드를 연결시키는 데이터 링크를 구비하는 것을 특징으로 하는 액정 패널.

청구항 17.

제 16 항에 있어서,

상기 실재는

동일층에 형성된 상기 게이트 링크 및 상기 데이터 링크와 교차하도록 형성된 것을 특징으로 하는 액정 패널.

청구항 18.

제 17 항에 있어서,

상기 게이트 링크 및 상기 데이터 링크는 상기 게이트 라인과 함께 적어도 이중 구조로 적층된 도전층으로 형성된 것을 특징으로 하는 액정 패널.

청구항 19.

제 17 항에 있어서,

상기 게이트 패드 및 데이터 패드 각각은

해당 링크로부터 연장된 패드 하부 전극과;

상기 유기 절연막 및 상기 무기 절연막을 관통하는 컨택홀을 통해 상기 패드 하부 전극과 접속된 패드 상부 전극을 구비하는 것을 특징으로 하는 액정 패널.

청구항 20.

제 17 항에 있어서,

상기 무기 절연막 위에 형성된 상기 데이터 라인의 일부를 노출시키는 컨택홀과; 상기 무기 절연막 아래에 형성된 상기 데이터 링크의 일부를 노출시키는 컨택홀을 경유하여 상기 데이터 라인 및 데이터 링크를 접속시키는 컨택 전극을 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 21.

제 17 항에 있어서,

상기 배선은

상기 액정 영역에 형성된 공통 라인과, 상기 실재의 외부에 형성된 공통 패드와, 상기 공통 라인 및 공통 패드를 접속시키는 공통 링크를 추가로 구비하고,

상기 공통 패드는 상기 게이트 패드 및 데이터 패드와 동일한 수직 구조로 형성되며,

상기 배선은 상기 게이트 링크 및 데이터 링크와 동일층에 형성된 공통 링크와 교차하는 것을 특징으로 하는 액정 패널.

청구항 22.

제 21 항에 있어서,

상기 공통 라인은 상기 게이트 라인과 나란하게 상기 무기 절연막 아래에 형성된 제1 공통 라인과, 상기 무기 절연막 위에 형성되어 상기 게이트 라인과 교차하는 제2 공통 라인을 구비하고,

상기 제1 및 제2 공통 라인 각각을 노출시키는 콘택홀을 통해 상기 제1 및 제2 공통 라인을 접속시키는 제1 콘택 전극과;

상기 제2 공통 라인과 상기 공통 링크 각각을 노출시키는 콘택홀을 통해 상기 제2 공통 라인과 공통 링크를 접속시키는 제2 콘택 전극을 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 23.

제 19 항에 있어서,

상기 게이트 라인 및 데이터 라인 중 적어도 어느 한 라인을 구동하기 위한 구동 회로가 실장되어 상기 게이트 패드 및 데이터 패드 중 적어도 한 패드를 포함하는 패드부와 이방 도전성 필름을 통해 부착된 테이프 캐리어 패키지(이하, TCP)와;

상기 TCP 주변을 감싸며 상기 TCP와 패드부의 부착 부분을 밀폐시키는 제2 실재를 추가로 구비하는 것을 특징으로 하는 액정 패널.

청구항 24.

제 17 항에 있어서,

상기 패드 상부 전극의 에지부가 상기 TCP의 에지부와 상기 실재의 에지부 사이에 위치하는 것을 특징으로 하는 액정 패널.

청구항 25.

제1 기판에 배선과, 그 배선을 덮는 무기 절연막을 형성하고, 그 위에 유기 절연막을 형성하는 단계와;

상기 배선과 교차하도록 형성된 실재를 이용하여 상기 제1 기판을 별도로 마련된 제2 기판과 합착시키고, 그 제1 및 제2 기판 사이에 형성된 액정을 밀봉하는 단계를 포함하고;

상기 유기 절연막을 형성하는 단계는,

상기 액정과 실재의 경계부 중 상기 배선 상부에서 상기 무기 절연막이 노출되어 실재와 접촉되고, 상기 실재 내부 및 외부의 배선은 상기 무기 절연막 및 유기 절연막에 의해 보호되도록 상기 유기 절연막 및 무기 절연막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 26.

제 25 항에 있어서,

상기 절연막 패터닝 단계는

상기 액정과 실재의 경계부 중 상기 배선 사이는 상기 무기 절연막이 노출되게 하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 27.

제 25 항에 있어서,

상기 절연막 패터닝 단계는

상기 액정과 실재의 경계부 중 상기 배선 사이는 상기 제1 기판이 노출되게 하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 28.

제 25 항에 있어서,

상기 절연막 패터닝 단계는

상기 무기 절연막이 상기 액정이 형성된 액정 영역에서 일체형으로, 상기 액정 및 실재의 경계부에서 상기 배선을 따라 감싸는 라인형으로 형성되게 하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 29.

제 25 항에 있어서,

상기 절연막 패터닝 단계는

상기 유기 절연막이 상기 액정이 형성된 액정 영역에서 일체형으로 형성되고, 상기 실재 외부에서 상기 배선을 감싸는 라인형으로 형성되게 하는 것을 포함하는 특징으로 하는 액정 패널의 제조 방법.

청구항 30.

제 25 항에 있어서,

상기 유기 절연막을 형성하기 이전에 상기 무기 절연막 상에, 상기 절연막 패터닝 단계에서 상기 무기 절연막이 노출되어 질 부분이 식각 방지되게 하는 더미 패턴을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 31.

제 25 항에 있어서,

상기 유기 절연막과 무기 절연막 사이에 상기 유기 절연막과 동일한 형태로 형성된 제2 무기 절연막을 형성하는 단계를 추가로 구비하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 32.

제 25 항에 있어서,

상기 배선을 형성하는 단계는

상기 제1 기판 상에 상기 액정 영역에 위치하는 게이트 라인, 상기 실재의 외부에 위치하는 게이트 패드 하부 전극, 그 게이트 라인 및 게이트 패드 하부 전극을 연결시키는 게이트 링크를 형성하는 단계와;

상기 절연막 패터닝시 상기 게이트 패드 하부 전극을 노출시키는 단계와;

상기 노출된 게이트 패드 하부 전극과 접속된 게이트 패드 상부 전극을 형성하는 단계를 포함하고,

상기 실재는 상기 게이트 링크와 교차하게 하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 33.

제 32 항에 있어서,

상기 배선을 형성하는 단계는

상기 제1 기판 상에 상기 실재의 외부에 위치하는 데이터 패드 하부 전극, 그 데이터 패드 하부 전극과 접속된 데이터 링크를 형성하는 단계와;

상기 무기 절연막 위에 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계와;

상기 절연막 패터닝시 상기 데이터 패드 하부 전극을 노출시키고, 상기 데이터 라인 및 데이터 링크 각각의 일부를 노출시키는 단계와;

상기 노출된 데이터 패드 하부 전극과 접속된 데이터 패드 상부 전극과, 상기 노출된 데이터 라인 및 데이터 링크를 접속시키는 컨택 전극을 형성하는 단계를 추가로 포함하고,

상기 실재는 상기 데이터 링크와 교차하게 하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 34.

제 32 항에 있어서,

상기 배선을 형성하는 단계는

상기 제1 기판 상에 상기 액정 영역에서 상기 게이트 라인과 나란하게 위치하는 제1 공통 라인, 상기 실재의 외부에 위치하는 공통 패드 하부 전극, 그 공통 패드 하부 전극과 접속된 공통 링크를 형성하는 단계와;

상기 무기 절연막 위에 상기 게이트 라인과 교차하는 제2 공통 라인을 형성하는 단계와;

상기 절연막 패터닝시 상기 공통 패드 하부 전극을 노출시키고, 상기 제1 및 제2 공통 라인의 일부와, 상기 제2 공통 라인 및 공통 링크의 일부를 각각 노출시키는 단계와;

상기 노출된 공통 패드 하부 전극과 접속된 공통 패드 상부 전극, 상기 노출된 제1 및 제2 공통 라인을 접속시키는 제1 콘택 전극, 상기 노출된 제2 공통 라인 및 공통 링크를 접속시키는 제2 콘택 전극을 형성하는 단계를 추가로 포함하고,

상기 실재는 상기 공통 링크와 교차하게 하는 것을 특징으로 하는 액정 패널의 제조 방법.

청구항 35.

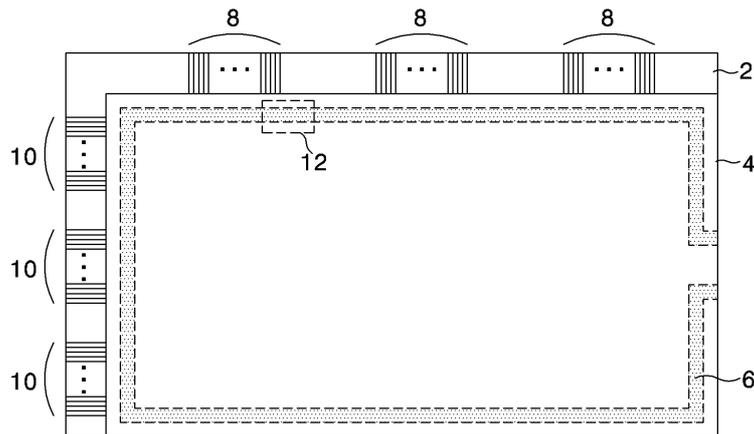
제 33 항에 있어서,

상기 게이트 라인 및 데이터 라인 중 적어도 어느 한 라인을 구동하기 위한 구동 회로가 실장된 TCP를, 상기 게이트 패드 및 데이터 패드 중 적어도 한 패드를 포함하는 패드부와 이방 도전성 필름을 통해 부착하는 단계와;

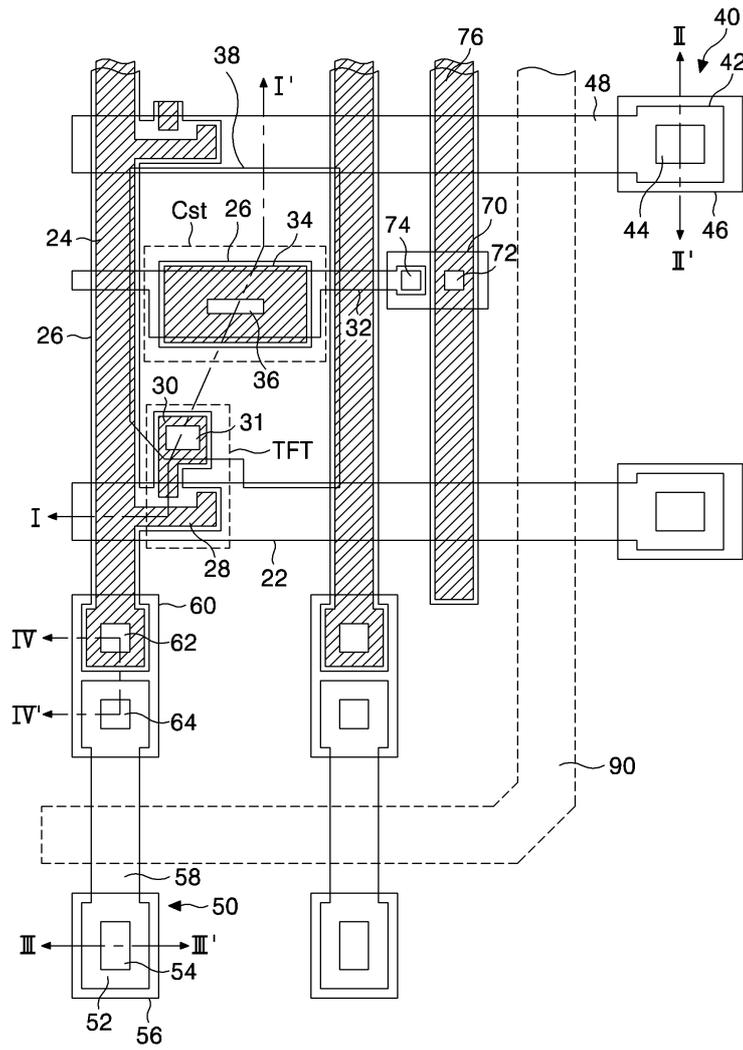
상기 TCP와 패드부의 부착 부분을 그 TCP를 감싸는 제2 실재로 밀폐시키는 단계를 추가로 포함하는 것을 특징으로 하는 액정 패널의 제조 방법.

도면

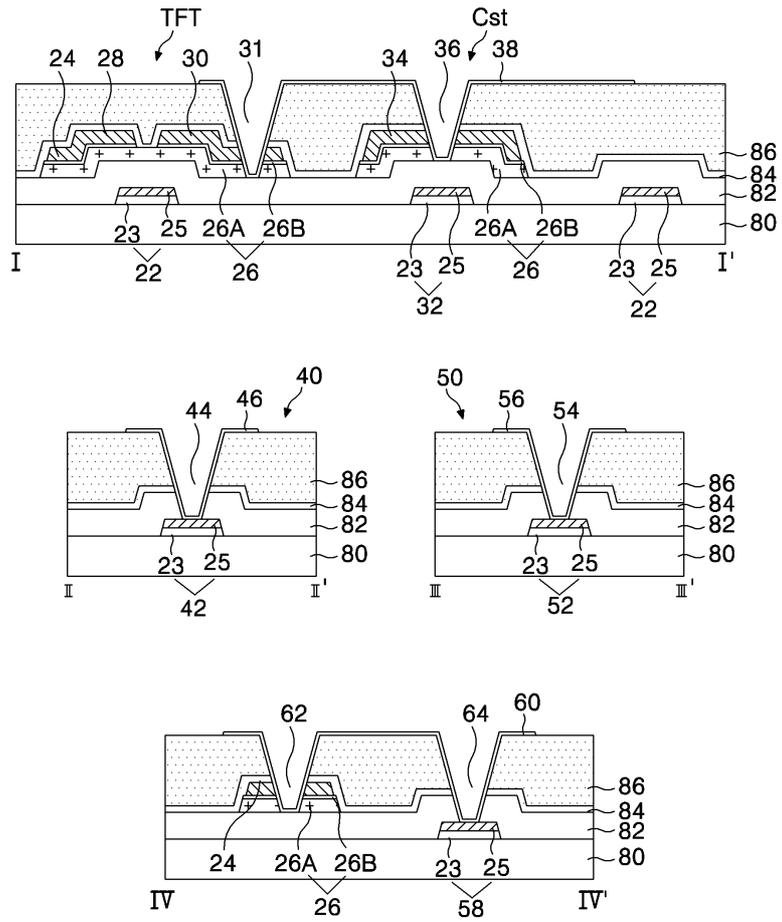
도면1



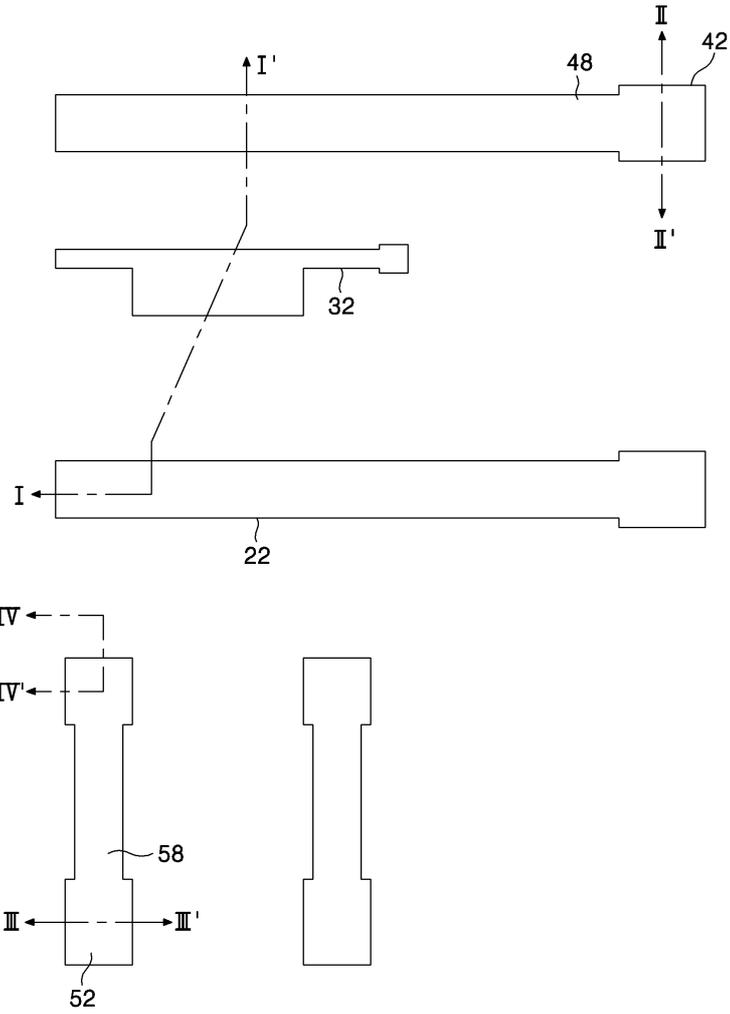
도면2



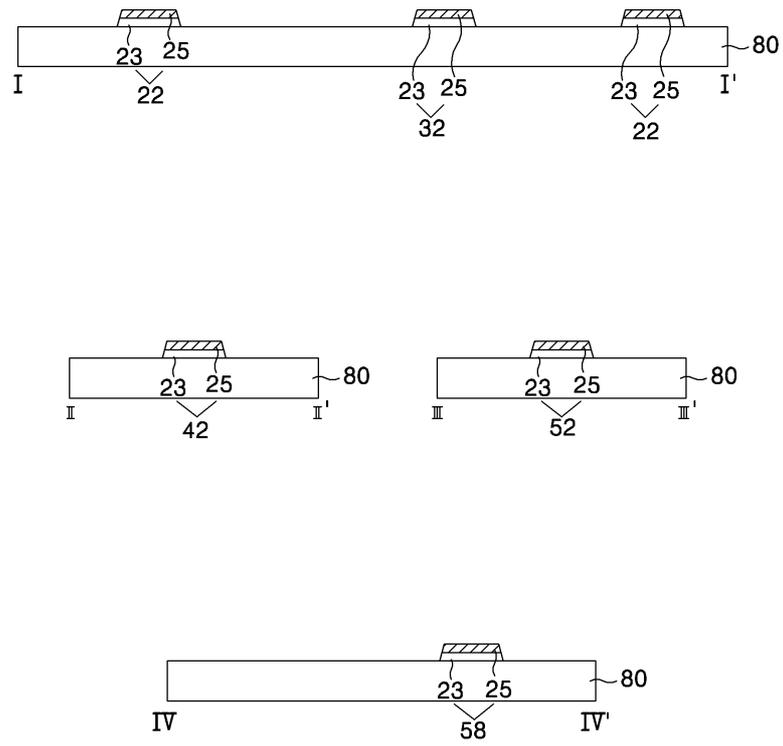
도면3



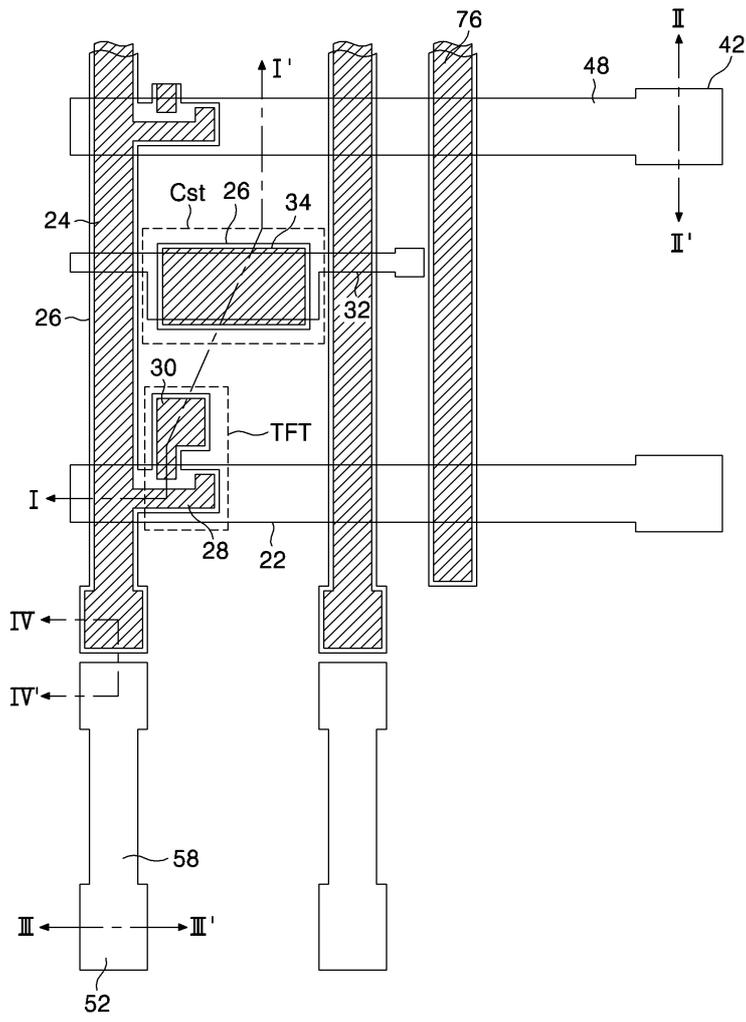
도면4a



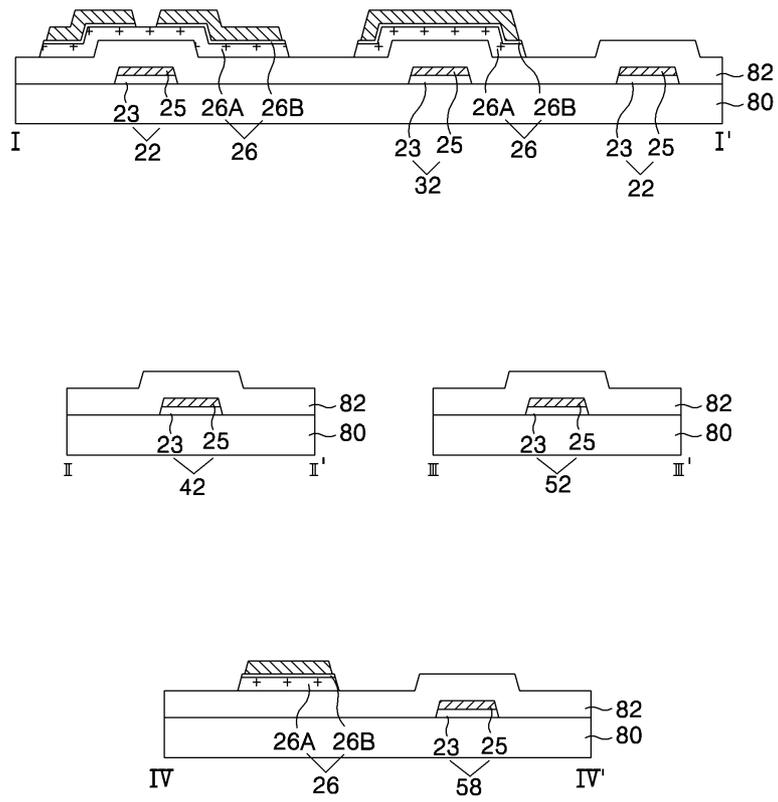
도면4b



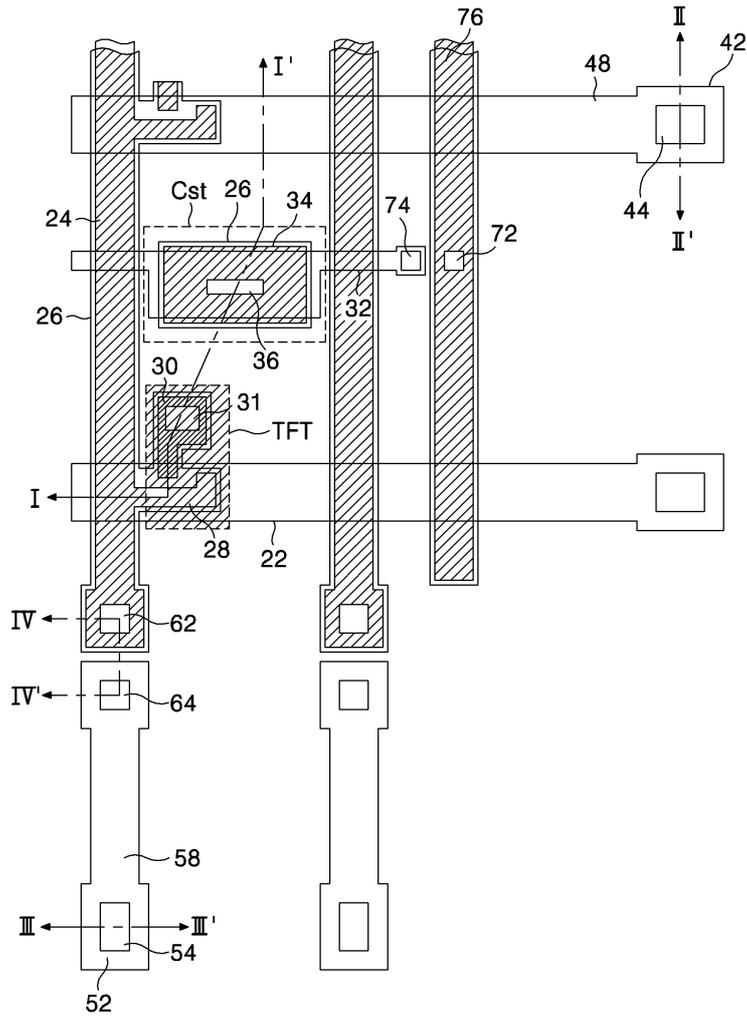
도면5a



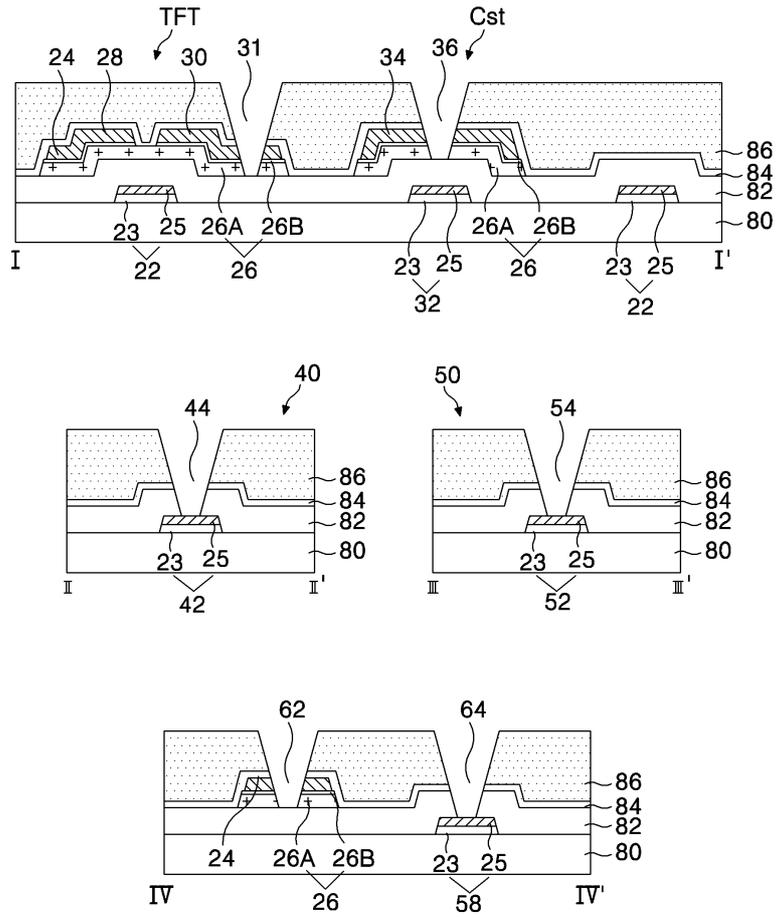
도면5b



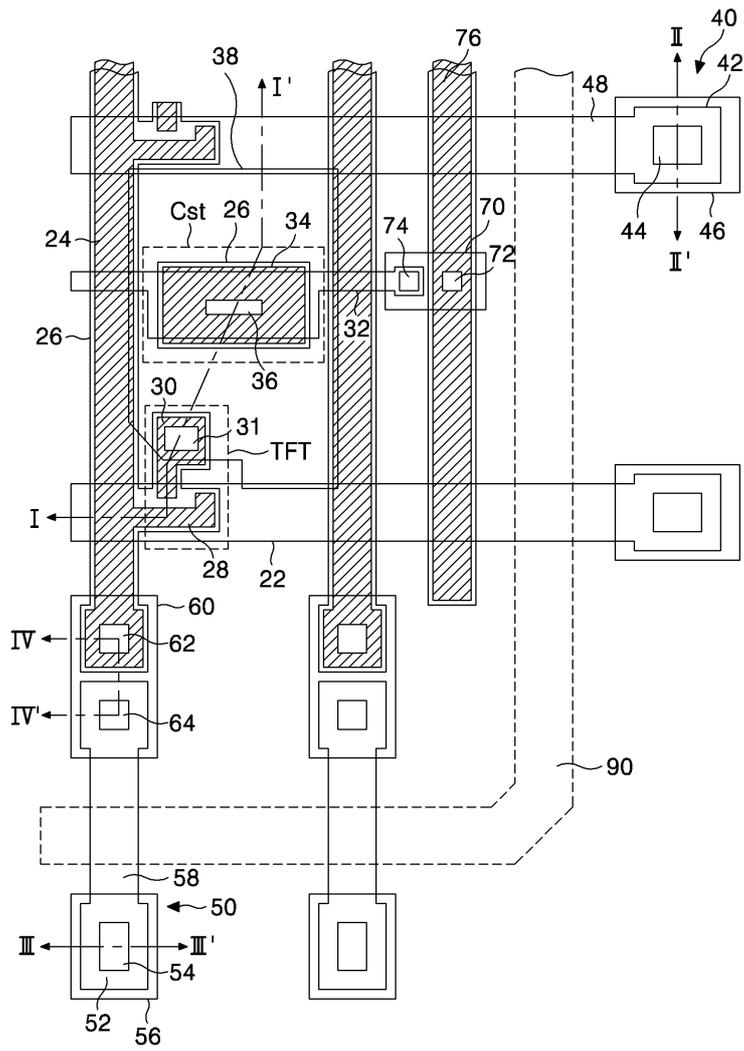
도면6a



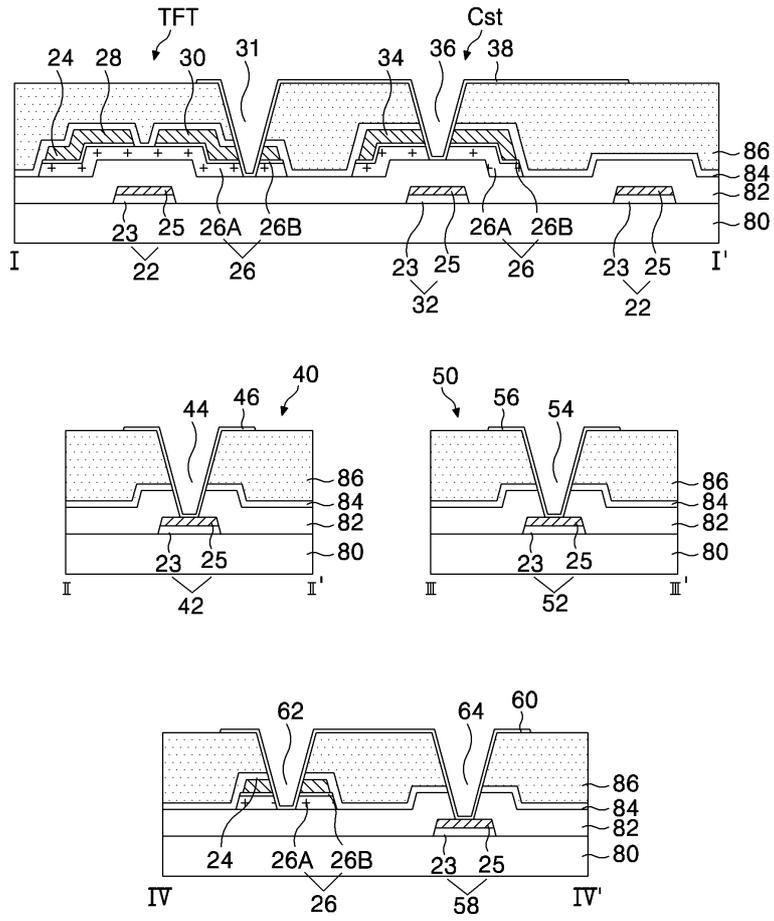
도면6b



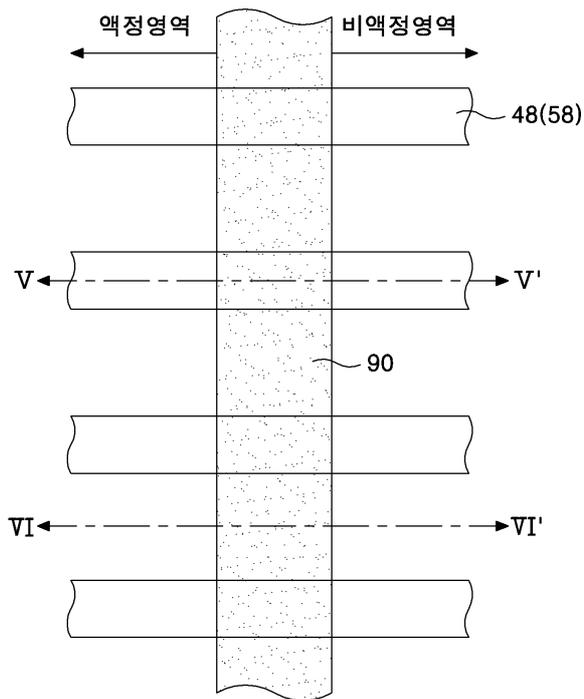
도면7a



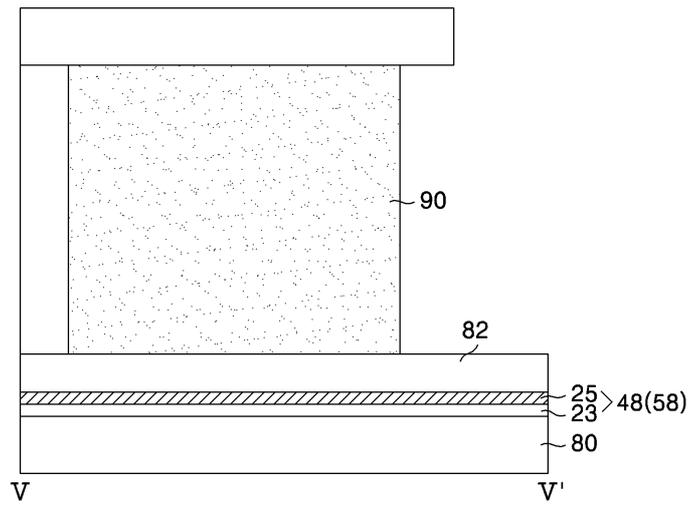
도면7b



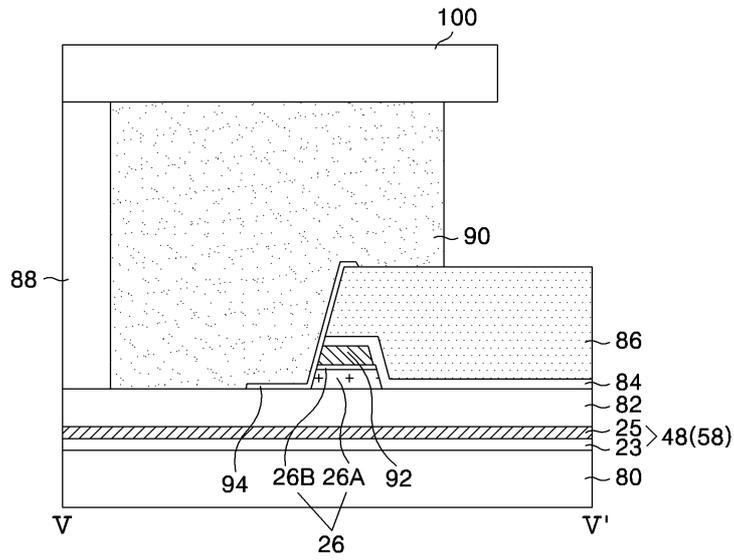
도면8



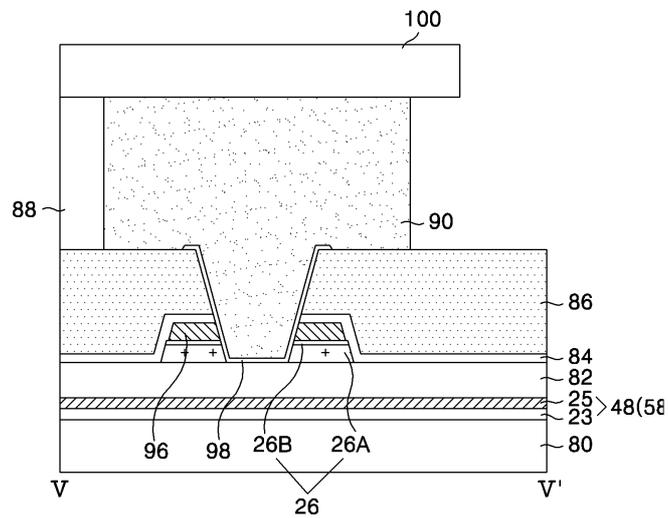
도면9a



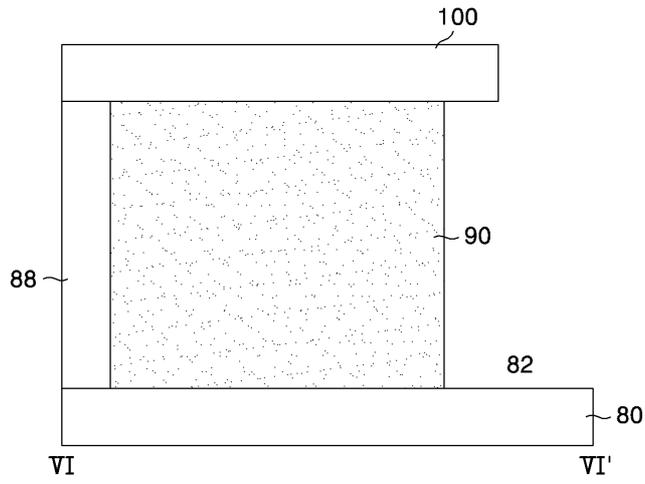
도면9b



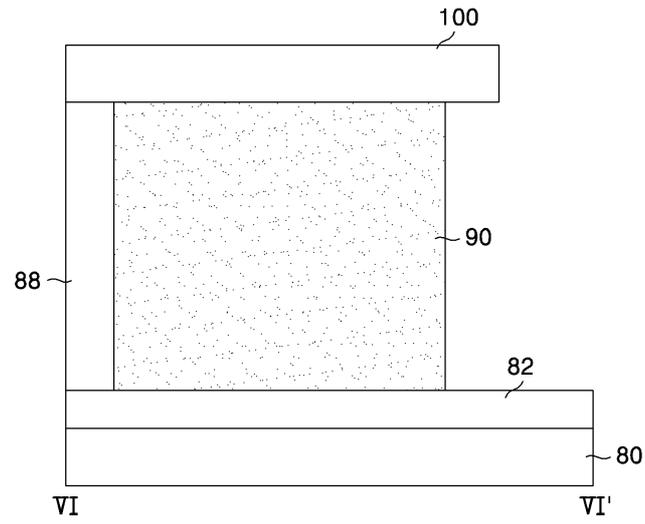
도면9c



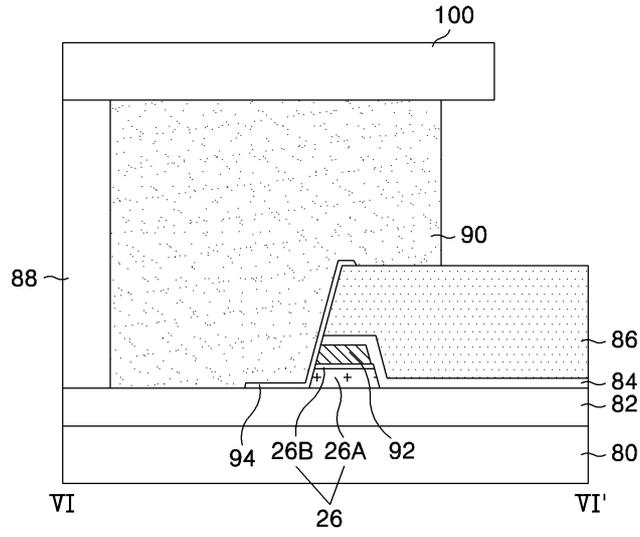
도면10a



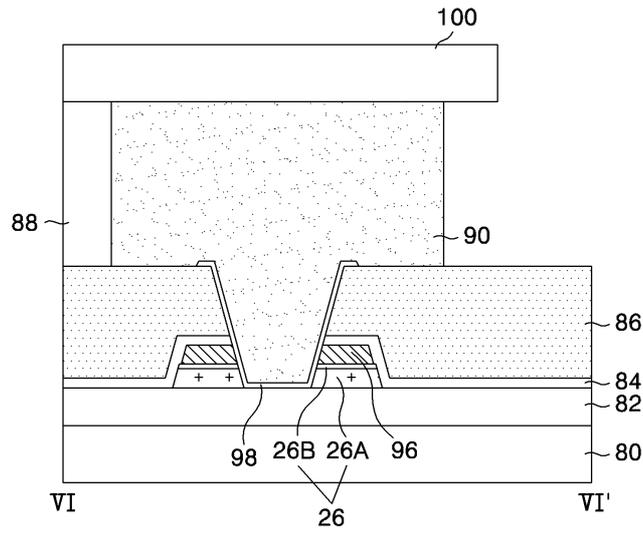
도면10b



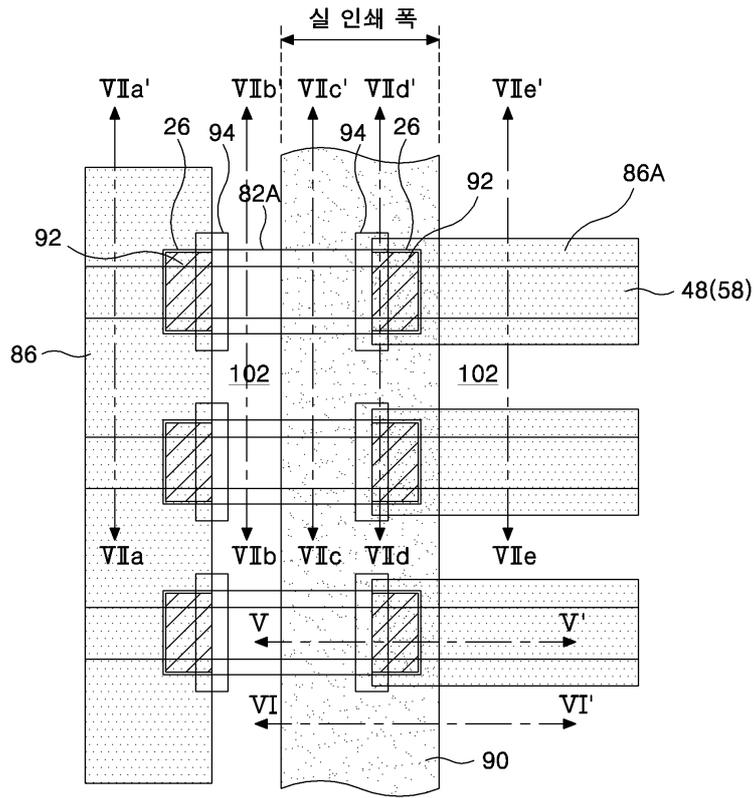
도면10c



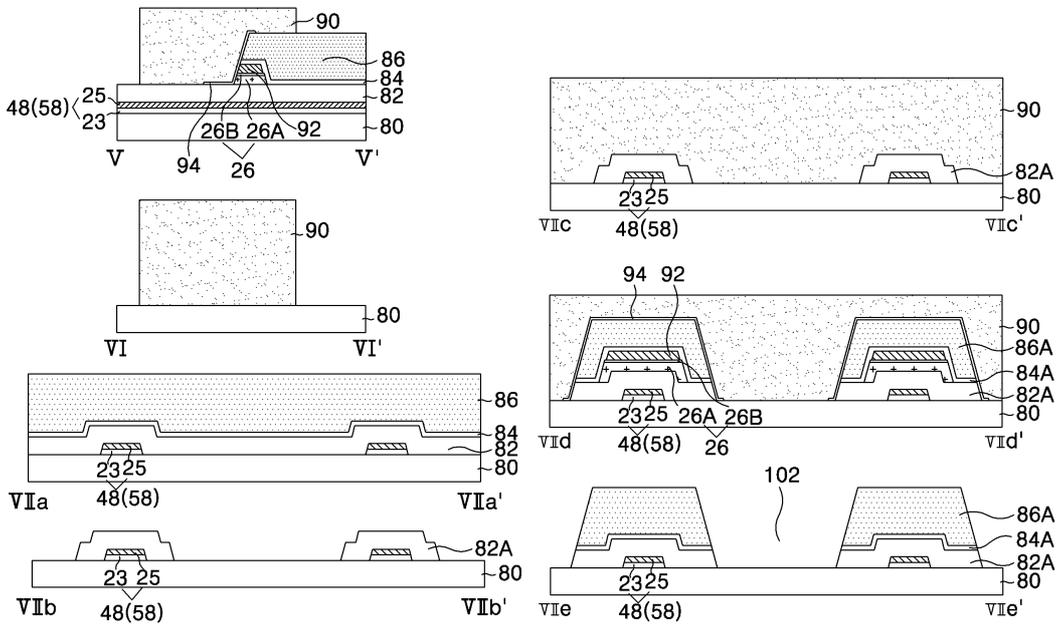
도면10d



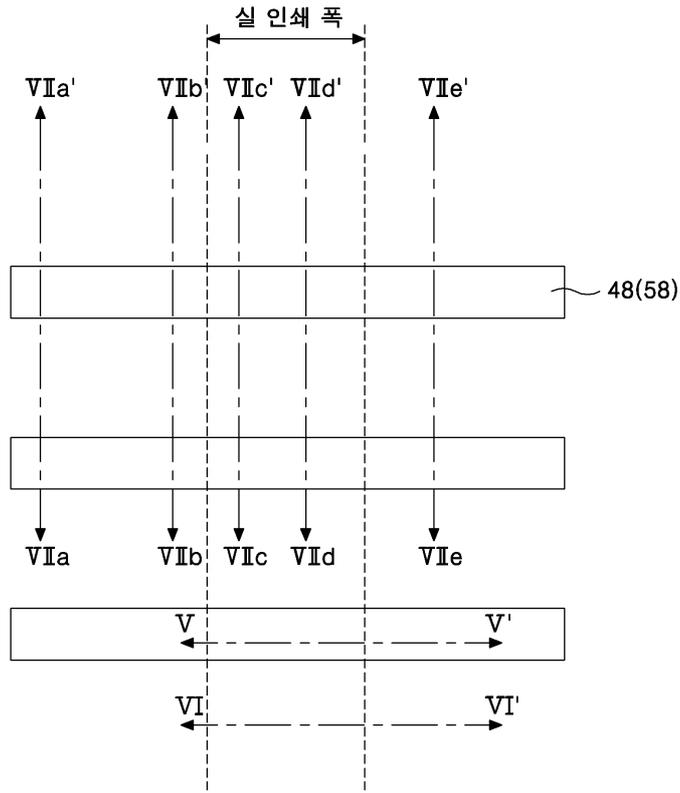
도면11



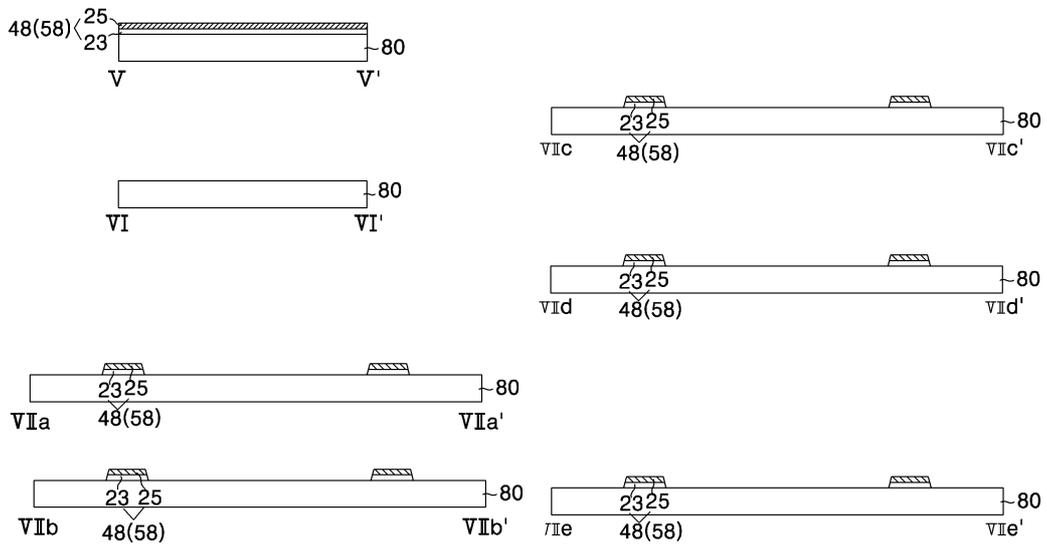
도면12



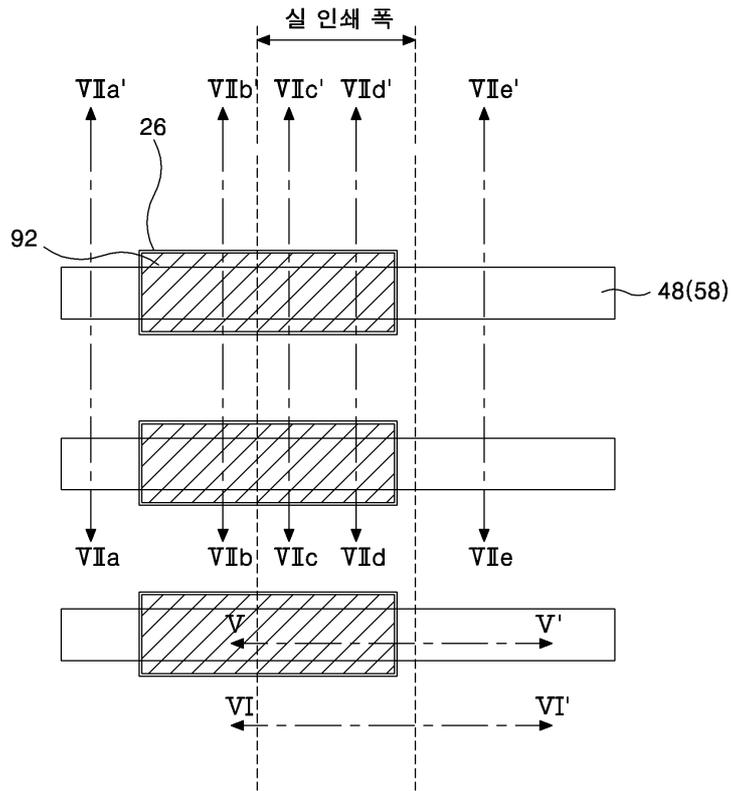
도면13a



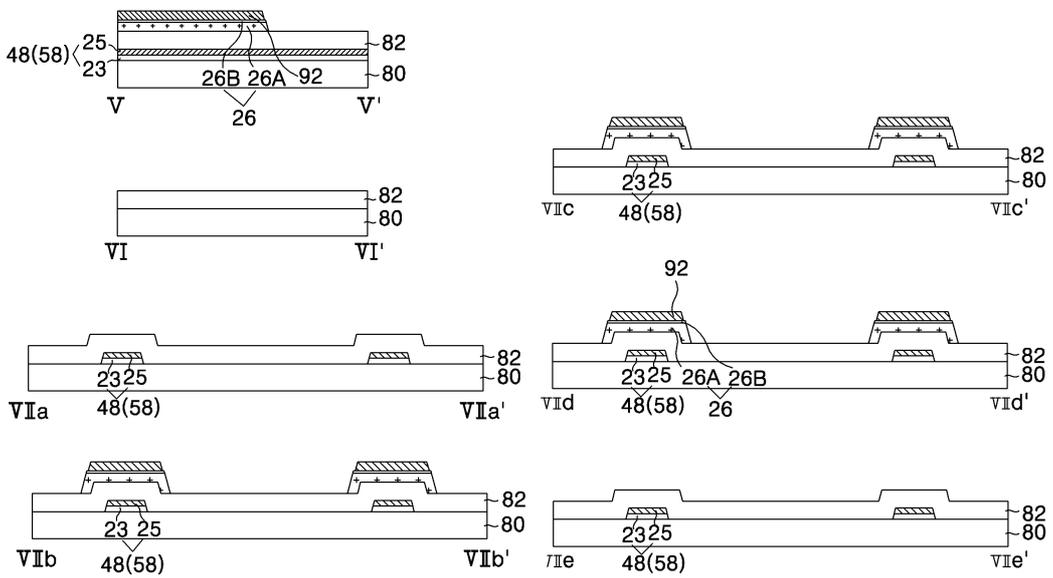
도면13b



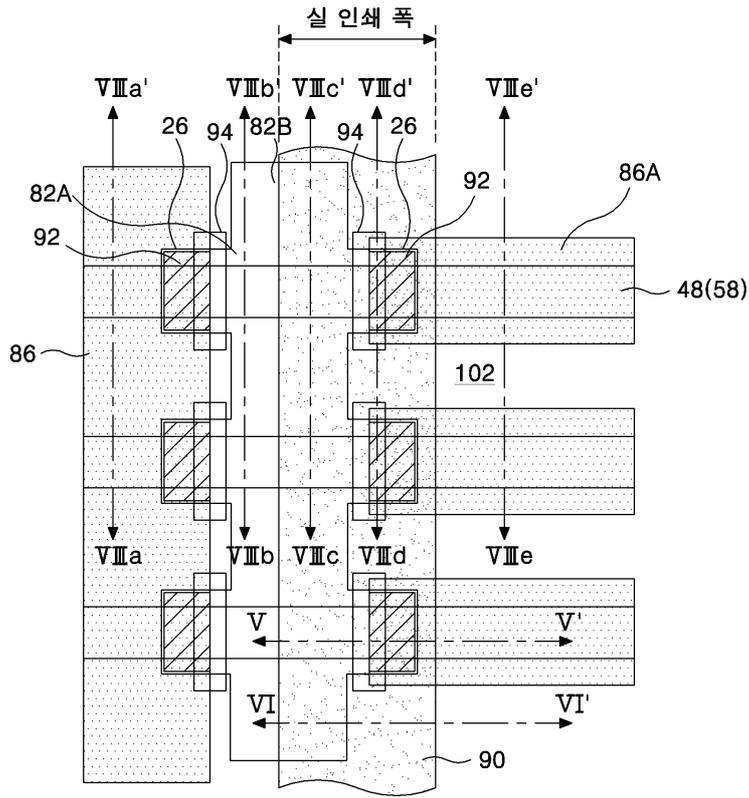
도면14a



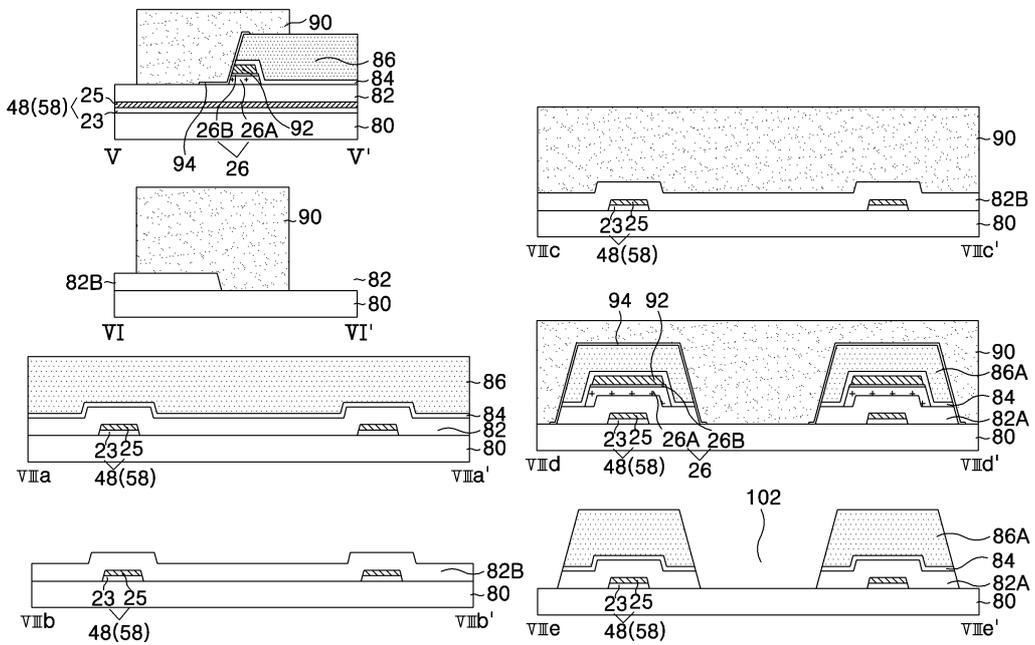
도면14b



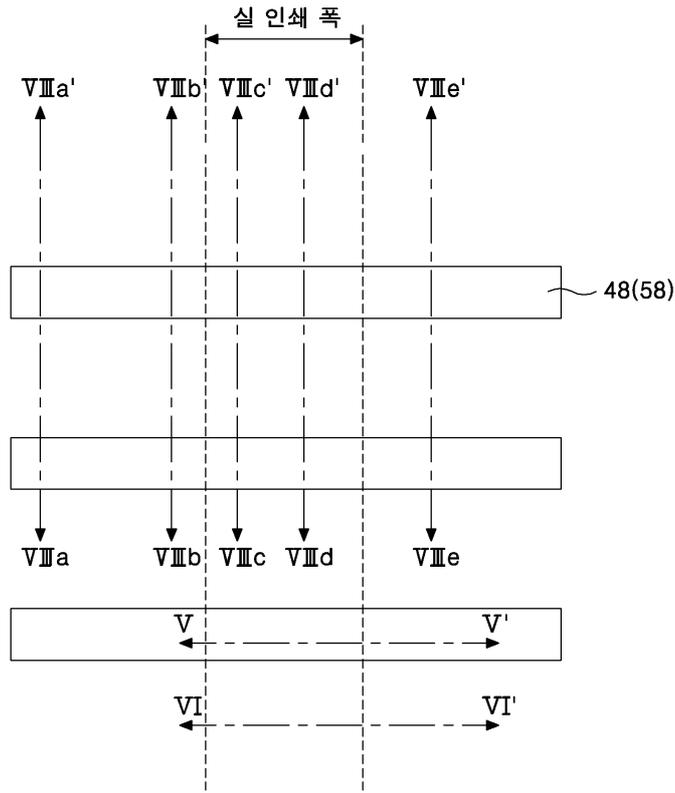
도면17



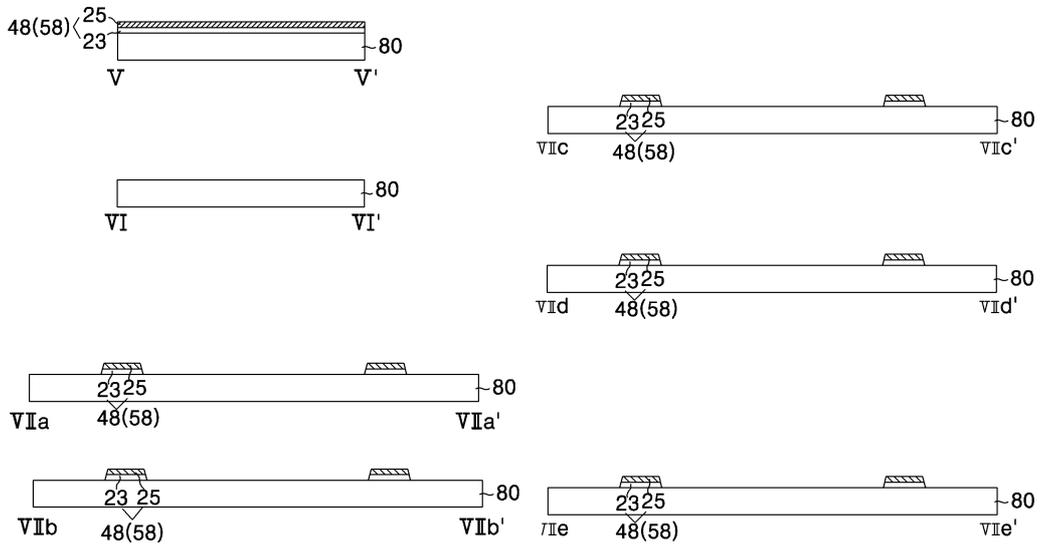
도면18



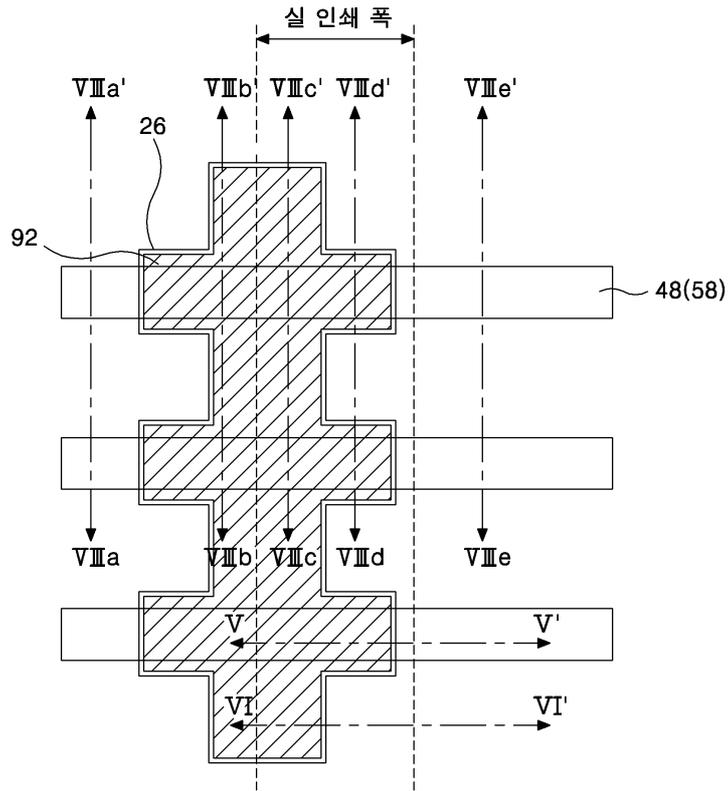
도면19a



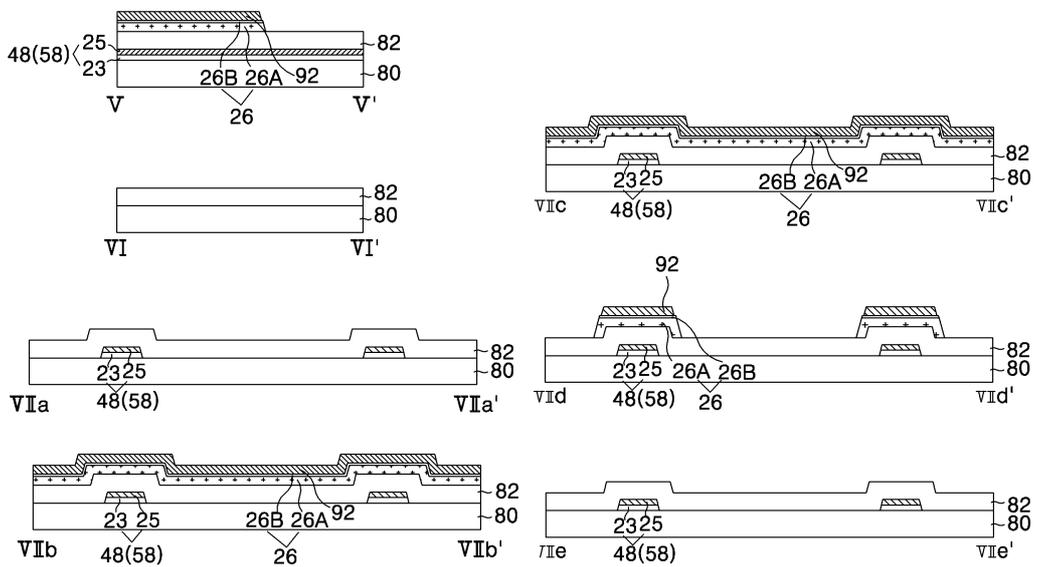
도면19b



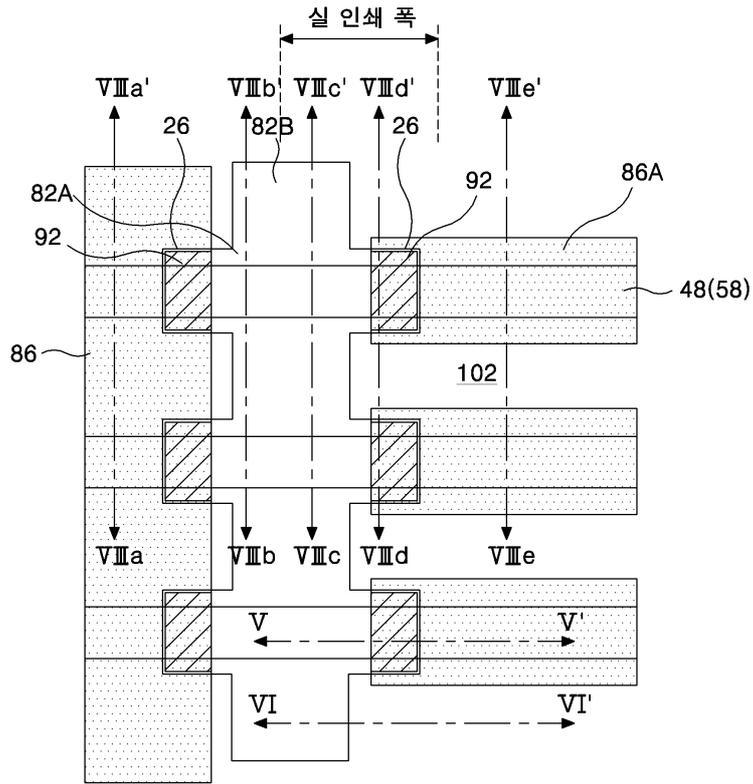
도면20a



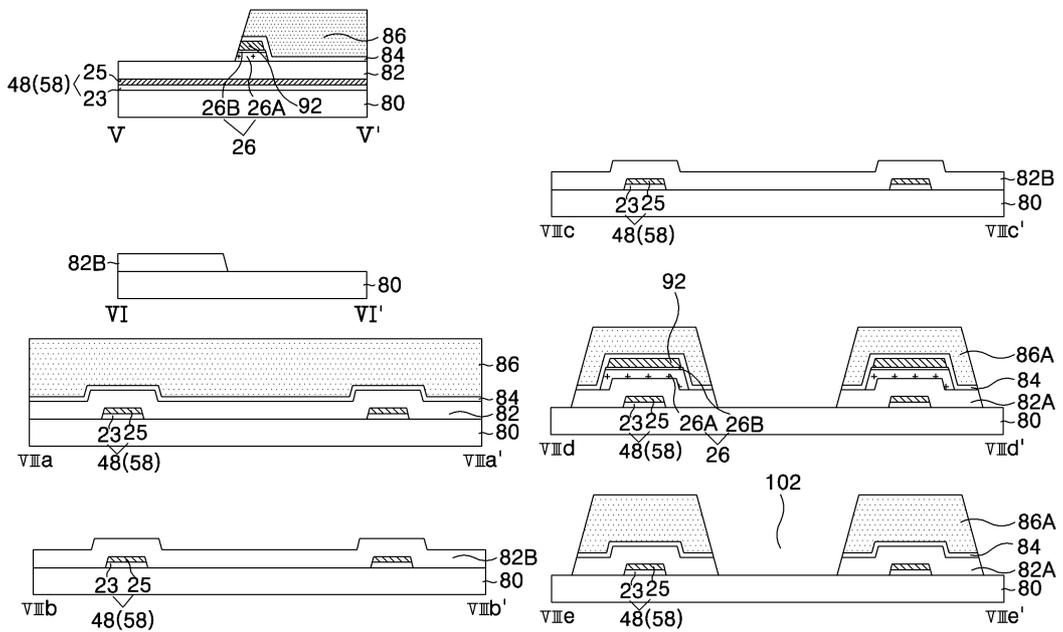
도면20b



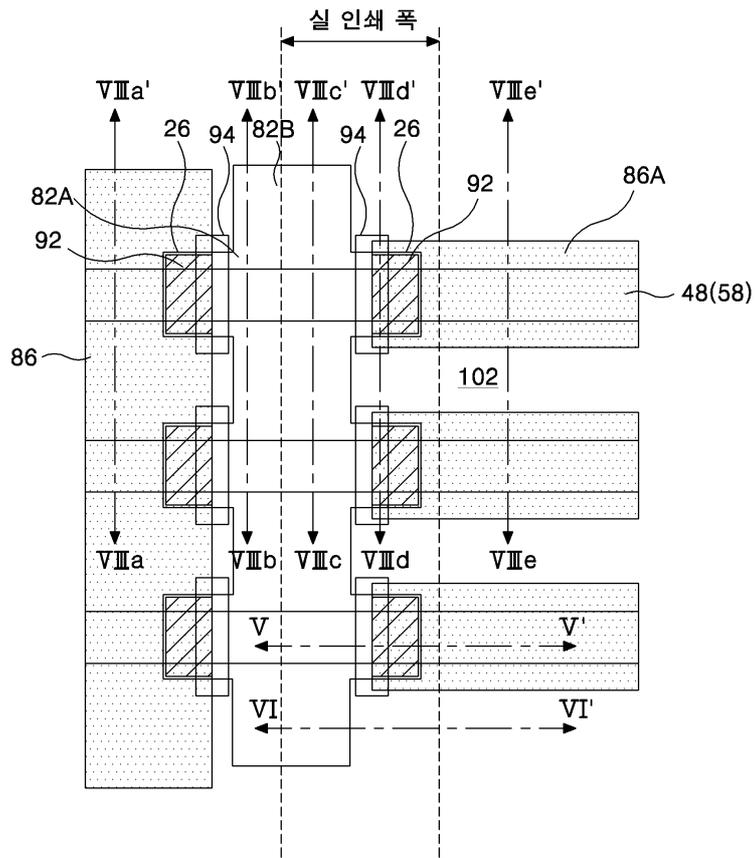
도면21a



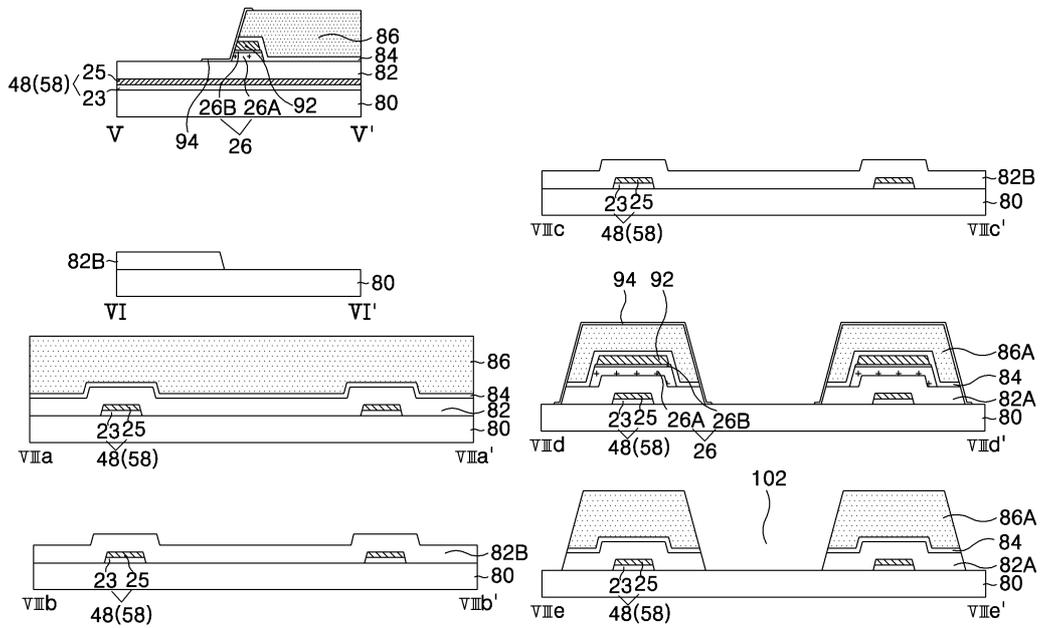
도면21b



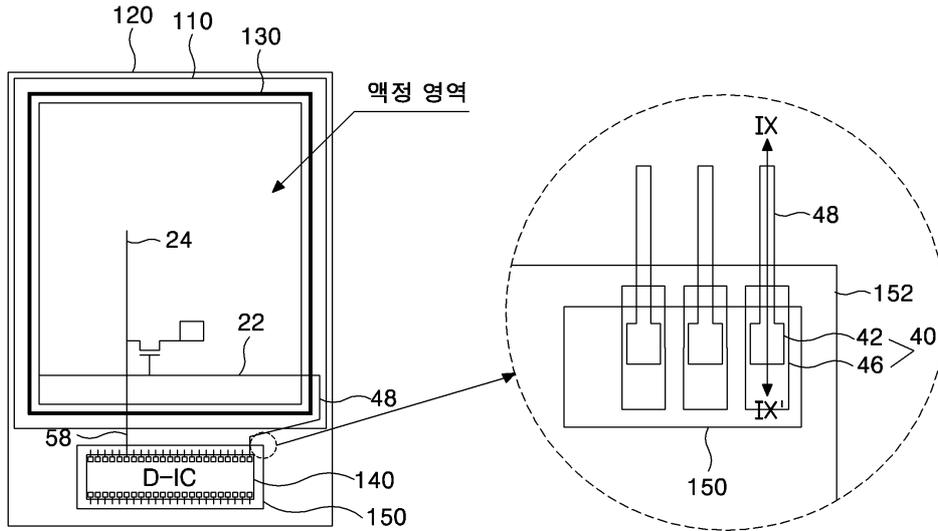
도면22a



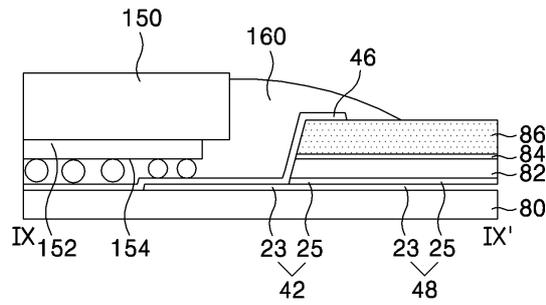
도면22b



도면23



도면24



专利名称(译)	包括有机绝缘膜的液晶面板及其制造方法		
公开(公告)号	KR1020060000961A	公开(公告)日	2006-01-06
申请号	KR1020040049954	申请日	2004-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN BYUNGCHUL		
发明人	AHN,BYUNGCHUL		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/136286 G02F1/133345 G02F1/1339 G02F1/1345		
其他公开文献	KR101116817B1		
外部链接	Espacenet		

摘要(译)

用途：提供LCD（液晶显示器）及其制造方法，通过去除密封剂之间的有机绝缘层，防止由密封剂和有机绝缘层反应引起的LCD污染和液晶层。

