



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년02월05일

(11) 등록번호 10-1358219

(24) 등록일자 2014년01월27일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0139120

(22) 출원일자 2006년12월29일

심사청구일자 2011년12월27일

(65) 공개번호 10-2008-0062931

(43) 공개일자 2008년07월03일

(56) 선행기술조사문헌

KR1020020083361 A*

KR1020000055321 A*

KR1020060126059 A

KR1020020055999 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김민석

서울특별시 서초구 방배로22길 12, A동 302호 (방배동)

(74) 대리인

박장원

전체 청구항 수 : 총 9 항

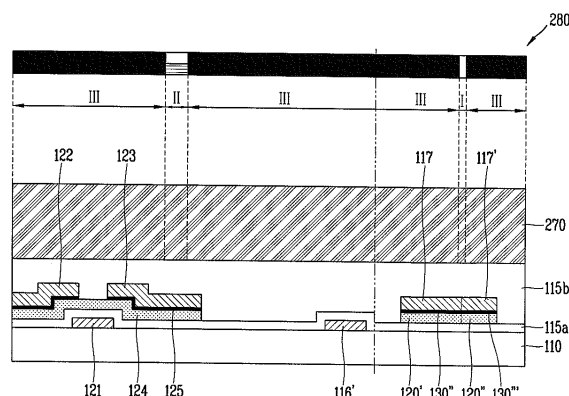
심사관 : 김선근

(54) 발명의 명칭 액정표시장치의 제조방법

(57) 요약

본 발명의 액정표시장치의 제조방법은 화소전극 콘택홀을 형성할 때 하프-톤 마스크를 이용하여 데이터라인에 형성된 불량패턴을 상기 데이터라인으로부터 분리시킴으로써 마스크공정이나 레이저 리페어(repair)-공정의 추가 없이 자동으로 데이터라인의 리페어를 진행하기 위한 것으로, 제 1 기판을 제공하는 단계; 상기 제 1 기판 위에 게이트전극과 게이트라인을 형성하는 단계; 상기 게이트전극과 게이트라인을 형성된 제 1 기판 위에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막이 형성된 제 1 기판 위에 액티브패턴과 소오스/드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 액티브패턴과 소오스/드레인전극 및 데이터라인이 형성된 제 1 기판 위에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막의 일부영역을 선택적으로 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하며, 상기 제 2 절연막과 상기 데이터라인의 측면에 형성된 불량패턴의 일부영역을 선택적으로 제거하여 상기 불량패턴을 상기 데이터라인으로부터 분리시켜 전기적으로 절연시키는 분리홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

대표도 - 도6b



특허청구의 범위

청구항 1

제 1 기판을 제공하는 단계;

상기 제 1 기판 위에 게이트전극과 게이트라인을 형성하는 단계;

상기 게이트전극과 게이트라인을 형성된 제 1 기판 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막이 형성된 제 1 기판 위에 액티브패턴과 소오스/드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 액티브패턴과 소오스/드레인전극 및 데이터라인이 형성된 제 1 기판 위에 제 2 절연막을 형성하는 단계;

상기 제 2 절연막의 일부영역을 선택적으로 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하며, 상기 제 2 절연막과 상기 데이터라인의 측면에 형성된 불량패턴의 일부영역을 선택적으로 제거하여 상기 불량패턴을 상기 데이터라인으로부터 분리시켜 전기적으로 절연시키는 분리홀을 형성하는 단계;

상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및

상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 불량패턴은 상기 데이터라인을 형성하는 과정에서 상기 데이터라인의 측면에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 3

제 1 항에 있어서, 비정질 실리콘 박막으로 이루어진 상기 액티브패턴 상부에는 n^+ 비정질 실리콘 박막으로 이루어진 오믹-콘택층이 형성되는 한편, 상기 데이터라인 하부에는 각각 상기 n^+ 비정질 실리콘 박막 및 비정질 실리콘 박막으로 이루어진 제 2 n^+ 비정질 실리콘 박막패턴 및 제 1 비정질 실리콘 박막패턴이 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

제 3 항에 있어서, 상기 불량패턴 하부에는 각각 상기 n^+ 비정질 실리콘 박막 및 비정질 실리콘 박막으로 이루어진 제 3 n^+ 비정질 실리콘 박막패턴 및 제 2 비정질 실리콘 박막패턴이 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 5

제 4 항에 있어서, 상기 콘택홀과 분리홀을 형성하는 단계는

하프-톤 마스크를 적용하여 화소부의 제 1 영역에 제 1 두께를 갖는 제 1 감광막패턴을 형성하며 상기 화소부의 제 2 영역에 제 2 두께를 갖는 제 2 감광막패턴을 형성하는 단계;

상기 제 1 감광막패턴과 제 2 감광막패턴을 마스크로 하여 상기 제 2 절연막과 제 2 비정질 실리콘 박막패턴, 제 3 n^+ 비정질 실리콘 박막패턴 및 불량패턴의 일부영역을 선택적으로 제거하여 상기 불량패턴을 상기 데이터라인으로부터 분리시켜 전기적으로 절연시키는 분리홀을 형성하는 단계;

상기 제 2 감광막패턴을 제거하는 동시에 상기 제 1 감광막패턴의 두께 일부를 제거하여 제 3 두께의 제 3 감광막패턴을 형성하는 단계; 및

상기 제 3 감광막패턴을 마스크로 하여 상기 제 2 절연막의 일부영역을 선택적으로 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서, 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성할 때 상기 분리홀 아래의 제 1 절연막의 일부가 제거되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 5 항에 있어서, 포지티브 타입의 감광막을 사용하는 경우에는 상기 제 1 두께는 상기 제 2 두께보다 두꺼운 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 5 항에 있어서, 상기 화소부의 제 2 영역은 상기 콘택홀이 형성되는 영역인 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

제 5 항에 있어서, 상기 화소부의 제 1 영역은 상기 화소영역에서 상기 콘택홀과 분리홀이 형성되는 영역을 제외한 영역인 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0014] 본 발명은 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 마스크수를 감소시켜 제조공정을 단순화하고 수율을 향상시키는 동시에 데이터라인의 리페어공정을 자동으로 진행할 수 있는 액정표시장치의 제조방법에 관한 것이다.
- [0015] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.
- [0016] 상기 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.
- [0017] 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.
- [0018] 상기 액정표시장치의 제조공정은 기본적으로 박막 트랜지스터를 포함하는 어레이 기판의 제작에 다수의 마스크 공정(즉, 포토리소그래피(photolithography)공정)을 필요로 하므로 생산성 면에서 상기 마스크수를 줄이는 방법이 요구되어지고 있다.
- [0019] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.
- [0020] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.
- [0021] 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.
- [0022] 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.
- [0023] 또한, 상기 어레이 기판(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.

- [0024] 이와 같이 구성된 상기 컬러필터 기관(5)과 어레이 기관(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기관(5)과 어레이 기관(10)의 합착은 상기 컬러필터 기관(5) 또는 어레이 기관(10)에 형성된 합착키(미도시)를 통해 이루어진다.
- [0025] 도 2a 내지 도 2e는 도 1에 도시된 액정표시장치에 있어서, 어레이 기관의 제조공정을 순차적으로 나타내는 단면도이다.
- [0026] 도 2a에 도시된 바와 같이, 어레이 기관(10) 위에 포토리소그래피공정(제 1 마스크공정)을 이용하여 도전성 금속물질로 이루어진 게이트전극(21)을 형성한다.
- [0027] 다음으로, 도 2b에 도시된 바와 같이, 상기 게이트전극(21)이 형성된 어레이 기관(10) 전면(全面)에 차례대로 제 1 절연막(15a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 증착한 후, 포토리소그래피공정(제 2 마스크공정)을 이용하여 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 패터닝함으로써 상기 게이트전극(21) 위에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(24)을 형성한다.
- [0028] 이때, 상기 액티브패턴(24) 위에는 상기 액티브패턴(24)과 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막 패턴(25)이 형성되게 된다.
- [0029] 이후, 도 2c에 도시된 바와 같이, 상기 어레이 기관(10) 전면(全面)에 도전성 금속물질을 증착한 후 포토리소그래피공정(제 3 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 액티브패턴(24) 상부에 소오스전극(22)과 드레인전극(23)을 형성한다. 이때, 상기 액티브패턴(24) 위에 형성되어 있는 n+ 비정질 실리콘 박막 패턴은 상기 제 3 마스크공정을 통해 소정영역이 제거되어 상기 액티브패턴(24)과 소오스/드레인전극(22, 23) 사이에서 오믹-콘택(ohmic contact)층(25')을 형성하게 된다.
- [0030] 다음으로, 도 2d에 도시된 바와 같이, 상기 소오스전극(22)과 드레인전극(23)이 형성된 어레이 기관(10) 전면(全面)에 제 2 절연막(15b)을 증착한 후, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 제 2 절연막(15b)의 일부 영역을 제거하여 상기 드레인전극(23)의 일부를 노출시키는 콘택홀(40)을 형성한다.
- [0031] 마지막으로, 도 2e에 도시된 바와 같이, 투명한 도전성 금속물질을 어레이 기관(10) 전면(全面)에 증착한 후 포토리소그래피공정(제 5 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 콘택홀(40)을 통해 드레인전극(23)과 전기적으로 접속하는 화소전극(18)을 형성한다.
- [0032] 상기에 설명된 바와 같이 박막 트랜지스터를 포함하는 어레이 기관의 제조에는 게이트전극, 액티브패턴, 소오스/드레인전극, 콘택홀 및 화소전극 등을 패터닝하는데 총 5번의 포토리소그래피공정을 필요로 한다.
- [0033] 상기 포토리소그래피공정은 마스크에 그려진 패턴을 박막이 증착된 기관 위에 전사시켜 원하는 패턴을 형성하는 일련의 공정으로 감광액 도포, 노광, 현상공정 등 다수의 공정으로 이루어지며, 다수의 포토리소그래피공정은 생산 수율을 떨어뜨리는 단점이 있다.
- [0034] 특히, 패턴을 형성하기 위하여 설계된 마스크는 매우 고가이어서, 공정에 적용되는 마스크수가 증가하면 액정표시장치의 제조비용이 이에 비례하여 상승하게 된다.

발명이 이루고자 하는 기술적 과제

- [0035] 본 발명은 상기한 문제를 해결하기 위한 것으로, 4번의 마스크공정으로 어레이 기관을 제작하도록 한 액정표시장치의 제조방법을 제공하는데 목적이 있다.
- [0036] 본 발명의 다른 목적은 데이터라인에 형성된 불량패턴을 자동으로 리페어 할 수 있는 액정표시장치 및 그 제조방법을 제공하는데 있다.
- [0037] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

발명의 구성 및 작용

- [0038] 상기한 목적을 달성하기 위하여, 본 발명의 액정표시장치의 제조방법은 제 1 기관을 제공하는 단계; 상기 제 1 기관 위에 게이트전극과 게이트라인을 형성하는 단계; 상기 게이트전극과 게이트라인을 형성된 제 1 기관 위에 제 1 절연막을 형성하는 단계; 상기 제 1 절연막이 형성된 제 1 기관 위에 액티브패턴과 소오스/드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 액티브패턴과 소오스/드레인전극 및 데이터라인이 형성된 제 1 기관 위에 제 2 절연막을 형성하는 단계; 상기 제 2 절연막의

일부영역을 선택적으로 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하며, 상기 제 2 절연막과 상기 데이터라인의 측면에 형성된 불량패턴의 일부영역을 선택적으로 제거하여 상기 불량패턴을 상기 데이터라인으로부터 분리시켜 전기적으로 절연시키는 분리홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

[0039] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치의 제조방법의 바람직한 실시예를 상세히 설명한다.

[0040] 도 3은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도로써, 설명의 편의를 위해 화소부의 박막 트랜지스터를 포함하는 하나의 화소를 나타내고 있다.

[0041] 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0042] 도면에 도시된 바와 같이, 본 발명의 실시예의 어레이 기판(110)에는 상기 어레이 기판(110) 위에 중첩으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 박막 트랜지스터에 연결되어 컬러필터 기판(미도시)의 공통전극과 함께 액정(미도시)을 구동시키는 화소전극(118)이 형성되어 있다.

[0043] 상기 박막 트랜지스터는 상기 게이트라인(116)에 연결된 게이트전극(121), 상기 데이터라인(117)에 연결된 소오스전극(122) 및 상기 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널(conductive channel)을 형성하는 액티브패턴(미도시)을 포함한다.

[0044] 상기 소오스전극(122)의 일부는 일방향으로 연장되어 상기 데이터라인(117)의 일부를 구성하며, 상기 드레인전극(123)의 일부는 화소영역 쪽으로 연장되어 제 2 절연막(미도시)에 형성된 콘택홀(140)을 통해 상기 화소전극(118)에 전기적으로 접속하게 된다.

[0045] 이때, 전단 게이트라인(116')의 일부는 제 1 절연막(미도시)과 상기 제 2 절연막을 사이에 두고 그 상부의 화소전극(118)의 일부와 중첩되어 스토리지 커패시터(storage capacitor)(Cst)를 형성하게 된다. 상기 스토리지 커패시터(Cst)는 액정 커패시터에 인가된 전압을 다음 신호가 들어올 때까지 일정하게 유지시키는 역할을 한다. 즉, 상기 어레이 기판(110)의 화소전극(118)은 컬러필터 기판의 공통전극과 함께 액정 커패시터를 이루는데, 일반적으로 상기 액정 커패시터에 인가된 전압은 다음 신호가 들어올 때까지 유지되지 못하고 누설되어 사라진다. 따라서, 인가된 전압을 유지하기 위해서는 스토리지 커패시터(Cst)를 액정 커패시터에 연결해서 사용해야 한다.

[0046] 이러한 스토리지 커패시터(Cst)는 신호 유지 이외에도 계조(gray scale) 표시의 안정과 플리커(flicker) 및 잔상(afterimage) 감소 등의 효과를 가진다.

[0047] 여기서, 본 발명의 실시예에 따른 액정표시장치는 하프-톤 마스크 또는 회절마스크(이하, 하프-톤 마스크를 지칭하는 경우에는 회절마스크를 포함하는 것으로 한다)를 이용하여 한번의 마스크공정으로 액티브패턴과 소오스/드레인전극 및 데이터라인을 형성함으로써 총 4번의 마스크공정으로 어레이 기판을 제작할 수 있게 되는데, 이를 다음의 액정표시장치의 제조방법을 통해 상세히 설명한다.

[0048] 도 4a 내지 도 4d는 도 3에 도시된 어레이 기판의 IIIa-IIIa'선 및 IIIb-IIIb'선에 따른 제조공정을 순차적으로 나타내는 단면도로써, 데이터라인부를 포함하는 화소부의 어레이 기판을 제조하는 공정을 순차적으로 나타내고 있다.

[0049] 도 4a에 도시된 바와 같이, 유리나 같은 투명한 절연물질로 이루어진 어레이 기판(110)의 화소부에 게이트전극(121)과 게이트라인(116')을 형성한다.

[0050] 이때, 상기 도면부호 116'은 해당화소에 대한 전단의 게이트라인을 의미하며, 해당화소의 게이트라인과 상기 전단 게이트라인(116')은 동일한 방식으로 형성된다.

[0051] 이때, 상기 게이트전극(121)과 게이트라인(116')은 제 1 도전막을 상기 어레이 기판(110) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.

[0052] 여기서, 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수도

있다.

- [0053] 다음으로, 도 4b에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인(116')이 형성된 어레이 기판(110) 전면에 제 1 절연막(115a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한 후, 포토리소그래피공정(제 2 마스크공정)을 통해 선택적으로 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124)을 형성하며, 상기 제 2 도전막으로 이루어지며 상기 액티브패턴(124)의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극(122, 123)을 형성한다.
- [0054] 또한, 상기 제 2 마스크공정을 통해 상기 어레이 기판(110)의 데이터라인부에 상기 제 2 도전막으로 이루어진 데이터라인(117)을 형성한다.
- [0055] 이때, 상기 액티브패턴(124) 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 소오스/드레인전극(122, 123)과 동일한 형태로 패터닝된 오믹-콘택층(125)이 형성되게 된다.
- [0056] 또한, 상기 데이터라인(117) 하부에는 각각 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 상기 데이터라인(117)과 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(120')과 제 2 n+ 비정질 실리콘 박막패턴(130")이 형성되게 된다.
- [0057] 참고로, 도면부호 117'은 상기 데이터라인(117)을 형성하는 과정에서 상기 데이터라인(117)의 일측에 형성된 불량패턴을 나타내며, 상기 불량패턴(117')의 하부에는 각각 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 상기 불량패턴(117')과 동일한 형태로 패터닝된 제 2 비정질 실리콘 박막패턴(120")과 제 3 n+ 비정질 실리콘 박막패턴(130'")이 형성되게 된다.
- [0058] 상기 불량패턴(117')은 그 위에 형성되는 화소전극과 오버랩되어 기생 커패시터를 형성함에 따라 상기 어레이 기판(110)의 제조공정 중에 상기 데이터라인(117)으로부터 분리되어야 한다.
- [0059] 여기서, 본 발명의 실시예에 따른 상기 액티브패턴(124)과 소오스/드레인전극(122, 123) 및 데이터라인(117)은 하프-톤 마스크를 이용하여 한번의 마스크공정(제 2 마스크공정)으로 동시에 형성하게 되는데, 이하 도면을 참조하여 상기 제 2 마스크공정을 상세히 설명한다.
- [0060] 도 5a 내지 도 5f는 도 4b에 도시된 제 2 마스크공정을 구체적으로 나타내는 단면도이다.
- [0061] 도 5a에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인(116')이 형성된 어레이 기판(110) 전면에 제 1 절연막(115a), 비정질 실리콘 박막(120), n+ 비정질 실리콘 박막(130) 및 제 2 도전막(150)을 형성한다.
- [0062] 이때, 상기 제 2 도전막(150)은 소오스전극과 드레인전극 및 데이터라인을 구성하기 위해 알루미늄, 알루미늄합금, 텅스텐, 구리, 크롬, 몰리브덴 등과 같은 저저항 불투명 도전물질로 이루어질 수 있다.
- [0063] 그리고, 도 5b에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 포토레지스트와 같은 감광성물질로 이루어진 제 1 감광막(170)을 형성한 후, 본 발명의 실시예에 따른 제 1 하프-톤 마스크(180)를 통해 상기 제 1 감광막(170)에 선택적으로 광을 조사한다.
- [0064] 이때, 상기 제 1 하프-톤 마스크(180)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 제 1 하프-톤 마스크(180)를 투과한 광만이 제 1 감광막(170)에 조사되게 된다.
- [0065] 이어서, 상기 제 1 하프-톤 마스크(180)를 통해 노광된 제 1 감광막(170)을 현상하고 나면, 도 5c에 도시된 바와 같이, 상기 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(170a) 내지 제 4 감광막패턴(170d)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 상기 제 1 감광막이 완전히 제거되어 상기 제 2 도전막(150) 표면이 노출되게 된다.
- [0066] 이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(170a) 내지 제 3 감광막패턴(170c)은 제 2 투과영역(II)을 통해 형성된 제 4 감광막패턴(170d)보다 두껍게 형성된다. 또한, 상기 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 제 1 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.
- [0067] 다음으로, 도 5d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(170a) 내지 제 4 감광막패턴(170d)을 마스크로 하여, 그 하부에 형성된 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거하게 되면, 상기 어레이 기판(110)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124)

이 형성되며, 상기 어레이 기판(110)의 데이터라인부에 상기 제 2 도전막으로 이루어진 데이터라인(117)이 형성되게 된다.

- [0068] 이때, 상기 액티브패턴(124) 상부에는 각각 상기 n+ 비정질 실리콘 박막과 제 2 도전막으로 이루어지며 상기 액티브패턴(124)과 동일한 형태로 패터닝된 제 1 n+ 비정질 실리콘 박막패턴(130')과 제 2 도전막패턴(150')이 형성되게 된다.
- [0069] 또한, 상기 데이터라인(117) 하부에는 각각 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막으로 이루어지며 상기 데이터라인(117)과 동일한 형태로 패터닝된 제 1 비정질 실리콘 박막패턴(120')과 제 2 n+ 비정질 실리콘 박막패턴(130'')이 형성되게 된다.
- [0070] 이후, 상기 제 1 감광막패턴(170a) 내지 제 4 감광막패턴(170d)의 일부를 제거하는 애싱공정을 진행하게 되면, 도 5e에 도시된 바와 같이, 상기 제 2 투과영역(II)의 제 4 감광막패턴이 완전히 제거되게 된다.
- [0071] 이때, 상기 제 1 감광막패턴 내지 제 3 감광막패턴은 상기 제 4 감광막패턴의 두께만큼이 제거된 제 5 감광막패턴(170a') 내지 제 7 감광막패턴(170c')으로 상기 차단영역(III)에 대응하는 소오스전극영역과 드레인전극영역 및 데이터라인(117) 상부에만 남아있게 된다.
- [0072] 이후, 도 5f에 도시된 바와 같이, 상기 남아있는 제 5 감광막패턴(170a') 내지 제 7 감광막패턴(170c')을 마스크로 하여 상기 n+ 비정질 실리콘 박막과 제 2 도전막의 일부를 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브패턴(124)을 형성한다.
- [0073] 이때, 상기 액티브패턴(124) 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브패턴(124)의 소오스/드레인영역과 상기 소오스/드레인전극(122, 123)을 오믹-콘택시키는 오믹-콘택층(125)이 형성되게 된다.
- [0074] 이와 같이 본 발명의 실시예는 하프-톤 마스크를 이용함으로써 상기 액티브패턴(124)과 소오스/드레인전극(122, 123) 및 데이터라인(117)을 한번의 마스크공정을 통해 형성할 수 있게 된다.
- [0075] 여기서, 도 4b에 도시된 바와 같이, 상기 데이터라인(117)을 형성하는 과정에서 상기 데이터라인(117)의 일측에 불량패턴(117')이 형성될 수 있으며 이때에는 상기 불량패턴(117')을 상기 데이터라인(117)으로부터 분리시켜야 한다.
- [0076] 이를 위해 레이저를 이용하여 상기 불량패턴을 데이터라인으로부터 분리시키는 레이저 리페어공정이 일반적으로 이용되고 있으나, 상기 레이저 리페어공정은 고가의 레이저 리페어장비를 요구하며 상기 레이저 리페어를 검사자가 직접 실시하여야하기 때문에 생산 손실(loss)이 발생하는 단점이 있다.
- [0077] 이에 본 발명의 실시예의 경우에는 화소전극과 드레인전극 사이의 전기적 접속을 위한 콘택홀을 형성하는 과정에서 하프-톤 마스크를 이용하여 상기 불량패턴을 데이터라인으로부터 분리시킴으로써 마스크공정이나 레이저 리페어공정의 추가 없이 자동으로 상기 데이터라인의 리페어를 진행할 수 있게 되는데, 이하 상기 제 3 마스크공정을 도면을 참조하여 상세히 설명한다.
- [0078] 도 6a 내지 도 6f는 도 4c에 도시된 제 3 마스크공정을 구체적으로 나타내는 단면도이다.
- [0079] 도 6a에 도시된 바와 같이, 상기 액티브패턴(124)이 형성된 어레이 기판(110) 전면에는 제 2 절연막(115b)을 증착한다.
- [0080] 그리고, 도 6b에 도시된 바와 같이, 상기 어레이 기판(110) 전면에는 포토레지스트와 같은 감광성물질로 이루어진 제 2 감광막(270)을 형성한 후, 본 발명의 실시예에 따른 제 2 하프-톤 마스크(280)를 통해 상기 제 2 감광막(270)에 선택적으로 광을 조사한다.
- [0081] 이때, 상기 제 2 하프-톤 마스크(280)에는 조사된 광을 모두 투과시키는 제 1 투과영역(I)과 광의 일부만 투과시키고 일부는 차단하는 제 2 투과영역(II) 및 조사된 모든 광을 차단하는 차단영역(III)이 마련되어 있으며, 상기 제 2 하프-톤 마스크(280)를 투과한 광만이 제 2 감광막(270)에 조사되게 된다.
- [0082] 이어서, 상기 제 2 하프-톤 마스크(280)를 통해 노광된 제 2 감광막(270)을 현상하고 나면, 도 6c에 도시된 바와 같이, 상기 차단영역(III)과 제 2 투과영역(II)을 통해 광이 모두 차단되거나 일부만 차단된 영역에는 소정 두께의 제 1 감광막패턴(270a) 및 제 2 감광막패턴(270b)이 남아있게 되고, 모든 광이 투과된 제 1 투과영역(I)에는 상기 제 2 감광막이 완전히 제거되어 상기 제 2 절연막(115b) 표면이 노출되게 된다.
- [0083] 이때, 상기 차단영역(III)에 형성된 제 1 감광막패턴(270a)은 제 2 투과영역(II)을 통해 형성된 제 2 감광막패

턴(270b)보다 두껍게 형성된다. 또한, 상기 제 1 투과영역(I)을 통해 광이 모두 투과된 영역에는 제 2 감광막이 완전히 제거되는데, 이것은 포지티브 포토레지스트를 사용했기 때문이며, 본 발명이 이에 한정되는 것은 아니며 네거티브 포토레지스트를 사용하여도 무방하다.

[0084] 다음으로, 도 6d에 도시된 바와 같이, 상기와 같이 형성된 제 1 감광막패턴(270a) 및 제 2 감광막패턴(270b)을 마스크로 하여, 그 하부에 형성된 제 2 비정질 실리콘 박막패턴(120"), 제 3 n+ 비정질 실리콘 박막패턴(130"), 불량패턴(117') 및 제 2 절연막(115b)의 일부영역을 선택적으로 제거하게 되면, 상기 어레이 기판(110)의 데이터라인부에 상기 데이터라인(117)과 불량패턴(117')을 분리시켜 전기적으로 절연시키는 분리홀(H)을 형성한다.

[0085] 이후, 상기 제 1 감광막패턴(270a) 및 제 2 감광막패턴(270b)의 일부를 제거하는 애싱공정을 진행하게 되면, 도 6e에 도시된 바와 같이, 상기 제 2 투과영역(II)의 제 2 감광막패턴이 완전히 제거되게 된다.

[0086] 이때, 상기 제 1 감광막패턴은 상기 제 2 감광막패턴의 두께만큼이 제거된 제 3 감광막패턴(270a')으로 상기 차단영역(III)에 대응하는 소정영역에만 남아있게 된다.

[0087] 이후, 도 6f에 도시된 바와 같이, 상기 남아있는 제 3 감광막패턴(270a')을 마스크로 하여 상기 제 2 절연막(115b)의 일부를 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 드레인전극(123)의 일부를 노출시키는 콘택홀(140)을 형성하게 된다.

[0088] 이때, 상기 분리홀(H) 아래의 제 1 절연막(115a)의 일부가 제거될 수도 있다.

[0089] 그리고, 도 4d에 도시된 바와 같이, 상기 어레이 기판(110) 전면에서 제 3 도전막을 형성한 후, 포토리소그래피공정(제 4 마스크공정)을 이용하여 선택적으로 패터닝함으로써 상기 콘택홀(140)을 통해 드레인전극(123)과 전기적으로 접속하는 화소전극(118)을 형성한다.

[0090] 이때, 상기 화소전극(118)은 상기 불량패턴(117') 위에 일부가 오버랩되도록 형성되나 상기 불량패턴(117')이 데이터라인(117)과 전기적으로 절연되어 있어 전술한 문제가 발생하지 않게 된다.

[0091] 이와 같이 구성된 상기 본 발명의 실시예의 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러 필터 기판과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기판에는 상기 박막 트랜지스터와 게이트라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.

[0092] 이때, 상기 컬러필터 기판과 어레이 기판의 합착은 상기 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.

[0093] 전술한 바와 같이 상기 본 발명의 실시예는 액티브패턴으로 비정질 실리콘 박막을 이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 액티브패턴으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터에도 적용된다.

[0094] 또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

[0095] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

발명의 효과

[0096] 상술한 바와 같이, 본 발명에 따른 액정표시장치의 제조방법은 박막 트랜지스터 제조에 사용되는 마스크수를 줄여 제조공정 및 비용을 절감시키는 효과를 제공한다.

[0097] 또한, 본 발명에 따른 액정표시장치의 제조방법은 데이터라인의 리페어를 자동으로 진행할 수 있게 되어, 화질이 향상되는 동시에 불량 제거를 통한 수율이 향상되는 효과를 제공한다.

도면의 간단한 설명

[0001] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도.

[0002] 도 2a 내지 도 2e는 도 1에 도시된 액정표시장치에 있어서, 어레이 기판의 제조공정을 순차적으로 나타내는 단면도.

[0003] 도 3은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 나타내는 평면도.

[0004] 도 4a 내지 도 4d는 도 3에 도시된 어레이 기판의 IIIa-IIIa' 선 및 IIIb-IIIb' 선에 따른 제조공정을 순차적으로 나타내는 단면도.

[0005] 도 5a 내지 도 5f는 도 4b에 도시된 제 2 마스크공정을 구체적으로 나타내는 단면도.

[0006] 도 6a 내지 도 6f는 도 4c에 도시된 제 3 마스크공정을 구체적으로 나타내는 단면도.

[0007] ** 도면의 주요부분에 대한 부호의 설명 **

[0008] 110 : 어레이 기판 116 : 게이트라인

[0009] 117 : 데이터라인 117' : 불량패턴

[0010] 118 : 화소전극 121 : 게이트전극

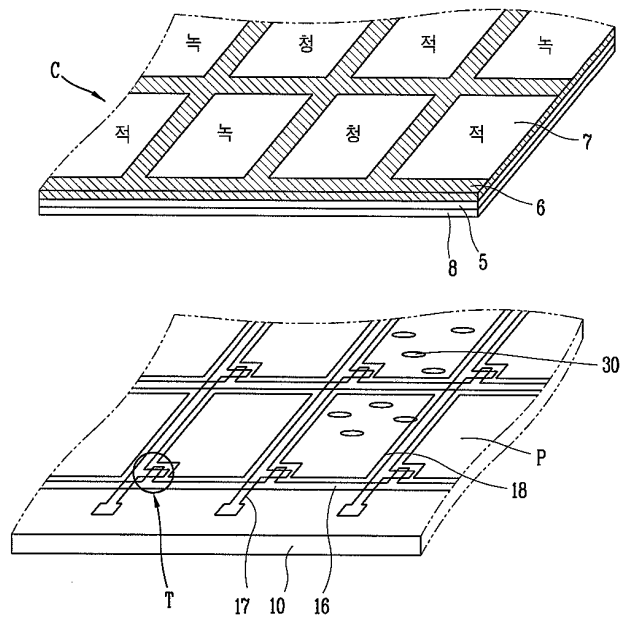
[0011] 122 : 소오스전극 123 : 드레인전극

[0012] 124 : 액티브패턴 140 : 콘택홀

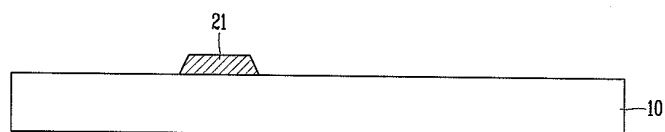
[0013] H : 분리홀

도면

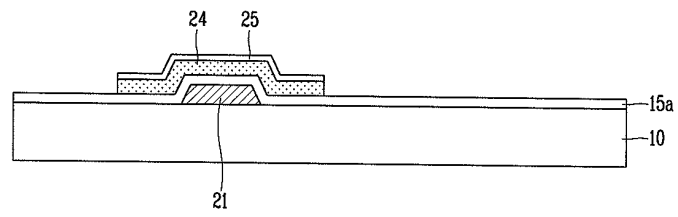
도면1



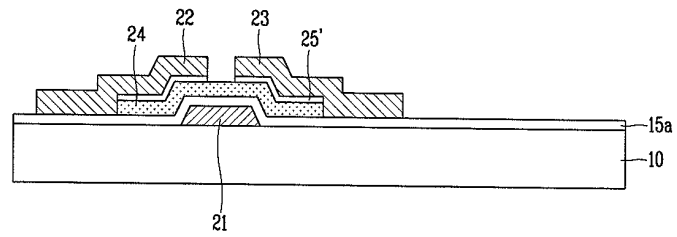
도면2a



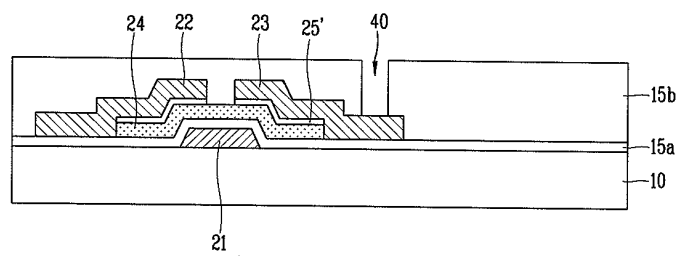
도면2b



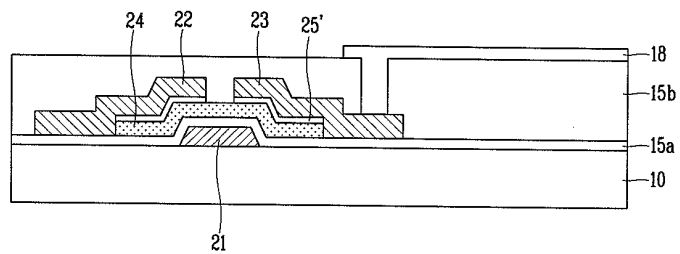
도면2c



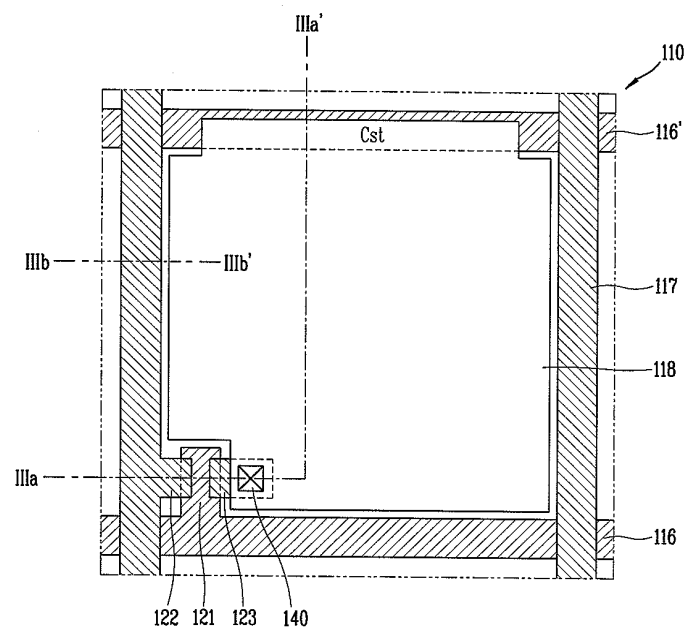
도면2d



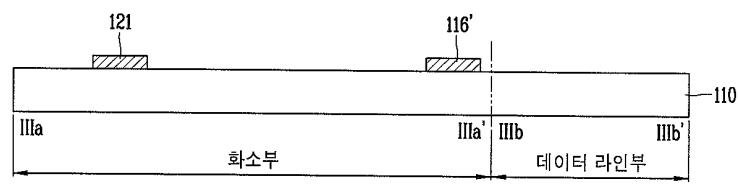
도면2e



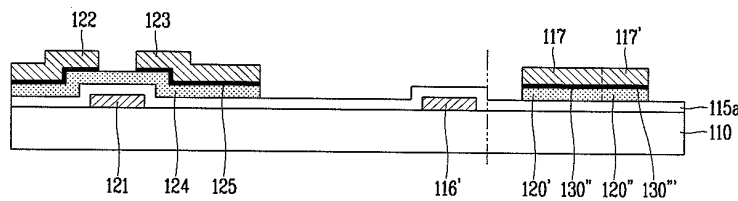
도면3



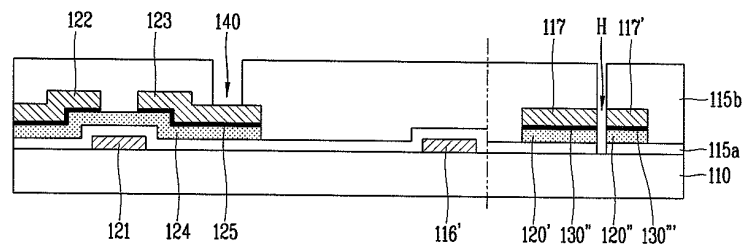
도면4a



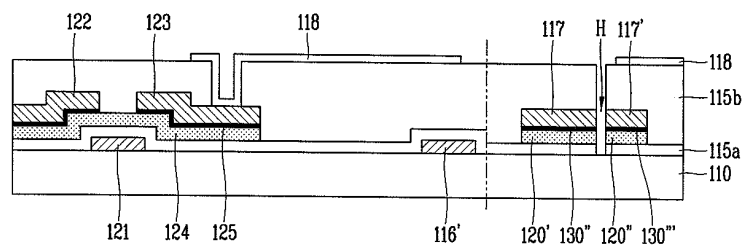
도면4b



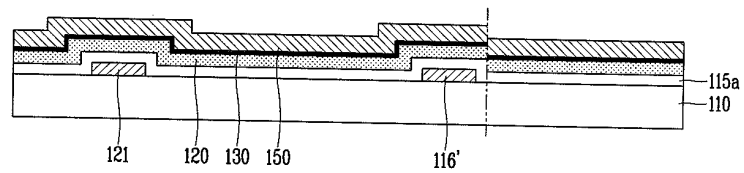
도면4c



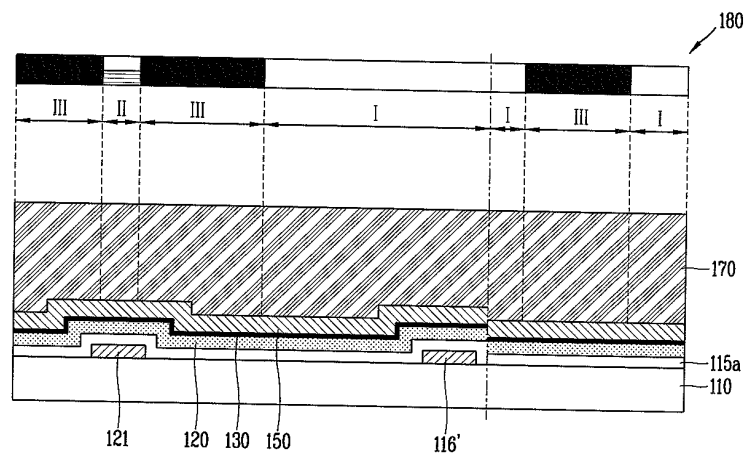
도면4d



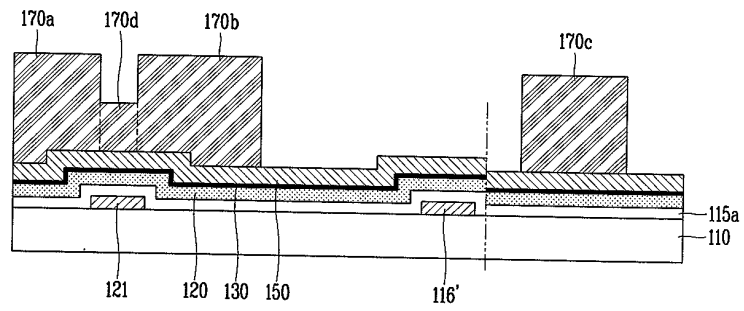
도면5a



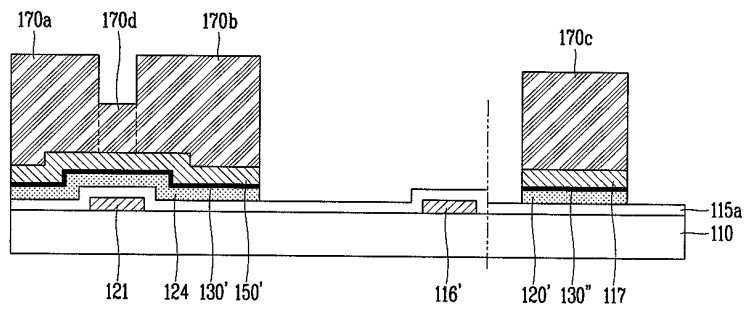
도면5b



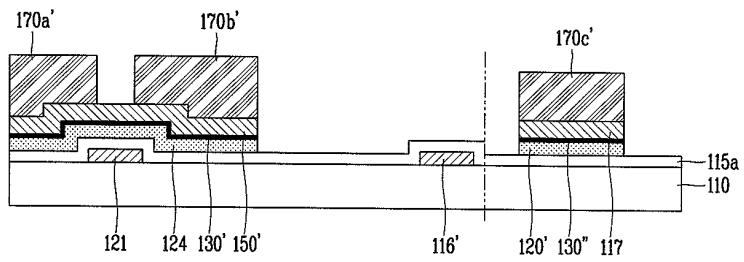
도면5c



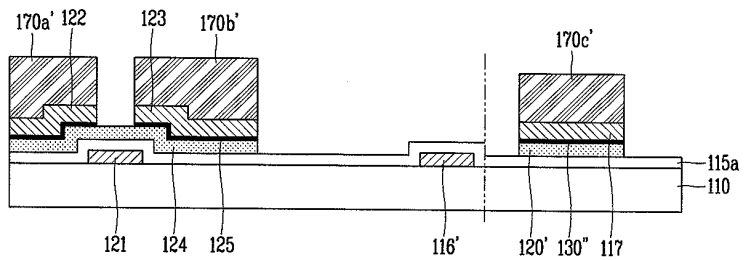
도면5d



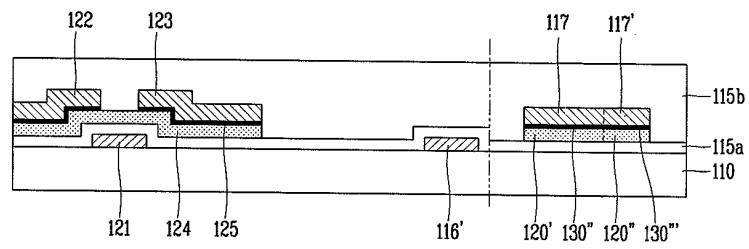
도면5e



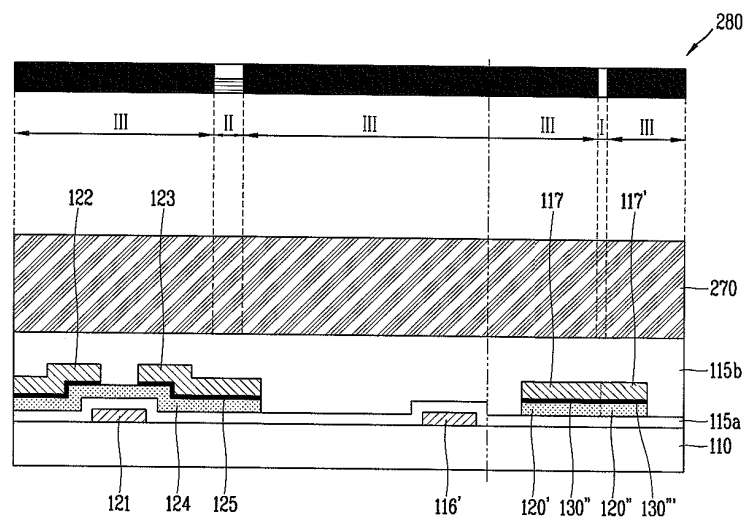
도면5f



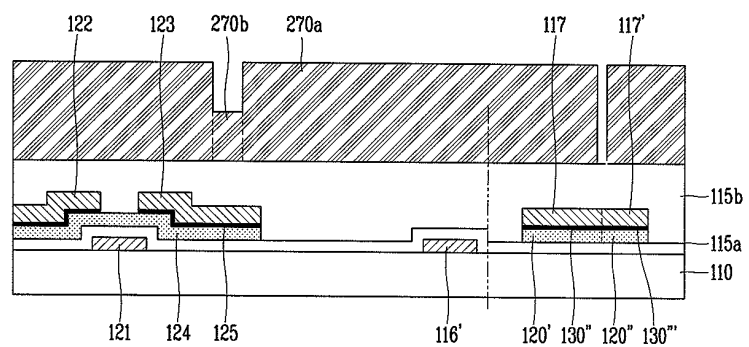
도면6a



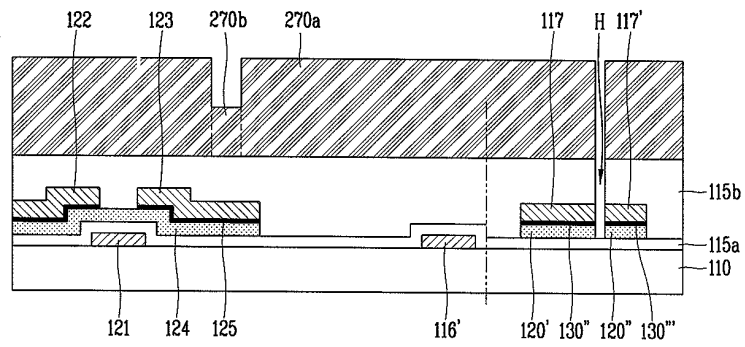
도면6b



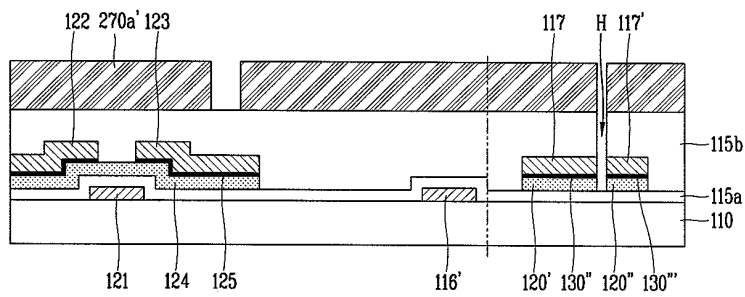
도면6c



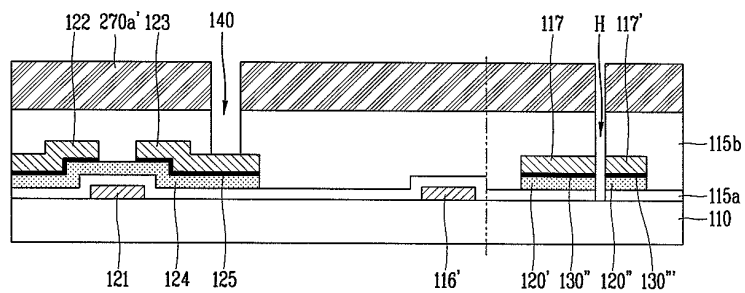
도면6d



도면6e



도면6f



专利名称(译)	标题：液晶显示装置的制造方法		
公开(公告)号	KR101358219B1	公开(公告)日	2014-02-05
申请号	KR1020060139120	申请日	2006-12-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM MIN SERK		
发明人	KIM,MIN SERK		
IPC分类号	G02F1/136 G02F		
CPC分类号	G02F1/13458 G02F1/136227 G02F1/136259 G02F1/136286 G02F1/1368 G02F2001/136236 G02F2201/123		
代理人(译)	PARK , JANG WON		
其他公开文献	KR1020080062931A		
外部链接	Espacenet		

摘要(译)

提供一种LCD（液晶显示器）制造方法，以通过减少掩模的数量来减少制造工艺和成本，并自动执行数据线的修复，从而通过去除缺陷来改善图像质量并提高成品率。提供第一基板（110）。在第一基板上形成第一绝缘层（115a）。有源图案（124）和源/漏电极（122，123）形成在第一基板上。形成通过与栅极线交叉而限定像素区域的数据线（117）。在第一基板上形成第二绝缘层（115b）。通过去除第二绝缘层的部分区域，形成用于暴露一部分漏电极的接触孔。形成用于将形成在数据线一侧的缺陷图案与数据线分离的分离孔（H）。形成通过接触孔与漏电极电连接的像素电极（118）。第一基板和第二基板彼此附接。

