(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월16일
(11) 등록번호 10-1319297
(24) 등록일자 2013년10월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) *G09G 3/36* (2006.01)
G09G 3/20 (2006.01)
(21) 출원번호 10-2006-0118366
(22) 출원일자 2006년11월28일
심사청구일자 2011년10월27일
(65) 공개번호 10-2007-0055985
(43) 공개일자 2007년05월31일
(30) 우선권주장
1020050114304 2005년11월28일 대한민국(KR)
(뒷면에 계속)
(56) 선행기술조사문헌
KR1020030049829 A*
KR1020040062112 A*
KR1020050082488 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김의태
서울특별시 강남구 도산대로66길 18, 102호 (청담동)
안병철
서울 서초구 방배본동 725번지 신삼호아파트 라동 404호
(뒷면에 계속)
(74) 대리인
김용인, 박영복

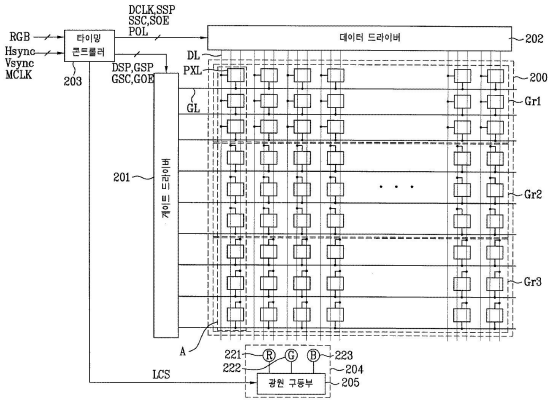
전체 청구항 수 : 총 34 항 심사관 : 김홍섭

(54) 발명의 명칭 **표시장치 및 이의 구동방법**

(57) 요 약

본 발명은 게이트 라인의 충전시간을 증가시킬 수 있는 표시장치에 관한 것으로, 적어도 하나의 제 1 화소셀그룹 및 적어도 하나의 제 2 화소셀그룹으로 나누어진 다수의 화소셀들; 상기 제 1 화소셀그룹의 화소셀들에 접속된 제 1 데이터 라인; 상기 제 2 화소셀그룹의 화소셀들에 접속된 제 2 데이터 라인; 및, 상기 제 1 화소셀그룹내의 적어도 하나의 화소셀과, 상기 제 2 화소셀그룹내의 적어도 하나의 화소셀을 동시에 구동하는 게이트 드라이버를 포함하여 구성되는 것이다.

대 표 도



(72) 발명자

홍영태

대구광역시 달서구 대명천로 250, 101동 1706호 (장기동, 영남 네오빌 비스타)

강병구

경상북도 구미시 인동45길 7, 부영1단지 아파트 106동 805호 (구평동)

김진호

경기 파주시 교하읍 동패리 책향기 마을 진흥효자아파트 1204동1106호

이동훈

경상북도 구미시 봉곡로23길 6-20, 영남네오빌 205동 201호 (봉곡동)

유숙경

서울특별시 강동구 양재대로 1340, 104동 401호 (둔촌동, 주공아파트)

지하영

충청북도 증평군 증평읍 삽사리길 102

(30) 우선권주장

1020050118874 2005년12월07일 대한민국(KR)
1020060021317 2006년03월07일 대한민국(KR)
1020060060556 2006년06월30일 대한민국(KR)

특허청구의 범위

청구항 1

적어도 하나의 제 1 화소셀그룹 및 적어도 하나의 제 2 화소셀그룹으로 나누어진 다수의 화소셀들;

상기 제 1 화소셀그룹의 화소셀들에 접속된 제 1 데이터 라인;

상기 제 2 화소셀그룹의 화소셀들에 접속된 제 2 데이터 라인; 및,

상기 제 1 화소셀그룹내의 적어도 하나의 화소셀과, 상기 제 2 화소셀그룹내의 적어도 하나의 화소셀을 동시에 구동하는 게이트 드라이버를 포함하며;

상기 제 2 데이터 라인의 폭이 상기 제 1 데이터 라인의 폭보다 더 큰 것을 특징으로 하는 표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 드라이버는 상기 제 1 화소셀그룹의 화소셀들을 제 1 방향으로 구동하며, 상기 제 2 화소셀그룹의 화소셀들을 제 1 방향으로 구동하는 것을 특징으로 하는 표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 드라이버는 상기 제 1 화소셀그룹의 화소셀들을 제 1 방향으로 구동하며, 상기 제 2 화소셀그룹의 화소셀들을 제 2 방향으로 구동하는 것을 특징으로 하는 표시장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 게이트 드라이버는 제 2n-1 화소셀그룹(n은 자연수)의 화소셀들을 제 1 방향으로 구동하고, 제 2n 화소셀그룹의 화소셀들을 제 2 방향으로 구동하는 것을 특징으로 하는 표시장치.

청구항 6

제 5 항에 있어서,

상기 게이트 드라이버는 상기 제 2n-1 화소셀그룹내의 화소셀들을 가장 상측에 위치한 화소셀부터 가장 하측에 위치한 화소셀까지 순차적으로 구동하며, 상기 제 2n 화소셀그룹내의 화소셀들을 가장 하측에 위치한 화소셀부터 가장 상측에 위치한 화소셀까지 순차적으로 구동하는 것을 특징으로 하는 표시장치.

청구항 7

제 1 항에 있어서,

상기 제 1 및 제 2 화소셀그룹은 적어도 두 개의 화소셀들을 포함하는 것을 특징으로 하는 표시장치.

청구항 8

제 7 항에 있어서,

각 화소셀그룹은 서로 다른 수의 화소셀을 갖는 것을 특징으로 하는 표시장치.

청구항 9

제 7 항에 있어서,

제 1 화소셀그룹과 제 2 화소셀그룹이 서로 다른 수의 화소셀을 갖는 것을 특징으로 하는 표시장치.

청구항 10

제 1 항에 있어서,

상기 게이트 드라이버는 제 2n-1 화소셀그룹의 임의의 화소셀과, 제 2n 화소셀그룹에 속하며 상기 임의의 화소셀에 대응되는 화소셀을 동시에 구동하는 것을 특징으로 하는 표시장치.

청구항 11

제 1 항에 있어서,

상기 게이트 드라이버는 제 2n-1 화소셀그룹내에서 가장 상측에 위치한 화소셀과, 제 2n 화소셀그룹내에서 가장 하측에 위치한 화소셀을 동시에 구동하는 것을 특징으로 하는 표시장치.

청구항 12

제 11 항에 있어서,

상기 게이트 드라이버는 제 2n-1 화소셀그룹내의 제 m 화소셀(m은 자연수)과, 제 2n 화소셀그룹내의 제 k-m+1 화소셀(k는 제 2n 화소셀그룹에 포함된 화소셀의 갯수)을 동시에 구동하는 것을 특징으로 하는 표시장치.

청구항 13

제 1 항에 있어서,

상기 각 화소셀은,

상기 게이트 드라이버로부터의 스캔펄스에 응답하여 데이터 라인으로부터의 데이터 신호를 스위칭하는 스위칭소자;

상기 스위칭소자로부터 스위칭된 데이터 신호를 공급받는 화소 전극;

상기 화소 전극과 대향하도록 위치한 공통 전극; 및,

상기 화소 전극과 공통 전극 사이에 형성된 액정층을 포함하여 구성됨을 특징으로 하는 표시장치.

청구항 14

제 13 항에 있어서,

상기 화소 전극은 다수의 투명 전극들과, 상기 투명 전극간을 전기적으로 연결하는 적어도 하나의 연결 전극을 포함하는 것을 특징으로 하는 표시장치.

청구항 15

제 14 항에 있어서,

상기 데이터 라인은 상기 연결 전극을 중첩하는 것을 특징으로 하는 표시장치.

청구항 16

제 1 항에 있어서,

상기 각 화소셀은 제 1 서브 프레임동안 적색 화상을 표시하고, 제 2 서브프레임동안 녹색 화상을 표시하고, 그리고 제 3 서브 프레임동안 청색 화상을 표시하는 것을 특징으로 하는 표시장치.

청구항 17

제 16 항에 있어서,

상기 제 1 서브 프레임동안 상기 화소셀들에 적색 광을 공급하고, 상기 제 2 서브 프레임동안 상기 화소셀들에 녹색 광을 공급하고, 그리고 상기 제 3 서브 프레임동안 상기 화소셀들에 청색 광을 공급하는 백 라이트 유닛을

더 포함하여 구성됨을 특징으로 하는 표시장치.

청구항 18

제 13 항에 있어서,

상기 데이터 라인과 상기 화소전극간에 형성된 절연막을 더 포함함을 특징으로 하는 표시장치.

청구항 19

제 18 항에 있어서,

상기 절연막은 유기 절연막 및 무기 절연막 중 어느 하나인 것을 특징으로 하는 표시장치.

청구항 20

제 13 항에 있어서,

상기 제 1 및 제 2 데이터 라인은 상기 화소전극을 중첩하지 않도록, 상기 화소전극의 일측에 위치한 것을 특징으로 하는 표시장치.

청구항 21

제 20 항에 있어서,

상기 제 1 데이터 라인은 상기 제 2 데이터 라인과 상기 화소전극 사이에 위치함을 특징으로 하는 표시장치.

청구항 22

제 21 항에 있어서,

상기 제 2 데이터 라인이 상기 제 1 데이터 라인보다 더 긴 것을 특징으로 하는 표시장치.

청구항 23

제 22 항에 있어서,

상기 제 1 데이터 라인은 상기 제 1 화소셀 그룹내의 화소셀들에 접속된 게이트 라인을 중첩할 정도의 길이를 가지며; 그리고,

상기 제 2 데이터 라인은 상기 제 1 및 제 2 화소셀 그룹내의 화소셀들에 접속된 게이트 라인을 모두 중첩할 정도의 길이를 갖는 것을 특징으로 하는 표시장치.

청구항 24

제 23 항에 있어서,

상기 제 1 데이터 라인과 상기 제 1 화소셀그룹내의 화소셀에 구비된 화소전극간의 제 1 거리와, 상기 제 2 데이터 라인과 상기 제 2 화소셀그룹내의 화소셀에 구비된 화소전극간의 제 2 거리가 서로 동일한 것을 특징으로 하는 표시장치.

청구항 25

제 24 항에 있어서,

상기 제 2 데이터 라인은 제 1 라인, 제 2 라인, 및 상기 제 1 라인과 제 2 라인을 연결하는 연결부로 이루어지며;

상기 제 2 라인이 상기 제 1 라인보다 화소전극에 더 가깝게 위치한 것을 특징으로 하는 표시장치.

청구항 26

제 25 항에 있어서,

상기 제 2 데이터 라인은,

일측이 상기 연결부에 연결되며, 상기 제 2 라인에 평행하도록 배열된 제 3 라인을 더 포함함을 특징으로 하는 표시장치.

청구항 27

제 1 항에 있어서,

제 3 및 제 4 데이터 라인을 더 포함하며;

상기 제 1 화소셀그룹내의 화소셀들은 상기 제 1 데이터 라인에 접속된 제 1 화소셀들과, 상기 제 3 데이터 라인에 접속된 제 3 화소셀들을 포함하고;

상기 제 2 화소셀그룹내의 화소셀들은 상기 제 2 데이터 라인에 접속된 제 2 화소셀들과, 상기 제 4 데이터 라인에 접속된 제 4 화소셀들을 포함하며;

상기 제 1 및 제 2 데이터 라인들에 입력되는 데이터 신호와, 상기 제 3 및 제 4 데이터 라인들에 입력되는 데이터 신호의 극성이 반대인 것을 특징으로 하는 표시장치.

청구항 28

적어도 하나의 제 1 화소셀그룹 및 적어도 하나의 제 2 화소셀그룹으로 나누어진 다수의 화소셀들과, 상기 제 1 화소셀그룹의 화소셀들에 접속된 제 1 데이터 라인과, 상기 제 2 화소셀그룹의 화소셀들에 접속된 제 2 데이터 라인을 포함하는 표시장치의 구동방법에 있어서,

상기 제 1 화소셀그룹내의 적어도 하나의 화소셀과, 상기 제 2 화소셀그룹내의 적어도 하나의 화소셀을 동시에 구동하는 단계를 포함하며;

상기 제 2 데이터 라인의 폭이 상기 제 1 데이터 라인의 폭보다 더 큰 것을 특징으로 하는 표시장치의 구동방법.

청구항 29

제 28 항에 있어서,

상기 제 1 화소셀그룹의 화소셀들을 제 1 방향으로 구동하며, 상기 제 2 화소셀그룹의 화소셀들을 제 1 방향으로 구동하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 30

제 28 항에 있어서,

상기 제 1 화소셀그룹의 화소셀들을 제 1 방향으로 구동하며, 상기 제 2 화소셀그룹의 화소셀들을 제 2 방향으로 구동하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 31

제 30 항에 있어서,

제 2n-1 화소셀그룹(n은 자연수)의 화소셀들을 제 1 방향으로 구동하고, 제 2n 화소셀그룹의 화소셀들을 제 2 방향으로 구동하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 32

제 31 항에 있어서,

상기 제 2n-1 화소셀그룹내의 화소셀들을 가장 상측에 위치한 화소셀부터 가장 하측에 위치한 화소셀까지 순차적으로 구동하며, 상기 제 2n 화소셀그룹내의 화소셀들을 가장 하측에 위치한 화소셀부터 가장 상측에 위치한 화소셀까지 순차적으로 구동하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 33

제 28 항에 있어서,

제 2n-1 화소셀그룹의 임의의 화소셀과, 제 2n 화소셀그룹에 속하며 상기 임의의 화소셀에 대응되는 화소셀을 동시에 구동하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 34

제 28 항에 있어서,

제 2n-1 화소셀그룹내에서 가장 상측에 위치한 화소셀과, 제 2n 화소셀그룹내에서 가장 하측에 위치한 화소셀을 동시에 구동하는 것을 특징으로 하는 표시장치의 구동방법.

청구항 35

제 34 항에 있어서,

상기 제 2n-1 화소셀그룹내의 제 m 화소셀(m은 자연수)과, 제 2n 화소셀그룹내의 제 k-m+1 화소셀(k는 제 2n 화소셀그룹에 포함된 화소셀의 갯수)을 동시에 구동하는 것을 특징으로 하는 표시장치의 구동방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0022] 본 발명은 표시장치에 관한 것으로, 특히 화소셀의 충전시간을 증가시킬 수 있는 표시장치 및 이의 구동방법에 관한 것이다.

[0023] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 대두되고 있다. 이러한 평판 표시장치로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시 패널(Plasma Display Panel) 및 발광 표시장치(Light Emitting Display) 등이 있다.

[0024] 통상적으로, 액정표시장치는 복수의 데이터라인과 복수의 게이트라인에 의해 정의되는 영역에 복수의 액정셀이 배치되며 각 액정셀에 스위치(Switch) 소자인 박막트랜지스터(Thin Film Transistor; 이하 TFT)가 형성된 TFT 기판과, 컬러필터(Color Filter)가 형성된 컬러필터 기판이 일정한 간격으로 유지되고 그 사이에 형성된 액정층을 포함한다.

[0025] 그러나, 액정표시장치는 TFT 기판과 컬러필터 기판을 통과하는 광을 이용하여 컬러 화상을 구현하기 때문에 컬러필터의 특성으로 인하여 색재현율이 떨어지는 단점이 있다.

[0026] 이러한, 관련기술에 따른 액정표시장치의 낮은 색재현율을 해결하기 위하여 필드 시퀀셜 컬러(Field Sequential Color; 이하 FSC라 함) 방식의 액정표시장치가 제안되었다.

[0027] 도 1은 종래의 FSC 방식의 액정표시장치의 구동을 설명하기 위한 도면이다.

[0028] FSC 방식의 액정표시장치는, 도 1에 도시된 바와 같이 한 프레임(Frame)을 3개의 서브 프레임(Sub-Frame)으로 시분할하고, 각 서브 프레임에서의 적색 광(R)과 녹색 광(G) 및 청색 광(B)을 가법 혼색하여 컬러 화상을 표시하게 된다. 예를 들어, 한 프레임을 3개의 서브 프레임으로 시분할하여 구동하는 FSC 방식의 액정표시장치는 제 1 서브 프레임에서의 적색 광(R)과, 제 2 서브 프레임에서의 녹색 광(G) 및 제 3 서브 프레임에서의 청색 광(B)을 일정한 비율로 가법 혼색하여 컬러 화상을 표시하게 된다.

[0029] 이를 위해, FSC 방식의 액정표시장치는 컬러필터가 필요 없으며, 적색 광(R)과 녹색 광(G) 및 청색 광(B)을 발생하는 도시하지 않은 FSC용 백라이트 유닛을 포함한다. 상기 FSC용 백라이트 유닛은 적색 광원과 녹색 광원 및 청색 광원을 포함하고, 각 광원은 발광 다이오드(Light Emitting Diode)로 구성할 수 있다.

[0030] 즉, 이러한 FSC 방식의 액정표시장치는 게이트 라인의 스캔시간 동안 적색 데이터를 액정셀에 충전시킨 후, 액정의 응답시간이 지난 다음에 적색 램프를 점등하여 ⅓ 프레임 기간보다 짧은 시간 동안에 적색을 표시한다. 이렇게 적색이 표시된후 녹색 데이터의 기입 및 녹색 램프의 점등에 이어서 청색 데이터의 기입 및 청색 램프의 점등으로 녹색과 청색이 표시된다.

[0031] 그러나, 표시장치가 대면적화되어 게이트 라인의 수가 증가하게 됨에 따라 각 게이트 라인의 구동 시간이 짧아질 수밖에 없다. 즉, 표시장치는 상기 게이트 라인들을 정해진 한 프레임 시간동안 모두 구동해야 하는데, 상기 게이트 라인의 수가 증가할수록 각 게이트 라인의 각 스캔시간이 짧아질 수밖에 없다. 이에 따라, 상기 각 게이트 라인들에 접속된 박막트랜지스터의 턴-온 시간이 짧아질 수밖에 없다.

[0032] 이외 같이 상기 스캔시간이 짧아지게 되면, 각 게이트 라인이 해당 전압으로 충분히 충전되기가 어려워진다. 종래에는 상기 박막트랜지스터의 사이즈를 크게 설정함으로써 충전 문제를 해결하고 있다.

[0033] 그러나, 상기 박막트랜지스터의 사이즈는 디자인룰에 의해 제약을 받기 때문에, 상기 박막트랜지스터의 사이즈를 무한정 증가시킬 수는 없다.

[0034] 따라서, 종래의 FSC 방식의 액정표시장치는 여전히 스캔시간의 감소에 따른 문제점을 가질 수밖에 없다.

발명이 이루고자 하는 기술적 과제

[0035] 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, 다수의 화소셀들을 화소셀그룹으로 나누어 구동하고, 또한 각 화소셀그룹에 개별적으로 데이터 라인을 제공함으로써 박막트랜지스터의 스캔시간을 증가시킬 수 있는 표시장치 및 이의 구동방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

[0036] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시장치는, 적어도 하나의 제 1 화소셀그룹 및 적어도 하나의 제 2 화소셀그룹으로 나누어진 다수의 화소셀들; 상기 제 1 화소셀그룹의 화소셀들에 접속된 제 1 데이터 라인; 상기 제 2 화소셀그룹의 화소셀들에 접속된 제 2 데이터 라인; 및, 상기 제 1 화소셀그룹내의 적어도 하나의 화소셀과, 상기 제 2 화소셀그룹내의 적어도 하나의 화소셀을 동시에 구동하는 게이트 드라이버를 포함하여 구성됨을 그 특징으로 한다.

[0037] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 표시장치의 구동방법은, 적어도 하나의 제 1 화소셀그룹 및 적어도 하나의 제 2 화소셀그룹으로 나누어진 다수의 화소셀들과, 상기 제 1 화소셀그룹의 화소셀들에 접속된 제 1 데이터 라인과, 상기 제 2 화소셀그룹의 화소셀들에 접속된 제 2 데이터 라인을 포함하는 표시장치의 구동방법에 있어서, 상기 제 1 화소셀그룹내의 적어도 하나의 화소셀과, 상기 제 2 화소셀그룹내의 적어도 하나의 화소셀을 동시에 구동하는 것을 그 특징으로 한다.

각 화소셀그룹은 서로 다른 수의 화소셀을 갖는 것을 특징으로 한다.

제 1 화소셀그룹과 제 2 화소셀그룹이 서로 다른 수의 화소셀을 갖는 것을 특징으로 한다.

[0038] 이하, 첨부된 도면을 참조하여 본 발명의 실시예에 따른 표시장치를 상세히 설명하면 다음과 같다.

[0039] 도 2는 본 발명의 실시예에 따른 표시장치를 나타낸 도면이다.

[0040] 본 발명의 실시예에 따른 액정표시장치는, 데이터 라인(DL)들과 게이트 라인(GL)들에 의해 정의되는 각 영역마다 화소셀(PXL)들이 형성된 표시부(200)와, 상기 표시부(200)에 녹색과 적색 및 청색 광을 순차적으로 조사하기 위한 백 라이트 유닛(204)과, 한 프레임을 복수의 서브 프레임으로 시분할하여 표시부(200)의 데이터 라인(DL)들에 데이터를 공급하기 위한 데이터 드라이버(202)와, 표시부(200)의 게이트 라인(GL)들을 구동하기 위한 게이트 드라이버(201)와, 데이터 드라이버(202)와 게이트 드라이버(201) 및 백 라이트 유닛(204)을 제어하기 위한 타이밍 콘트롤러(203)를 포함한다.

[0041] 여기서, 상기 열거한 구성요소에 대하여 좀 더 구체적으로 설명하면 다음과 같다.

[0042] 상기 타이밍 콘트롤러(203)는 외부로부터 입력되는 수평/수직 동기신호(Vsync, Hsync)와 메인클럭(MCLK)을 이용하여 데이터 제어신호(DCS), 게이트 제어신호(GCS)를 발생한다. 여기서, 데이터 제어신호(DCS)에는 도트클럭(Dclk), 소스 스타트 펄스(Source Start Pulse; SSP), 소스 쉬프트 클럭(Source Shift Clock; SSC), 소스 출력 이네이블(Source Output Enable; SOE) 및 극성 제어신호(POL) 등을 포함한다. 게이트 제어신호(GCS)에는 게이트 스타트 펄스(Gate Start Pulse; GSP), 게이트 쉬프트 클럭(Gate Shift Clock; GSC) 및 게이트 출력 이네이블(Gate Output Enable; GOE) 등을 포함한다.

[0043] 또한, 상기 타이밍 콘트롤러(203)는 외부로부터 공급되는 수평/수직 동기신호(Vsync, Hsync)와 메인클럭(MCLK)을 이용하여 한 프레임 동안 적색과 녹색 및 청색 광원(221, 222, 223)을 순차적으로 구동시키기 위한 광원 제

어신호(LCS)를 발생하여 백 라이트 유닛(204)에 공급한다.

[0044] 그리고, 타이밍 콘트롤러(203)는 필드 시퀀셜 컬러(Field Sequential Color; 이하 FSC라 함) 구동방식에 알맞도록 외부로부터 입력되는 소스 데이터(RGB)를 녹색과 적색 및 청색 데이터의 순서로 재정렬하고, 한 프레임의 각 서브 프레임 마다 정렬된 녹색과 적색 및 청색 데이터를 순차적으로 데이터 드라이버(202)에 공급한다.

[0045] 게이트 드라이버(201)는 타이밍 콘트롤러(203)로부터의 게이트 제어신호(GCS) 중 게이트 스타트 펄스(GSP)에 응답하여 순차적으로 스캔펄스를 발생하는 쉬프트 레지스터와, 상기 스캔펄스의 전압을 화소셀(PXL)의구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터 등으로 구성된다. 이러한, 게이트 드라이버(201)는 타이밍 콘트롤러(203)로부터 공급되는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭에 따라 순차적으로 쉬프트시켜 한 프레임의 각 서브 프레임마다 스캔펄스를 게이트 라인(GL)들에 공급한다. 이때, 상기 게이트 드라이버(201)는 적어도 2개의 게이트 라인(GL)을 동시에 구동한다.

[0046] 데이터 드라이버(202)는 타이밍 콘트롤러(203)로부터의 데이터 제어신호(DCS)에 따라 타이밍 콘트롤러(203)로부터 공급되는 데이터를 샘플링한 후에, 샘플링된 데이터를 1 라인분씩 래치하고 래치된 데이터를 감마전압에 대응되는 아날로그 데이터로 변환하여 데이터 라인(DL)들에 공급한다. 이에 따라, 데이터 드라이버(202)는 한 프레임의 제 1 서브 프레임에 적색 데이터를 데이터 라인(DL)들에 공급하고, 제 2 서브 프레임에 녹색 데이터를 데이터 라인(DL)들에 공급하며, 제 3 서브 프레임(SF3)에 청색 데이터를 데이터 라인(DL)들에 공급한다.

[0047] 백 라이트 유닛(204)은 표시부(200)에 적색 광(R)을 조사하기 위한 적색 광원(221)과, 표시부(200)에 녹색 광(G)을 조사하기 위한 녹색 광원(222)과, 표시부(200)에 청색 광(B)을 조사하기 위한 청색 광원(223)과, 적색과 녹색 및 청색 광원(221, 222, 223) 각각을 구동시키기 위한 광원 구동부(205)를 구비한다.

[0048] 적색과 녹색 및 청색 광원(221, 222, 223) 각각은 광원 구동부(205)의 구동신호에 응답하여 한 프레임 동안 순차적으로 적색 광(R), 녹색 광(G) 및 적색 광(R)을 발생하여 표시부(200)에조사한다. 이러한, 적색과 녹색 및 청색 광원(221, 222, 223) 각각은 형광 램프이거나 발광 다이오드가 될 수 있다.

[0049] 상기 광원 구동부(205)는 타이밍 컨트롤러(203)로부터의 광원 제어신호(LCS)에 응답하여 적색과 녹색 및 청색 광원(221, 222, 223) 각각을 한 프레임 동안 순차적으로 구동시키게 된다. 즉, 광원 구동부(205)는 광원 제어신호(LCS)에 응답하여 한 프레임 중 제 1 서브 프레임의 후반부에 적색 광원(221)을 구동시키고, 제 2 서브 프레임의 후반부에 녹색 광원(222)을 구동시키며 제 3 서브 프레임의 후반부에 청색 광원(223)을 구동시키게 된다.

[0050] 여기서, 도 3을 참조하여 상기 표시부(200)를 좀 더 구체적으로 설명하면 다음과 같다.

[0051] 도 3은 도 2의 A부를 나타낸 도면으로서, 구체적으로 도 2의 하나의 화소셀열을 나타낸 도면이다.

[0052] 여기서, 본 발명의 표시부(200)에 구비된 각 화소셀열(A)은 모두 동일한 구조를 가지므로, 하나의 화소셀열(A)만을 대표적으로 설명하기로 한다.

[0053] 한편, 설명의 편의상 상기 화소셀열(A)이 9개의 화소셀(PXL)들을 가진다고 가정하자. 그리고, 제 1 내지 제 3 화소셀그룹(Gr1 내지 Gr3)이 상기 9개의 화소셀(PXL)들을 나누어 갖는다고 가정하자. 즉, 각 화소셀그룹은 각각 3개씩의 화소셀(PXL)들을 갖는다. 다시말하면, 상기 제 1 화소셀그룹(Gr1)은 제 1 내지 제 3 화소셀(PX1 내지 PXL3)을 가지며, 상기 제 2 화소셀그룹(Gr2)은 제 4 내지 제 6 화소셀(PXL4 내지 PXL6)을 가지며, 그리고 상기 제 3 화소셀그룹(Gr3)은 제 7 내지 제 9 화소셀(PXL7 내지 PXL9)을 갖는다.

[0054] 제 1 내지 제 9 게이트 라인(GL1 내지 GL9)은 각각 상기 제 1 내지 제 9 화소셀(PXL1 내지 PXL9)에 독립적으로 접속된다.

[0055] 이와 같은 하나의 화소셀열(A)은 3개의 데이터 라인(DL1 내지 DL3)을 갖는다. 즉, 각 화소셀열(A)에 구비되는 화소셀그룹의 수와 데이터 라인의 수는 동일하다.

[0056] 이때, 각 화소셀그룹(Gr1 내지 Gr3)은 서로 다른 데이터 라인에 접속된다.

[0057] 즉, 상기 제 1 데이터 라인(DL1)은 상기 제 1 화소셀그룹(Gr1)내의 화소셀들, 즉 제 1 화소셀(PXL1), 제 2 화소셀(PXL2), 및 제 3 화소셀(PXL3)에 공통으로 접속된다. 그리고, 제 2 데이터 라인(DL2)은 상기 제 2 화소셀그룹(Gr2)내의 화소셀들, 즉 제 4 화소셀(PXL4), 제 5 화소셀(PXL5), 및 제 6 화소셀(PXL6)에 공통으로 접속된다. 그리고, 상기 제 3 데이터 라인(DL3)은 상기 제 3 화소셀그룹(Gr3)내의 화소셀들, 즉 제 7 화소셀(PXL7), 제 8 화소셀(PXL8), 및 제 9 화소셀(PXL9)에 공통으로 접속된다.

[0058] 여기서, 동일 화소셀그룹내의 화소셀(PXL)들에 접속된 게이트 라인(GL1 내지 GL9)은 순차적으로 구동된다.

[0059] 즉, 제 1 화소셀그룹(Gr1)내의 제 1 내지 제 3 화소셀(PX1 내지 PXL3)에 접속된 제 1 내지 제 3 게이트 라인(GL1 내지 GL3)은 순차적으로 출력되는 제 1 내지 제 3 스캔펄스(SP1 내지 SP3)를 공급받아 차례로 구동된다. 이에 따라 상기 제 1 내지 제 3 화소셀(PX1 내지 PXL3)이 제 1 방향으로 순차적으로 구동된다.

[0060] 그리고, 제 2 화소셀그룹(Gr2)내의 제 4 내지 제 6 화소셀(PXL4 내지 PXL6)에 접속된 제 4 내지 제 6 게이트 라인(GL4 내지 GL6)은 순차적으로 출력되는 제 4 내지 제 6 스캔펄스(SP4 내지 SP6)를 공급받아 차례로 구동된다. 이에 따라 상기 제 4 내지 제 6 화소셀(PXL4 내지 PXL6)이 제 1 방향으로 순차적으로 구동된다.

[0061] 그리고, 제 3 화소셀그룹(Gr3)내의 제 7 내지 제 9 화소셀(PXL7 내지 PXL9)에 접속된 제 7 내지 제 9 게이트 라인(GL7 내지 GL9)은 순차적으로 출력되는 제 7 내지 제 9 스캔펄스(SP7 내지 SP9)를 공급받아 차례로 구동된다. 이에 따라 상기 제 7 내지 제 9 화소셀(PXL7 내지 PXL9)이 제 1 방향으로 순차적으로 구동된다.

[0062] 이때, 각 화소셀그룹(Gr1 내지 Gr3)간의 대응되는 화소셀(PXL1 내지 PXL9)들에 접속된 게이트 라인(GL1 내지 GL9)은 동시에 구동된다.

[0063] 즉, 상기 제 1 화소셀(PXL1)에 접속된 제 1 게이트 라인(GL1), 상기 제 4 화소셀(PXL4)에 접속된 제 4 게이트 라인(GL4), 및 상기 제 7 화소셀(PXL7)에 접속된 제 7 게이트 라인(GL7)은 동일한 타이밍에 스캔펄스(SP1, SP4, SP7)를 공급받아 동시에 구동되며 상기 제 2 화소셀(PXL2)에 접속된 제 2 게이트 라인(GL2), 상기 제 5 화소셀(PXL5)에 접속된 제 5 게이트 라인(GL5), 상기 제 8 화소셀(PXL8)에 접속된 제 8 게이트 라인(GL8)은 동일한 타이밍에 스캔펄스(SP2, SP5, SP8)를 공급받아 동시에 구동되며 상기 제 3 화소셀(PXL3)에 접속된 제 3 게이트 라인(GL3), 상기 제 6 화소셀(PXL6)에 접속된 제 6 게이트 라인(GL6), 및 상기 제 9 화소셀(PXL9)에 접속된 제 9 게이트 라인(GL9)은 동일한 타이밍에 스캔펄스(SP3, SP6, SP9)를 공급받아 동시에 구동된다.

[0064] 이를 위해, 상기 제 1 게이트 라인(GL1)에 공급되는 제 1 스캔펄스(SP1), 상기 제 4 게이트 라인(GL4)에 공급되는 제 4 스캔펄스(SP4), 및 상기 제 7 게이트 라인(GL7)에 공급되는 제 7 스캔펄스(SP7)는 동시에 출력되며 상기 제 2 게이트 라인(GL2)에 공급되는 제 2 스캔펄스(SP2), 상기 제 5 게이트 라인(GL5)에 공급되는 제 5 스캔펄스(SP5), 및 상기 제 8 게이트 라인(GL8)에 공급되는 제 8 스캔펄스(SP8)는 동시에 출력되며 상기 제 3 게이트 라인(GL3)에 공급되는 제 3 스캔펄스(SP3), 상기 제 6 게이트 라인(GL6)에 공급되는 제 6 스캔펄스(SP6), 상기 제 9 게이트 라인(GL9)에 공급되는 제 9 스캔펄스(SP9)는 동시에 출력된다.

[0065] 여기서, 상기 각 화소셀(PXL)의 구조를 상세히 설명하면 다음과 같다.

[0066] 도 4a는 도 3의 제 1 화소셀그룹에 구비된 제 1 화소셀의 구조를 나타낸 도면이다.

[0067] 제 1 화소셀(PXL1)은, 도 4a에 도시된 바와 같이, 제 1 게이트 라인(GL1)으로부터의 제 1 스캔펄스(SP1)에 응답하여 제 1 데이터 라인(DL1)으로부터의 데이터 신호를 출력하는 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)로부터의 데이터 신호를 공급받는 화소 전극(PE)과, 상기 화소 전극(PE)과 대향하도록 위치한 공통 전극(도시되지 않음)과, 상기 화소 전극(PE)과 공통 전극 사이에 형성된 액정층(도시되지 않음)을 포함한다.

[0068] 여기서, 상기 박막트랜지스터(TFT)는 상기 제 1 게이트 라인(GL1)과 상기 제 1 데이터 라인(DL1)이 교차하는 부근에 형성된다. 이 박막트랜지스터(TFT)는 상기 제 1 게이트 라인(GL1)에 접속된 게이트 전극(GE), 상기 게이트 전극(GE)을 중첩하도록 상기 게이트 전극(GE)의 상부에 형성된 반도체층(401), 상기 제 1 데이터 라인(DL1)에 접속된 소스 전극(SE), 및 상기 화소 전극(PE)에 접속된 드레인 전극(DE)을 포함한다.

[0069] 특히 제 2 및 제 3 데이터 라인(DL2, DL3)은 상기 제 1 화소셀(PXL1)을 가로질러 가기 때문에, 상기 제 1 화소셀(PXL1)의 화소 전극(PE)을 중첩하게 된다. 이에 따라, 상기 화소 전극(PE)과 상기 제 2 데이터 라인(DL2)간이 중첩하는 부분, 및 상기 화소 전극(PE)과 상기 제 3 데이터 라인(DL3)간이중첩하는 부분에 커패시터가 형성된다.

[0070] 이와 같은 커패시터가 형성되면 상기 화소 전극(PE)에 인가된 데이터 신호가 변동할 수 있으므로, 상기 화소 전극(PE)과 상기 제 2 및 제 3 데이터 라인(DL3)간이 중첩하는 부분을 최소화시키는게 중요하다.

[0071] 이를 위해 상기 화소 전극(PE)은 상기 3개의 투명 전극(TE1, TE2, TE3)과, 상기 각 투명 전극(TE1, TE2, TE3)간을 전기적으로 연결하는 2개의 연결 전극(BE1, BE2)을 갖는다.

[0072] 여기서, 제 1 투명 전극(TE1)은 상기 제 1 데이터 라인(DL1)과 제 2 데이터 라인(DL2) 사이에 위치하고, 제 2 투명 전극(TE2)은 상기 제 2 데이터 라인(DL2)과 제 3 데이터 라인(DL3) 사이에 위치하고, 제 3 투명 전극(TE

3)은 상기 제 3 데이터 라인(DL3)과 제 1 데이터 라인(DL1)(상기 제 1 화소셀(PXL1)과 인접한 화소셀(PXL)에 구비된 제 1 데이터 라인(DL1)) 사이에 위치한다. 여기서, 상기 박막트랜지스터(TFT)의 드레인 전극(DE)은 상기 제 1 투명 전극(TE1), 제 2 투명 전극(TE2), 제 3 투명 전극(TE3), 제 1 연결 전극(BE1), 및 제 2 연결 전극(BE2) 중 어디에도 연결될 수 있으나, 상기 박막트랜지스터(TFT)의 위치상 상기 제 1 투명 전극(TE1)에 연결되는 것이 바람직하다.

[0073] 그리고, 제 1 연결 전극(BE1)은 상기 제 1 투명 전극(TE1)과 상기 제 2 투명 전극(TE2)간을 전기적으로 연결하고, 제 2 연결 전극(BE2)은 상기 제 2 투명 전극(TE2)과 상기 제 3 투명 전극(TE3)간을 전기적으로 연결한다.

[0074] 따라서, 상기 제 1 내지 제 3 투명 전극(TE1 내지 TE3)은 상기 제 2 및 제 3 데이터 라인(DL2, DL3)과 중첩하지 않는다. 단, 상기 제 1 연결 전극(BE1)은 상기 제 2 데이터 라인(DL2)의 일부를 중첩하고, 상기 제 2 연결 전극(BE2)은 상기 제 3 데이터 라인(DL3)의 일부를 중첩하게 된다. 이에 따라, 상기 화소 전극(PE)과 상기 제 2 및 제 3 데이터 라인(DL2, DL3)간이 중첩되는 부분을 최소화할 수 있다.

[0075] 여기서, 상기 중첩부분을 더욱 최소화하기 위해서는 상기 제 1 및 제 2 연결 전극(BE1, BE2)의 면적을 최소화시키는 것이 좋다. 즉, 상기 제 1 및 제 2 연결 전극(BE1, BE2)은 상기 각 투명 전극(TE1, TE2, TE3)간이 전기적으로 분리되지 않을 정도의 면적을 가지는 것이 바람직하다.

[0076] 한편, 제 1 화소셀그룹(Gr1)에 포함된 나머지 화소셀(PXL)들도 상술한 제 1 화소셀(PXL1)과 동일한 구성을 갖는다. 즉, 제 2 및 제 3 화소셀(PXL2, PXL3)도 상기 제 1 화소셀(PXL1)과 동일한 구성을 갖는다.

[0077] 도 4b는 도 3의 제 2 화소셀그룹에 구비된 제 4 화소셀의 구조를 나타낸 도면이다.

[0078] 제 4 화소셀(PXL4)은, 도 4b에 도시된 바와 같이, 제 4 게이트 라인(GL4)으로부터의 제 4 스캔펄스(SP4)에 응답하여 제 2 데이터 라인(DL2)으로부터의 데이터 신호를 출력하는 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)로부터의 데이터 신호를 공급받는 화소 전극(PE)과, 상기 화소 전극(PE)과 대향하도록 위치한 공통 전극과, 상기 화소 전극(PE)과 공통 전극 사이에 형성된 액정층을 포함한다.

[0079] 여기서, 상기 박막트랜지스터(TFT)는 상기 제 4 게이트 라인(GL4)과 상기 제 2 데이터 라인(DL2)이 교차하는 부근에 형성된다. 이 박막트랜지스터(TFT)는 상기 제 4 게이트 라인(GL4)에 접속된 게이트 전극(GE), 상기 게이트 전극(GE)을 중첩하도록 상기 게이트 전극(GE)의 상부에 형성된 반도체층(401), 상기 제 2 데이터 라인(DL2)에 접속된 소스 전극(SE), 상기 화소 전극(PE)에 접속된 드레인 전극(DE)을 포함한다.

[0080] 이 제 4 화소셀(PXL4)에 구비된 화소 전극(PE)도 상술한 제 1 화소셀(PXL1)의 화소 전극(PE)과 동일한 형상을 갖는다. 단, 상기 제 4 화소셀(PXL4)에서 상기 박막트랜지스터(TFT)의 드레인 전극(DE)은 상기 제 1 투명 전극(TE1), 제 2 투명 전극(TE2), 제 3 투명 전극(TE3), 제 1 연결 전극(BE1), 및 제 2 연결 전극(BE2) 중 어디에도 연결될 수 있으나, 상기 박막트랜지스터(TFT)의 위치상 상기 제 2 투명 전극(TE2)에 연결되는 것이 바람직하다.

[0081] 한편, 제 2 화소셀그룹(Gr2)에 포함된 나머지 화소셀(PXL)들도 상술한 제 4 화소셀(PXL4)과 동일한 구성을 갖는다. 즉, 제 5 및 제 6 화소셀(PXL5, PXL6)도 상기 제 4 화소셀(PXL4)과 동일한 구성을 갖는다.

[0082] 도 4c는 도 3의 제 3 화소셀그룹에 구비된 제 7 화소셀의 구조를 나타낸 도면이다.

[0083] 제 7 화소셀(PXL7)은, 도 4c에 도시된 바와 같이, 제 7 게이트 라인(GL7)으로부터의 제 7 스캔펄스(SP7)에 응답하여 제 3 데이터 라인(DL3)으로부터의 데이터 신호를 출력하는 박막트랜지스터(TFT)와, 상기 박막트랜지스터(TFT)로부터의 데이터 신호를 공급받는 화소 전극(PE)과, 상기 화소 전극(PE)과 대향하도록 위치한 공통 전극과, 상기 화소 전극(PE)과 공통 전극 사이에 형성된 액정층을 포함한다.

[0084] 여기서, 상기 박막트랜지스터(TFT)는 상기 제 7 게이트 라인(GL7)과 상기 제 3 데이터 라인(DL3)이 교차하는 부근에 형성된다. 이 박막트랜지스터(TFT)는 상기 제 7 게이트 라인(GL7)에 접속된 게이트 전극(GE), 상기 게이트 전극(GE)을 중첩하도록 상기 게이트 전극(GE)의 상부에 형성된 반도체층(401), 상기 제 3 데이터 라인(DL3)에 접속된 소스 전극(SE), 상기 화소 전극(PE)에 접속된 드레인 전극(DE)을 포함한다.

[0085] 이 제 7 화소셀(PXL7)에 구비된 화소 전극(PE)도 상술한 제 1 화소셀(PXL1)의 화소 전극(PE)과 동일한 형상을 갖는다. 단, 상기 제 7 화소셀(PXL7)에서 상기 박막트랜지스터(TFT)의 드레인 전극(DE)은 상기 제 1 투명 전극(TE1), 제 2 투명 전극(TE2), 제 3 투명 전극(TE3), 제 1 연결 전극(BE1), 및 제 2 연결 전극(BE2) 중 어디에도 연결될 수 있으나, 상기 박막트랜지스터(TFT)의 위치상 상기 제 3 투명 전극(TE3)에 연결되는 것이 바람직하

다.

[0086] 한편, 제 3 화소셀그룹(Gr3)에 포함된 나머지 화소셀(PXL)들도 상술한 제 7 화소셀(PXL7)과 동일한 구성을 갖는다. 즉, 제 8 및 제 9 화소셀(PXL8, PXL9)도 상기 제 7 화소셀(PXL7)과 동일한 구성을 갖는다.

[0087] 여기서, 상기 제 3 화소셀그룹(Gr3)에 구비된 화소셀들(PXL1, PXL2, PXL3)은 제 2 화소셀그룹(Gr2)에 구비된 화소셀들(PXL4, PXL5, PXL6)보다 데이터 드라이버(202)로부터 더 멀리 위치하며, 그리고, 상기 제 2 화소셀그룹(Gr2)에 구비된 화소셀들(PXL4, PXL5, PXL6)은 제 1 화소셀그룹(Gr1)에 구비된 화소셀들(PXL1, PXL2, PXL3)보다 상기 데이터 드라이버(202)로부터 더 멀리 위치한다. 즉, 상기 제 1 화소셀그룹(Gr1)에 구비된 화소셀들(PXL1, PXL2, PXL3)이 상기 데이터 드라이버에 가장 근접하게 위치한다. 이에 따라, 상기 제 3 화소셀그룹(Gr3)의 화소셀들(PXL7, PXL8, PXL9)에 공급되는 데이터 신호의 왜곡정도가 상기 제 2 화소셀그룹(Gr2)의 화소셀들(PXL4, PXL5, PXL6)에 공급되는 데이터 신호의 왜곡정도보다 크고, 그리고 상기 제 2 화소셀그룹(Gr2)의 화소셀들(PXL4, PXL5, PXL6)에 공급되는 데이터 신호의 왜곡정도가 제 1 화소셀그룹(Gr1)의 화소셀들(PXL1, PXL2, PXL3)에 공급되는 데이터 신호의 왜곡정도보다 더 크게 된다.

[0088] 이와 같은 각 화소셀그룹간의 왜곡편차를 줄이기 위해, 상기 제 1 화소셀그룹(Gr1)에 접속된 제 1 데이터 라인(DL1)의 폭을 가장 작게 하고, 상기 제 2 화소셀그룹(Gr2)에 접속된 제 2 데이터 라인(DL2)의 폭을 상기 제 1 데이터 라인(DL1)의 폭보다 크게 하고, 상기 제 3 데이터 라인(DL3)의 폭을 상기 제 2 데이터 라인(DL2)의 폭보다 크게 제조하는 것이 바람직하다.

[0089] 본 발명의 실시예에 따른 표시장치는, 도 5에 도시된 바와 같이, 기판(500)상에 형성된 게이트 전극(GE)과, 상기 게이트 전극(GE)을 포함한 기판(500)의 전면에 형성된 게이트 절연막(GI)과, 상기 게이트 전극(GE)을 중첩하도록 상기 게이트 절연막(GI)상에 형성된 반도체층(401)과, 상기 반도체층(401)의 양측 가장자리에 형성된 소스/드레인 전극(SE, DE) 및 상기 게이트 절연막상에 형성된 데이터 라인(DL2, DL3)과, 상기 소스/드레인 전극(SE, DE) 및 상기 데이터 라인(DL2, DL3)을 포함한 기판(500)의 전면에 형성된 보호층(514)과, 상기 보호층(514)을 관통하여 상기 드레인 전극(DE)의 일부를 노출시키는 콘택홀(C)을 통해 상기 드레인 전극(DE)에 연결된 화소 전극(PE)을 포함한다.

[0090] 여기서, 상기 소스/드레인 전극(SE, DE)과 상기 반도체층(401) 사이에는 오믹 콘택층(502)이 더 형성된다.

[0091] 상기 화소 전극(PE)과 데이터 라인(DL2, DL3)이 중첩하는 부분에는 커패시터가 형성될 수 있는데, 이러한 커패시터의 형성을 방지하기 위해 상기 보호층(514)는 유기 절연막을 사용하여 형성하는 것이 바람직하다.

[0092] 상기 보호층(514)은 무기 절연막을 사용하여 형성할 수도 있다.

[0093] 상기 유기 절연막은 상기 무기 절연막에 비하여 유전율이 낮고, 상기 무기 절연막보다 더 두껍게 증착하는 것이 가능하기 때문에, 상기 보호층(514)은 유기 절연막으로 형성하는 것이 바람직하다.

[0094] 이와 같이 구성된 본 발명의 실시예에 따른 표시장치의 동작을 상세히 설명하면 다음과 같다.

[0095] 도 6a 내지 도 6c는 본 발명의 실시예에 따른 표시장치의 동작을 설명하기 위한 도면이다.

[0096] 먼저, 도 6a에 도시된 바와 같이, 게이트 드라이버(201)는 제 1, 제 4, 및 제 7 스캔펄스(SP1, SP4, SP7)를 동시에 출력하여 상기 제 1 스캔펄스(SP1)를 제 1 게이트 라인(GL1)에 공급하고, 상기 제 4 스캔펄스(SP4)를 제 4 게이트 라인(GL4)에 공급하고, 상기 제 7 스캔펄스(SP7)를 제 7 게이트 라인(GL7)에 공급한다. 이에 따라, 상기 제 1, 제 4, 및 제 7 게이트 라인(GL1, GL4, GL7)이 동시에 구동된다.

[0097] 그러면, 상기 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1), 상기 제 4 게이트 라인(GL4)에 접속된 제 4 화소셀(PXL4), 및 상기 제 7 게이트 라인(GL7)에 접속된제 7 화소셀(PXL7)이 동시에 구동된다. 즉, 상기 제 1 화소셀(PXL1)의 박막트랜지스터(TFT), 제 4 화소셀(PXL4)의 박막트랜지스터(TFT), 및 상기 제 7 화소셀(PXL7)의 박막트랜지스터(TFT)가 동시에 턴-온된다.

[0098] 또한, 데이터 드라이버(202)는 제 1 내지 제 3 데이터 신호(data3)를 동시에 출력하여 상기 제 1 데이터 신호(data1)를 제 1 데이터 라인(DL1)에 공급하고, 상기 제 2 데이터 신호(data2)를 제 2 데이터 라인(DL2)에 공급하고, 상기 제 3 데이터 신호(data3)를 제 3 데이터 라인(DL3)에 공급한다.

[0099] 그러면, 상기 제 1 데이터 라인(DL1)에 충전된 제 1 데이터 신호(data1)는 상기 제 1 데이터 라인(DL1)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 1 화소셀(PXL1)에 공급된다. 즉, 이 제 1 데이터 신호(data1)는 상기 제 1 화소셀(PXL1)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 1 화소셀(PXL1)의 화소 전

극(PE)에 공급된다. 이에 따라, 상기 제 1 화소셀(PXL1)은 상기 제 1 데이터 신호(data1)에 따른 화상을 표시한다.

[0100] 그리고, 상기 제 2 데이터 라인(DL2)에 충전된 제 2 데이터 신호(data2)는 상기 제 2 데이터 라인(DL2)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 4 화소셀(PXL4)에 공급된다. 즉, 이 제 2 데이터 신호(data2)는 상기 제 4 화소셀(PXL4)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 4 화소셀(PXL4)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 4 화소셀(PXL4)은 상기 제 2 데이터 신호(data2)에 따른 화상을 표시한다.

[0101] 그리고, 상기 제 3 데이터 라인(DL3)에 충전된 제 3 데이터 신호(data3)는 상기 제 3 데이터 라인(DL3)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 7 화소셀(PXL7)에 공급된다. 즉, 이 제 3 데이터 신호(data3)는 상기 제 7 화소셀(PXL7)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 7 화소셀(PXL7)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 7 화소셀(PXL7)은 상기 제 3 데이터 신호(data3)에 따른 화상을 표시한다.

[0102] 이어서, 도 6b에 도시된 바와 같이, 상기 게이트 드라이버(201)는 제2, 제 5, 및 제 8 스캔펄스(SP2, SP5, SP8)를 동시에 출력하여 상기 제 2 스캔펄스(SP2)를 제 2 게이트 라인(GL2)에 공급하고, 상기 제 5 스캔펄스(SP5)를 제 5 게이트 라인(GL5)에 공급하고, 상기 제 8 스캔펄스(SP8)를 제 8 게이트 라인(GL8)에 공급한다. 이에 따라, 상기 제 2, 제 5, 및 제 8 게이트 라인(GL2, GL5, GL8)이 동시에 구동된다.

[0103] 그러면, 상기 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2), 상기 제 5 게이트 라인(GL5)에 접속된 제 5 화소셀(PXL5), 및 상기 제 8 게이트 라인(GL8)에 접속된제 8 화소셀(PXL8)이 동시에 구동된다. 즉, 상기 제 2 화소셀(PXL2)의 박막트랜지스터(TFT), 제 5 화소셀(PXL5)의 박막트랜지스터(TFT), 및 상기 제 8 화소셀(PXL8)의 박막트랜지스터(TFT)가 동시에 턴-온된다.

[0104] 또한, 상기 데이터 드라이버(202)는 제 4 내지 제 6 데이터 신호(data4 내지 data6)를 동시에 출력하여 상기 제 4 데이터 신호(data4)를 제 1 데이터 라인(DL1)에 공급하고, 상기 제 5 데이터 신호(data5)를 제 2 데이터 라인(DL2)에 공급하고, 상기 제 6 데이터 신호(data6)를 제 3 데이터 라인(DL3)에 공급한다.

[0105] 그러면, 상기 제 1 데이터 라인(DL1)에 충전된 제 4 데이터 신호(data4)는 상기 제 1 데이터 라인(DL1)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 2 화소셀(PXL2)에 공급된다. 즉, 이 제 4 데이터 신호(data4)는 상기 제 2 화소셀(PXL2)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 2 화소셀(PXL2)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 2 화소셀(PXL2)은 상기 제 4 데이터 신호(data4)에 따른 화상을 표시한다.

[0106] 그리고, 상기 제 2 데이터 라인(DL2)에 충전된 제 5 데이터 신호(data5)는 상기 제 2 데이터 라인(DL2)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 5 화소셀(PXL5)에 공급된다. 즉, 이 제 5 데이터 신호(data5)는 상기 제 5 화소셀(PXL5)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 5 화소셀(PXL5)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 5 화소셀(PXL5)은 상기 제 5 데이터 신호(data5)에 따른 화상을 표시한다.

[0107] 그리고, 상기 제 3 데이터 라인(DL3)에 충전된 제 6 데이터 신호(data6)는 상기 제 3 데이터 라인(DL3)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 8 화소셀(PXL8)에 공급된다. 즉, 이 제 6 데이터 신호(data6)는 상기 제 8 화소셀(PXL8)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 8 화소셀(PXL8)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 8 화소셀(PXL8)은 상기 제 6 데이터 신호(data6)에 따른 화상을 표시한다.

[0108] 이어서, 도 6c에 도시된 바와 같이, 상기 게이트 드라이버(201)는 제 3, 제 6, 및 제 9 스캔펄스(SP3, SP6, SP9)를 동시에 출력하여 상기 제 3 스캔펄스(SP3)를 제 3 게이트 라인(GL3)에 공급하고, 상기 제 6 스캔펄스(SP6)를 제 6 게이트 라인(GL6)에 공급하고, 상기 제 9 스캔펄스(SP9)를 제 9 게이트 라인(GL9)에 공급한다. 이에 따라, 상기 제 3, 제 6, 및 제 9 게이트 라인(GL3, GL6, GL9)이 동시에 구동된다.

[0109] 그러면, 상기 제 3 게이트 라인(GL3)에 접속된 제 3 화소셀(PXL3), 상기 제 6 게이트 라인(GL6)에 접속된 제 6 화소셀(PXL6), 및 상기 제 9 게이트 라인(GL9)에 접속된제 9 화소셀(PXL9)이 동시에 구동된다. 즉, 상기 제 3 화소셀(PXL3)의 박막트랜지스터(TFT), 제 6 화소셀(PXL6)의 박막트랜지스터(TFT), 및 상기 제 9 화소셀(PXL9)의 박막트랜지스터(TFT)가 동시에 턴-온된다.

[0110] 또한, 상기 데이터 드라이버(202)는 제 7 내지 제 9 데이터 신호(data7 내지 data9)를 동시에 출력하여 상기 제 7 데이터 신호(data7)를 제 1 데이터 라인(DL1)에 공급하고, 상기 제 8 데이터 신호(data8)를 제 2 데이터 라인(DL2)에 공급하고, 상기 제 9 데이터 신호(data9)를 제 3 데이터 라인(DL3)에 공급한다.

[0111] 그러면, 상기 제 1 데이터 라인(DL1)에 충전된 제 7 데이터 신호(data7)는 상기 제 1 데이터 라인(DL1)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 3 화소셀(PXL3)에 공급된다. 즉, 이 제 7 데이터 신호(data7)는 상기 제 3 화소셀(PXL3)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 3 화소셀(PXL3)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 3 화소셀(PXL3)은 상기 제 7 데이터 신호(data7)에 따른 화상을 표시한다.

[0112] 그리고, 상기 제 2 데이터 라인(DL2)에 충전된 제 8 데이터 신호(data8)는 상기 제 2 데이터 라인(DL2)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 6 화소셀(PXL6)에 공급된다. 즉, 이 제 8 데이터 신호(data8)는 상기 제 6 화소셀(PXL6)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 6 화소셀(PXL6)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 6 화소셀(PXL6)은 상기 제 8 데이터 신호(data8)에 따른 화상을 표시한다.

[0113] 그리고, 상기 제 3 데이터 라인(DL3)에 충전된 제 9 데이터 신호(data9)는 상기 제 3 데이터 라인(DL3)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 9 화소셀(PXL9)에 공급된다. 즉, 이 제 9 데이터 신호(data9)는 상기 제 9 화소셀(PXL9)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 9 화소셀(PXL9)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 9 화소셀(PXL9)은 상기 제 9 데이터 신호(data9)에 따른 화상을 표시한다.

[0114] 이와 같이 하여 제 1 서브 프레임이 완료된다. 여기서, 상기 제 1 내지 제 9 데이터 신호(data1 내지 data9)는 적색을 표현하기 위한 R 데이터 신호로서, 이 제 1 서브 프레임동안에는 백 라이트 유닛(204)으로부터 적색광(R)이 출사된다.

[0115] 이후, 상술한 바와 같은 동작으로 제 2 및 제 3 서브 프레임이 완료되면, 한 프레임이 완성된다. 이때, 상기 제 2 서브 프레임에 제 1 내지 제 3 데이터 라인(DL1 내지 DL3)에는 녹색을 표현하기 위한 G 데이터 신호가 공급된다. 이 G 데이터 신호가 공급되는 제 2 서브 프레임동안에 상기 백 라이트 유닛(204)은 녹색 광(G)을 출사한다. 그리고, 상기 제 3 서브 프레임에 제 1 내지 제 3 데이터 라인(DL1 내지 DL3)에는 청색을 표현하기 위한 B 데이터 신호가 공급된다. 이 B 데이터 신호가 공급되는 제 3 서브 프레임동안에 상기 백 라이트 유닛(204)은 청색광(B)을 출사한다.

[0116] 이와 같이, 본 발명에서는 각 화소셀그룹(Gr1 내지 Gr3)의 게이트 라인(GL1 내지 GL9)들을 동시에 구동하기 때문에 종래에 비하여 상대적으로 각 게이트 라인(GL)의 스캔시간을 증가시킬 수 있다.

[0117] 이때, 각 게이트 라인(GL)의 스캔시간은 상기 화소셀그룹(Gr1 내지 Gr3)의 수가 증가할수록 더 증가하게 된다. 즉, 상기 스캔시간은 동시에 구동되는 게이트 라인(GL)의 수가 증가할수록 더 증가한다.

[0118] 예를 들어, 종래의 표시장치는 9개의 게이트 라인(GL)을 한 서브 프레임 시간(9 수평시간에 해당한다고 가정하자)안에 구동하기 위해서 각 게이트 라인(GL1 내지 GL9)을 1수평시간동안 스캔한다. 반면, 본 발명의 표시장치는 9개의 게이트 라인(GL1 내지 GL9)을 한 서브 프레임 시간안에 구동하기 위해서 각 게이트 라인(GL1 내지 GL9)을 3수평시간동안 스캔한다.

[0119] 따라서, 본 발명의 표시장치는 종래의 표시장치에 비하여 각 게이트 라인(GL)을 3배 정도 긴 시간동안 스캔할 수 있다. 결국, 각 화소셀(PXL)에 구비된 박막트랜지스터(TFT)는 종래의 그것보다도 3배 정도 더 긴 시간동안 턴-온상태를 유지할 수 있으며, 이에 따라 본 발명에서는 상기 박막트랜지스터(TFT)의 사이즈를 크게 하지 않더라도 각 화소셀(PXL)의 충전시간을 충분히 확보할 수 있다.

[0120] 한편, 상기 각 화소셀(PXL)의 개구율을 증가시키기 위해, 상기 화소셀(PXL)들을 포함하는 각 화소셀열(A)은 다음과 같은 구조를 가질 수 있다.

[0121] 여기서, 본 발명의 표시장치에 구비된 모든 화소셀열(A)들은 모두 동일한 구성을 가지므로, 하나의 화소셀열(A)만을 대표적으로 설명하기로 한다.

[0122] 도 7은 도 2의 A부에 대한 또 다른 구조를 나타낸 도면으로서, 동 도면에 도시된 바와 같이, 제 1 내지 제 3 데이터 라인(DL1` 내지 DL3`)은 서로 다른 길이를 갖는다.

[0123] 즉, 제 n(n은 2이상의 자연수) 데이터 라인은 제 1 화소셀그룹(Gr1)의 화소셀들 내지 제 n 화소셀그룹의 화소셀들을 모두 중첩할 정도의 길이를 가진다.

[0124] 예를 들어, 제 2 데이터 라인(DL2`)의 일단은 데이터 드라이버(202)에 접속되며, 타단이 제 1 화소셀그룹(Gr1)의 화소셀(PXL1 내지 PXL3)들 및 제 2 화소셀그룹(Gr2)의 화소셀(PXL4 내지 PXL6)들을 모두 중첩할 정도의 길이를 가지도록 연장된다. 그리고, 제 3 데이터 라인(DL3`)의 일단은 상기 데이터 드라이버(204)에 접속되며, 타단이 상기 제 1 화소셀그룹(Gr1)의 화소셀(PXL1 내지 PXL3)들 내지 제 3 화소셀그룹(Gr3)의 화소셀(PXL7 내지 PXL9)들을 모두 중첩할 정도의 길이를 갖는다.

[0125] 한편, 제 1 데이터 라인(DL1`)은 어떤 화소셀도 중첩하지 않으며, 상기 제 2 데이터 라인(DL2`)보다 짧다.

[0126] 이에 따라, 제 1 화소셀그룹(Gr1)을 제외한 나머지 화소셀그룹(Gr2, Gr3)의 각 화소셀(PXL4 내지 PXL9)들은 도 3에 도시된 각 화소셀(PXL1 내지 PXL9)보다 더 높은 개구율을 갖는다.

[0127] 이때, 상기 제 1 화소셀그룹(Gr1)의 각 화소셀(PXL1 내지 PXL3)들에 각각 구비된 화소 전극(PE)은, 도 4a에 도시된 화소 전극(PE)처럼 3개의 투명 전극(TE1, TE2, TE3)과 2개의 연결 전극(BE1, BE2)으로 이루어진다.

[0128] 그리고, 상기 제 2 화소셀그룹(Gr2)의 각 화소셀(PXL4 내지 PXL6)들에 각각 구비된 화소 전극(PE)은, 도 4b에 도시된 화소 전극(PE)처럼 3개의 투명 전극(TE1 내지 TE3)과 2개의 연결 전극(BE1, BE2)으로 이루어진다.

[0129] 그리고, 상기 제 3 화소셀그룹(Gr3)의 각 화소셀(PXL7 내지 PXL9)들에 각각 구비된 화소 전극(PE)은, 2개의 투명 전극과 1개의 연결 전극으로 이루어진다.

[0130] 여기서, 상기 각 데이터 라인(DL1`, DL2`, DL3`)간의 길이가 다르기 때문에, 각 데이터 라인(DL1`, DL2`, DL3`)간의 저항 및 커패시턴스(RC load)의 차이가 발생할 수 있다. 이를 방지하기 위해, 길이가 가장 짧은 제 1 데이터 라인(DL1`)의 폭을 가장 작게 하고, 제 2 데이터 라인(DL2`)의 폭을 상기 제 1 데이터 라인(DL11)의 폭보다 크게 하고, 그리고 제 3 데이터 라인(DL3`)의 폭을 제 2 데이터 라인(DL2`)의 폭보다 크게 하는 것이 바람직하다.

[0131] 도 8은 도 2의 A부의 또 다른 구동방식을 설명하기 위한 도면이다.

[0132] 여기서, 본 발명의 표시부(200)에 구비된 각 화소셀열(A)은 모두 동일한 구조를 가지므로, 하나의 화소셀열(A)만을 대표적으로 설명하기로 한다.

[0133] 한편, 설명의 편의상 상기 화소셀열(A)이 9개의 화소셀(PXL)들을 가진다고 가정하자. 그리고, 제 1 내지 제 3 화소셀그룹(Gr1 내지 Gr3)이 상기 9개의 화소셀(PXL)들을 나누어 갖는다고 가정하자. 즉, 각 화소셀그룹은 각각 3개씩의 화소셀(PXL)들을 갖는다. 다시말하면, 상기 제 1 화소셀그룹(Gr1)은 제 1 내지 제 3 화소셀(PX1 내지 PXL3)을 가지며, 상기 제 2 화소셀그룹(Gr2)은 제 4 내지 제 6 화소셀(PXL4 내지 PXL6)을 가지며, 그리고 상기 제 3 화소셀그룹(Gr3)은 제 7 내지 제 9 화소셀(PXL7 내지 PXL9)을 갖는다.

[0134] 제 1 내지 제 9 게이트 라인(GL1 내지 GL9)은 각각 상기 제 1 내지 제 9 화소셀(PXL1 내지 PXL9)에 독립적으로 접속된다.

[0135] 이와 같은 하나의 화소셀열(A)은 3개의 데이터 라인(DL1 내지 DL3)을 갖는다. 즉, 각 화소셀열(A)에 구비되는 화소셀그룹의 수와 데이터 라인의 수는 동일하다.

[0136] 이때, 각 화소셀그룹(Gr1 내지 Gr3)은 서로 다른 데이터 라인에 접속된다.

[0137] 즉, 상기 제 1 데이터 라인(DL1)은 상기 제 1 화소셀그룹(Gr1)내의 화소셀들, 즉 제 1 화소셀(PXL1), 제 2 화소셀(PXL2), 및 제 3 화소셀(PXL3)에 공통으로 접속된다. 그리고, 제 2 데이터 라인(DL2)은 상기 제 2 화소셀그룹(Gr2)내의 화소셀들, 즉 제 4 화소셀(PXL4), 제 5 화소셀(PXL5), 및 제 6 화소셀(PXL6)에 공통으로 접속된다. 그리고, 상기 제 3 데이터 라인(DL3)은 상기 제 3 화소셀그룹(Gr3)내의 화소셀들, 즉 제 7 화소셀(PXL7), 제 8 화소셀(PXL8), 및 제 9 화소셀(PXL9)에 공통으로 접속된다.

[0138] 여기서, 동일 화소셀그룹내의 화소셀(PXL)들에 접속된 게이트 라인(GL1 내지 GL9)은 순차적으로 구동된다. 이때, 2n-1(n은 자연수) 번째 화소셀그룹의 가장 상측에 위치한 게이트 라인으로부터 m(m은 자연수) 번째 위치한 게이트 라인과, 2n 번째 화소셀그룹의 가장 하측에 위치한 게이트 라인으로부터 m 번째 위치한 게이트 라인은 동시에 구동된다.

[0139] 즉, 제 1 화소셀그룹(Gr1)내의 제 1 내지 제 3 화소셀(PX1 내지 PXL3)에 접속된 제 1 내지 제 3 게이트 라인

(GL1 내지 GL3)은 순차적으로 출력되는 제 1 내지 제 3 스캔펄스(SP1 내지 SP3)를 공급받아 제 1 방향으로 차례로 구동된다. 다시말하면, 상기 제 1 화소그룹(Gr1)내의 게이트 라인들(GL1 내지 GL3)은 가장 상측에 위치한 게이트 라인(GL1)부터 가장 하측에 위치한 게이트 라인(GL3)까지 순차적으로 구동된다. 구체적으로, 상기 제 1 스캔펄스(SP1)에 의해 상기 제 1 게이트 라인(GL1)이 가장 먼저 구동되고, 이어서 상기 제 2 스캔펄스(SP2)에 의해 상기 제 2 게이트 라인(GL2)이 구동되고, 상기 제 3 스캔펄스(SP3)에 의해서 상기 제 3 게이트 라인(GL3)이 가장 마지막으로 구동된다. 이에 따라 상기 제 1 내지 제 3 화소셀(PX1 내지 PXL3)이 제 1 방향으로 순차적으로 구동된다.

[0140] 그리고, 제 2 화소셀그룹(Gr2)내의 제 4 내지 제 6 화소셀(PXL4 내지 PXL6)에 접속된 제 4 내지 제 6 게이트 라인(GL4 내지 GL6)은 순차적으로 출력되는 제 4 내지 제 6 스캔펄스(SP4 내지 SP6)를 공급받아 제 2 방향으로 차례로 구동된다. 이에 따라 상기 제 4 내지 제 6 화소셀(PXL4 내지 PXL6)이 순차적으로 구동된다. 다시말하면, 상기 제 2 화소그룹(Gr2)내의 게이트 라인들(GL4 내지 GL6)은 가장 하측에 위치한 게이트 라인(GL6)부터 가장 상측에 위치한 게이트 라인(GL4)까지 순차적으로 구동된다. 구체적으로, 상기 제 4 스캔펄스(SP4)에 의해 제 6 게이트 라인(GL6)이 가장 먼저 구동되고, 이어서 상기 제 5 스캔펄스(SP5)에 의해 제 5 게이트 라인(GL5)이 구동되고, 상기 제 6 스캔펄스(SP6)에 의해 제 4 게이트 라인(GL4)이 가장 마지막으로 구동된다. 이에 따라 상기 제 4 내지 제 6 화소셀(PX4 내지 PXL6)이 상기 제 1 방향과 반대 방향인 제 2 방향으로 순차적으로 구동된다.

[0141] 그리고, 제 3 화소셀그룹(Gr3)내의 제 7 내지 제 9 화소셀(PXL7 내지 PXL9)에 접속된 제 7 내지 제 9 게이트 라인(GL7 내지 GL9)은 순차적으로 출력되는 제 7 내지 제 9 스캔펄스(SP7 내지 SP9)를 공급받아 차례로 구동된다. 이에 따라 상기 제 7 내지 제 9 화소셀(PXL7 내지 PXL9)이 순차적으로 구동된다. 다시말하면, 상기 제 3 화소그룹(Gr3)내의 게이트 라인들(GL7 내지 GL9)은 가장 상측에 위치한 게이트 라인(GL7)부터 가장 하측에 위치한 게이트 라인(GL9)까지 순차적으로 구동된다. 구체적으로, 상기 제 7 스캔펄스(SP7)에 의해 상기 제 7 게이트 라인(GL7)이 가장 먼저 구동되고, 이어서 상기 제 8 스캔펄스(SP8)에 의해 상기 제 8 게이트 라인(GL8)이 구동되고, 상기 제 9 스캔펄스(SP9)에 의해 상기 제 9 게이트 라인(GL9)이 가장 마지막으로 구동된다. 이에 따라 상기 제 7 내지 제 9 화소셀(PX1 내지 PXL3)이 제 1 방향으로 순차적으로 구동된다.

[0142] 이와 같은 구동을 위해, 상기 제 1 화소셀(PXL1)에 접속된 제 1 게이트 라인(GL1), 상기 제 6 화소셀(PXL4)에 접속된 제 6 게이트 라인(GL6), 및 상기 제 7 화소셀(PXL7)에 접속된 제 7 게이트 라인(GL7)은 동일한 타이밍에 스캔펄스(SP1, SP4, SP7)를 공급받아 동시에 구동되며 상기 제 2 화소셀(PXL2)에 접속된 제 2 게이트 라인(GL2), 상기 제 5 화소셀(PXL5)에 접속된 제 5 게이트 라인(GL5), 상기 제 8 화소셀(PXL8)에 접속된 제 8 게이트 라인(GL8)은 동일한 타이밍에 스캔펄스(SP2, SP5, SP8)를 공급받아 동시에 구동되며 상기 제 3 화소셀(PXL3)에 접속된 제 3 게이트 라인(GL3), 상기 제 4 화소셀(PXL4)에 접속된 제 4 게이트 라인(GL4), 및 상기 제 9 화소셀(PXL9)에 접속된 제 9 게이트 라인(GL9)은 동일한 타이밍에 스캔펄스(SP3, SP6, SP9)를 공급받아 동시에 구동된다.

[0143] 이를 위해, 상기 제 1 게이트 라인(GL1)에 공급되는 제 1 스캔펄스(SP1), 상기 제 6 게이트 라인(GL6)에 공급되는 제 4 스캔펄스(SP4), 및 상기 제 7 게이트 라인(GL7)에 공급되는 제 7 스캔펄스(SP7)는 동시에 출력되며 상기 제 2 게이트 라인(GL2)에 공급되는 제 2 스캔펄스(SP2), 상기 제 5 게이트 라인(GL5)에 공급되는 제 5 스캔펄스(SP5), 및 상기 제 8 게이트 라인(GL8)에 공급되는 제 8 스캔펄스(SP8)는 동시에 출력되며 상기 제 3 게이트 라인(GL3)에 공급되는 제 3 스캔펄스(SP3), 상기 제 4 게이트 라인(GL4)에 공급되는 제 6 스캔펄스(SP6), 상기 제 9 게이트 라인(GL9)에 공급되는 제 9 스캔펄스(SP9)는 동시에 출력된다.

[0144] 여기서, 상기 제 1 화소셀그룹(Gr1)에 구비된 제 1 내지 제 3 화소셀(PXL1, PXL2, PXL3)은, 상술한 도 4a에 도시된 바와 같은 구조를 가지며, 상기 제 2 화소셀그룹(Gr2)에 구비된 제 4 내지 제 6 화소셀(PXL4, PXL5, PXL6)은, 상술한 도 4b에 도시된 바와 같은 구조를 가지며, 그리고 상기 제 3 화소셀그룹(Gr3)에 구비된 제 7 내지 제 9 화소셀(PXL7, PXL8, PXL9)은, 상술한 도 4c에 도시된 바와 같은 구조를 가진다.

[0145] 이와 같이 구성된 본 발명의 실시예에 따른 표시장치의 동작을 상세히 설명하면 다음과 같다.

[0146] 도 9a 내지 도 9c는 도 8에 도시된 화소셀의 동작을 설명하기 위한 도면이다.

[0147] 먼저, 도 9a에 도시된 바와 같이, 게이트 드라이버(201)는 제 1, 제 4, 및 제 7 스캔펄스(SP1, SP4, SP7)를 동시에 출력하여 상기 제 1 스캔펄스(SP1)를 제 1 게이트 라인(GL1)에 공급하고, 상기 제 4 스캔펄스(SP4)를 제 6 게이트 라인(GL6)에 공급하고, 상기 제 7 스캔펄스(SP7)를 제 7 게이트 라인(GL7)에 공급한다. 이에 따라, 상기 제 1, 제 6, 및 제 7 게이트 라인(GL1, GL6, GL7)이 동시에 구동된다.

[0148] 그러면, 상기 제 1 게이트 라인(GL1)에 접속된 제 1 화소셀(PXL1), 상기 제 6 게이트 라인(GL6)에 접속된 제 6 화소셀(PXL6), 및 상기 제 7 게이트 라인(GL7)에 접속된제 7 화소셀(PXL7)이 동시에 구동된다. 즉, 상기 제 1 화소셀(PXL1)의 박막트랜지스터(TFT), 제 6 화소셀(PXL6)의 박막트랜지스터(TFT), 및 상기 제 7 화소셀(PXL7)의 박막트랜지스터(TFT)가 동시에 턴-온된다.

[0149] 또한, 데이터 드라이버(202)는 제 1 내지 제 3 데이터 신호(data3)를 동시에 출력하여 상기 제 1 데이터 신호(data1)를 제 1 데이터 라인(DL1)에 공급하고, 상기 제 2 데이터 신호(data2)를 제 2 데이터 라인(DL2)에 공급하고, 상기 제 3 데이터 신호(data3)를 제 3 데이터 라인(DL3)에 공급한다.

[0150] 그러면, 상기 제 1 데이터 라인(DL1)에 충전된 제 1 데이터 신호(data1)는 상기 제 1 데이터 라인(DL1)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 1 화소셀(PXL1)에 공급된다. 즉, 이 제 1 데이터 신호(data1)는 상기 제 1 화소셀(PXL1)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 1 화소셀(PXL1)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 1 화소셀(PXL1)은 상기 제 1 데이터 신호(data1)에 따른 화상을 표시한다.

[0151] 그리고, 상기 제 2 데이터 라인(DL2)에 충전된 제 2 데이터 신호(data2)는 상기 제 2 데이터 라인(DL2)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 6 화소셀(PXL6)에 공급된다. 즉, 이 제 2 데이터 신호(data2)는 상기 제 6 화소셀(PXL6)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 6 화소셀(PXL6)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 6 화소셀(PXL6)은 상기 제 2 데이터 신호(data2)에 따른 화상을 표시한다.

[0152] 그리고, 상기 제 3 데이터 라인(DL3)에 충전된 제 3 데이터 신호(data3)는 상기 제 3 데이터 라인(DL3)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 7 화소셀(PXL7)에 공급된다. 즉, 이 제 3 데이터 신호(data3)는 상기 제 7 화소셀(PXL7)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 7 화소셀(PXL7)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 7 화소셀(PXL7)은 상기 제 3 데이터 신호(data3)에 따른 화상을 표시한다.

[0153] 이어서, 도 9b에 도시된 바와 같이, 상기 게이트 드라이버(201)는 제 2, 제 5, 및 제 8 스캔펄스(SP2, SP5, SP8)를 동시에 출력하여 상기 제 2 스캔펄스(SP2)를 제 2 게이트 라인(GL2)에 공급하고, 상기 제 5 스캔펄스(SP5)를 제 5 게이트 라인(GL5)에 공급하고, 상기 제 8 스캔펄스(SP8)를 제 8 게이트 라인(GL8)에 공급한다. 이에 따라, 상기 제 2, 제 5, 및 제 8 게이트 라인(GL2, GL5, GL8)이 동시에 구동된다.

[0154] 그러면, 상기 제 2 게이트 라인(GL2)에 접속된 제 2 화소셀(PXL2), 상기 제 5 게이트 라인(GL5)에 접속된 제 5 화소셀(PXL5), 및 상기 제 8 게이트 라인(GL8)에 접속된 제 8 화소셀(PXL8)이 동시에 구동된다. 즉, 상기 제 2 화소셀(PXL2)의 박막트랜지스터(TFT), 제 5 화소셀(PXL5)의 박막트랜지스터(TFT), 및 상기 제 8 화소셀(PXL8)의 박막트랜지스터(TFT)가 동시에 턴-온된다.

[0155] 또한, 상기 데이터 드라이버(202)는 제 4 내지 제 6 데이터 신호(data4 내지 data6)를 동시에 출력하여 상기 제 4 데이터 신호(data4)를 제 1 데이터 라인(DL1)에 공급하고, 상기 제 5 데이터 신호(data5)를 제 2 데이터 라인(DL2)에 공급하고, 상기 제 6 데이터 신호(data6)를 제 3 데이터 라인(DL3)에 공급한다.

[0156] 그러면, 상기 제 1 데이터 라인(DL1)에 충전된 제 4 데이터 신호(data4)는 상기 제 1 데이터 라인(DL1)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 2 화소셀(PXL2)에 공급된다. 즉, 이 제 4 데이터 신호(data4)는 상기 제 2 화소셀(PXL2)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 2 화소셀(PXL2)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 2 화소셀(PXL2)은 상기 제 4 데이터 신호(data4)에 따른 화상을 표시한다.

[0157] 그리고, 상기 제 2 데이터 라인(DL2)에 충전된 제 5 데이터 신호(data5)는 상기 제 2 데이터 라인(DL2)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 5 화소셀(PXL5)에 공급된다. 즉, 이 제 5 데이터 신호(data5)는 상기 제 5 화소셀(PXL5)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 5 화소셀(PXL5)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 5 화소셀(PXL5)은 상기 제 5 데이터 신호(data5)에 따른 화상을 표시한다.

[0158] 그리고, 상기 제 3 데이터 라인(DL3)에 충전된 제 6 데이터 신호(data6)는 상기 제 3 데이터 라인(DL3)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 8 화소셀(PXL8)에 공급된다. 즉, 이 제 6 데이터 신호(data6)는 상기 제 8 화소셀(PXL8)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 8 화소셀(PXL8)의 화소 전

극(PE)에 공급된다. 이에 따라, 상기 제 8 화소셀(PXL8)은 상기 제 6 데이터 신호(data6)에 따른 화상을 표시한다.

[0159] 이어서, 도 9c에 도시된 바와 같이, 상기 게이트 드라이버(201)는 제 3, 제 6, 및 제 9 스캔펄스(SP3, SP6, SP9)를 동시에 출력하여 상기 제 3 스캔펄스(SP3)를 제 3 게이트 라인(GL3)에 공급하고, 상기 제 6 스캔펄스(SP6)를 제 4 게이트 라인(GL4)에 공급하고, 상기 제 9 스캔펄스(SP9)를 제 9 게이트 라인(GL9)에 공급한다. 이에 따라, 상기 제 3, 제 4, 및 제 9 게이트 라인(GL3, GL4, GL9)이 동시에 구동된다.

[0160] 그러면, 상기 제 3 게이트 라인(GL3)에 접속된 제 3 화소셀(PXL3), 상기 제 4 게이트 라인(GL4)에 접속된 제 4 화소셀(PXL4), 및 상기 제 9 게이트 라인(GL9)에 접속된제 9 화소셀(PXL9)이 동시에 구동된다. 즉, 상기 제 3 화소셀(PXL3)의 박막트랜지스터(TFT), 제 4 화소셀(PXL4)의 박막트랜지스터(TFT), 및 상기 제 9 화소셀(PXL9)의 박막트랜지스터(TFT)가 동시에 턴-온된다.

[0161] 또한, 상기 데이터 드라이버(202)는 제 7 내지 제 9 데이터 신호(data7 내지 data9)를 동시에 출력하여 상기 제 7 데이터 신호(data7)를 제 1 데이터 라인(DL1)에 공급하고, 상기 제 8 데이터 신호(data8)를 제 2 데이터 라인(DL2)에 공급하고, 상기 제 9 데이터 신호(data9)를 제 3 데이터 라인(DL3)에 공급한다.

[0162] 그러면, 상기 제 1 데이터 라인(DL1)에 충전된 제 7 데이터 신호(data7)는 상기 제 1 데이터 라인(DL1)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 3 화소셀(PXL3)에 공급된다. 즉, 이 제 7 데이터 신호(data7)는 상기 제 3 화소셀(PXL3)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 3 화소셀(PXL3)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 3 화소셀(PXL3)은 상기 제 7 데이터 신호(data7)에 따른 화상을 표시한다.

[0163] 그리고, 상기 제 2 데이터 라인(DL2)에 충전된 제 8 데이터 신호(data8)는 상기 제 2 데이터 라인(DL2)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 4 화소셀(PXL4)에 공급된다. 즉, 이 제 8 데이터 신호(data8)는 상기 제 4 화소셀(PXL4)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 4 화소셀(PXL4)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 4 화소셀(PXL4)은 상기 제 8 데이터 신호(data8)에 따른 화상을 표시한다.

[0164] 그리고, 상기 제 3 데이터 라인(DL3)에 충전된 제 9 데이터 신호(data9)는 상기 제 3 데이터 라인(DL3)에 접속되어 있으며 턴-온 상태의 박막트랜지스터(TFT)를 갖는 제 9 화소셀(PXL9)에 공급된다. 즉, 이 제 9 데이터 신호(data9)는 상기 제 9 화소셀(PXL9)의 턴-온된 박막트랜지스터(TFT)를 통해 상기 제 9 화소셀(PXL9)의 화소 전극(PE)에 공급된다. 이에 따라, 상기 제 9 화소셀(PXL9)은 상기 제 9 데이터 신호(data9)에 따른 화상을 표시한다.

[0165] 이와 같이 하여 제 1 서브 프레임이 완료된다. 여기서, 상기 제 1 내지 제 9 데이터 신호(data1 내지 data9)는 적색을 표현하기 위한 R 데이터 신호로서, 이 제 1 서브 프레임동안에는 백 라이트 유닛(204)으로부터 적색광(R)이 출사된다.

[0166] 이후, 상술한 바와 같은 동작으로 제 2 및 제 3 서브 프레임이 완료되면, 한 프레임이 완성된다. 이때, 상기 제 2 서브 프레임에 제 1 내지 제 3 데이터 라인(DL1 내지 DL3)에는 녹색을 표현하기 위한 G 데이터 신호가 공급된다. 이 G 데이터 신호가 공급되는 제 2 서브 프레임동안에 상기 백 라이트 유닛(204)은 녹색 광(G)을 출사한다. 그리고, 상기 제 3 서브 프레임에 제 1 내지 제 3 데이터 라인(DL1 내지 DL3)에는 청색을 표현하기 위한 B 데이터 신호가 공급된다. 이 B 데이터 신호가 공급되는 제 3 서브 프레임동안에 상기 백 라이트 유닛(204)은 청색광(B)을 출사한다.

[0167] 이와 같이, 본 발명에서는 각 화소셀그룹(Gr1 내지 Gr3)의 게이트 라인(GL1 내지 GL9)들을 동시에 구동하기 때문에 종래에 비하여 상대적으로 각 게이트 라인(GL)의 스캔시간을 증가시킬 수 있다.

[0168] 이때, 각 게이트 라인(GL)의 스캔시간은 상기 화소셀그룹(Gr1 내지 Gr3)의 수가 증가할수록 더 증가하게 된다. 즉, 상기 스캔시간은 동시에 구동되는 게이트 라인(GL)의 수가 증가할수록 더 증가한다.

[0169] 예를 들어, 종래의 표시장치는 9개의 게이트 라인(GL)을 한 서브 프레임 시간(9 수평시간에 해당한다고 가정하자)안에 구동하기 위해서 각 게이트 라인(GL1 내지 GL9)을 1수평시간동안 스캔한다. 반면, 본 발명의 표시장치는 9개의 게이트 라인(GL1 내지 GL9)을 한 서브 프레임 시간안에 구동하기 위해서 각 게이트 라인(GL1 내지 GL9)을 3수평시간동안 스캔한다.

[0170] 따라서, 본 발명의 표시장치는 종래의 표시장치에 비하여 각 게이트 라인(GL)을 3배 정도 긴 시간동안 스캔할

수 있다. 결국, 각 화소셀(PXL)에 구비된 박막트랜지스터(TFT)는 종래의 그것보다도 3배 정도 더 긴 시간동안 턴-온상태를 유지할 수 있으며, 이에 따라 본 발명에서는 상기 박막트랜지스터(TFT)의 사이즈를 크게 하지 않더라도 각 화소셀(PXL)의 충전시간을 충분히 확보할 수 있다.

[0171] 또한, 본 발명의 실시예에 따른 표시장치에서, 상기 각 화소셀그룹(Gr1 내지 Gr3)간의 경계부에 위치한 게이트 라인들이 서로 동시에 구동되고, 이 각 게이트 라인에 접속된 각 화소셀들이 동시에 구동된다. 따라서, 상기 경계부에 위치한 화소셀들간의 충전시간이 동일해지고, 이에 따라 이 화소셀들간의 휘도차가 줄어든다.

[0172] 이를 좀 더 구체적으로 설명하면 다음과 같다.

[0173] 도 10은 도 8에 도시된 화소셀그룹간의 경계부에서 딤 현상이 제거되는 효과를 설명하기 위한 도면이다.

[0174] 도 10에 도시된 바와 같이, 제 1 화소셀그룹(Gr1)의 게이트 라인들(GL1 내지 GL3)과 제 3 화소셀그룹(Gr3)의 게이트 라인들(GL7 내지 GL9)은 제 1 방향, 즉 상측에서 하측방향으로 스캔된다. 반면, 상기 제 2 화소셀그룹(Gr2)의 게이트 라인들(GL4 내지 GL6)은 제 2 방향, 즉 하측에서 상측방향으로 스캔된다.

[0175] 따라서, 각 화소셀그룹(Gr1 내지 Gr3)간의 경계부에 위치한 한 쌍의 게이트 라인들(GL3-GL4, GL6-GL7)이 서로 동시에 구동된다. 즉, 상기 제 1 화소셀그룹(Gr1)의 제 3 게이트 라인(GL3)과 제 2 화소셀그룹(Gr2)의 제 4 게이트 라인(GL4)이 서로 동시에 구동되며, 또한 상기 제 2 화소셀그룹(Gr2)의 제 6 게이트 라인(GL6)과 제 3 화소셀그룹(Gr3)의 제 7 게이트 라인(GL7)이 서로 동시에 구동된다.

[0176] 이에 따라, 상기 경계부에 위치한 제 3 화소셀(PXL3)의 액정 응답시간과 제 4 화소셀(PXL4)의 액정 응답시간이 서로 동일해진다. 또한, 이러한 원리로, 제 6 화소셀(PXL6)의 액정 응답시간과 제 7 화소셀(PXL7)의 액정 응답시간이 서로 동일해진다.

[0177] 결국, 본 발명의 실시예에 따른 표시장치는 상기 제 3 화소셀(PXL3)과 제 4 화소셀(PXL3)간의 휘도차를 방지함과 아울러, 상기 제 6 화소셀(PXL6)과 제 7 화소셀(PXL7)간의 휘도차를 방지할 수 있으며, 이에 의해 각 화소셀그룹(Gr1 내지 Gr3)간의 경계부에서 발생하는 딤 현상을 제거할 수 있다.

[0178] 한편, 상기 화소셀(PXL)들을 두 개의 화소셀그룹으로 나누어 구동하여도 무방하다. 이때, 상기 화소셀그룹이 두 개이므로, 상술한 하나의 화소셀열 당 구비되는 데이터 라인의 수도 두 개가 된다.

[0179] 이때, 두 개의 화소셀그룹에 포함된 화소셀(PXL)들을 모두 제 1 방향으로 구동하거나, 또는 두 개의 화소셀그룹 중 하나의 화소셀그룹에 포함된 화소셀(PXL)들을 제 1 방향으로 구동하고 나머지 하나의 화소셀그룹에 포함된 화소셀(PXL)들을 제 2 방향으로 구동할 수 있다.

[0180] 이와 같은 방식으로 상기 화소셀(PXL)들을 네 개 이상의 화소셀그룹으로 나누어 구동할 수 있다.

[0181] 도 11은 도 2의 A부 및 이에 인접한 화소셀열을 나타낸 도면이고, 도 12는 도 2의 제 1, 제 4, 및 제 7 화소셀의 구조를 나타낸 도면이다.

[0182] 도 11에 도시된 바와 같이, 제 1 내지 제 3 데이터 라인(DL1 내지 DL3)은 A부의 화소셀열에 구비된 화소셀들을 구동하기 위한 데이터 라인들로서, 이 제 1 내지 제 3 데이터 라인들(DL1 내지 DL3)은 상기 화소셀들을 중첩하지 않도록 화소셀열의 일측에 위치한다. 이에 따라, 상기 화소셀에 구비된 화소전극(PE)과 데이터 라인(DL1 내지 DL3)간의 중첩에 따라 발생되는 기생 커패시터의 형성을 방지할 수 있다.

[0183] 상기 제 1 내지 제 3 데이터 라인들(DL1 내지 DL3)은 서로 다른 길이를 갖는다. 즉, 제 1 화소셀그룹(Gr1)내의 화소셀들(PXL1 내지 PXL3)에 데이터 신호를 공급하기 위한 제 1 데이터 라인(DL1)이 가장 짧으며, 제 3 화소셀그룹(Gr3)내의 화소셀들(PXL7 내지 PXL9)에 데이터 신호를 공급하기 위한 제 3 데이터 라인(DL3)이 가장 길다. 그리고, 상기 제 2 화소셀그룹(Gr2)내의 화소셀들에 데이터 신호를 공급하기 위한 제 2 데이터 라인(DL2)은 상기 제 1 데이터 라인(DL1)보다 길고, 상기 제 3 데이터 라인(DL3)보다 짧다.

[0184] 구체적으로, 상기 제 1 데이터 라인(DL1)은 제 1 내지 제 3 게이트 라인들(GL1 내지 GL3)을 중첩할 정도의 길이를 가지며, 상기 제 2 데이터 라인(DL2)은 제 1 내지 제 6 게이트 라인들(GL1 내지 GL6)을 중첩할 정도의 길이를 가지며, 그리고 상기 제 3 데이터 라인(DL3)은 제 1 내지 제 9 게이트 라인들(GL1 내지 GL9)을 중첩할 정도의 길이를 갖는다.

[0185] 상기 A부의 화소셀열의 좌측에는 차례로 제 1 데이터 라인(DL1), 제 2 데이터 라인(DL2), 및 제 3 데이터 라인(DL3)이 위치한다. 이때, 상기 제 2 및 제 3 데이터 라인(DL2, DL3)은 일부가 절곡되어 있다.

[0186] 구체적으로, 상기 제 2 데이터 라인(DL2)은 제 1 라인(L1), 제 2 라인(L2), 및 상기 제 1 라인(L1)의 끝단과 제 2 라인(L2)의 끝단을 연결하는 연결부(777)로 이루어진다. 여기서, 상기 제 2 라인(L2)이 상기 제 1 라인(L1)보다 상기 A부의 화소셀열쪽에 더 근접하여 있다. 이때, 상기 제 1 데이터 라인(DL1)과 상기 화소셀열간의 거리와, 상기 제 2 라인(L2)과 상기 화소셀열간의 거리를 동일하게 유지시키는 것이 바람직하다.

[0187] 제 3 데이터 라인(DL3)은 제 1 라인(L1`), 제 2 라인(L2`), 상기 제 1 라인(L1`)의 끝단과 제 2 라인(L2`)의 끝단을 연결하는 연결부(888)로 이루어진다. 또한, 상기 제 3 데이터 라인(DL3)은 상기 제 2 라인(L2`)에 평행하게 위치하며 상기 연결부(888)에 연결된 제 3 라인(L3`)을 더 포함한다. 여기서, 상기 제 2 라인(L2`)이 상기 제 1 및 제 3 라인(L1`, L3`)보다 상기 A부의 화소셀열쪽에 더 근접하여 있다. 이때, 상기 제 1 데이터 라인(DL1)과 상기 화소셀열간의 거리와, 상기 제 2 라인(DL2)과 상기 화소셀열간의 거리를 동일하게 유지시키는 것이 바람직하다.

[0188] 상기 제 3 데이터 라인(DL3)을 이루는 제 3 라인(L3`)은 결국 제 1 라인(L1`)으로부터 연장된 라인으로서, 이 제 3 라인(L3`)에 의해 각 화소셀그룹(Gr1 내지 Gr3)간에 위치한 화소셀들(PXL1 내지 PXL3)이 동일한 커플링효과를 가질 수 있다. 이를 좀 더 구체적으로 설명하면 다음과 같다.

[0189] A부의 제 1 화소셀그룹(Gr1)에 포함된 화소셀들(PXL1 내지 PXL3)의 좌측에는 제 1 데이터 라인(DL1)이 형성되어 있으며, 우측에는 제 3 데이터 라인(DL3)의 제 1 라인(L1`)이 형성되어 있다. 그리고, 상기 A부의 제 2 화소셀그룹(Gr2)에 포함된 화소셀들(PXL4 내지 PXL6)의 좌측에는 제 2 데이터 라인(DL2)의 제 2 라인(L2)이 형성되어 있으며, 우측에는 제 3 데이터 라인(DL3)의 제 1 라인(L1`)이 형성되어 있다. 그리고, 상기 A부의 제 3 화소셀그룹(Gr3)에 포함된 화소셀들(PXL7 내지 PXL9) 의 우측에는 제 3 데이터 라인(DL3)의 제 2 라인(L2`)이 형성되어 있으며, 우측에는 제 3 데이터 라인(DL3)의 제 3 라인(DL3`)이 형성되어 있다. 즉, 모든 화소셀그룹(Gr1 내지 Gr3)에 포함된 모든 화소셀들(PXL1 내지 PXL9)의 좌측과 우측에는 데이터 라인이 형성된다. 이에 따라 모든 화소셀들(PXL1 내지 PXL6)이 동등한 커플링 효과를 나타낸다. 이 커플링 효과는 화소셀에 포함된 화소전극(PE)에 충전된 전압과 이 화소전극(PE)에 인접한 데이터 라인에 충전된 전압에 의해서 발생되는데, 이러한 커플링 효과에 의해 화소셀의 휘도가 변화할 수 있다.

[0190] 본 발명에서는 모든 화소셀(PXL1 내지 PXL9)의 좌측과 우측에 모두 데이터 라인들을 형성하고, 이 데이터 라인들(DL1 내지 DL3)과 각 화소셀(PXL1 내지 PXL9)의 화소전극(PE)간의 거리를 모두 동일하게 유지시킴으로써 모든 화소셀(PXL1 내지 PXL9)에서 커플링 효과의 크기를 동일하게 유지시킬 수 있다. 따라서, 각 화소셀들간의 휘도 변화가 모두 동일하므로 화질을 향상시킬 수 있다.

[0191] 즉, 도 12에 도시된 바와 같이, 제 1 데이터 라인(DL1)과 제 1 화소셀(PXL1)에 포함된 화소전극(PE)간의 거리(d1)와, 제 2 데이터 라인(DL2)의 제 2 라인(L2)과 제 4 화소셀(PXL4)에 포함된 화소전극(PE)간의 거리(d2)와, 제 3 데이터 라인(DL3)의 제 2 라인(L2`)과 제 7 화소셀(PXL7)에 포함된 화소전극(PE)간의 거리(d3)와, 제 3 데이터 라인(DL3)의 제 1 라인(L1`)과 상기 제 1 화소셀(PXL1)에 포함된 화소전극간의 거리(d4)와, 상기 제 3 데이터 라인(DL3)의 제 1 라인(L1`)과 상기 제 4 화소셀(PXL4)에 포함된 화소전극(PE)간의 거리(d5)와, 그리고 제 3 데이터 라인(DL3)의 제 3 라인(L3`)과 상기 제 7 화소셀(PXL7)에 포함된 화소전극(PE)간의 거리(d6)가 모두 동일하다.

[0192] 물론, 도면에 도시하지 않았지만, 제 2, 제 3, 제 5, 제 6, 제 8, 및 제 9 화소셀(PXL2, PXL3, PXL5, PXL6, PXL8, PXL9)에 구비된 화소전극(PE)과 이에 인접한 데이터 라인간의 거리도 상술한 거리와 모두 동일하다.

[0193] 한편, 상기 하나의 화소셀열의 좌측에 위치한 데이터 라인들과, 상기 화소셀열의 우측에 위치한 데이터 라인들에 서로 반대 극성의 데이터 신호들을 공급함으로써 상기 커플링 효과에 따른 휘도 변화를 더 줄일 수 있다. 일예로, 상기 화소셀열의 좌측에 위치한 제 1 내지 제 3 데이터 라인들(DL1 내지 DL3)에는 정극성의 데이터 신호를 공급하고, 상기 화소셀열의 우측에 위치한 제 1 내지 제 3 데이터 라인들(DL1 내지 DL3)에는 부극성의 데이터 신호를 공급함으로써 상기 휘도 변화를 줄일 수 있다.

[0194] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

[0195] 이상에서 설명한 바와 같은 본 발명에 따른 표시장치 및 이의 구동방법에는 다음과 같은 효과가 있다.

[0196] 본 발명에 따른 표시장치는 적어도 2개의 게이트 라인을 동시에 구동하며, 상기 동시에 구동된 게이트 라인에 접속된 각 화소셀들이 서로 다른 데이터 라인에 의해 구동되도록 함으로써, 상기 게이트 라인의 스캔시간을 증가시킬 수 있다.

[0197] 또한, 본 발명에 따른 표시장치는 각 화소셀그룹간의 경계부에 위치한 게이트 라인들을 동시에 구동시킴으로써, 상기 경계부에서의 딤 현상을 제거할 수 있다.

도면의 간단한 설명

[0001] 도 1은 종래의 FSC 방식의 액정표시장치의 구동을 설명하기 위한 도면

[0002] 도 2는 본 발명의 실시예에 따른 표시장치를 나타낸 도면

[0003] 도 3은 도 2의 A부에 대한 구동방식을 설명하기 위한 도면

[0004] 도 4a는 도 3의 제 1 화소셀그룹에 구비된 제 1 화소셀의 구조를 나타낸 도면

[0005] 도 4b는 도 3의 제 2 화소셀그룹에 구비된 제 4 화소셀의 구조를 나타낸 도면

[0006] 도 4c는 도 3의 제 3 화소셀그룹에 구비된 제 7 화소셀의 구조를 나타낸 도면

[0007] 도 5는 도 4a의 Ⅰ~Ⅰ의 선상에 따른 단면도

[0008] 도 6a 내지 도 6c는 도 3에 도시된 화소셀의 동작을 설명하기 위한 도면

[0009] 도 7은 도 2의 A부에 대한 또 다른 구조를 나타낸 도면

[0010] 도 8은 도 2의 A부의 또 다른 구동방식을 설명하기 위한 도면

[0011] 도 9a 내지 도 9c는 도 8에 도시된 화소셀의 동작을 설명하기 위한 도면

[0012] 도 10은 도 8에 도시된 화소셀그룹간의 경계부에서 딤 현상이 제거되는 효과를 설명하기 위한 도면

[0013] 도 11은 도 2의 A부 및 이에 인접한 화소셀열을 나타낸 도면

[0014] 도 12는 도 2의 제 1, 제 4, 및 제 7 화소셀의 구조를 나타낸 도면

[0015] *도면의 주요부에 대한 부호 설명

[0016] 201 : 게이트 드라이버 202 : 데이터 드라이버

[0017] 203 : 타이밍 콘트롤러 204 : 백 라이트 유닛

[0018] 205 : 광원 구동부 GL : 데이터 라인

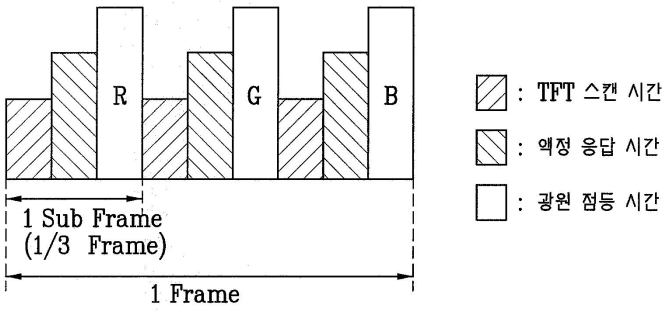
[0019] DL : 데이터 라인 Gr : 화소셀그룹

[0020] PXL : 화소셀 200 : 표시부

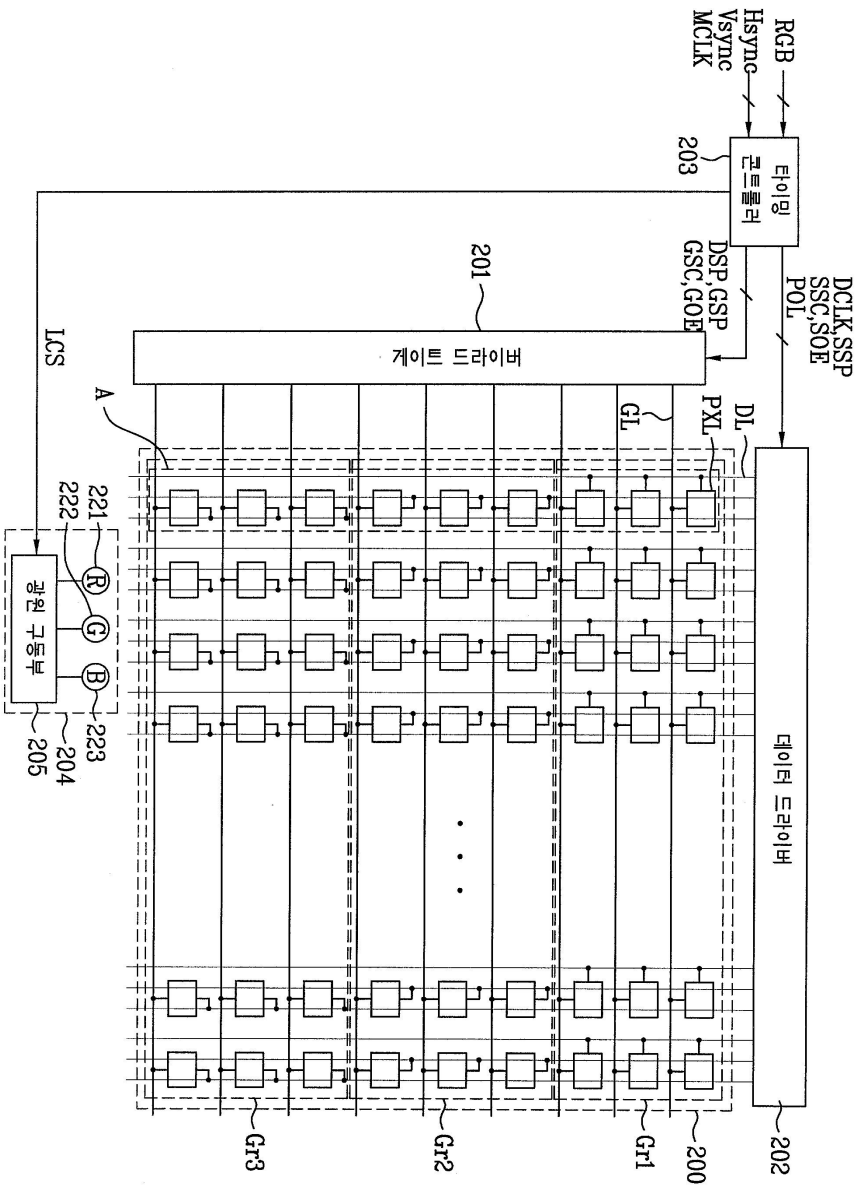
[0021] A : 화소셀열

도면

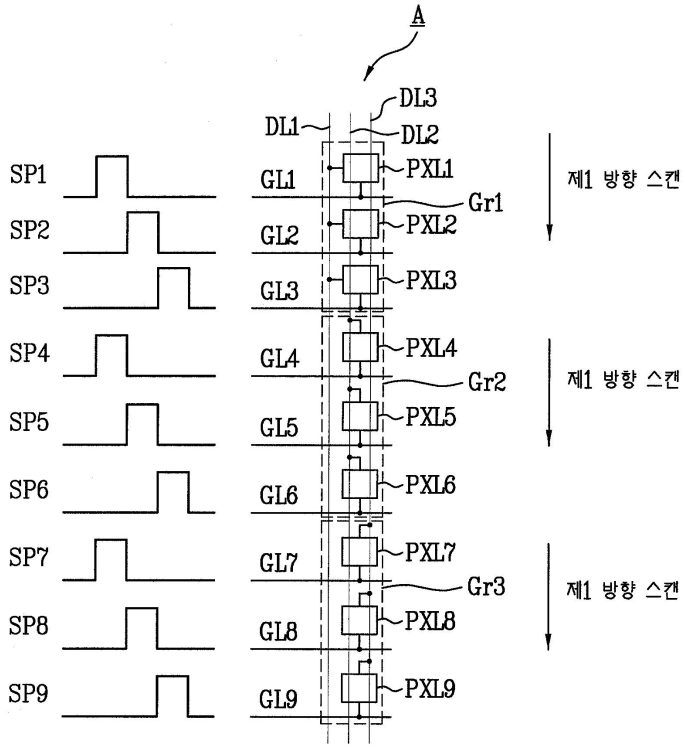
도면1



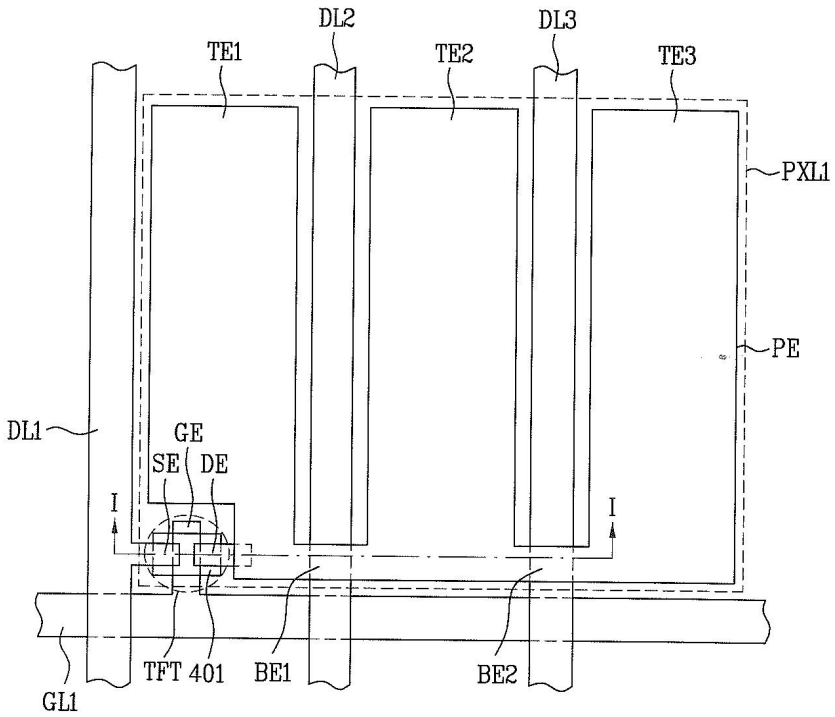
도면2


RGB
Hsync
Vsync
MCLK
203
타이밍 콘트롤러
DSP,GSP
GSC,GOE
DCLK,SSP
SSC,SOE
POL
201
게이트 드라이버
LCS
A
GL
PXL
DL
221
222
R
G
B
광원 구동부
223
204
205
데이터 드라이버
Gr3
Gr2
Gr1
200
202

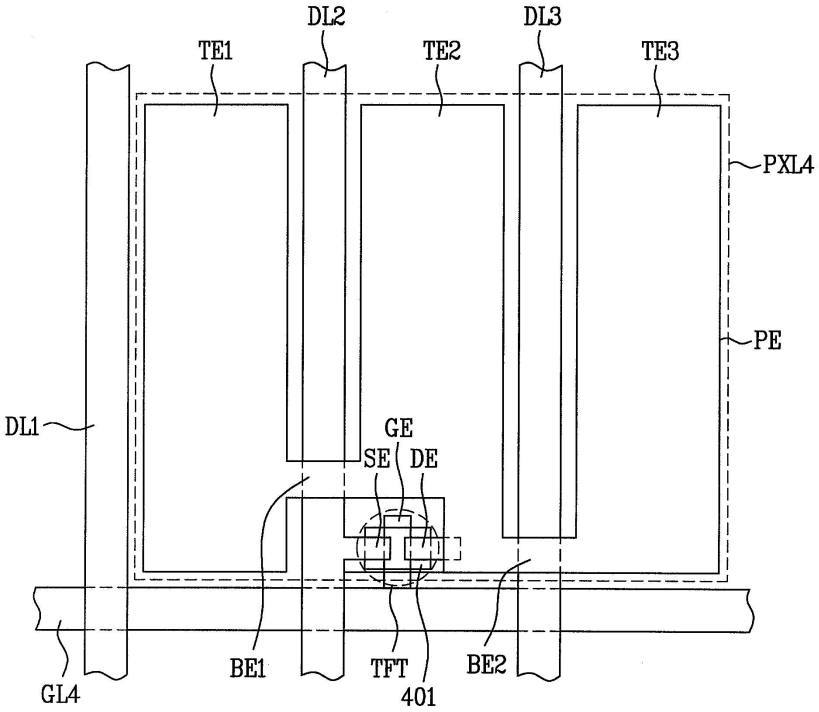
도면3


A
DL1
DL2
DL3
SP1
SP2
SP3
SP4
SP5
SP6
SP7
SP8
SP9
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3
제1 방향 스캔
제1 방향 스캔
제1 방향 스캔

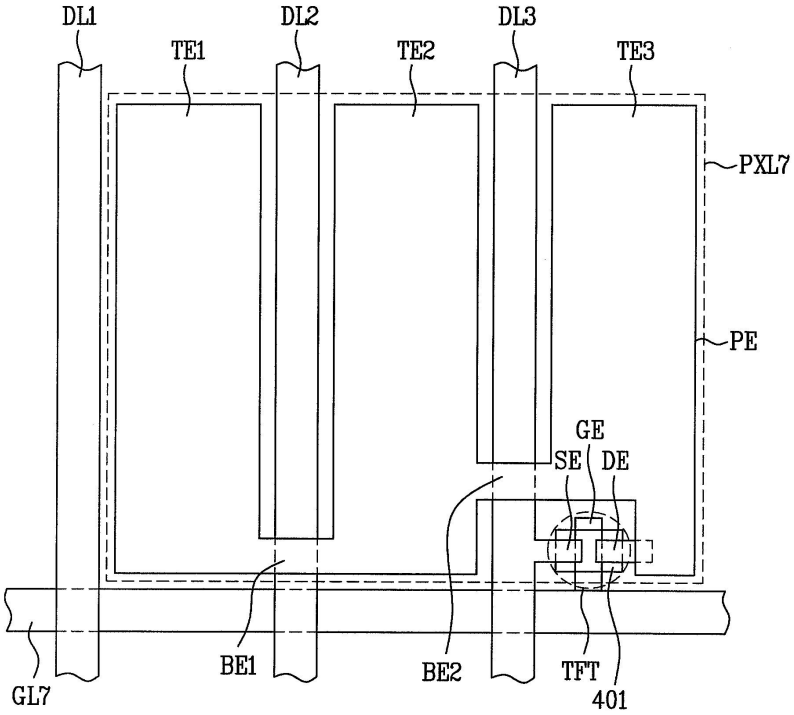
도면4a


DL2
DL3
TE1
TE2
TE3
PXL1
PE
DL1
GE
SE
DE
I
I
TFT 401
BE1
BE2
GL1

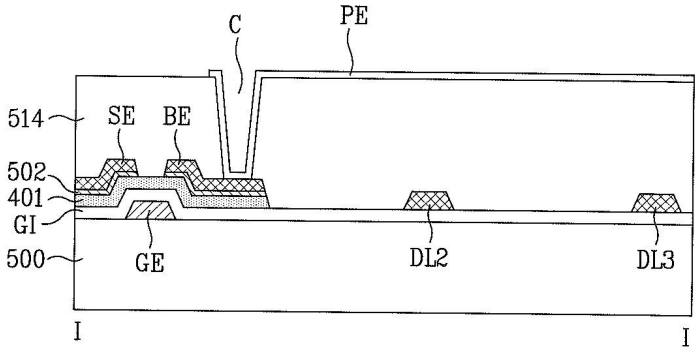
도면4b


DL2
DL3
TE1
TE2
TE3
PXL4
PE
DL1
GE
SE
DE
BE1
TFT
BE2
401
GL4

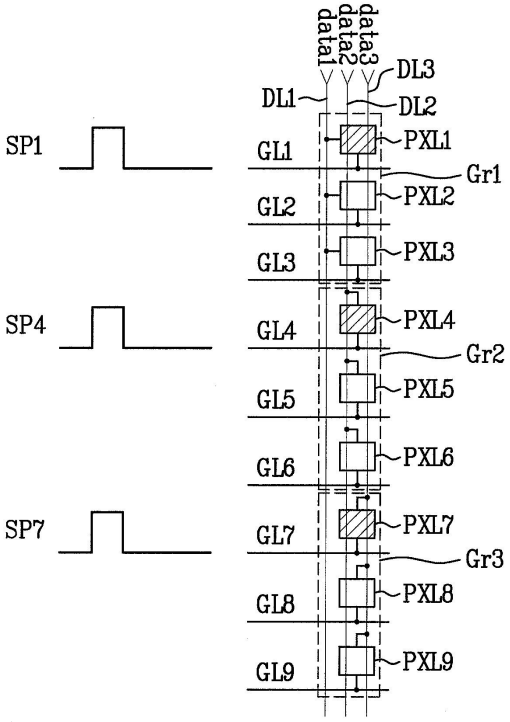
도면4c


DL1
DL2
DL3
TE1
TE2
TE3
PXL7
PE
GE
SE
DE
BE1
BE2
TFT
401
GL7

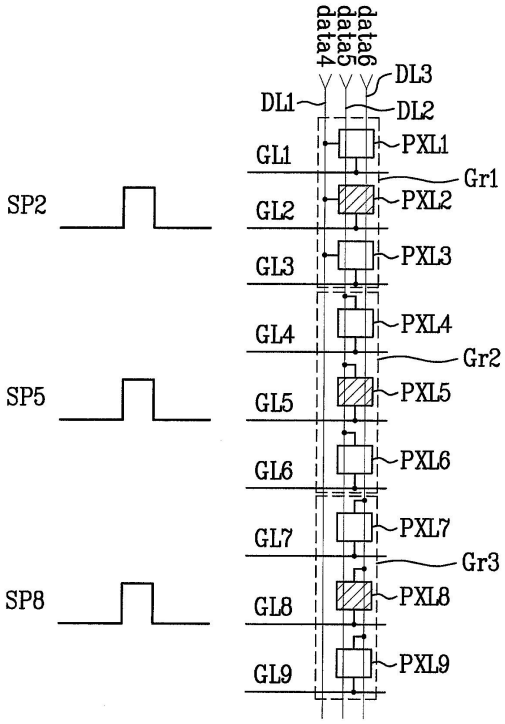
도면5


C
PE
514
SE
BE
502
401
GI
500
GE
DL2
DL3
I
I

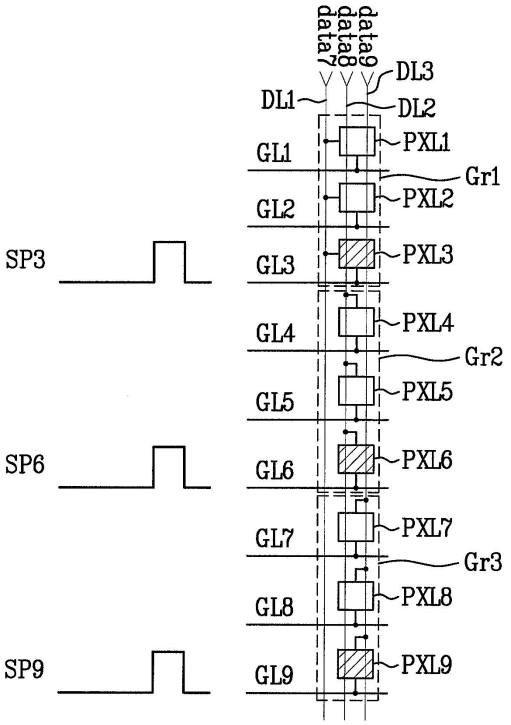
도면6a


data1
data2
data3
DL1
DL2
DL3
SP1
SP4
SP7
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3

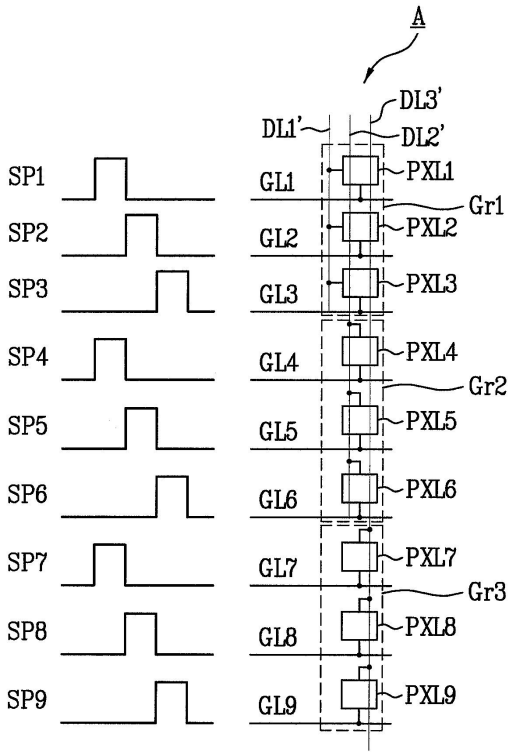
도면6b


data4
data5
data6
DL3
DL1
DL2
GL1
PXL1
Gr1
SP2
GL2
PXL2
GL3
PXL3
GL4
PXL4
Gr2
SP5
GL5
PXL5
GL6
PXL6
GL7
PXL7
Gr3
SP8
GL8
PXL8
GL9
PXL9

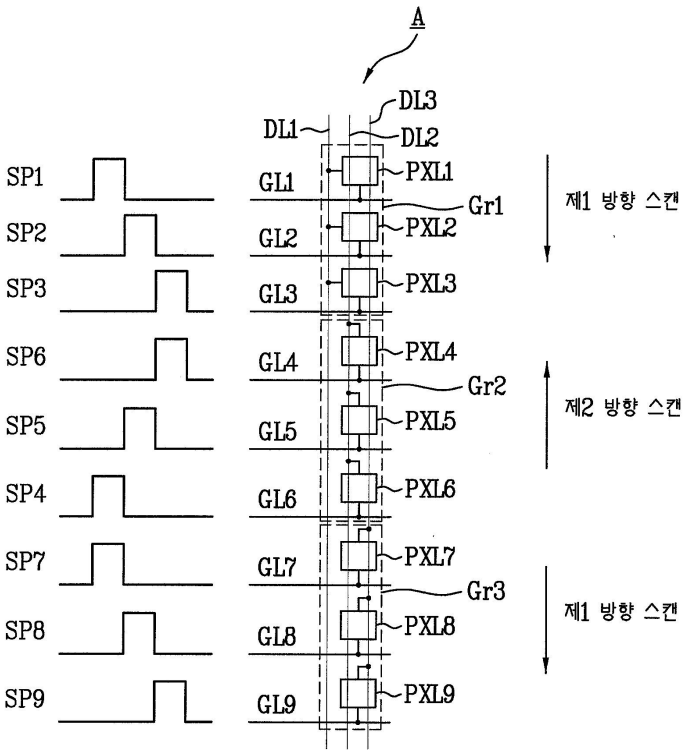
도면6c


data7
data8
data9
DL3
DL1
DL2
GL1
PXL1
Gr1
GL2
PXL2
SP3
GL3
PXL3
GL4
PXL4
Gr2
GL5
PXL5
SP6
GL6
PXL6
GL7
PXL7
Gr3
GL8
PXL8
SP9
GL9
PXL9

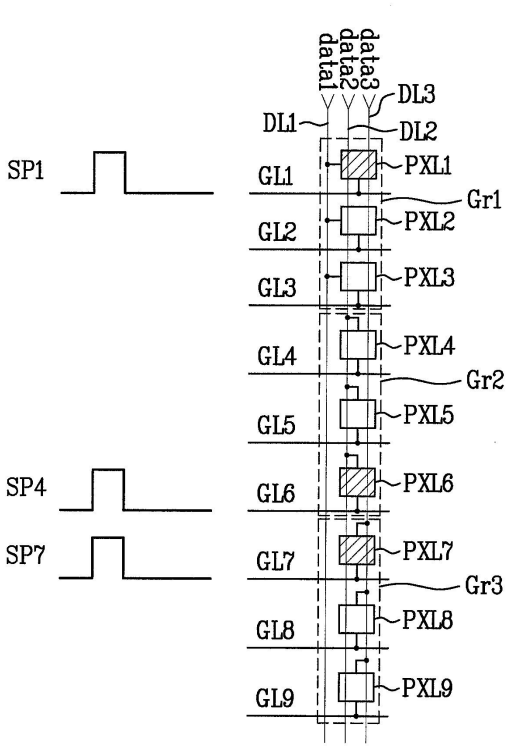
도면7


A
DL3'
DL1'
DL2'
SP1
SP2
SP3
SP4
SP5
SP6
SP7
SP8
SP9
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3

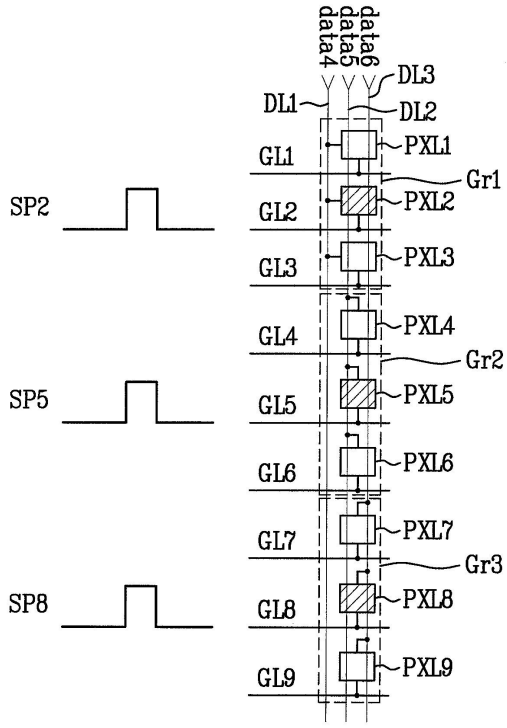
도면8


A
DL3
DL1
DL2
SP1
SP2
SP3
SP6
SP5
SP4
SP7
SP8
SP9
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3
제1 방향 스캔
제2 방향 스캔
제1 방향 스캔

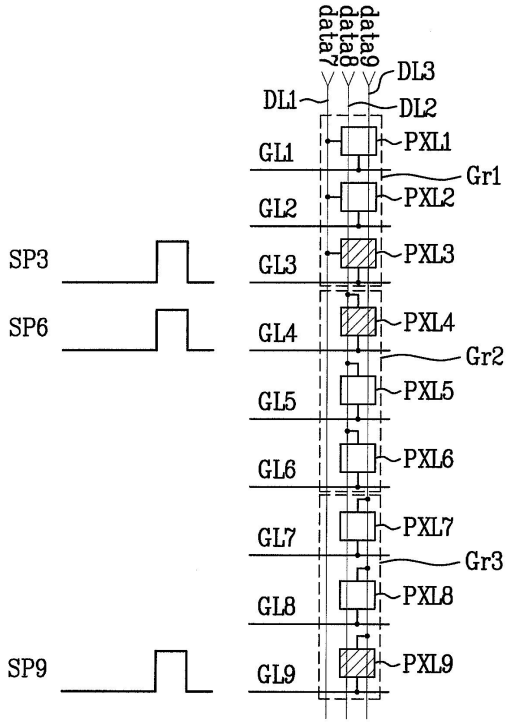
도면9a


data1
data2
data3
DL1
DL2
DL3
SP1
SP4
SP7
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3

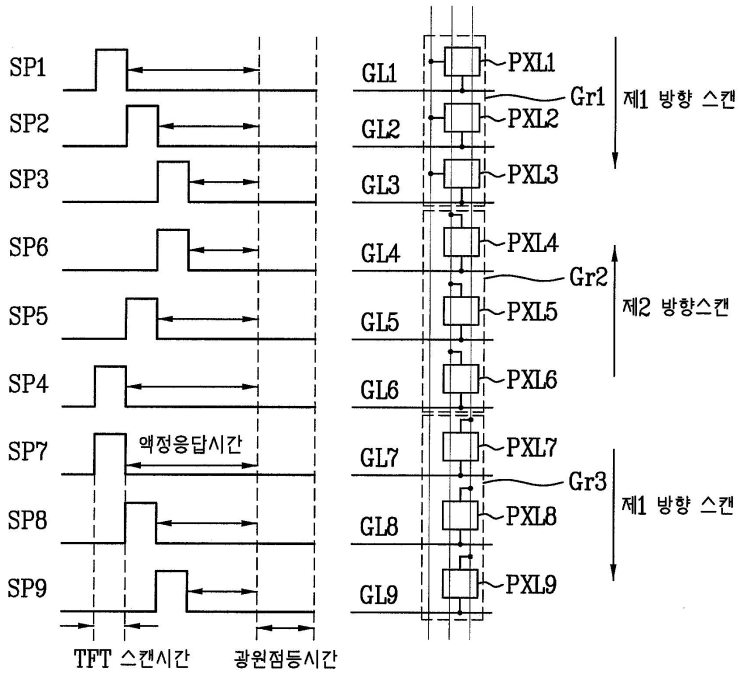
도면9b


data4
data5
data6
DL1
DL2
DL3
SP2
SP5
SP8
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3

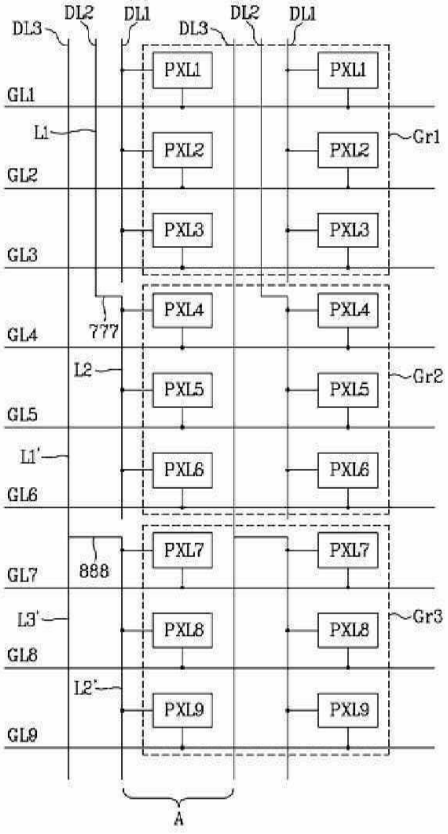
도면9c


data7
data8
data9
DL1
DL2
DL3
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3
SP3
SP6
SP9

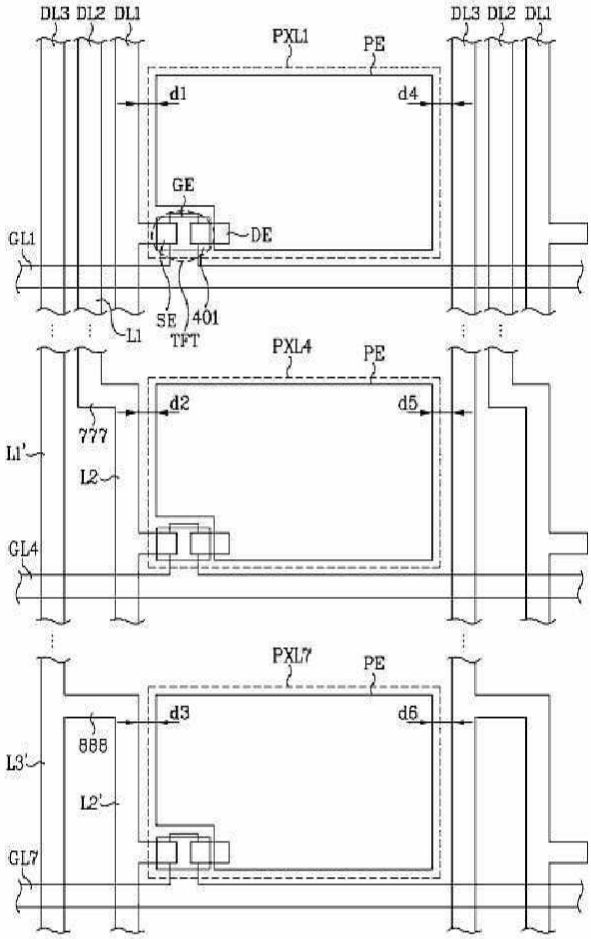
도면10


SP1
SP2
SP3
SP6
SP5
SP4
SP7
SP8
SP9
액정응답시간
TFT 스캔시간
광원점등시간
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3
제1 방향 스캔
제2 방향스캔
제1 방향 스캔

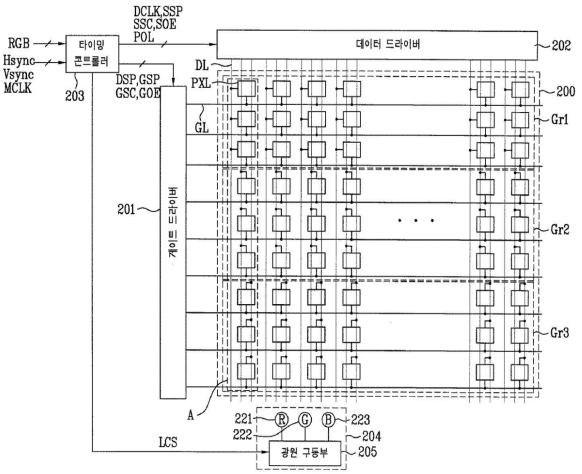
도면11


DL3
DL2
DL1
DL3
DL2
DL1
GL1
GL2
GL3
GL4
GL5
GL6
GL7
GL8
GL9
L1
L2
L1'
L3'
L2'
777
888
PXL1
PXL2
PXL3
PXL4
PXL5
PXL6
PXL7
PXL8
PXL9
Gr1
Gr2
Gr3
A

도면12


DL3 DL2 DL1
PXL1
PE
DL3 DL2 DL1
d1
d4
GE
DE
GL1
SE
401
TFT
L1
PXL4
PE
d2
d5
777
L1'
L2
GL4
PXL7
PE
d3
d6
888
L3'
L2'
GL7

专利名称(译)	标题显示装置及其驱动方法		
公开(公告)号	KR101319297B1	公开(公告)日	2013-10-16
申请号	KR1020060118366	申请日	2006-11-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM EUI TAE 김의태 AHN BYUNG CHUL 안병철 HONG YOUNG TAE 홍영태 KANG BYUNG KOO 강병구 KIM JIN HO 김진호 LEE DONG HOON 이동훈 YOU SOOK KYUNG 유숙경 JI HA YOUNG 지하영		
发明人	김의태 안병철 홍영태 강병구 김진호 이동훈 유숙경 지하영		
IPC分类号	G09G3/20 G09G G02F1/133 G02F G09G3/36		
CPC分类号	G02F1/133 G02F1/133345 G02F1/1343 G02F1/136286 G02F2201/121 G02F2201/123		
代理人(译)	年轻的小公园 金勇		
优先权	1020050114304 2005-11-28 KR 1020050118874 2005-12-07 KR 1020060021317 2006-03-07 KR 1020060060556 2006-06-30 KR		
其他公开文献	KR1020070055985A		
外部链接	Espacenet		

摘要(译)

显示装置技术领域本发明涉及一种能够增加栅极线的充电时间的显示装置，其中至少一个第一像素单元组 并且，多个像素单元划分为至少一个第二像素单元组;并且多个像素单元连接到第一像素单元组的像素单元 第一条数据线;第二数据线连接到第二像素单元组的像素单元;还有第二个像素单元组 至少一个像素单元和栅极驱动器，用于同时驱动第二像素单元组中的至少一个像素单元 这将被配置为包括。 代表还