



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년03월15일
(11) 등록번호 10-0947778
(24) 등록일자 2010년03월09일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2003-0038818

(22) 출원일자 2003년06월16일

심사청구일자 2008년04월29일

(65) 공개번호 10-2004-0108077

(43) 공개일자 2004년12월23일

(56) 선행기술조사문헌

KR1019970076029 A*

KR1019990054307 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

양명수

경기도군포시산본2동1066개나리아파트1337동705호

오금미

경기도의왕시삼동146-71번지우성아파트6차12동205호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 4 항

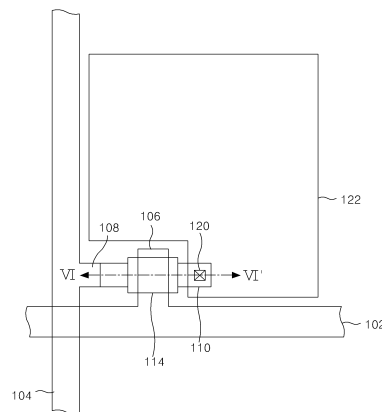
심사관 : 임동재

(54) 액정표시소자의 제조 방법

(57) 요약

본 발명은 액정표시소자의 제조방법에 관한 것으로, 제1 포토레지스트패턴을 마스크로 하여 제1 액티브층에 제1 불순물을 주입하여 상기 제1 액티브층의 채널영역, 소스영역 및 드레인영역을 형성하는 단계와, 상기 제1 포토레지스트패턴을 에칭하여 상기 제1 포토레지스트패턴의 높이를 낮추고 폭을 좁혀 상기 제1 액티브층의 채널영역 일부를 노출시키는 단계와, 상기 노출된 채널영역에 제2 불순물을 주입하여 상기 제1 액티브층의 엘디디영역을 형성하는 단계와, 제2 액티브층에 제2 포토레지스트패턴을 마스크로 하여 제3 불순물을 주입함으로써 상기 제2 액티브층의 소스 및 드레인영역을 형성하는 단계와, 상기 제1 및 제2 액티브층의 소스 및 드레인 영역과 각각 접촉되는 제1 및 제2 박막트랜지스터의 소스 및 드레인전극, 상기 소스 및 드레인전극을 따라 그 하부에 위치하는 제1 및 제2 액티브패턴을 형성하는 단계와, 제1 및 제2 박막트랜지스터 중 어느 하나의 드레인전극을 노출시키는 접촉홀을 갖는 보호막을 형성하는 단계와, 상기 보호막 상에 상기 노출된 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함한다.

대 표 도 - 도5



특허청구의 범위

청구항 1

기관 상에 제1 및 제2 박막트랜지스터의 게이트전극을 형성하는 단계와,

상기 게이트전극이 형성된 기관 상에 게이트절연막, 상기 제1 박막트랜지스터 영역에 위치하는 제1 액티브층과 상기 제2 박막트랜지스터 영역에 위치하는 제2 액티브층을 포함한 액티브층, 및 포토레지스트를 순차적으로 형성하는 단계와,

상기 기관 배면에서 상기 포토레지스트쪽으로 광을 조사하여 상기 포토레지스트를 배면노광하는 단계와,

상기 노광된 포토레지스트를 현상하여 상기 게이트전극과 중첩되는 영역에서 제1 높이를 가지며 상기 게이트전극의 측면과 중첩되는 영역에서 상기 제1 높이보다 낮은 제2 높이를 갖는 제1 포토레지스트패턴을 형성하는 단계와,

상기 제1 포토레지스트패턴을 마스크로 하여 상기 제1 액티브층에 제1 불순물을 주입하여 상기 제1 액티브층의 채널영역, 소스영역 및 드레인영역을 형성하는 단계와,

상기 제1 포토레지스트패턴을 에칭하여 상기 제1 포토레지스트패턴의 높이를 낮추고 폭을 좁혀 상기 제1 액티브층의 채널영역 일부를 노출시키는 단계와,

상기 노출된 채널영역에 제2 불순물을 주입하여 상기 제1 액티브층의 엘디디영역을 형성하는 단계와,

상기 제2 액티브층에 제2 포토레지스트패턴을 마스크로 하여 제3 불순물을 주입함으로써 상기 제2 액티브층의 소스 및 드레인영역을 형성하는 단계와,

상기 제1 및 제2 액티브층의 소스 및 드레인 영역과 각각 접촉되는 제1 및 제2 박막트랜지스터의 소스 및 드레인전극, 상기 소스 및 드레인전극을 따라 그 하부에 위치하는 제1 및 제2 액티브패턴을 형성하는 단계와,

상기 제1 및 제2 박막트랜지스터 중 어느 하나의 드레인전극을 노출시키는 접촉홀을 갖는 보호막을 형성하는 단계와,

상기 보호막 상에 상기 노출된 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 제2 액티브층의 소스 및 드레인영역을 형성하는 단계는

상기 제1 및 제2 불순물이 주입된 제2 액티브층 상에 포토레지스트를 형성하는 단계와,

상기 포토레지스트를 노광 및 현상하여 상기 제1 박막트랜지스터 영역과 상기 제2 박막트랜지스터의 채널영역을 덮도록 상기 제2 포토레지스트패턴을 형성하는 단계와,

상기 제2 포토레지스트패턴을 마스크로 상기 제2 액티브층에 제3 불순물을 주입하여 상기 제2 액티브층의 소스 영역 및 드레인영역을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 4

제 1 항에 있어서,

상기 제1 및 제2 액티브층의 소스영역 및 드레인영역이 각각 형성된 기관 상에 데이터금속층 및 포토레지스트를 순차적으로 형성하는 단계와,

상기 포토레지스트를 부분 노광한 후 현상하여 단차진 포토레지스트패턴을 형성하는 단계와,

상기 단차진 포토레지스트패턴을 이용하여 상기 데이터금속층과 상기 제1 및 제2 액티브층을 식각하는 단계와,
상기 단차진 포토레지스트패턴을 애싱하는 단계와,
상기 애싱된 포토레지스트패턴을 이용하여 상기 데이터금속층을 식각함으로써 상기 제1 및 제2 액티브층의 채널 영역을 노출시키는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 5

제 1 항에 있어서,
상기 제1 내지 제3 불순물 순으로 불순물의 농도가 높아지는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0026] 본 발명은 폴리실리콘을 이용한 액정표시소자에 관한 것으로, 특히 공정수를 단순화하여 제조단가를 줄일 수 있는 액정표시소자의 제조방법에 관한 것이다.
- [0027] 통상, 액정표시소자(Liquid Crystal Display; LCD)는 비디오신호에 따라 액정셀들의 광투과율을 조절함으로써 액정셀들이 매트릭스 형태로 배열되어진 액정패널에 비디오신호에 해당하는 화상을 표시하게 된다. 이 경우, 액정셀들을 스위칭하는 소자로서 통상 박막트랜지스터(Thin film Transistor; TFT)가 이용되고 있다.
- [0028] 이러한 액정표시소자에 이용되는 TFT는 반도체층으로 아몰퍼스(Amorphous) 실리콘 또는 폴리(Poly) 실리콘을 이용한다. 아몰퍼스 실리콘형 TFT는 아몰퍼스 실리콘막의 균일성이 비교적 좋아 특성이 안정된 장점을 가지고 있다. 그러나, 아몰퍼스 실리콘형 TFT는 전하 이동도가 낮아 응답 속도가 느리다는 단점을 가지고 있다. 이에 따라, 아몰퍼스 실리콘형 TFT는 빠른 응답 속도를 필요로 하는 고해상도 표시 패널이나 게이트 드라이버 및 데이터 드라이버의 구동 소자로는 적용이 어려운 단점을 가지고 있다.
- [0029] 폴리 실리콘형 TFT는 전하 이동도가 높음에 따라 빠른 응답 속도를 필요로 하는 고해상도 표시 패널에 적합할 뿐만 아니라 주변 구동 회로들을 표시 패널에 내장할 수 있는 장점을 가지고 있다. 이에 따라, 폴리 실리콘형 박막 트랜지스터를 이용한 액정 표시 소자가 대두되고 있다.
- [0030] 도 1은 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시소자를 나타내는 평면도이다.
- [0031] 도 1을 참조하면, 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시소자는 화소 매트릭스를 포함하는 화상 표시부(96)와, 화상 표시부(96)의 데이터 라인들(4)을 구동하기 위한 데이터구동부(92)와, 화상 표시부(96)의 게이트 라인들(2)을 구동하기 위한 게이트 구동부(94)를 구비한다.
- [0032] 화상 표시부(96)에는 액정셀들(LC)이 매트릭스 형태로 배열되어 화상을 표시한다. 액정셀들(LC) 각각은 게이트 라인(2)과 데이터 라인(4)의 교차점에 접속된 스위칭소자로서 폴리 실리콘을 이용한 화상 TFT(30)를 포함한다.

- [0033] 화상 TFT(30)는 도 2 및 도 3에 도시된 바와 같이 게이트라인(2)과 접속되는 게이트전극(6)과, 데이터라인(4)과 접속되는 소스전극(8)과, 화소전극(22)과 보호막(18)을 관통하는 화소접촉홀(20)을 통해 접속되는 드레인전극(10)을 구비한다.
- [0034] 게이트전극(6)은 버퍼막(16) 상에 형성되는 액티브층의 채널영역(14C)과 게이트절연막(12)을 사이에 두고 중첩되게 형성된다. 소스전극(8)은 게이트전극(6)과 중간절연막(26)을 사이에 두고 절연되게 형성되며 인이나 불소를 포함하는 n⁺이온이 주입된 액티브층의 소스영역(14S)과 소스접촉홀(24S)을 통해 접촉한다. 드레인전극(14D)은 게이트전극(6)과 중간절연막(26)을 사이에 두고 절연되게 형성되며 n⁺이온이 주입된 액티브층의 드레인영역(14D)과 드레인접촉홀(24D)을 통해 접촉된다. 여기서, 액티브층의 채널영역(14C)과 드레인영역(14D), 채널영역(14C)과 소스영역(14S) 사이에는 n⁻이온이 주입된 엘디디(Lightly Doped Drain ; 이하 "LDD"라 함)영역(14L)이 형성되어 상대적으로 높은 오프전류를 감소시키게 된다.
- [0035] 화상 TFT(30)는 게이트 라인(2)으로부터의 스캔 펄스에 응답하여 데이터 라인(4)으로부터의 비디오 신호, 즉 화소 신호를 액정셀(LC)에 충전되게 한다. 이에 따라, 액정셀(LC)는 충전된 화소 신호에 따라 광투과율을 조절하게 된다.
- [0036] 게이트 구동부(94)는 게이트 제어신호들에 의해 프레임마다 수평기간씩 순차적으로 게이트라인들(2)을 구동한다. 이 게이트 구동부(94)에 의해 화상 TFT(30)들이 수평라인 단위로 순차적으로 턴-온되어 데이터라인(4)을 액정셀과 접속시키게 된다.
- [0037] 데이터 구동부(92)는 수평기간마다 다수의 디지털 데이터신호 샘플링하여 아날로그 데이터신호로 변환한다. 그리고 데이터 구동부(92)는 아날로그 데이터신호를 데이터라인들(4)에 공급한다. 이에 따라, 턴-온된 화상 TFT(30)에 접속된 액정셀들은 데이터라인들(4) 각각으로부터의 데이터신호에 응답하여 광투과율을 조절하게 된다.
- [0038] 이러한 게이트구동부(94) 및 데이터 구동부(92)는 CMOS구조로 연결된 다수개의 구동 P형 TFT(90)와 구동 N형 TFT(60)를 포함하게 된다. 구동 P형 TFT(90)는 액티브층의 소스 및 드레인영역(74S,74D)에 붕소를 포함하는 p⁺이온이 주입된다. 구동 N형 TFT(60)는 액티브층의 소스 및 드레인영역(44S,44D)에 인이나 비소를 포함하는 n⁺이 주입된다. 또한, 구동 N형 TFT(60)는 구동 P형 TFT(90)에 비해 높은 오프전류를 감소시키기 위해 LDD 영역(44L)이 마련된다.
- [0039] 이러한 구동 N형 및 P형 TFT(60,90) 각각은 버퍼막(16)을 사이에 두고 하부기관(1) 상에 형성되는 액티브층(44,74)과, 게이트절연막(12)을 사이에 두고 액티브층(44,74)과 중첩되게 형성되는 게이트전극(36,66)과, 게이트전극(36,66)과 절연되게 형성되며 액티브층과 접촉되는 소스전극(38,68) 및 드레인전극(40,70)을 구비한다.
- [0040] 도 4a 내지 도 4h는 종래 폴리 실리콘형 박막트랜지스터를 이용한 액정표시소자의 제조방법을 나타내는 단면도이다.
- [0041] 먼저, 하부기관(1) 상에 SiO₂ 등의 절연물질로 전면 증착됨으로써 도 4a에 도시된 바와 같이 버퍼막(16)이 형성된다. 버퍼막(16)이 형성된 하부기관(1) 상에 아몰퍼스 실리콘막이 증착된 후 아몰퍼스 실리콘막이 레이저에 의해 결정화되어 폴리 실리콘막이 된다. 그 폴리 실리콘막이 제1 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 패터닝됨으로써 화상 TFT 및 구동 N형 및 P형 TFT 각각의 액티브층(14,44,74)이 형성된다.
- [0042] 액티브층(14,44,74)이 형성된 하부기관(1) 상에 SiO₂ 등의 절연물질이 전면 증착됨으로써 도 4b에 도시된 바와 같이 게이트절연막(12)이 형성된다. 게이트절연막(12)이 형성된 하부기관(1) 상에 게이트금속층이 전면 증착된 후 제2 마스크를 이용한 포토리소그래피공정과 식각공정에 의해 게이트금속층이 패터닝된다. 이에 따라, 화상 TFT, 구동 N형 TFT 및 P형 TFT 각각의 게이트전극(6,36,66)이 형성된다. 여기서, 게이트전극(6,36,66)은 알루미늄, 알루미늄/네오븀 등이 이용된다. 이 게이트전극(6,36,66)을 마스크로 이용하여 액티브층(14,44,74)에 n⁻이온이 주입됨으로써 게이트전극(6,36,66)과 중첩되는 액티브층(14,44,74)은 채널영역(14C,44C,74C)으로, 게이트전극(6,36,66)과 중첩되지 않는 액티브층(14,44,74)은 LDD영역(14L,44L,74L)으로 형성된다.
- [0043] 그런 다음, 하부기관(1) 상에 포토레지스트가 전면 증착된 후 제3 마스크를 이용한 포토리소그래피공정에 의해 포토레지스트가 패터닝됨으로써 포토레지스트패턴이 형성된다. 이 포토레지스트패턴은 화상 TFT의 액티브층(14)과 구동 N형 TFT의 액티브층(44)을 일부 노출시키며 구동 P형 TFT의 액티브층(74)을 완전히 가리도록 형성

된다. 이 포토레지스트패턴을 마스크로 이용하여 화상 TFT의 액티브층(14)과 N형 TFT의 액티브층(44)에 n+ 이온이 주입됨으로써 도 4c에 도시된 바와 같이 액티브층(14,44)의 소스영역(14S,44S)과 드레인영역(14D,44D)이 형성된다.

[0044] n+ 이온이 주입된 액티브층(14,44)이 형성된 하부기판(1) 상에 포토레지스트가 전면 증착된 후 제4 마스크를 이용한 포토리쓰그래피공정에 의해 포토레지스트가 패터닝됨으로써 포토레지스트패턴이 형성된다. 이 포토레지스트패턴은 구동 P형 TFT의 액티브층(74)을 제외한 영역을 덮도록 형성된다. 이러한 포토레지스트패턴을 마스크로 이용하여 구동 P형 TFT의 액티브층(74)에 p+ 이온이 주입됨으로써 도 4d에 도시된 바와 같이 구동 P형 TFT의 액티브층(74)의 소스영역(74S)과 드레인영역(74D)이 형성된다.

[0045] p+ 이온이 주입된 액티브층(74) 형성된 하부기판(1) 상에 절연물질이 전면 증착됨으로써 도 4e에 도시된 바와 같이 층간절연막(26)이 형성된다. 이 후 층간절연막(26)과 게이트절연막(12)이 제5 마스크를 이용한 포토리쓰그래피공정과 식각공정에 의해 패터닝된다. 이에 따라, 화상 TFT의 소스영역(14S)과 드레인영역(14D)을 각각 노출시키는 소스접촉홀(24S)과 드레인접촉홀(24D)이 형성되며, 구동 N형 TFT의 소스영역(44S)과 드레인영역(44D)을 각각 노출시키는 소스접촉홀(54S)과 드레인접촉홀(54D)이 형성되며, 구동 P형 TFT의 소스영역(74S)과 드레인영역(74D)을 각각 노출시키는 소스접촉홀(84S)과 드레인접촉홀(84D)이 형성된다.

[0046] 소스접촉홀 및 드레인접촉홀이 형성된 하부기판(1) 상에 데이터금속층이 전면 증착된 후 제6 마스크를 이용한 포토리쓰그래피공정과 식각공정에 의해 데이터금속층이 패터닝됨으로써 도 4f에 도시된 바와 같이 화상 TFT의 소스 및 드레인전극(8,10), 구동 N형 TFT의 소스 및 드레인전극(38,40) 및 구동 P형 TFT의 소스 및 드레인전극(68,70)을 포함하는 데이터패턴이 형성된다. 데이터패턴에 포함되는 각 소스 및 드레인전극(8,38,68,10,40,70)은 소스접촉홀(24S,54S,84S) 및 드레인접촉홀(24D,54D,84D)을 통해 액티브층의 소스영역(14S,44S,74S) 및 드레인영역(14D,44D,74D)과 접촉된다.

[0047] 데이터패턴이 형성된 하부기판(1) 상에 절연물질이 전면 증착됨으로써 도 4g에 도시된 바와 같이 보호막(18)이 형성된다. 이 후 제7 마스크를 이용한 포토리쓰그래피공정과 식각공정에 의해 보호막(18)이 패터닝됨으로써 화상 TFT의 드레인전극(10)을 노출시키는 화소접촉홀(20)이 형성된다.

[0048] 보호막(18)이 형성된 하부기판(1) 상에 투명전도성물질이 전면 증착된 후 제8 마스크를 이용한 포토리쓰그래피공정과 식각공정에 의해 투명전도성물질이 패터닝됨으로써 도 4h에 도시된 바와 같이 화소전극(22)이 형성된다. 화소전극(22)은 화소접촉홀(20)을 통해 화상 TFT(30)의 드레인전극(10)과 전기적으로 접속된다.

[0049] 이와 같이, 종래 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 제조 방법은 탑 게이트(Top Gate) 방식으로 형성되어 8마스크 공정을 채용함으로써 제조 공정이 복잡하여 원가 절감에 한계가 있다. 이는 하나의 마스크 공정이 박막 증착 공정, 세정 공정, 포토리쓰그래피 공정, 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 많은 공정을 포함하고 있기 때문이다. 이에 따라, 최근에는 제조 공정을 단순화하여 제조단가를 줄일 수 있는 방안이 요구되고 있다.

[0050] 한편, 바텀 게이트(Bottom Gate) 방식으로 형성된 폴리 실리콘형 박막트랜지스터를 갖는 액정표시소자의 제조 방법은 탑 게이트 방식에 비하여 마스크공정 수를 줄임으로써 제조단가를 줄일 수 있다. 그러나, 이 구조에서는 n-이온 주입공정시 탑 게이트 방식에서 마스크 역할을 하는 게이트전극이 액티브층 하부에 위치하게 된다. 이에 따라, n-이온 주입을 위한 포토리쓰그래피공정을 포함하는 마스크공정이 필요하므로 7~8마스크공정을 채용함으로써 여전히 제조공정이 복잡하고 제조단가를 줄이는 데 한계가 있다.

발명이 이루고자 하는 기술적 과제

[0051] 따라서, 본 발명의 목적은 공정수를 단순화하여 제조단가를 줄일 수 있는 액정표시소자의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

[0052] 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자의 제조방법은 기판 상에 제1 및 제2 박막트랜지스터의 게이트전극을 형성하는 단계와, 상기 게이트전극이 형성된 기판 상에 게이트절연막, 상기 제1 박막트랜지스터 영역에 위치하는 제1 액티브층과 상기 제2 박막트랜지스터 영역에 위치하는 제2 액티브층을 포함한 액티브

층, 및 포토레지스트를 순차적으로 형성하는 단계와, 상기 기판 배면에서 상기 포토레지스트쪽으로 광을 조사하여 상기 포토레지스트를 배면노광하는 단계와, 상기 노광된 포토레지스트를 현상하여 상기 게이트전극과 중첩되는 영역에서 제1 높이를 가지며 상기 게이트전극의 측면과 중첩되는 영역에서 상기 제1 높이보다 낮은 제2 높이를 갖는 제1 포토레지스트패턴을 형성하는 단계와, 상기 제1 포토레지스트패턴을 마스크로 하여 상기 제1 액티브층에 제1 불순물을 주입하여 상기 제1 액티브층의 채널영역, 소스영역 및 드레인영역을 형성하는 단계와, 상기 제1 포토레지스트패턴을 에칭하여 상기 제1 포토레지스트패턴의 높이를 낮추고 폭을 좁혀 상기 제1 액티브층의 채널영역 일부를 노출시키는 단계와, 상기 노출된 채널영역에 제2 불순물을 주입하여 상기 제1 액티브층의 엘디디영역을 형성하는 단계와, 상기 제2 액티브층에 제2 포토레지스트패턴을 마스크로 하여 제3 불순물을 주입함으로써 상기 제2 액티브층의 소스 및 드레인영역을 형성하는 단계와, 상기 제1 및 제2 액티브층의 소스 및 드레인 영역과 각각 접촉되는 제1 및 제2 박막트랜지스터의 소스 및 드레인전극, 상기 소스 및 드레인전극을 따라 그 하부에 위치하는 제1 및 제2 액티브패턴을 형성하는 단계와, 상기 제1 및 제2 박막트랜지스터 중 어느 하나의 드레인전극을 노출시키는 접촉홀을 갖는 보호막을 형성하는 단계와, 상기 보호막 상에 상기 노출된 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함한다.

상기 제2 액티브층의 소스 및 드레인영역을 형성하는 단계는, 상기 제1 및 제2 불순물이 주입된 제2 액티브층 상에 포토레지스트를 형성하는 단계와, 상기 포토레지스트를 노광 및 현상하여 상기 제1 박막트랜지스터 영역과 상기 제2 박막트랜지스터의 채널영역을 덮도록 상기 제2 포토레지스트패턴을 형성하는 단계와, 상기 제2 포토레지스트패턴을 마스크로 상기 제2 액티브층에 제3 불순물을 주입하여 상기 제2 액티브층의 소스영역 및 드레인영역을 형성하는 단계를 포함한다.

[0053] 삭제

[0054] 삭제

[0055] 삭제

[0056] 삭제

[0057] 삭제

[0058] 삭제

[0059] 상기 제1 및 제2 박막트랜지스터의 소스 및 드레인전극, 상기 소스 및 드레인전극을 따라 그 하부에 위치하는 제1 및 제2 액티브패턴을 형성하는 단계와, 상기 제1 및 제2 액티브층의 소스영역 및 드레인영역이 각각 형성된 기판 상에 데이터금속층 및 포토레지스트를 순차적으로 형성하는 단계와, 상기 포토레지스트를 부분 노광한 후 현상하여 단차진 포토레지스트패턴을 형성하는 단계와, 상기 단차진 포토레지스트패턴을 이용하여 상기 데이터금속층과 상기 제1 및 제2 액티브층을 식각하는 단계와, 상기 단차진 포토레지스트패턴을 에칭하는 단계와, 상기 에칭된 포토레지스트패턴을 이용하여 상기 데이터금속층을 식각함으로써 상기 제1 및 제2 액티브층의 채널영역을 노출시키는 단계를 포함한다.

[0060] 상기 제1 내지 제3 불순물 순으로 불순물의 농도가 높아진다.

[0061] 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0062] 이하, 도 5 내지 도 15를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0063] 도 5는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시소자의 화상표시부를 나타내는 평면도이며, 도 6은 도 5에 도시된 화상표시부와 구동회로부의 박막트랜지스터를 나타내는 단면도이다.

- [0064] 도 5 및 도 6을 참조하면, 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시소자는 화상 표시부의 액정셀을 구동하기 위한 화상 TFT(130)와, 화상표시부의 게이트라인(102) 및 데이터라인(104)을 각각 구동하는 게이트구동부 및 데이터구동부 각각에 포함되는 구동 N형 및 P형 TFT(160, 190)를 구비한다.
- [0065] 화상 TFT(130)는 도 5에 도시된 바와 같이 게이트라인(102)과 접속되는 게이트전극(106)과, 데이터라인(104)과 접속되는 소스전극(108)과, 화소전극(122)과 보호막(118)을 관통하는 화소접촉홀(120)을 통해 접속되는 드레인전극(110)을 구비한다. 또한, 화상 TFT(130)는 게이트절연막(112) 상에 게이트 전극(106)과 중첩되면서 소스전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 액티브층(114)을 더 구비한다. 액티브층(114)은 데이터라인(104), 소스 및 드레인전극(108, 110) 하부에 그들을 따라 형성된다. 이러한 액티브층(114)은 게이트전극(106)의 평면과 중첩되는 채널영역(114C)과, 소스전극(108)과 직접 접촉되며 약 $1\sim 2\times 10^{15}/\text{cm}^2$ 농도의 n+이온이 주입된 소스영역(114S)과, 드레인전극(110)과 직접 접촉되며 n+이온이 주입된 드레인영역(114D)과, 게이트전극(106)의 측면과 중첩되는 LDD영역(114L)을 포함한다. 여기서, LDD(114L)영역은 약 $10^{12}\sim 10^{13}/\text{cm}^2$ 농도의 n-이온이 주입되어 상대적으로 높은 오프전류를 감소시키게 된다.
- [0066] 화상 TFT(130)는 게이트 라인(102)으로부터의 스캔 펄스에 응답하여 데이터 라인(104)으로부터의 비디오 신호, 즉 화소 신호를 액정셀에 충전되게 한다. 이에 따라, 액정셀은 충전된 화소 신호에 따라 광투과율을 조절하게 된다.
- [0067] 구동 N형 TFT(160) 및 구동 P형 TFT(190)는 게이트 구동부 및 데이터구동부 중 적어도 어느 하나에 CMOS구조로 연결되어 형성된다.
- [0068] 구동 P형 TFT(190)는 액티브층의 소스 및 드레인영역(174S, 174D)에 봉소를 포함하는 p+이온이 주입된다. 여기서, 구동 P형 TFT(190)에는 화상 TFT(130) 및 구동 N형 TFT(160)에 주입된 n-, n+이온보다 상대적으로 높은 농도, 예를 들어 약 $5\times 10^{15}/\text{cm}^2$ 농도의 p+이온이 주입된다.
- [0069] 구동 N형 TFT(160)는 액티브층의 소스 및 드레인영역(144S, 144D)에 인이나 비소를 포함하는 n+이온이 주입된다. 또한, 구동 N형 TFT(160)는 구동 P형 TFT(190)에 비해 높은 오프전류를 감소시키기 위해 LDD 영역(144L)이 마련된다.
- [0070] 이러한 구동 N형 및 P형 TFT(160, 190) 각각은 버퍼막(1116)이 형성된 기판(101) 상에 형성되는 게이트전극(136, 166)과, 게이트절연막(112) 상에 게이트전극(136, 166)과 중첩도록 형성되는 액티브층(144, 174)과, 액티브층(144, 174)과 접속되는 소스전극(138, 168) 및 드레인전극(140, 170)을 구비한다. 소스 및 드레인전극(138, 168, 140, 170) 각각은 액티브층의 소스영역(144S, 174S) 및 드레인영역(144D, 174D)과 접촉홀없이 직접 접촉하게 된다. 소스 및 드레인전극(138, 168, 140, 170) 각각의 하부에는 소스 및 드레인전극(138, 168)과 동일패턴의 액티브층(144, 174)이 형성된다.
- [0071] 도 7은 도 5에 도시된 폴리실리콘형 박막트랜지스터를 이용한 액정표시소자의 제1 포토리소그래피공정을 포함하는 제1 마스크공정을 상세히 설명하기 위한 단면도이다.
- [0072] 도 7에 도시된 바와 같이 하부기판(101) 상에 스퍼터링 등의 증착방법을 통해 SiO_2 등의 절연물질이 증착되어 버퍼막(116)이 형성된다. 버퍼막(116)이 형성된 하부기판(101) 상에 게이트금속층 및 포토레지스트가 순차적으로 증착된다. 여기서, 게이트금속층은 알루미늄계 금속을 포함하는 적어도 단층 구조로 이루어진다. 이 후 제1 마스크를 이용한 제1 포토리소그래피공정에 의해 포토레지스트가 패터닝되어 포토레지스트패턴이 형성된다. 이 포토레지스트패턴을 마스크로 이용한 식각공정에 의해 게이트금속층이 패터닝됨으로써 화상 TFT의 게이트전극(106), 구동 N형 TFT의 게이트전극(136), 구동 P형 TFT의 게이트전극(166)을 포함하는 게이트패턴이 형성된다.
- [0073] 도 8은 본 발명에 따른 폴리 실리콘형 박막트랜지스터를 이용한 액정표시소자의 제2 포토리소그래피공정을 상세히 설명하기 위한 단면도이다.
- [0074] 도 8을 참조하면, 게이트패턴이 형성된 하부기판(101) 상에 게이트절연막(112)이 형성된 다음, 그 게이트절연막(112) 상에 화상 TFT, 구동 N형 TFT 및 구동 P형 TFT에 n+, n-이온이 주입된 액티브층(114, 144, 174)이 형성된다. 이러한 제2 마스크공정을 도 9a 내지 도 9e를 참조하여 상세히 하면 다음과 같다.
- [0075] 도 9a에 도시된 바와 같이 게이트전극(106, 136, 166)이 형성된 하부기판(101) 상에 SiO_2 등을 포함하는 무기 절

연물질 또는 유기절연물질이 전면 증착됨으로써 게이트절연막(112)이 형성된다. 그 게이트절연막(112) 상에 아몰퍼스실리콘이 전면 증착된다, 이 아몰퍼스실리콘막이 레이저에 의해 결정화되어 폴리실리콘막(119)이 된다. 이어서, 폴리실리콘막(119) 상에 포토레지스트(250)가 전면 형성된 다음 도 9b에 도시된 바와 같이 하부기관(101) 배면에서 노광공정이 이루어진다. 배면 노광 공정에 의해 게이트전극(106,136,166)과 중첩되는 포토레지스트(250)는 게이트전극(106,136,166)에 의해 광이 차단되어 노광되지 않으며, 게이트전극(106,136,166)의 측면과 중첩되는 포토레지스트(250)는 경사진 게이트전극(106,136,166)의 측면에서 광이 회절되어 부분 노광되며, 게이트전극(106,136,166)과 비중첩되는 영역의 포토레지스트(250)는 광에 노출되어 완전히 노광된다. 이러한 포토레지스트(250)를 현상함으로써 게이트전극(106,136,166)에 대응하여 단차를 갖는 포토레지스트패턴(252)이 형성된다. 이 포토레지스트패턴(252)은 도 9c에 도시된 바와 같이 게이트전극(106,136,166)의 평면과 중첩되는 영역에서 제1 높이를 갖으며, 게이트전극(106,136,166)의 양측 경사면과 중첩되는 영역에서 제1 높이보다 낮은 제2 높이를 갖게 된다. 포토레지스트패턴(252)을 마스크로 이용하여 화상 TFT의 액티브층과 N형 TFT의 액티브층 및 P형 TFT의 액티브층에 n^+ 이온이 주입됨으로써 액티브층(114,144,174)의 채널영역(114C,144C,174C), 소스영역(114S,144S,174S)과 드레인영역(114D,144D,174D)이 형성된다. 여기서, 채널영역(114C,144C,174C)은 게이트전극(106,136,166)과 중첩되며, 각 소스영역(114S,144S,174S) 및 드레인영역(114D,144D,174D)은 채널영역(114C,144C,174C)을 제외하고는 서로 연결되어 있다.

[0076] 이어서, 산소(O_2) 플라즈마를 이용한 애싱(Ashing) 공정으로 부분 노광된 제2 높이를 갖는 포토레지스트패턴(252)은 제거되고, 제1 높이를 갖는 포토레지스트패턴(252)은 높이가 낮아지고 폭이 좁아져 채널영역(114C,144C,174C)의 일부가 노출된다. 이러한 포토레지스트패턴을 마스크로 이용하여 노출된 채널영역(114C,144C,174C)에 n^- 이온이 주입됨으로써 게이트전극(106,136,166)의 측면과 중첩되는 LDD영역(114L,144L,174L)이 형성된다. 이 후, 도 9e에 도시된 바와 같이 채널영역(114C,144C,174C) 상에 남아있던 포토레지스트 패턴(252)이 스트립 공정으로 제거된다.

[0077] 도 10은 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시소자의 제3 포토리소그래피공정을 상세히 설명하기 위한 단면도이다.

[0078] 도 10을 참조하면, n^+,n^- 이온이 주입된 액티브층(114,144,174)이 형성된 하부기관(101) 상에 제2 마스크를 이용하여 구동 P형 TFT에 p^+ 이온이 주입된 액티브층(174)이 형성된다. 이를 도 11a 내지 도 11c를 참조하면, 상세히 설명하면 다음과 같다.

[0079] n^+,n^- 이온이 주입된 액티브층(114,144,174)이 형성된 하부기관(101) 상에 포토레지스트(286)가 형성된 다음 도 11a에 도시된 바와 같이 제2 마스크(280)가 하부기관(101) 상에 정렬된다. 제2 마스크(280)는 투명한 재질로 형성되어 노출된 영역이 노광영역(S_2)을 이루는 마스크 기관(284)과, 마스크기관(284)의 차단영역(S_1)에 형성되는 차단부(282)를 구비한다. 제2 마스크(280)를 이용한 포토리소그래피공정에 의해 포토레지스트(286)가 패터닝됨으로써 도 11b에 도시된 바와 같이 포토레지스트패턴(288)이 형성된다. 포토레지스트패턴(288)은 구동 P형 TFT의 채널영역(174C)과 화상 TFT영역과, 구동 N형 TFT 영역과 중첩되게 형성된다. 이러한 포토레지스트패턴(288)을 마스크로 이용하여 P형 TFT의 액티브층(174)에 p^+ 이온이 주입됨으로써 액티브층(174)의 채널영역(174C)을 제외한 소스영역(174S) 및 드레인영역(174D)과 LDD영역(174L)에 p^+ 이온이 주입된다. 이에 따라, P형 TFT의 액티브층은 도 11c에 도시된 바와 같이 게이트전극(166) 평면과 중첩되는 채널영역(174C)과, 채널영역(174C) 양측에 위치하며 p^+ 이온이 주입된 소스영역(174S)과 드레인영역(174D)을 포함한다.

[0080] 도 12는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시소자의 제4 포토리소그래피공정을 상세히 설명하기 위한 단면도이다.

[0081] 도 12를 참조하면, p^+ 이온이 주입된 액티브층(174)이 형성된 하부기관(101) 상에 제3 마스크를 이용하여 화상 TFT, 구동 N형 TFT 및 구동 P형 TFT의 소스 및 드레인전극(108,110,138,140,168,170)을 포함하는 데이터패턴과, 데이터패턴을 따라 패터닝된 액티브층(114,144,174)이 형성된다. 이를 도 13a 내지 도 13d를 참조하여 상세히 설명하면 다음과 같다.

[0082] 도 13a에 도시된 바와 같이 액티브층(114,144,174) 상에 PECVD, 스퍼터링 등의 증착 방법을 통해 데이터금속층(109)이 형성된다. 여기서, 데이터금속층(109)은 크롬(Cr), 구리(Cu) 또는 몰리브덴(Mo) 등이 이용된다.

[0083] 그런 다음, 데이터금속층(109) 상에 포토레지스트(220)가 형성된 다음 제3 마스크(210)가 하부기관(101) 상부에 정렬된다. 제3 마스크(210)는 투명한 재질이며 노출된 영역이 노광영역(S_2)인 마스크 기관(212)과, 마스크 기관(212)의 차단 영역(S_1)에 형성된 차단부(214)와, 마스크 기관(212)의 부분 노광 영역(S_3)에 형성된 회절 노광

부(216)(또는 반투과부)를 구비한다. 이러한 제3 마스크(210)를 이용한 포토레지스트(220)를 노광한 후 현상함으로써 도 13b에 도시된 바와 같이 제3 마스크(210)의 차단부(214)와 회절 노광부(216)에 대응하여 차단 영역(S1)과 부분 노광 영역(S3)에서 단차를 갖는 포토레지스트 패턴(222)이 형성된다. 즉, 부분 노광 영역(S3)에 형성된 포토레지스트 패턴(222)은 차단 영역(S1)에서 형성된 제1 높이를 갖는 포토레지스트 패턴(222)보다 낮은 제2 높이를 갖게 된다.

[0084] 이러한 포토레지스트 패턴(222)을 마스크로 이용한 습식 식각 공정으로 데이터금속층이 패터닝됨으로써 화상 TFT, 구동 N형 TFT 및 구동 P형 TFT 각각에 일체화된 소스 및 드레인전극(108, 110, 138, 140, 168, 170)을 포함하는 데이터패턴이 형성된다.

[0085] 그리고, 포토레지스트 패턴(222)을 마스크로 이용한 건식 식각 공정으로 액티브층(114, 144, 174)이 패터닝됨으로써 액티브층(114, 144, 174)은 데이터패턴을 따라 형성된다. 이어서, 산소(O_2) 플라즈마를 이용한 애싱(Ashing) 공정으로 부분 노광 영역(S3)에 제2 높이를 갖는 포토레지스트 패턴(222)은 도 13c에 도시된 바와 같이 제거되고, 차단 영역(S1)에 제1 높이를 갖는 포토레지스트 패턴(222)은 높이가 낮아진 상태가 된다. 이러한 포토레지스트 패턴(222)을 이용한 식각 공정으로 부분 노광 영역(S3), 즉 화상 TFT, 구동 N형 TFT 및 구동 P형 TFT 각각의 채널영역(114C, 144C, 174C)과 중첩되는 데이터금속층은 제거된다. 이에 따라, 일체화된 소스 및 드레인전극(108, 110, 138, 140, 168, 170)은 서로 분리되어 액티브층의 채널영역(114C, 144C, 174C)은 노출된다. 그런 다음, 도 13d에 도시된 바와 같이 데이터패턴 상에 남아 있는 포토레지스트 패턴(222)은 스트립 공정으로 제거된다.

[0086] 도 14는 폴리실리콘형 박막트랜지스터를 이용한 액정표시소자의 제5 포토리쓰그래피공정을 상세히 설명하기 위한 단면도이다.

[0087] 도 14에 도시된 바와 같이 화상 TFT, 구동 N형 TFT 및 구동 P형 TFT 각각의 데이터패턴이 형성된 하부기판(101) 상에 절연물질이 전면 증착됨으로써 보호막(118)이 형성된다. 보호막(118)이 형성된 하부기판(101) 상에 포토레지스트가 증착된다. 이 후 제4 마스크를 이용한 제5 포토리쓰그래피공정에 의해 포토레지스트가 패터닝되어 포토레지스트패턴이 형성된다. 이 포토레지스트패턴을 마스크로 이용한 식각공정에 의해 보호막(118)이 패터닝됨으로써 화상 TFT(130)의 드레인전극(110)을 노출시키는 화소접촉홀(120)이 형성된다.

[0088] 도 15는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 이용한 액정표시소자의 제6 포토리쓰그래피공정을 상세히 설명하기 위한 단면도이다.

[0089] 도 15에 도시된 바와 같이 보호막(118)이 형성된 하부기판(101) 상에 스퍼터링 등의 증착방법을 통해 투명전도성물질과 포토레지스트가 순차적으로 증착된다. 여기서, 투명전도성물질은 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide), 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide) 등이 이용된다. 이 후, 제5 마스크를 이용한 제6 포토리쓰그래피공정에 의해 포토레지스트가 패터닝되어 포토레지스트패턴이 형성된다. 이 포토레지스트패턴을 마스크로 이용한 식각공정에 의해 투명금속층이 패터닝됨으로써 화소전극(122)이 형성된다. 화소전극(122)은 화소접촉홀(120)을 통해 화상 TFT(130)의 드레인전극(110)과 접촉된다.

발명의 효과

[0090] 상술한 바와 같이, 본 발명은 게이트전극을 이용한 배면노광 및 현상공정에 의해 형성된 포토레지스트패턴을 이용하여 n^+ , n^- 이온을 액티브층에 순차적으로 주입하게 되므로 액티브층의 엘디디영역과; 소스영역 및 드레인영역을 동시에 형성할 수 있다. 이에 따라, 본 발명은 6 포토리쓰그래피공정을 포함하는 5 마스크 공정으로 박막트랜지스터 어레이 기판을 제조할 수 있게 되므로 그 박막 트랜지스터 어레이 기판의 구조 및 공정을 단순화하여 제조 원가 절감할 수 있음과 아울러 제조 수율을 향상시킬 수 있게 된다.

[0091] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 종래 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자를 나타내는 블록도이다.

[0002] 도 2는 도 1에 도시된 화상표시부를 상세히 나타내는 평면도이다.

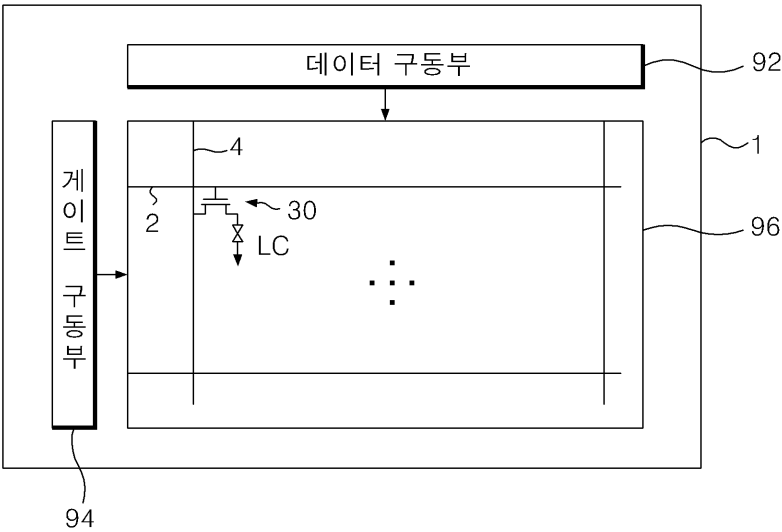
- [0003] 도 3은 도 1에 도시된 화상표시부와 구동회로부에 포함되는 다수의 박막트랜지스터를 나타내는 단면도이다.
- [0004] 도 4a 내지 도 4h는 도 3에 도시된 화상표시부와 구동회로부의 제조방법을 나타내는 단면도이다.
- [0005] 도 5는 본 발명에 따른 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 화상표시부를 나타내는 평면도이다.
- [0006] 도 6은 도 5에 도시된 화상표시부와 화상표시부의 액정셀을 구동하기 위한 구동회로부에 포함되는 박막트랜지스터를 나타내는 단면도이다.
- [0007] 도 7은 도 6에 도시된 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 제1 포토리소그래피공정을 포함하는 제1 마스크공정을 나타내는 단면도이다.
- [0008] 도 8은 도 6에 도시된 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 제2 포토리소그래피공정을 나타내는 단면도이다.
- [0009] 도 9a 내지 도 9e는 도 8에 도시된 제2 포토리소그래피공정을 상세히 설명하기 위한 단면도이다.
- [0010] 도 10은 도 6에 도시된 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 제3 포토리소그래피공정을 포함하는 제2 마스크공정을 나타내는 단면도이다.
- [0011] 도 11a 내지 도 11c는 도 10에 도시된 제3 포토리소그래피공정을 포함하는 제2 마스크공정을 상세히 설명하기 위한 단면도이다.
- [0012] 도 12는 도 6에 도시된 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 제4 포토리소그래피공정을 포함하는 제3 마스크공정을 나타내는 단면도이다.
- [0013] 도 13a 내지 도 13d는 도 12에 도시된 제4 포토리소그래피공정을 포함하는 제3 마스크공정을 상세히 설명하기 위한 단면도이다.
- [0014] 도 14는 도 6에 도시된 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 제5 포토리소그래피공정을 포함하는 제4 마스크공정을 나타내는 단면도이다.
- [0015] 도 15는 도 6에 도시된 폴리실리콘형 박막트랜지스터를 갖는 액정표시소자의 제6 포토리소그래피공정을 포함하는 제5 마스크공정을 나타내는 단면도이다.

[0016] < 도면의 주요부분에 대한 설명>

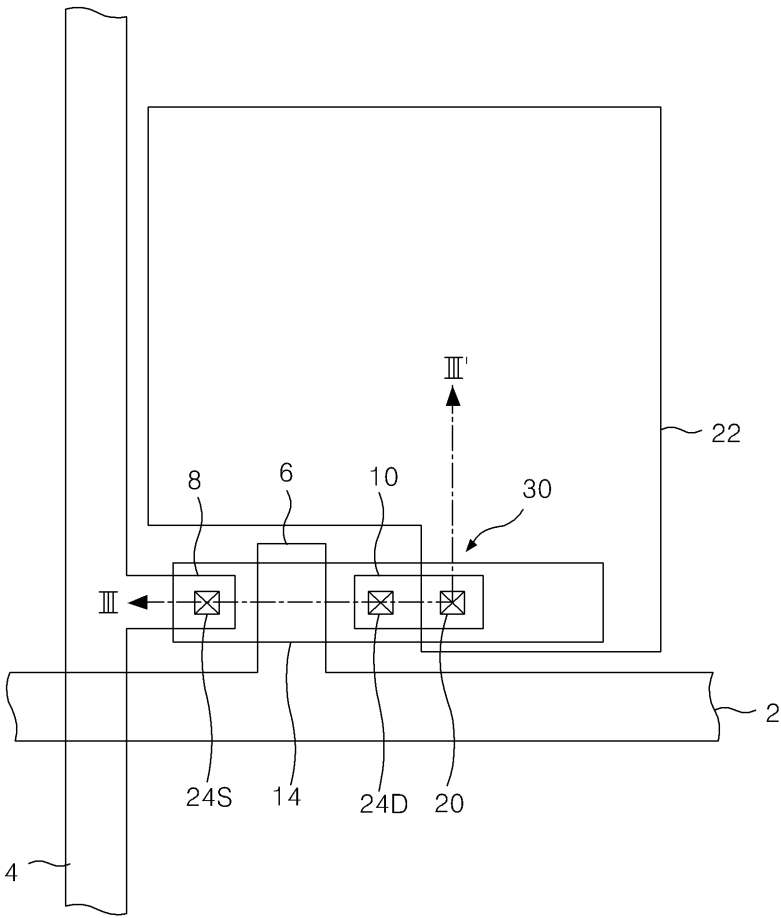
- | | |
|---------------------------------------|------------------------------|
| [0017] 1,101 : 기판 | 2,102 : 게이트라인 |
| [0018] 4,104 : 데이터라인 | 6,36,66,106,136,166 : 게이트전극 |
| [0019] 8,38,68,108,138,168 : 소스전극 | 10,40,70,110,140,170 : 드레인전극 |
| [0020] 12,112 : 게이트절연막 | 14,44,74,114,144,174 : 액티브층 |
| [0021] 16,116 : 버퍼막 | 18,118 : 보호막 |
| [0022] 20,120 : 화소접촉홀 | 22,122 : 화소전극 |
| [0023] 26 : 층간절연막 | 92 : 데이터구동부 |
| [0024] 30,60,90,130,160,190 : 박막트랜지스터 | |
| [0025] 94 : 게이트구동부 | 96 : 화상표시부 |

도면

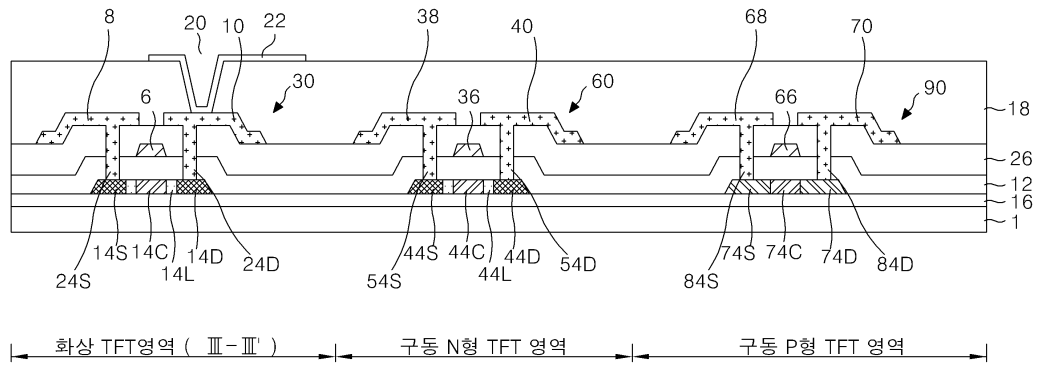
도면1



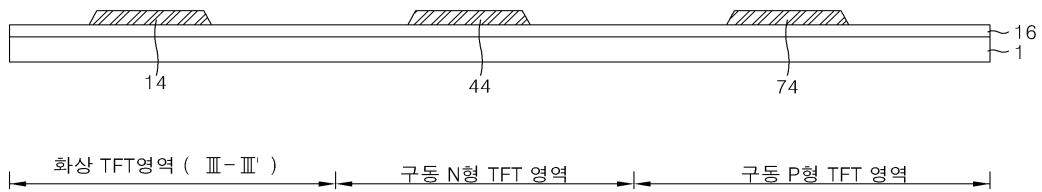
도면2



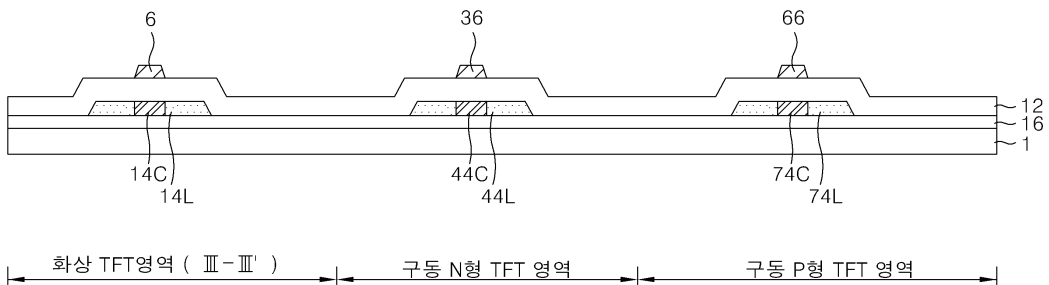
도면3



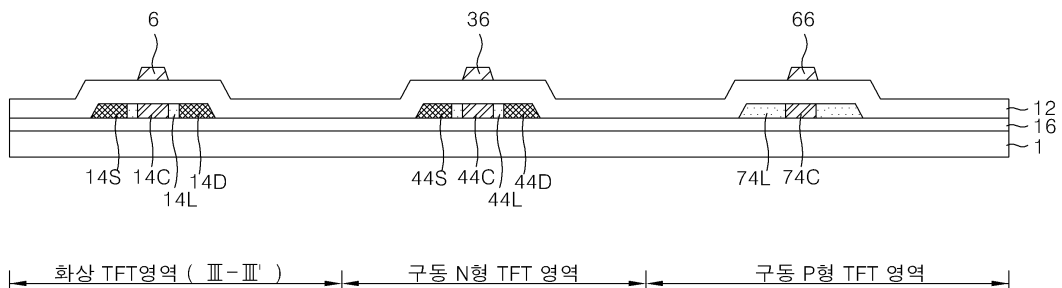
도면4a



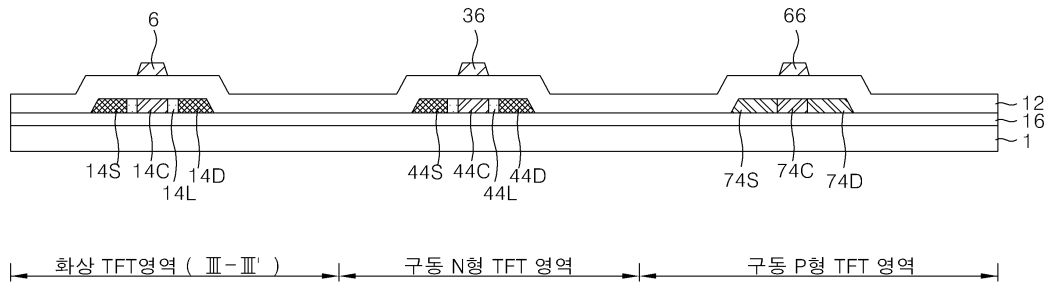
도면4b



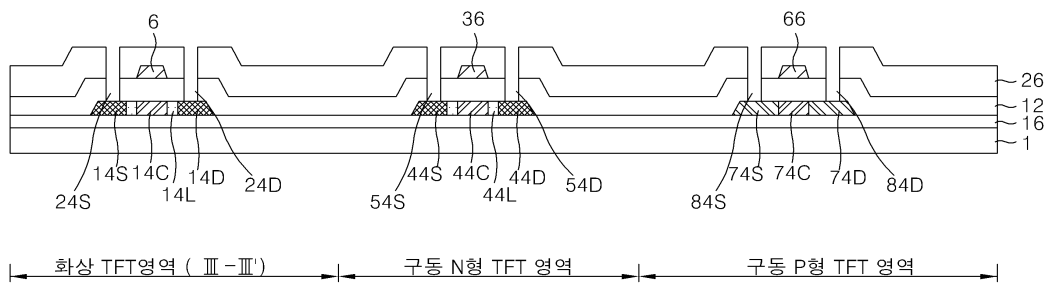
도면4c



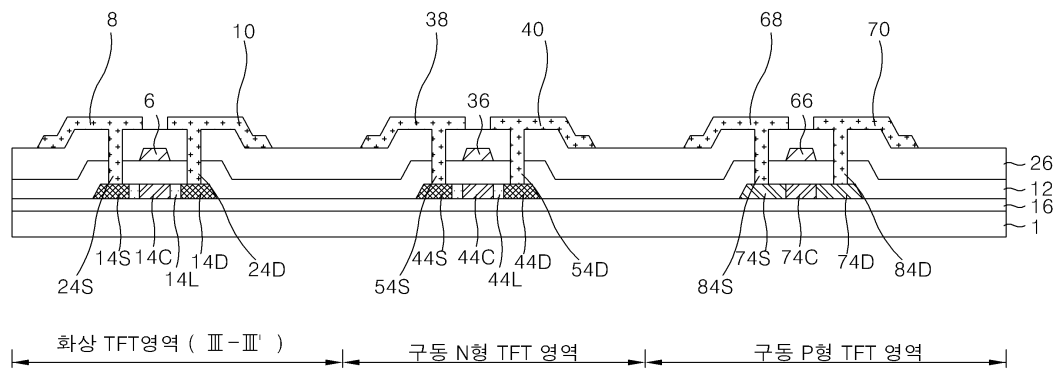
도면4d



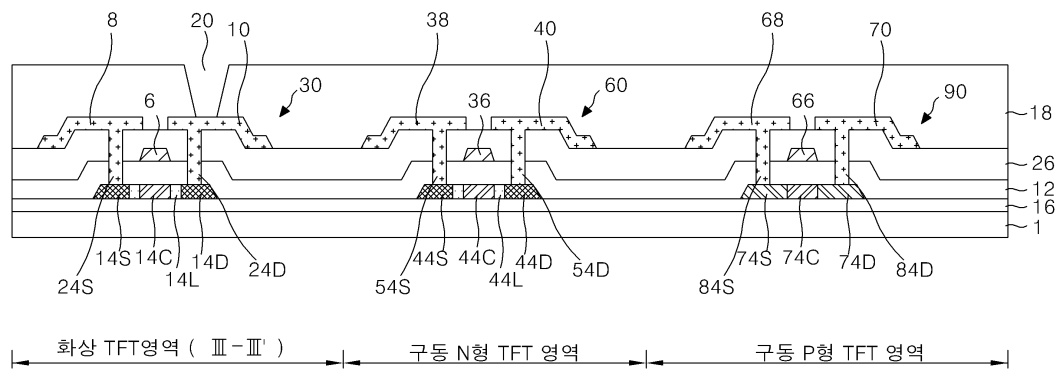
도면4e



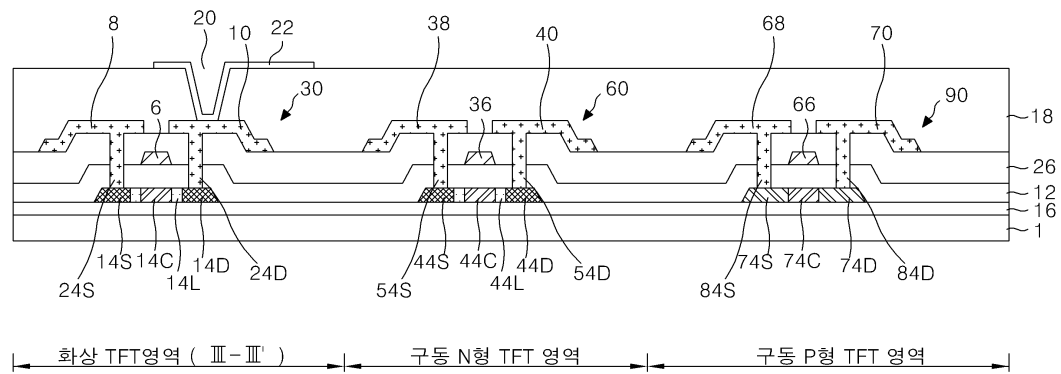
도면4f



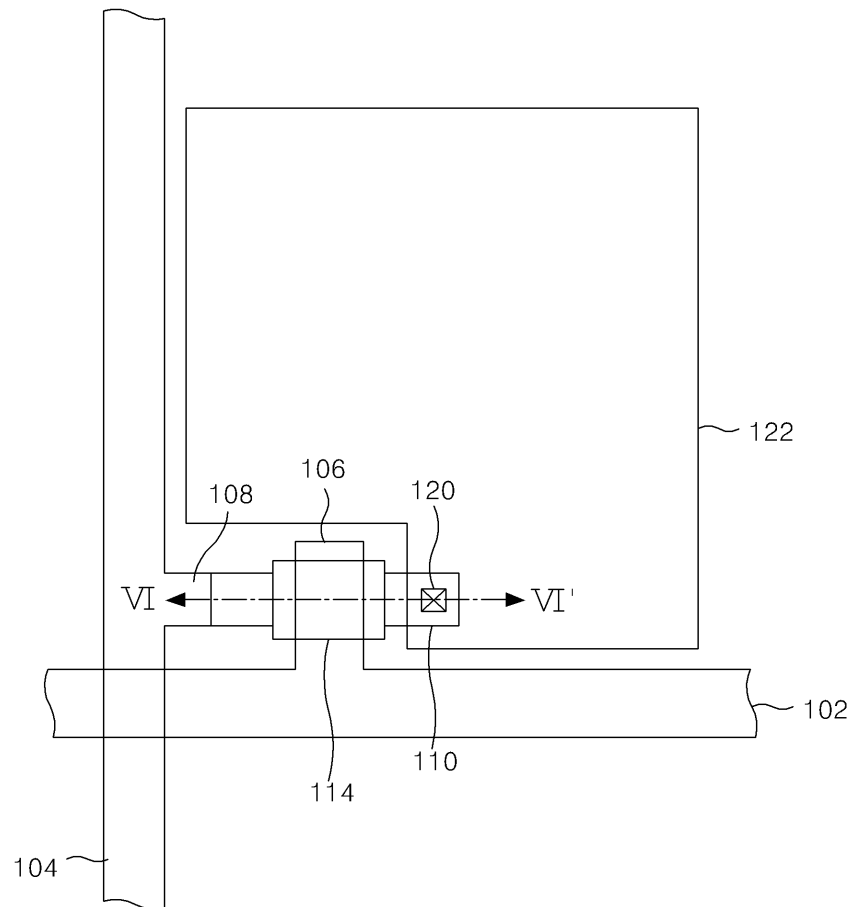
도면4g



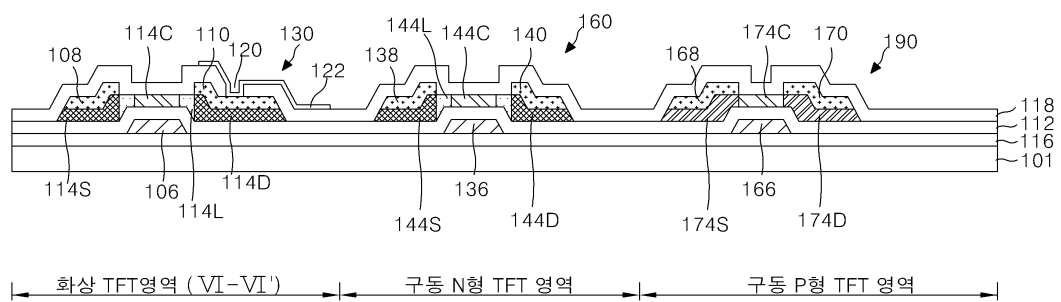
도면4h



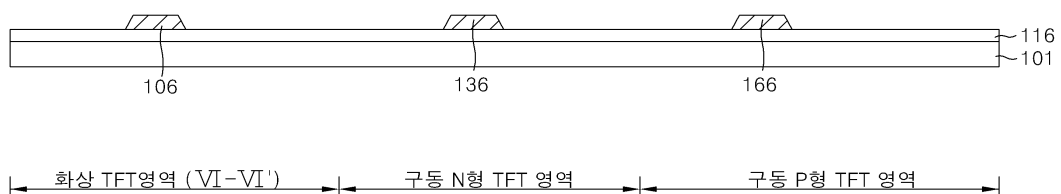
도면5



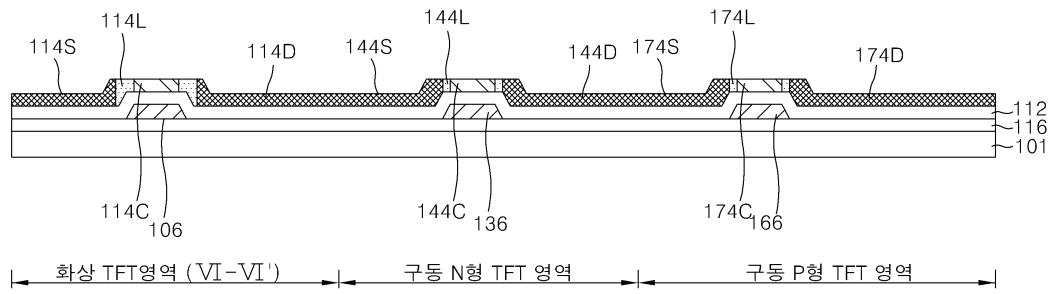
도면6



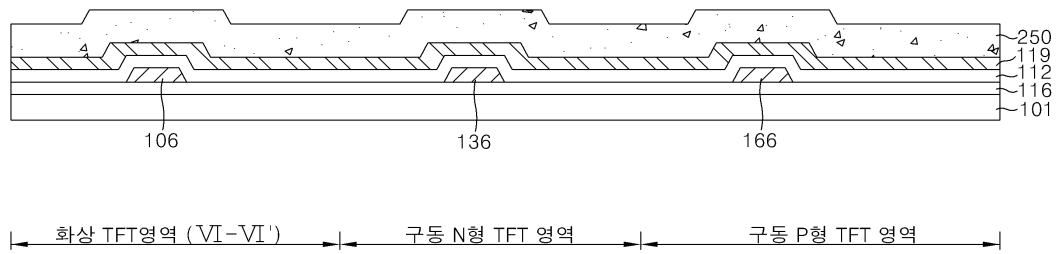
도면7



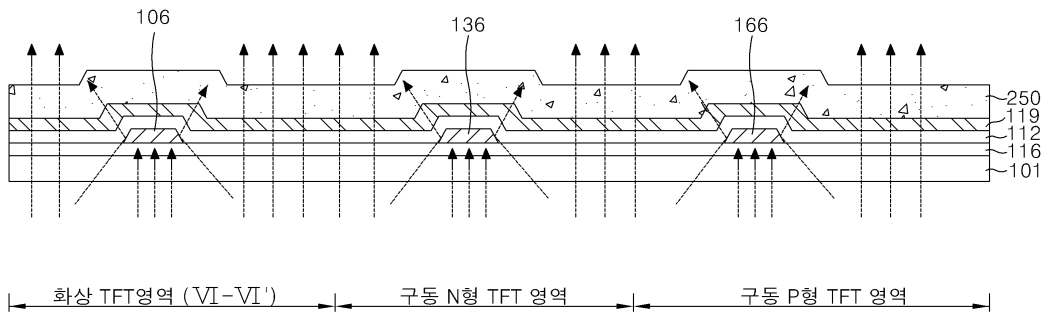
도면8



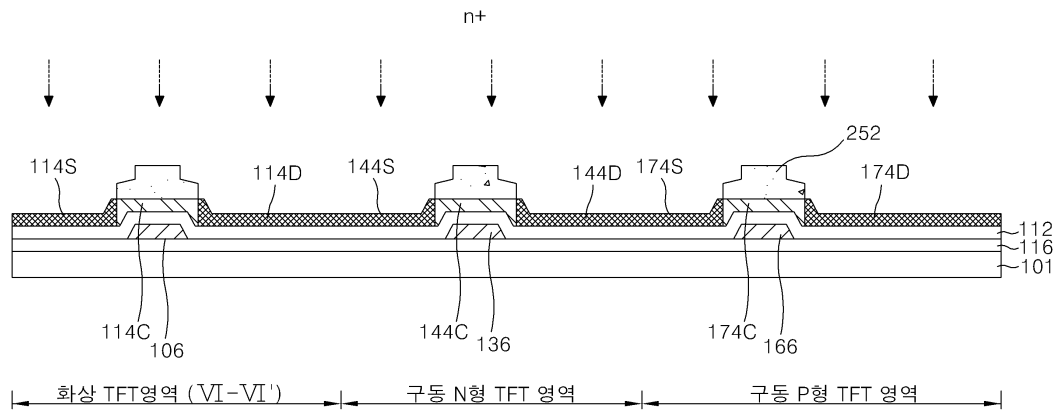
도면9a



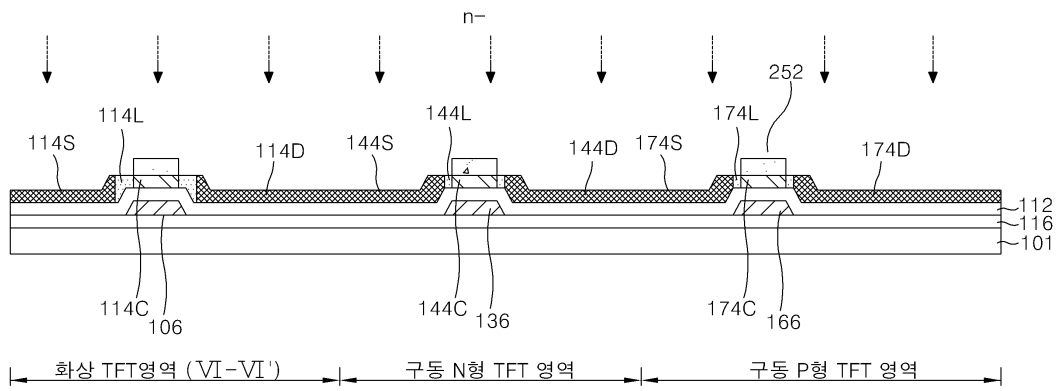
도면9b



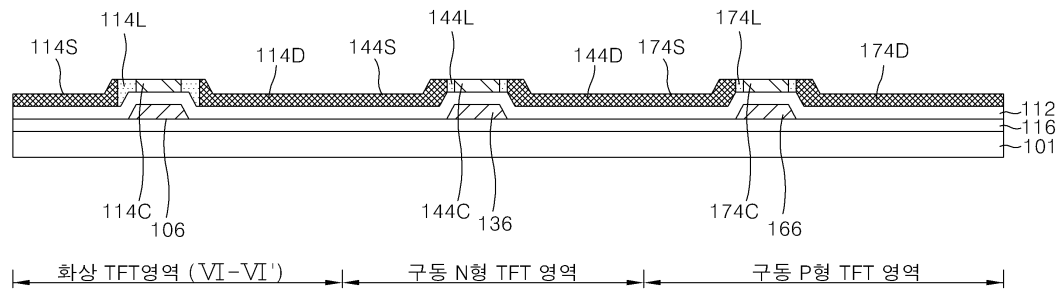
도면9c



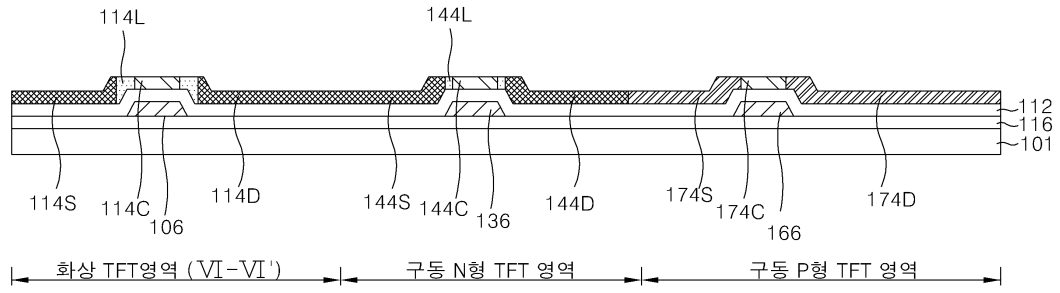
도면9d



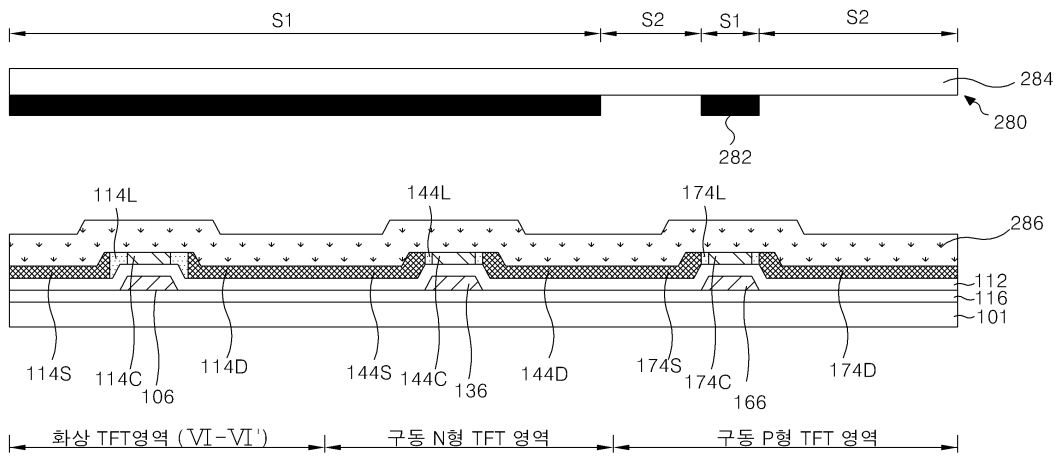
도면9e



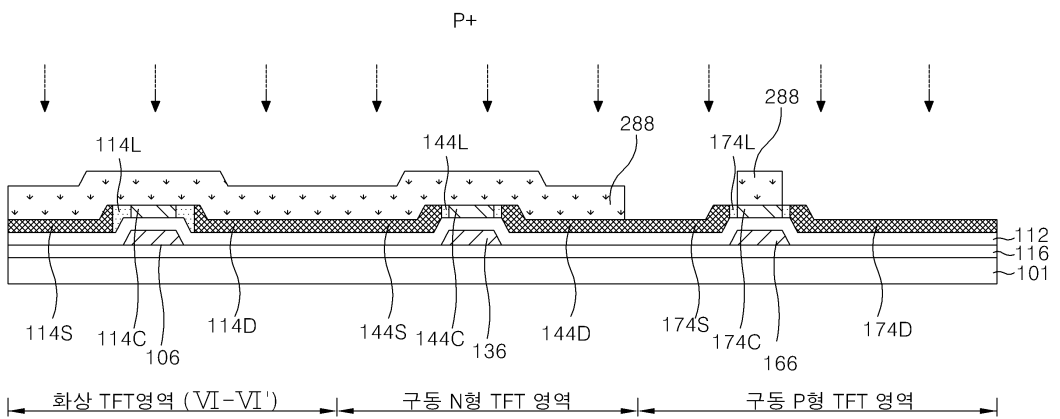
도면10



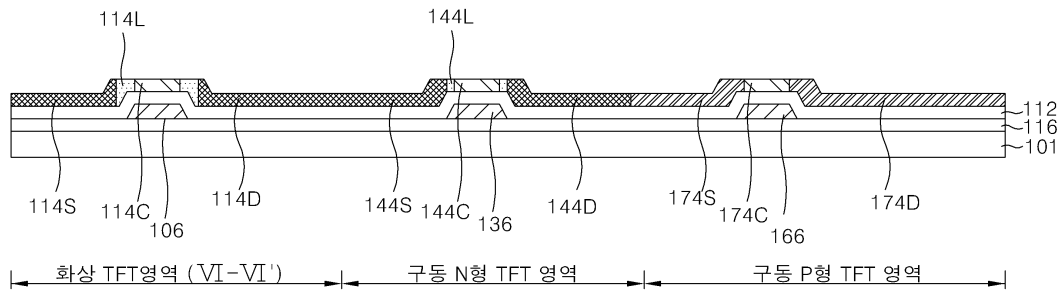
도면11a



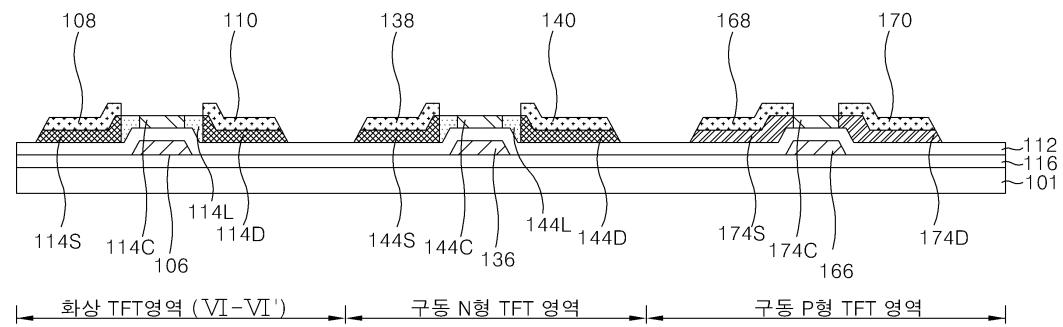
도면11b



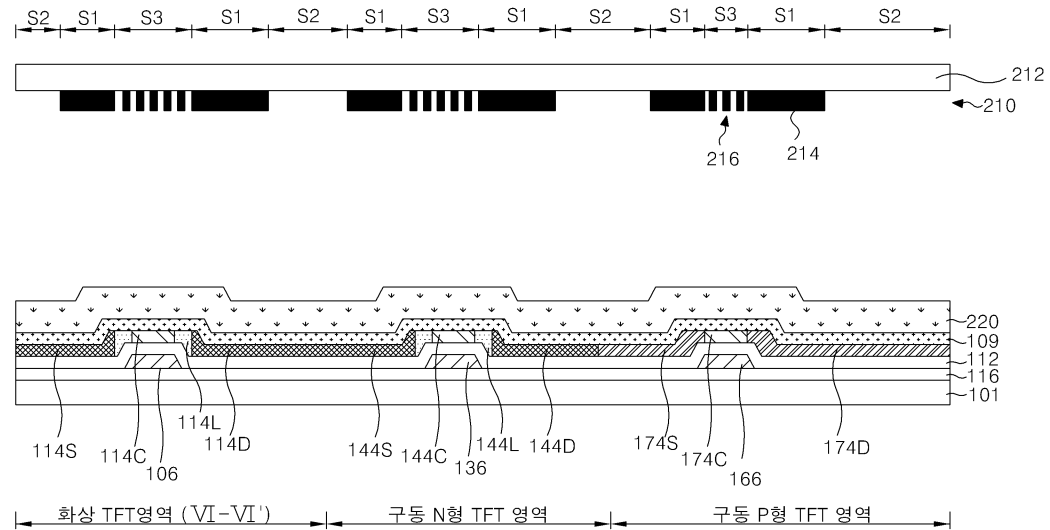
도면11c



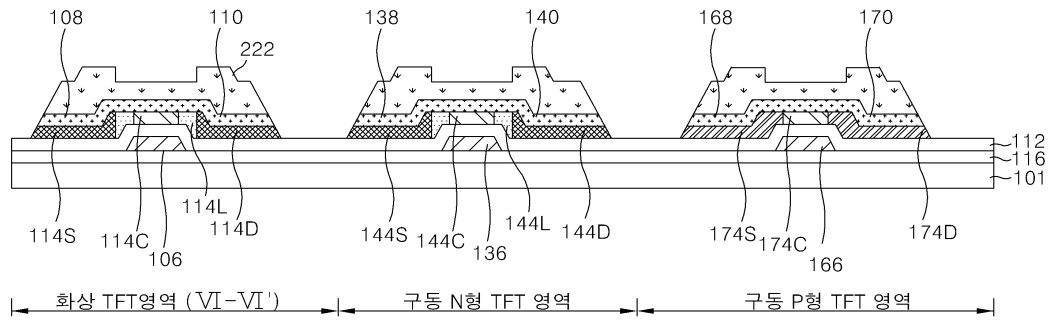
도면12



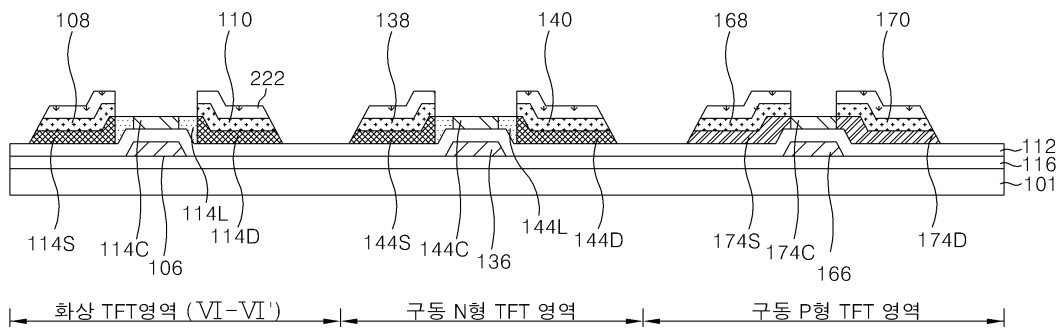
도면13a



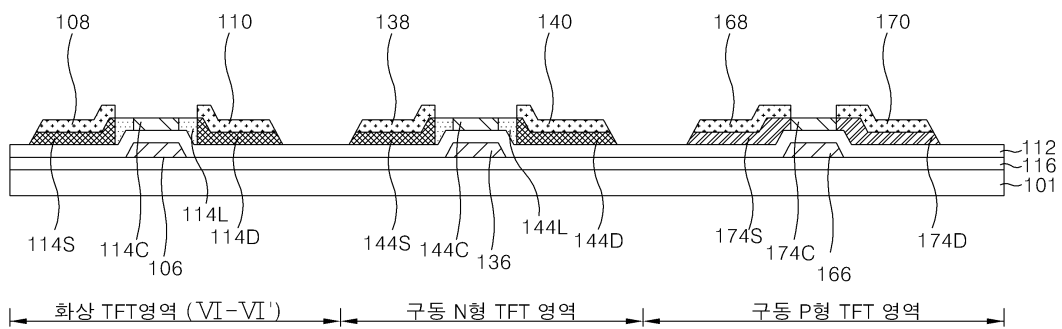
도면13b



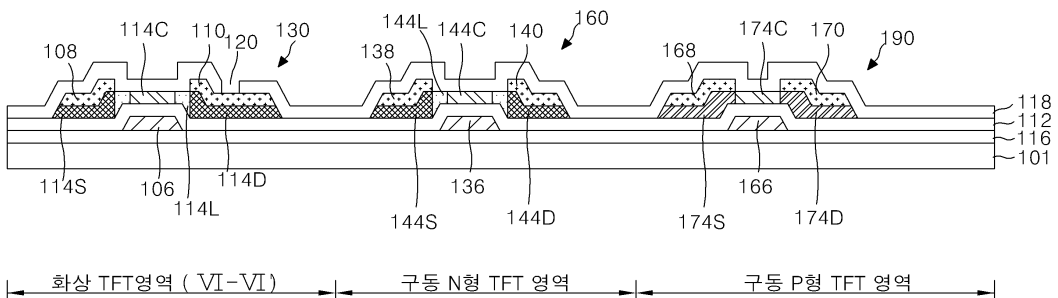
도면13c



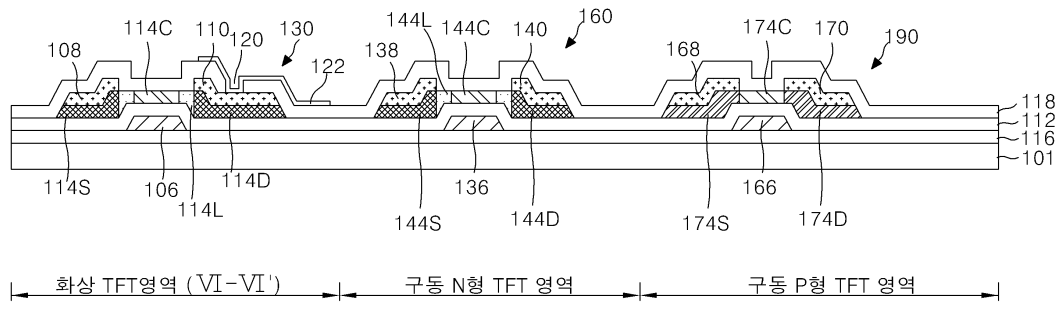
도면13d



도면14



도면15



专利名称(译)	液晶显示元件的制造方法		
公开(公告)号	KR100947778B1	公开(公告)日	2010-03-15
申请号	KR1020030038818	申请日	2003-06-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG MYOUNGSU 양명수 OH KUMMI 오금미		
发明人	양명수 오금미		
IPC分类号	G02F1/136		
CPC分类号	B31B50/044 B31B50/07 B31B70/626		
其他公开文献	KR1020040108077A		
外部链接	Espacenet		

摘要(译)

本发明涉及的液晶显示装置中，第一光致抗蚀剂图案作为掩模，在第一有源层中注入第一杂质形成沟道区，源区和漏区的制造方法，所述第一有源层蚀刻第一光致抗蚀剂图案以降低第一光致抗蚀剂图案的高度并使第一光致抗蚀剂图案的宽度变窄以暴露第一有源层的沟道区域的一部分；通过以第二光致抗蚀剂图案作为掩模注入第三杂质来形成第二有源层的源区和漏区，以形成第一有源层的未掺杂区；第一和第二薄膜晶体管的源极和漏极分别与第一和第二有源层的源区和漏区接触，形成位于第一和第二薄膜晶体管下方的第一和第二有源图案；形成具有暴露第一和第二薄膜晶体管中的任何一个的漏电极的接触孔的保护膜；并形成与暴露的漏电极接触的像素电极。

