



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월24일
(11) 등록번호 10-0869858
(24) 등록일자 2008년11월14일

(51) Int. Cl.

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

H03M 1/66 (2006.01) H03F 3/45 (2006.01)

(21) 출원번호 10-2007-0063709

(22) 출원일자 2007년06월27일

심사청구일자 2007년06월27일

(56) 선행기술조사문헌

KR1020060037566 A*

KR1020050049354 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

(주)엠씨테크놀로지

경기 수원시 영통구 이의동 906-5번지 경기알앤디
비센터 711호

(72) 발명자

김병두

경기 용인시 기흥구 중동 동백지구 내 동일하이빌
2110동 1702호

박희중

경기 용인시 기흥구 중동 828번지 호수마을 상록
롯데캐슬 1006동1802호

(뒷면에 계속)

(74) 대리인

유미특허법인

전체 청구항 수 : 총 80 항

심사관 : 이성현

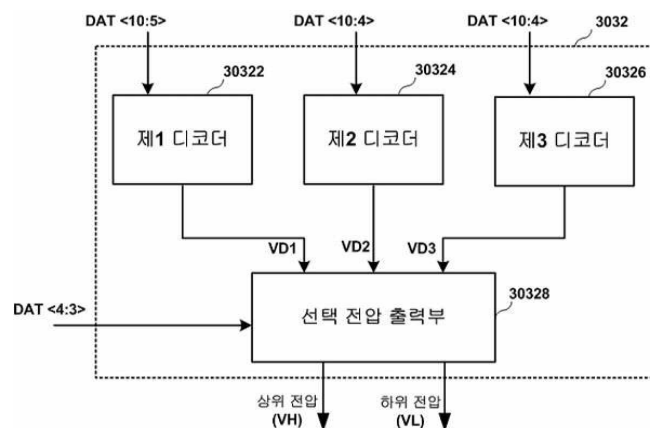
(54) 액정 표시 장치, 그의 구동 장치, 디지털 아날로그 변환기 및 출력 전압 증폭 회로

(57) 요약

본 발명은 액정 표시 장치, 그의 구동 장치, 디지털 아날로그 변환기 및 출력 전압 증폭 회로에 관한 것이다.

본 발명은 복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기 및 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 복수의 계조 전압 중에서 외부로부터 인가되는 m 비트의 영상 신호에 대응하는 계조 전압을 선택하여 생성되는 데이터 신호를 화소에 인가하는 데이터 구동부를 포함하고, 데이터 구동부는, 복수의 계조 전압 중에서 영상 신호 중 m-k 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부, 영상 신호 중 k 개의 비트의 비트값에 대응하여 각각 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부 및 2^k 개의 전압을 합성하여 데이터 신호를 생성하고, 생성된 데이터 신호를 복수의 화소에 인가하는 출력 전압 증폭부를 포함하는 액정 표시 장치의 구동 장치를 제공한다. 본 발명에 따르면, 구현 비용 및 구현 면적이 작은 액정 표시 장치를 구현할 수 있다.

대표도 - 도7



(72) 발명자

노주영

충북 청주시 상당구 우암동 347-8번지

이상훈

경기 의왕시 오전동 230번지 성원1차아파트 106동
2003호

특허청구의 범위

청구항 1

복수의 주사 신호를 전달하는 복수의 주사 라인, 복수의 데이터 신호를 전달하는 복수의 데이터 라인 및 상기 복수의 주사 라인과 상기 복수의 데이터 라인에 의해 정의되는 복수의 화소를 포함하는 액정 표시 패널;

복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기; 및

상기 복수의 기준 계조 전압을 기초로 외부로부터 인가되는 m 비트의 영상 신호 중 $m-k$ 개의 비트의 비트값에 대응되며 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 합성하여 상기 복수의 데이터 신호를 생성하고, 생성된 상기 복수의 데이터 신호를 상기 복수의 화소에 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는,

제1 내지 제3 디코더를 포함하고, 상기 제1 내지 제3 디코더를 이용하여 상기 $m-k$ 개의 비트 중 $m-k-2$ 개 이하의 비트의 비트값에 각각 대응하는 제3 내지 제5 계조 전압을 생성하고, 상기 제3 내지 제5 계조 전압 중 두 개의 전압을 선택하여 상기 제1 및 제2 계조 전압을 생성하는 디지털 아날로그 변환부를 포함하는 액정 표시 장치.

(m 은 3 이상의 자연수, k 는 $m-2$ 보다 작은 자연수)

청구항 2

제1항에 있어서,

상기 디지털 아날로그 변환부는,

상기 제3 내지 제5 계조 전압 중 상기 $m-k$ 개의 비트 중 두 개의 비트의 비트값에 대응하는 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하여 출력하는 선택 전압 출력부; 및

상기 제1 및 제2 계조 전압을 이용하여 상기 2^k 개의 전압을 생성하여 출력하는 출력 전압 생성부;

를 더 포함하는 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 데이터 구동부는,

데이터 클럭 신호에 동기하여 인에이블 신호가 출력되는 출력 단자의 위치를 시프트하는 시프트 레지스터;

상기 시프트 레지스터에 의해 출력되는 상기 인에이블 신호에 응답하여 차례로 동작 영역이 선택되고, 상기 선택된 동작 영역의 상기 영상 신호를 차례로 기억하며, 기억된 상기 영상 신호를 상기 디지털 아날로그 변환부로 출력하는 래치; 및

상기 2^k 개의 전압을 합성하여 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 화소에 인가하는 출력 전압 증폭부;

를 더 포함하는 액정 표시 장치.

청구항 4

제3항에 있어서,

상기 출력 전압 증폭부는,

상기 2^k 개의 전압을 각각의 제어 전극으로 입력받아 온/오프 구동되는 2^k 개의 제1 스위치를 포함하는 제1 입력 단;

상기 데이터 신호를 각각의 제어 전극으로 입력받아 온/오프 구동되고, 각각의 제1단이 상기 2^k 개의 제1 스위치

각각의 제1단에 연결되는 2^k 개의 제2 스위치를 포함하는 제2 입력단;

일단이 상기 2^k 개의 제1 스위치 및 상기 2^k 개의 제2 스위치 각각의 제1단에 연결되고 타단이 공통 전압보다 낮은 제1 전압을 공급하는 제1 전원에 연결되는 2^k 개의 전류원; 및

상기 2^k 개의 제2 스위치 각각의 제2단에 공통으로 연결되어 상기 2^k 개의 전압을 합성하여 생성되는 상기 데이터 신호를 상기 화소로 출력하는 출력단;

을 포함하는 액정 표시 장치.

청구항 5

복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기; 및

상기 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 m 비트의 영상 신호에 대응하는 계조 전압을 선택하여 생성되는 데이터 신호를 화소에 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는,

상기 복수의 계조 전압 중에서 상기 영상 신호 중 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부;

상기 영상 신호 중 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부; 및

상기 2^k 개의 전압을 합성하여 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 화소에 인가하는 출력 전압 증폭부;

를 포함하는 액정 표시 장치의 구동 장치.

(m 은 3 이상의 자연수, k 는 $m-2$ 보다 작은 자연수)

청구항 6

제5항에 있어서,

상기 전압 생성부는,

상기 복수의 기준 계조 전압을 기초로 상기 $m-k$ 개의 비트 중 $m-k-2$ 개 이하의 비트의 비트값에 각각 대응하는 제3 내지 제5 계조 전압을 생성하는 제1 내지 제3 디코더; 및

상기 제3 내지 제5 계조 전압 중 두 개의 전압을 선택하여 상기 제1 및 제2 계조 전압을 생성하는 선택 전압 출력부;

를 포함하는 액정 표시 장치의 구동 장치.

청구항 7

제6항에 있어서,

상기 제1 내지 제3 디코더는,

상기 복수의 기준 계조 전압을 기초로 각각 서로 다른 2^{m-k-1} 개 이하의 계조 전압을 생성하고, 상기 2^{m-k-1} 개 이하의 계조 전압 중에서 상기 $m-k-2$ 개 이하의 비트의 비트값에 대응되는 상기 제3 내지 제5 계조 전압을 선택하여 출력하는 액정 표시 장치의 구동 장치.

청구항 8

제7항에 있어서,

상기 제1 디코더는,

상기 복수의 기준 계조 전압을 기초로 2^{m-k-2} 개의 계조 전압을 생성하고, 상기 2^{m-k-2} 개의 계조 전압 중에서 상기 $m-k-2$ 개의 비트의 비트값에 대응하는 상기 제3 계조 전압을 선택하여 출력하고,

상기 제2 및 제3 디코더는 상기 복수의 기준 계조 전압을 기초로 각기 서로 다른 2^{m-k-1} 개의 계조 전압을 생성하고, 상기 2^{m-k-1} 개의 계조 전압 중에서 상기 $m-k$ 개의 비트 중 $m-k-1$ 개의 비트의 비트값에 각각 대응되는 상기 제4 및 제5 계조 전압을 선택하여 출력하는 액정 표시 장치의 구동 장치.

청구항 9

제8항에 있어서,

상기 복수의 기준 계조 전압은,

공통 전압을 공급하는 제1 전원과 상기 공통 전압보다 높은 제1 전압을 공급하는 제2 전원 사이 또는 상기 제1 전원과 상기 공통 전압보다 낮은 제2 전압을 공급하는 제3 전원 사이에 직렬로 연결되는 2^m+1 개의 저항 각각에 의해 분압되어 생성되는 2^m 개의 계조 전압이며,

상기 2^{m-k-2} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제3 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+2)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압인 액정 표시 장치의 구동 장치.

청구항 10

제9항에 있어서,

상기 제 2디코더가 생성하는 2^{m-k-1} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제4 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제3 전압과 상기 제4 전압의 절대값의 차는 상기 2^m+1 개의 저항 중 2^k 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 11

제10항에 있어서,

상기 제 3디코더가 생성하는 2^{m-k-1} 개의 계조 전압은,

상기 $m-k$ 개의 비트 중 제1 비트의 비트값이 제1 레벨이면, 상기 2^m 개의 계조 전압 중 제5 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제1 비트의 비트값이 제2 레벨이면, 상기 2^m 개의 계조 전압 중 제6 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제5 전압과 상기 제6 전압의 절대값의 차 및 상기 제5 전압과 상기 제4 전압의 절대값의 차는 각각 상기 2^m+1 개의 저항 중 $2^{(k+2)}$ 개 및 2^k 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 12

제11항에 있어서,

상기 제5 전압의 절대값이 상기 제6 전압의 절대값보다 크면, 상기 제3 전압과 상기 제5 전압의 절대값의 차가 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압이고,

상기 제5 전압의 절대값이 상기 제4 전압의 절대값보다 작으면, 상기 제3 전압과 상기 제6 전압의 절대값의 차

가 상기 2^{m+1} 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 13

제6항에 있어서,

상기 선택 전압 출력부는,

상기 $m-k$ 개의 비트 중 하나의 비트의 비트값이 제1 레벨이면, 상기 제3 내지 제5 계조 전압 중 전압이 낮은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하고,

상기 $m-k$ 개의 비트 중 하나의 비트의 비트값이 제2 레벨이면, 상기 제3 내지 제5 계조 전압 중 전압이 높은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하는 액정 표시 장치의 구동 장치.

청구항 14

제5항에 있어서,

상기 출력 전압 생성부는,

상기 k 개의 비트의 비트값을 10진수로 변환하여 생성되는 제1값에 대응하는 n 개의 상기 제1 계조 전압 및 $2^k - n$ 개의 상기 제2 계조 전압을 출력하되,

상기 n 은 상기 제1값과 동일하거나 또는 상기 제1값에 "1"을 덧셈 연산한 결과인 액정 표시 장치의 구동 장치.

청구항 15

제5항에 있어서,

상기 출력 전압 증폭부는,

상기 2^k 개의 전압을 각각의 제어 전극으로 입력받아 온/오프 구동되는 2^k 개의 제1 스위치를 포함하는 제1 입력단;

상기 데이터 신호를 각각의 제어 전극으로 입력받아 온/오프 구동되고, 각각의 제1단이 상기 2^k 개의 제1 스위치 각각의 제1단에 연결되는 2^k 개의 제2 스위치를 포함하는 제2 입력단;

일단이 상기 2^k 개의 제1 스위치 및 상기 2^k 개의 제2 스위치 각각의 제1단에 연결되고 타단이 제1 전압을 공급하는 제1 전원에 연결되는 2^k 개의 전류원; 및

상기 2^k 개의 제2 스위치 각각의 제2단에 공통으로 연결되어 상기 2^k 개의 전압을 합성하여 생성되는 상기 데이터 신호를 상기 화소로 출력하는 출력단;

을 포함하는 액정 표시 장치의 구동 장치.

청구항 16

복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 디지털 영상 신호에 대응하는 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기에 있어서,

m 비트의 상기 디지털 영상 신호 중 k 개의 비트를 제외한 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부; 및

상기 디지털 영상 신호 중 상기 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부;

를 포함하는 디지털 아날로그 변환기.

(m 은 3 이상의 자연수, k 는 $m-2$ 보다 작은 자연수)

청구항 17

제16항에 있어서,

상기 전압 생성부는,

상기 복수의 기준 계조 전압을 기초로 2^{m-k-2} 개의 계조 전압을 생성하고, 상기 2^{m-k-2} 개의 계조 전압 중에서 상기 $m-k$ 개의 비트 중 $m-k-2$ 개의 비트의 비트값에 대응하는 제3 계조 전압을 선택하여 출력하여 제1 디코더; 및

상기 복수의 기준 계조 전압을 기초로 각기 서로 다른 2^{m-k-1} 개의 계조 전압을 생성하고, 상기 2^{m-k-1} 개의 계조 전압 중에서 상기 $m-k$ 개의 비트 중 $m-k-1$ 개의 비트의 비트값에 각각 대응되는 제4 및 제5 계조 전압을 선택하여 출력하는 제2 및 제3 디코더;

를 포함하는 디지털 아날로그 변환기.

청구항 18

제17항에 있어서,

상기 복수의 기준 계조 전압은,

공통 전압을 공급하는 제1 전원과 상기 공통 전압보다 높은 제1 전압을 공급하는 제2 전원 사이 또는 상기 제1 전원과 상기 공통 전압보다 낮은 제2 전압을 공급하는 제3 전원 사이에 직렬로 연결되는 2^m+1 개의 저항 각각에 의해 분압되어 생성되는 2^m 개의 계조 전압이며,

상기 2^{m-k-2} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제2 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+2)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압인 디지털 아날로그 변환기.

청구항 19

제18항에 있어서,

상기 제 2디코더가 생성하는 2^{m-k-1} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제3 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제2 전압과 상기 제3 전압의 절대값의 차는 상기 2^m+1 개의 저항 중 2^k 개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 20

제19항에 있어서,

상기 제 3디코더가 생성하는 2^{m-k-1} 개의 계조 전압은,

상기 $m-k$ 개의 비트 중 제1 비트의 비트값이 제1 레벨이면, 상기 2^m 개의 계조 전압 중 제4 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제1 비트의 비트값이 제2 레벨이면, 상기 2^m 개의 계조 전압 중 제5 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제4 전압과 상기 제5 전압의 절대값의 차 및 상기 제4 전압과 상기 제3 전압의 절대값의 차는 각각 상기 2^m+1 개의 저항 중 $2^{(k+2)}$ 개 및 2^k 개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 21

제20항에 있어서,

상기 제4 전압의 절대값이 상기 제5 전압의 절대값보다 크면, 상기 제2 전압과 상기 제4 전압의 절대값의 차가 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압이고,

상기 제4 전압의 절대값이 상기 제5 전압의 절대값보다 작으면, 상기 제2 전압과 상기 제5 전압의 절대값의 차가 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 22

제21항에 있어서,

상기 제3 계조 전압은,

상기 $2^{(k+2)}$ 개의 저항에 인가되는 전압에 상기 $m-k-2$ 개의 비트를 10진수로 변환한 제1값을 곱하여 생성되는 제6 전압을 상기 제2 전압에 더한 전압이고,

상기 제4 계조 전압은,

상기 $2^{(k+1)}$ 개의 저항에 인가되는 전압에 상기 $m-k-1$ 개의 비트를 10진수로 변환한 제2값을 곱하여 생성되는 제7 전압을 상기 제3 전압에 더한 전압인 디지털 아날로그 변환기.

청구항 23

제22항에 있어서,

상기 제5 계조 전압은,

상기 $2^{(k+2)}$ 개의 저항에 인가되는 전압에 상기 제2값을 곱하여 생성되는 제8 전압을 상기 제4 전압 또는 제5 전압에 더한 전압인 디지털 아날로그 변환기.

청구항 24

제17항에 있어서,

상기 전압 생성부는,

상기 제3 내지 제5 계조 전압 중 상기 $m-k$ 개의 비트 중 최하위 두 개의 비트의 비트값에 대응하는 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하여 출력하는 선택 전압 출력부를 더 포함하는 디지털 아날로그 변환기.

청구항 25

제24항에 있어서,

상기 선택 전압 출력부는,

상기 $m-k$ 개의 비트의 최하위 1개 비트의 비트값이 제1 레벨이면, 상기 제3 내지 제5 계조 전압 중 전압이 낮은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하고,

상기 최하위 1개 비트의 비트값이 제2 레벨이면, 상기 제3 내지 제5 계조 전압 중 전압이 높은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하는 디지털 아날로그 변환기.

청구항 26

제16항에 있어서,

상기 출력 전압 생성부는,

상기 k 개의 비트의 비트값을 10진수로 변환하여 생성되는 제1값에 대응하는 n 개의 상기 제1 계조 전압 및 2^k-n 개의 상기 제2 계조 전압을 출력하되,

상기 n 은 상기 제1값과 동일하거나 상기 제1값에 "1"을 덧셈 연산한 결과인 디지털 아날로그 변환기.

청구항 27

복수의 주사 신호를 전달하는 복수의 주사 라인, 복수의 데이터 신호를 전달하는 복수의 데이터 라인 및 상기 복수의 주사 라인과 상기 복수의 데이터 라인에 의해 정의되는 복수의 화소를 포함하는 액정 표시 패널;

복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기; 및

상기 복수의 기준 계조 전압을 기초로 외부로부터 인가되는 m 비트의 영상 신호 중 $m-k$ 개의 비트의 비트값에 대응되며 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 합성하여 생성되는 상기 복수의 데이터 신호 또는 상기 영상 신호 중 n 개의 비트의 비트값에 대응되어 생성되는 제3 계조 전압에 대응되는 상기 복수의 데이터 신호를 상기 복수의 화소에 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는,

상기 $m-k$ 개의 비트 중 $m-k-2$ 개 이하의 비트의 비트값에 각각 대응하여 생성되는 제4 내지 제6 계조 전압 중 두 개의 전압을 선택하여 상기 제1 및 제2 계조 전압을 생성하거나 또는 상기 제3 계조 전압을 생성하는 디지털 아날로그 변환부를 포함하는 액정 표시 장치.

(m 은 3 이상의 자연수, k 는 $m-2$ 보다 작은 자연수, n 은 2보다 크거나 같고 m 보다 작은 자연수)

청구항 28

제27항에 있어서,

상기 디지털 아날로그 변환부는,

상기 제4 내지 제6 계조 전압 중 상기 $m-k$ 개의 비트 중 두 개의 비트의 비트값에 대응하는 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하여 출력하는 선택 전압 출력부;

상기 제1 및 제2 계조 전압을 이용하여 상기 2^k 개의 전압을 생성하여 출력하는 출력 전압 생성부; 및

상기 n 개의 비트의 비트값에 대응되는 제3 계조 전압을 생성하여 출력하는 디코더를 더 포함하며,

상기 n 개의 비트는 상기 $m-k-2$ 개 이하의 비트에 포함되지 않는 액정 표시 장치.

청구항 29

제28항에 있어서,

상기 데이터 구동부는,

데이터 클럭 신호에 동기하여 인에이블 신호가 출력되는 출력 단자의 위치를 시프트하는 시프트 레지스터;

상기 시프트 레지스터에 의해 출력되는 상기 인에이블 신호에 응답하여 차례로 동작 영역이 선택되고, 상기 선택된 동작 영역의 상기 영상 신호를 차례로 기억하며, 기억된 상기 영상 신호를 상기 디지털 아날로그 변환부로 출력하는 래치; 및

상기 2^k 개의 전압을 합성하여 상기 데이터 신호를 생성하거나 또는 상기 제3 계조 전압에 대응되는 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 화소에 인가하는 출력 전압 증폭부;

를 더 포함하는 액정 표시 장치.

청구항 30

제29항에 있어서,

상기 출력 전압 증폭부는,

상기 2^k 개의 전압 또는 상기 제3 계조 전압을 각각의 제어 전극으로 입력받아 온/오프 구동되는 2^k 개의 제1 스위치를 포함하는 제1 입력단;

상기 데이터 신호를 각각의 제어 전극으로 입력받아 온/오프 구동되고, 각각의 제1단이 상기 2^k 개의 제1 스위치

각각의 제1단에 연결되는 2^k 개의 제2 스위치를 포함하는 제2 입력단;

일단이 상기 2^k 개의 제1 스위치 및 상기 2^k 개의 제2 스위치 각각의 제1단에 연결되고 타단이 공통 전압보다 낮은 제1 전압을 공급하는 제1 전원에 연결되는 2^k 개의 전류원; 및

상기 2^k 개의 제2 스위치 각각의 제2단에 공통으로 연결되어 상기 2^k 개의 전압을 합성하여 생성되는 상기 데이터 신호를 상기 화소로 출력하는 출력단;

을 포함하는 액정 표시 장치.

청구항 31

복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기; 및

상기 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 m 비트의 영상 신호에 대응하는 계조 전압을 선택하여 생성되는 데이터 신호를 화소에 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는,

상기 복수의 계조 전압 중에서 상기 영상 신호 중 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부;

상기 영상 신호 중 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부;

상기 영상 신호 중, 적어도 2 개 이상의 비트의 비트값에 각각 대응되는 제3 계조 전압을 생성하는 하나 이상의 디코더; 및

상기 2^k 개의 전압을 합성하여 상기 데이터 신호를 생성하거나 또는 상기 제3 계조 전압에 대응되는 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 화소에 인가하는 출력 전압 증폭부;

를 포함하는 액정 표시 장치의 구동 장치.

(m 은 3 이상의 자연수, k 는 $m-2$ 보다 작은 자연수)

청구항 32

제31항에 있어서,

상기 적어도 2 개 이상의 비트는 상기 $m-k$ 개의 비트에 포함되지 않는 비트이고,

상기 하나 이상의 디코더와 상기 전압 생성부는 상기 데이터 구동부로 입력되는 상기 영상 신호에 대응하여 선택적으로 구동되는 액정 표시 장치의 구동 장치.

청구항 33

제32항에 있어서,

상기 전압 생성부는,

상기 복수의 기준 계조 전압을 기초로 상기 $m-k$ 개의 비트 중 $m-k-2$ 개 이하의 비트의 비트값에 각각 대응하는 제4 내지 제6 계조 전압을 생성하는 제1 내지 제3 디코더; 및

상기 제4 내지 제6 계조 전압 중 두 개의 전압을 선택하여 상기 제1 및 제2 계조 전압을 생성하는 선택 전압 출력부;

를 포함하는 액정 표시 장치의 구동 장치.

청구항 34

제33항에 있어서,

상기 제1 내지 제3 디코더는,

상기 복수의 기준 계조 전압을 기초로 각각 서로 다른 2^{m-k-1} 개 이하의 계조 전압을 생성하고, 상기 2^{m-k-1} 개 이하의 계조 전압 중에서 상기 $m-k-2$ 개 이하의 비트의 비트값에 대응되는 상기 제4 내지 제6 계조 전압을 선택하여 출력하는 액정 표시 장치의 구동 장치.

청구항 35

제34항에 있어서,

상기 제1 디코더는,

상기 복수의 기준 계조 전압을 기초로 2^{m-k-2} 개의 계조 전압을 생성하고, 상기 2^{m-k-2} 개의 계조 전압 중에서 상기 $m-k-2$ 개의 비트의 비트값에 대응하는 상기 제4 계조 전압을 선택하여 출력하고,

상기 제2 및 제3 디코더는 상기 복수의 기준 계조 전압을 기초로 각기 서로 다른 2^{m-k-1} 개의 계조 전압을 생성하고, 상기 2^{m-k-1} 개의 계조 전압 중에서 상기 $m-k$ 개의 비트 중 $m-k-1$ 개의 비트의 비트값에 각각 대응되는 상기 제5 및 제6 계조 전압을 선택하여 출력하는 액정 표시 장치의 구동 장치.

청구항 36

제35항에 있어서,

상기 복수의 기준 계조 전압은,

공통 전압을 공급하는 제1 전원과 상기 공통 전압보다 높은 제1 전압을 공급하는 제2 전원 사이 또는 상기 제1 전원과 상기 공통 전압보다 낮은 제2 전압을 공급하는 제3 전원 사이에 직렬로 연결되는 2^m+1 개의 저항 각각에 의해 분압되어 생성되는 2^m 개의 계조 전압이며,

상기 2^{m-k-2} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제3 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+2)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압인 액정 표시 장치의 구동 장치.

청구항 37

제36항에 있어서,

상기 제 3디코더가 생성하는 2^{m-k-1} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제4 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제3 전압과 상기 제4 전압의 절대값의 차는 상기 2^m+1 개의 저항 중 2^k 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 38

제37항에 있어서,

상기 제3 디코더가 생성하는 2^{m-k-1} 개의 계조 전압은,

상기 $m-k$ 개의 비트 중 제1 비트의 비트값이 제1 레벨이면, 상기 2^m 개의 계조 전압 중 제5 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제1 비트의 비트값이 제2 레벨이면, 상기 2^m 개의 계조 전압 중 제6 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제5 전압과 상기 제6 전압의 절대값의 차 및 상기 제5 전압과 상기 제4 전압의 절대값의 차는 각각 상기 2^m+1 개의 저항 중 $2^{(k+2)}$ 개 및 2^k 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 39

제38항에 있어서,

상기 제5 전압의 절대값이 상기 제6 전압의 절대값보다 크면, 상기 제3 전압과 상기 제5 전압의 절대값의 차가 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압이고,

상기 제5 전압의 절대값이 상기 제4 전압의 절대값보다 작으면, 상기 제3 전압과 상기 제6 전압의 절대값의 차가 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 40

제33항에 있어서,

상기 선택 전압 출력부는,

상기 $m-k$ 개의 비트 중 하나의 비트의 비트값이 제1 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 낮은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하고,

상기 $m-k$ 개의 비트 중 하나의 비트의 비트값이 제2 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 높은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하는 액정 표시 장치의 구동 장치.

청구항 41

제32항에 있어서,

상기 출력 전압 생성부는,

상기 k 개의 비트의 비트값을 10진수로 변환하여 생성되는 제1값에 대응하는 n 개의 상기 제1 계조 전압 및 2^k-n 개의 상기 제2 계조 전압을 출력하되,

상기 n 은 상기 제1값과 동일하거나 또는 상기 제1값에 "1"을 덧셈 연산한 결과인 액정 표시 장치의 구동 장치.

청구항 42

제32항에 있어서,

상기 출력 전압 증폭부는,

상기 2^k 개의 전압 또는 상기 제3 계조 전압을 각각의 제어 전극으로 입력받아 온/오프 구동되는 2^k 개의 제1 스위치를 포함하는 제1 입력단;

상기 데이터 신호를 각각의 제어 전극으로 입력받아 온/오프 구동되고, 각각의 제1단이 상기 2^k 개의 제1 스위치 각각의 제1단에 연결되는 2^k 개의 제2 스위치를 포함하는 제2 입력단;

일단이 상기 2^k 개의 제1 스위치 및 상기 2^k 개의 제2 스위치 각각의 제1단에 연결되고 타단이 제1 전압을 공급하는 제1 전원에 연결되는 2^k 개의 전류원; 및

상기 2^k 개의 제2 스위치 각각의 제2단에 공통으로 연결되어 상기 2^k 개의 전압을 합성하여 생성되는 상기 데이터 신호를 상기 화소로 출력하는 출력단;

을 포함하는 액정 표시 장치의 구동 장치.

청구항 43

복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 디지털 영상 신호에 대응하는 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기에 있어서,

m 비트의 상기 디지털 영상 신호 중 k 개의 비트를 제외한 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부;

상기 디지털 영상 신호 중 상기 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부; 및

상기 디지털 영상 신호 중, 적어도 2 개 이상의 비트의 비트값에 각각 대응되는 제3 계조 전압을 생성하는 하나 이상의 디코더;

를 포함하는 디지털 아날로그 변환기.

(m은 3 이상의 자연수, k는 m-2 보다 작은 자연수)

청구항 44

제43항에 있어서,

상기 적어도 2 개 이상의 비트는 상기 m-k 개의 비트에 포함되지 않는 비트이고,

상기 하나 이상의 디코더와 상기 전압 생성부는 상기 디지털 영상 신호에 대응하여 선택적으로 구동되는 디지털 아날로그 변환기.

청구항 45

제44항에 있어서,

상기 전압 생성부는,

상기 복수의 기준 계조 전압을 기초로 2^{m-k-2} 개의 계조 전압을 생성하고, 상기 2^{m-k-2} 개의 계조 전압 중에서 상기 m-k 개의 비트 중 m-k-2 개의 비트의 비트값에 대응하는 제4 계조 전압을 선택하여 출력하여 제1 디코더; 및

상기 복수의 기준 계조 전압을 기초로 각기 서로 다른 2^{m-k-1} 개의 계조 전압을 생성하고, 상기 2^{m-k-1} 개의 계조 전압 중에서 상기 m-k 개의 비트 중 m-k-1 개의 비트의 비트값에 각각 대응되는 제5 및 제6 계조 전압을 선택하여 출력하는 제2 및 제3 디코더;

를 포함하는 디지털 아날로그 변환기.

청구항 46

제45항에 있어서,

상기 복수의 기준 계조 전압은,

공통 전압을 공급하는 제1 전원과 상기 공통 전압보다 높은 제1 전압을 공급하는 제2 전원 사이 또는 상기 제1 전원과 상기 공통 전압보다 낮은 제2 전압을 공급하는 제3 전원 사이에 직렬로 연결되는 2^m+1 개의 저항 각각에 의해 분압되어 생성되는 2^m 개의 계조 전압이며,

상기 2^{m-k-2} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제2 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+2)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압인 디지털 아날로그 변환기.

청구항 47

제46항에 있어서,

상기 제2 디코더가 생성하는 2^{m-k-1} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제3 전압으로부터 상기 2^m+1 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제2 전압과 상기 제3 전압의 절대값의 차는 상기 2^m+1 개의 저항 중 2^k 개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 48

제47항에 있어서,

상기 제3 디코더가 생성하는 2^{m-k-1} 개의 계조 전압은,

상기 $m-k$ 개의 비트 중 제1 비트의 비트값이 제1 레벨이면, 상기 2^m 개의 계조 전압 중 제4 전압으로부터 상기 2^{m+1} 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제1 비트의 비트값이 제2 레벨이면, 상기 2^m 개의 계조 전압 중 제5 전압으로부터 상기 2^{m+1} 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제4 전압과 상기 제5 전압의 절대값의 차 및 상기 제4 전압과 상기 제3 전압의 절대값의 차는 각각 상기 2^{m+1} 개의 저항 중 $2^{(k+2)}$ 개 및 2^k 개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 49

제48항에 있어서,

상기 제4 전압의 절대값이 상기 제5 전압의 절대값보다 크면, 상기 제2 전압과 상기 제4 전압의 절대값의 차이가 상기 2^{m+1} 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압이고,

상기 제4 전압의 절대값이 상기 제5 전압의 절대값보다 작으면, 상기 제2 전압과 상기 제5 전압의 절대값의 차이가 상기 2^{m+1} 개의 저항 중 $2^{(k+1)}$ 개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 50

제49항에 있어서,

상기 제4 계조 전압은,

상기 $2^{(k+2)}$ 개의 저항에 인가되는 전압에 상기 $m-k-2$ 개의 비트를 10진수로 변환한 제1값을 곱하여 생성되는 제6 전압을 상기 제2 전압에 더한 전압이고,

상기 제5 계조 전압은,

상기 $2^{(k+1)}$ 개의 저항에 인가되는 전압에 상기 $m-k-1$ 개의 비트를 10진수로 변환한 제2값을 곱하여 생성되는 제7 전압을 상기 제3 전압에 더한 전압인 디지털 아날로그 변환기.

청구항 51

제50항에 있어서,

상기 제6 계조 전압은,

상기 $2^{(k+2)}$ 개의 저항에 인가되는 전압에 상기 제2값을 곱하여 생성되는 제8 전압을 상기 제4 전압 또는 제5 전압에 더한 전압인 디지털 아날로그 변환기.

청구항 52

제45항에 있어서,

상기 전압 생성부는,

상기 제4 내지 제6 계조 전압 중 상기 $m-k$ 개의 비트 중 최하위 두 개의 비트의 비트값에 대응하는 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하여 출력하는 선택 전압 출력부를 더 포함하는 디지털 아날로그 변환기.

청구항 53

제52항에 있어서,

상기 선택 전압 출력부는,

상기 $m-k$ 개의 비트의 최하위 1개 비트의 비트값이 제1 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 낮은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하고,

상기 최하위 1개 비트의 비트값이 제2 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 높은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하는 디지털 아날로그 변환기.

청구항 54

제44항에 있어서,

상기 출력 전압 생성부는,

상기 k 개의 비트의 비트값을 10진수로 변환하여 생성되는 제1값에 대응하는 n 개의 상기 제1 계조 전압 및 $2^k - n$ 개의 상기 제2 계조 전압을 출력하되,

상기 n 은 상기 제1값과 동일하거나 상기 제1값에 "1"을 덧셈 연산한 결과인 디지털 아날로그 변환기.

청구항 55

복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기; 및

상기 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 m 비트의 영상 신호에 대응하는 계조 전압을 선택하여 생성되는 데이터 신호를 화소에 인가하는 데이터 구동부를 포함하고,

상기 데이터 구동부는,

상기 복수의 계조 전압 중에서 상기 영상 신호 중 $m-2$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 생성하는 전압 생성부;

상기 영상 신호 중 2 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 제1 내지 제4 전압을 출력하는 출력 전압 생성부;

상기 영상 신호 중, 상기 $m-2$ 개의 비트에 포함되지 않는 세 개의 비트의 비트값에 대응되는 제3 계조 전압을 생성하는 제1 디코더; 및

상기 제1 내지 제4 전압을 합성하여 상기 데이터 신호를 생성하거나 또는 상기 제3 계조 전압에 대응하는 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 상기 화소에 인가하는 출력 전압 증폭부;

를 포함하는 액정 표시 장치의 구동 장치.

(m 은 5 이상의 자연수)

청구항 56

제55항에 있어서,

상기 제1 디코더 및 상기 전압 생성부는 상기 영상 신호에 대응하여 선택적으로 구동되는 액정 표시 장치의 구동 장치.

청구항 57

제56항에 있어서,

상기 전압 생성부는,

상기 복수의 기준 계조 전압을 기초로 상기 $m-2$ 개의 비트 중 $m-4$ 개 이하의 비트의 비트값에 각각 대응하는 제4 내지 제6 계조 전압을 생성하는 제2 내지 제4 디코더; 및

상기 제4 내지 제6 계조 전압 중 두 개의 전압을 선택하여 상기 제1 및 제2 계조 전압을 생성하는 선택 전압 출력부;

를 포함하는 액정 표시 장치의 구동 장치.

청구항 58

제57항에 있어서,

상기 제2 내지 제4 디코더는,

상기 복수의 기준 계조 전압을 기초로 각각 서로 다른 2^{m-3} 개 이하의 계조 전압을 생성하고, 상기 2^{m-3} 개 이하의 계조 전압 중에서 상기 $m-4$ 개 이하의 비트의 비트값에 대응되는 상기 제4 내지 제6 계조 전압을 선택하여 출력하는 액정 표시 장치의 구동 장치.

청구항 59

제58항에 있어서,

상기 제2 디코더는,

상기 복수의 기준 계조 전압을 기초로 2^{m-4} 개의 계조 전압을 생성하고, 상기 2^{m-4} 개의 계조 전압 중에서 상기 $m-4$ 개의 비트의 비트값에 대응하는 상기 제4 계조 전압을 선택하여 출력하고,

상기 제3 및 제4 디코더는 상기 복수의 기준 계조 전압을 기초로 각기 서로 다른 2^{m-3} 개의 계조 전압을 생성하고, 상기 2^{m-3} 개의 계조 전압 중에서 상기 $m-2$ 개의 비트 중 $m-3$ 개의 비트의 비트값에 각각 대응되는 상기 제5 및 제6 계조 전압을 선택하여 출력하는 액정 표시 장치의 구동 장치.

청구항 60

제59항에 있어서,

상기 복수의 기준 계조 전압은,

공통 전압을 공급하는 제1 전원과 상기 공통 전압보다 높은 제5 전압을 공급하는 제2 전원 사이 또는 상기 제1 전원과 상기 공통 전압보다 낮은 제6 전압을 공급하는 제3 전원 사이에 직렬로 연결되는 2^m+1 개의 저항 각각에 의해 분압되어 생성되는 2^m 개의 계조 전압이며,

상기 2^{m-4} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제7 전압으로부터 상기 2^m+1 개의 저항 중 16 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압인 액정 표시 장치의 구동 장치.

청구항 61

제60항에 있어서,

상기 제3 디코더가 생성하는 2^{m-3} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제8 전압으로부터 상기 2^m+1 개의 저항 중 8 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제7 전압과 상기 제8 전압의 절대값의 차는 상기 2^m+1 개의 저항 중 4 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 62

제61항에 있어서,

상기 제4 디코더가 생성하는 2^{m-3} 개의 계조 전압은,

상기 $m-2$ 개의 비트 중 제1 비트의 비트값이 제1 레벨이면, 상기 2^m 개의 계조 전압 중 제9 전압으로부터 상기 8 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제1 비트의 비트값이 제2 레벨이면, 상기 2^m 개의 계조 전압 중 제10 전압으로부터 상기 8 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제9 전압과 상기 제10 전압의 절대값의 차 및 상기 제9 전압과 상기 제8 전압의 절대값의 차는 각각 상기 16 개의 저항 및 상기 4 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 63

제62항에 있어서,

상기 제9 전압의 절대값이 상기 제10 전압의 절대값보다 크면, 상기 제7 전압과 상기 제9 전압의 절대값의 차는 상기 8개의 저항에 인가되는 전압이고,

상기 제9 전압의 절대값이 상기 제10 전압의 절대값보다 작으면, 상기 제7 전압과 상기 제10 전압의 절대값의 차가 상기 8 개의 저항에 인가되는 전압인 액정 표시 장치의 구동 장치.

청구항 64

제57항에 있어서,

상기 선택 전압 출력부는,

상기 $m-2$ 개의 비트 중 제1 비트의 비트값이 제1 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 낮은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하고,

상기 제1 비트의 비트값이 제2 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 높은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하는 액정 표시 장치의 구동 장치.

청구항 65

제56항에 있어서,

상기 출력 전압 생성부는,

상기 2 개의 비트의 비트값을 10진수로 변환하여 생성되는 제1값에 대응하는 n 개의 상기 제1 계조 전압 및 $4-n$ 개의 상기 제2 계조 전압을 출력하되,

상기 n 은 상기 제1값과 동일하거나 또는 상기 제1값에 "1"을 덧셈 연산한 결과인 액정 표시 장치의 구동 장치.

(n 은 4 이하의 자연수)

청구항 66

제56항에 있어서,

상기 출력 전압 증폭부는,

상기 제1 내지 제4 전압 또는 상기 제3 계조 전압을 각각의 제어 전극으로 입력받아 온/오프 구동되는 제1 내지 제4 스위치를 포함하는 제1 입력단;

상기 데이터 신호를 각각의 제어 전극으로 입력받아 온/오프 구동되고, 각각의 제1단이 상기 제1 내지 제4 스위치 각각의 제1단에 연결되는 제5 내지 제8 스위치를 포함하는 제2 입력단;

일단이 상기 제1 내지 제4 스위치 및 상기 제5 내지 제8 스위치 각각의 제1단에 연결되고 타단이 제5 전압을 공급하는 제1 전원에 연결되는 제1 내지 제4 전류원; 및

상기 제5 내지 제8 스위치 각각의 제2단에 공통으로 연결되어 상기 제1 내지 제4 전압을 합성하여 생성되는 상기 데이터 신호를 상기 화소로 출력하는 출력단;

을 포함하는 액정 표시 장치의 구동 장치.

청구항 67

복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 디지털 영상 신호에 대응하는 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기에 있어서,

m 비트의 상기 디지털 영상 신호 중 2 개의 비트를 제외한 $m-2$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조

전압을 생성하는 전압 생성부;

상기 디지털 영상 신호 중, 상기 $m-2$ 개의 비트에 포함되지 않는 세 개의 비트의 비트값에 대응되는 제3 계조 전압을 생성하는 제1 디코더; 및

상기 디지털 영상 신호 중 상기 2 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 제1 내지 제4 전압 또는 상기 제3 계조 전압을 출력하는 출력 전압 생성부;

를 포함하는 디지털 아날로그 변환기.

(m 은 5 이상의 자연수)

청구항 68

제67항에 있어서,

상기 제1 디코더 및 상기 전압 생성부는 상기 영상 신호에 대응하여 선택적으로 구동되는 디지털 아날로그 변환기.

청구항 69

제68항에 있어서,

상기 전압 생성부는,

상기 복수의 기준 계조 전압을 기초로 각각 서로 다른 2^{m-3} 개 이하의 계조 전압을 생성하고, 상기 2^{m-3} 개 이하의 계조 전압 중에서 상기 $m-2$ 개의 비트 중 $m-3$ 개 이하의 비트의 비트값에 대응되는 제4 내지 제6 계조 전압을 선택하여 출력하는 제2 내지 제4 디코더를 포함하는 디지털 아날로그 변환기.

청구항 70

제69항에 있어서,

상기 제2 디코더는,

상기 복수의 기준 계조 전압을 기초로 2^{m-4} 개의 계조 전압을 생성하고, 상기 2^{m-4} 개의 계조 전압 중에서 상기 $m-2$ 개의 비트 중 $m-4$ 개의 비트의 비트값에 대응하는 상기 제4 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기.

청구항 71

제70항에 있어서,

상기 제3 및 제4 디코더는,

상기 복수의 기준 계조 전압을 기초로 각기 서로 다른 2^{m-3} 개의 계조 전압을 생성하고, 상기 2^{m-3} 개의 계조 전압 중에서 상기 $m-2$ 개의 비트 중 $m-3$ 개의 비트의 비트값에 각각 대응되는 상기 제5 및 제6 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기.

청구항 72

제71항에 있어서,

상기 복수의 기준 계조 전압은,

공통 전압을 공급하는 제1 전원과 상기 공통 전압보다 높은 제5 전압을 공급하는 제2 전원 사이 또는 상기 제1 전원과 상기 공통 전압보다 낮은 제6 전압을 공급하는 제3 전원 사이에 직렬로 연결되는 2^m+1 개의 저항 각각에 의해 분압되어 생성되는 2^m 개의 계조 전압이며,

상기 2^{m-4} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제7 전압으로부터 상기 2^m+1 개의 저항 중 16 개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압인 디지털 아날로그 변환기..

청구항 73

제72항에 있어서,

상기 제3 디코더가 생성하는 2^{m-3} 개의 계조 전압은 상기 2^m 개의 계조 전압 중 제8 전압으로부터 상기 2^{m+1} 개의 저항 중 8개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제7 전압과 상기 제8 전압의 절대값의 차는 상기 2^{m+1} 개의 저항 중 4개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 74

제73항에 있어서,

상기 제4 디코더가 생성하는 2^{m-3} 개의 계조 전압은,

상기 $m-2$ 개의 비트 중 제1 비트의 비트값이 로우 레벨이면, 상기 2^m 개의 계조 전압 중 제9 전압으로부터 상기 8개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이고,

상기 제1 비트의 비트값이 하이 레벨이면, 상기 2^m 개의 계조 전압 중 제10 전압으로부터 상기 8개의 저항에 인가되는 전압만큼씩의 전압차를 가지는 계조 전압이며,

상기 제9 전압과 상기 제10 전압의 절대값의 차 및 상기 제9 전압과 상기 제8 전압의 절대값의 차는 각각 상기 16개의 저항 및 상기 4개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 75

제74항에 있어서,

상기 제9 전압의 절대값이 상기 제10 전압의 절대값보다 크면, 상기 제7 전압과 상기 제10 전압의 절대값의 차이가 상기 8개의 저항에 인가되는 전압이고,

상기 제9 전압의 절대값이 상기 제10 전압의 절대값보다 작으면, 상기 제7 전압과 상기 제10 전압의 절대값의 차이가 상기 8개의 저항에 인가되는 전압인 디지털 아날로그 변환기.

청구항 76

제75항에 있어서,

상기 제4 계조 전압은,

상기 16개의 저항에 인가되는 전압에 상기 $m-4$ 개의 비트를 10진수로 변환한 제1값을 곱하여 생성되는 제11 전압을 상기 제3 전압에 더한 전압이고,

상기 제5 계조 전압은,

상기 8개의 저항에 인가되는 전압에 상기 $m-3$ 개의 비트를 10진수로 변환한 제2값을 곱하여 생성되는 제12 전압을 상기 제4 전압에 더한 전압인 디지털 아날로그 변환기.

청구항 77

제76항에 있어서,

상기 제6 계조 전압은,

상기 16개의 저항에 인가되는 전압에 상기 제2값을 곱하여 생성되는 제13 전압을 상기 제9 전압 또는 제10 전압에 더한 전압인 디지털 아날로그 변환기.

청구항 78

제69항에 있어서,

상기 전압 생성부는,

상기 제4 내지 제6 계조 전압 중 상기 $m-2$ 개의 비트 중 최하위 두 개의 비트의 비트값에 대응하는 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하여 출력하는 선택 전압 출력부를 더 포함하는 디지털 아날로그 변환기.

청구항 79

제78항에 있어서,

상기 선택 전압 출력부는,

상기 $m-2$ 개의 비트의 최하위 1개 비트의 비트값이 로우 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 낮은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하고,

상기 최하위 1개 비트의 비트값이 하이 레벨이면, 상기 제4 내지 제6 계조 전압 중 전압이 높은 두 개의 계조 전압을 상기 제1 및 제2 계조 전압으로 선택하는 디지털 아날로그 변환기.

청구항 80

제68항에 있어서,

상기 제1 내지 제4 전압은,

상기 2 개의 비트의 비트값을 10진수로 변환하여 생성되는 제1값에 대응하는 n 개의 상기 제1 계조 전압 및 $4-n$ 개의 상기 제2 계조 전압을 포함하며, 상기 n 은 상기 제1값과 동일하거나 상기 제1값에 "1"을 덧셈 연산한 결과인 디지털 아날로그 변환기.

(n 은 4 이하의 자연수)

청구항 81

삭제

청구항 82

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <33> 본 발명은 액정 표시 장치, 그의 구동 장치, 디지털 아날로그 변환기 및 출력 전압 증폭 회로에 관한 것이다.
- <34> 근래 퍼스널 컴퓨터나 텔레비전 등의 경량, 박형화에 따라 디스플레이 장치도 경량화, 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관(Cathode Ray Tube; CRT) 대신 액정 표시 장치(Liquid Crystal Display; LCD)와 같은 플랫형 디스플레이가 개발되고 있다.
- <35> 액정 표시 장치는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전기(electric field)를 인가하고 이 전기의 세기를 조절하여 외부의 광원(백 라이트)으로부터 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시장치이다.
- <36> 이러한 액정 표시 장치는 휴대가 간편한 플랫 패널형 디스플레이 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(Thin Film Transistor; TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.
- <37> 일반적으로, 액정 표시 장치는 기준 계조 전압에 기초하여 생성되는 복수의 계조 전압 중 액정 표시 장치 패널의 각 화소를 통해 표시할 계조에 대응되는 계조 전압을 선택하기 위해, 입력되는 디지털 데이터에 대응되는 전

압을 출력하는 디코더를 이용한다.

- <38> 도 1은 10 비트의 입력 디지털 데이터에 대응되는 전압을 출력하는 일반적인 디코더를 개략적으로 도시한 도면이다.
- <39> 도 1에 도시한 바와 같이, 10 비트의 입력 디지털 데이터에 대응되는 전압을 출력하는 일반적인 디코더는 $2046 (= 2^{11} - 2 = 2^{10} + 2^9 + 2^8 + 2^7 + 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1)$ 개의 스위치를 포함한다. 만약, 디지털 데이터의 비트 수가 "1" 증가하면, 디코더는 $4094 (= 2^{12} - 2)$ 개의 스위치를 포함하여야 한다. 이와 같이 디지털 데이터의 비트 수에 대응되는 디코더에 포함되는 스위치의 개수는 액정 표시 장치를 구현하기 위한 비용은 물론 액정 표시 장치의 구현 면적이 커지게 되는 문제점이 있다.
- <40> 한편, 종래 디코더에 포함되는 스위치를 감소시키기 위한 기술이 한국등록특허 10-0336683에 제시되어 있다. 한국등록특허 10-0336683은 디코더에 포함되는 스위치의 개수를 감소시키는 대신, 계조 전압을 출력하는 출력 증폭기의 구조를 변경하여 전압을 합성하여 출력함으로써 입력 디지털 데이터에 대응되는 모든 전압을 출력하는 데, 이를 도 2를 참조하여 설명한다.
- <41> 도 2는 종래 출력 증폭기 구조를 도시한 도면이다.
- <42> 도 2에 도시한 종래 한국등록특허 10-0336683의 출력 증폭기는 디코더로부터 출력되는 복수의 전압(Va, Vb, Vc, Vd) 각각에 의해 구동되며 병렬로 연결되어 제1 입력단을 형성하는 입력 트랜지스터(S1, S2, S3, S4) 및 출력 전압(Vout)에 대응되는 피드백 신호(Vx)에 의해 구동되며 병렬로 연결되어 제2 입력단을 형성하는 입력 트랜지스터(S1', S2', S3', S4')를 포함한다. 제1 입력단을 형성하는 입력 트랜지스터(S1, S2, S3, S4) 및 제2 입력단을 형성하는 입력 트랜지스터(S1', S2', S3', S4')의 일단은 모두 하나의 접점(Na)에 연결되고, 접점(Na)은 정전류원(Ix)를 통해 VSS 전압을 공급하는 전원(VSS)과 연결된다.
- <43> 그러나, 도 2로 나타난 출력 증폭기는 복수의 전압(Va, Vb, Vc, Vd)의 전압차를 정확히 반영할 수 없는 문제점이 있어, 이를 보완하기 위한 방안이 절실한 상황이다.

발명이 이루고자 하는 기술적 과제

- <44> 본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치의 구현 비용 및 구현 면적을 감소시키는 액정 표시 장치, 그의 구동 장치, 디지털 아날로그 변환기 및 출력 전압 증폭 회로를 제공하기 위한 것이다.

발명의 구성 및 작용

- <45> 본 발명의 특징에 따른 액정 표시 장치는, 복수의 주사 신호를 전달하는 복수의 주사 라인, 복수의 데이터 신호를 전달하는 복수의 데이터 라인 및 상기 복수의 주사 라인과 상기 복수의 데이터 라인에 의해 정의되는 복수의 화소를 포함하는 액정 표시 패널, 복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기 및 상기 복수의 기준 계조 전압을 기초로 외부로부터 인가되는 m 비트의 영상 신호 중 m-k 개의 비트의 비트값에 대응되며 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 합성하여 상기 복수의 데이터 신호를 생성하고, 생성된 상기 복수의 데이터 신호를 상기 복수의 화소에 인가하는 데이터 구동부를 포함하고, 상기 데이터 구동부는, 제1 내지 제3 디코더를 포함하고, 상기 제1 내지 제3 디코더를 이용하여 상기 m-k 개의 비트 중 m-k-2 개 이하의 비트의 비트값에 각각 대응하는 제3 내지 제5 계조 전압을 생성하고, 상기 제3 내지 제5 계조 전압 중 두 개의 전압을 선택하여 상기 제1 및 제2 계조 전압을 생성하는 디지털 아날로그 변환부를 포함한다. 여기에서, m은 3 이상의 자연수이고, k는 m-2 보다 작은 자연수이다.
- <46> 또한, 본 발명의 다른 특징에 따른 액정 표시 장치는, 복수의 주사 신호를 전달하는 복수의 주사 라인, 복수의 데이터 신호를 전달하는 복수의 데이터 라인 및 상기 복수의 주사 라인과 상기 복수의 데이터 라인에 의해 정의되는 복수의 화소를 포함하는 액정 표시 패널, 복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기 및 상기 복수의 기준 계조 전압을 기초로 외부로부터 인가되는 m 비트의 영상 신호 중 m-k 개의 비트의 비트값에 대응되며 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 합성하여 생성되는 상기 복수의 데이터 신호 또는 상기 영상 신호 중 n 개의 비트의 비트값에 대응되어 생성되는 제3 계조 전압에 대응되는 상기 복수의 데이터 신호를 상기 복수의 화소에 인가하는 데이터 구동부를 포함하고, 상기 데이터 구동부는, 상기 m-k 개의 비트 중 m-k-2 개 이하의 비트의 비트값에 각각 대응하여 생성되는 제4 내지 제6 계조 전압 중 두 개의 전압을 선택하여 상기 제1 및 제2 계조 전압을 생성하거나 또는 상기 제3 계조 전압을 생성하는 디지털 아날로그 변환부를

포함한다. 여기에서, m 은 3 이상의 자연수이고, k 는 $m-2$ 보다 작은 자연수이다. 그리고, n 은 2보다 크거나 같고 m 보다 작은 자연수이다.

<47> 또한, 본 발명의 특징에 따른 액정 표시 장치의 구동 장치는, 복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기 및 상기 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 m 비트의 영상 신호에 대응하는 계조 전압을 선택하여 생성되는 데이터 신호를 상기 화소에 인가하는 데이터 구동부를 포함하고, 상기 데이터 구동부는, 상기 복수의 계조 전압 중에서 상기 영상 신호 중 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부, 상기 영상 신호 중 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부 및 상기 2^k 개의 전압을 합성하여 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 복수의 화소에 인가하는 출력 전압 증폭부를 포함한다. 여기에서, m 은 3 이상의 자연수이고, k 는 $m-2$ 보다 작은 자연수이다.

<48> 또한, 본 발명의 다른 특징에 따른 액정 표시 장치의 구동 장치는, 복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기 및 상기 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 m 비트의 영상 신호에 대응하는 계조 전압을 선택하여 생성되는 데이터 신호를 상기 화소에 인가하는 데이터 구동부를 포함하고, 상기 데이터 구동부는, 상기 복수의 계조 전압 중에서 상기 영상 신호 중 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부, 상기 영상 신호 중 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부, 상기 영상 신호 중, 적어도 2 개 이상의 비트의 비트값에 각각 대응되는 제3 계조 전압을 생성하는 하나 이상의 디코더 및 상기 2^k 개의 전압을 합성하여 상기 데이터 신호를 생성하거나 또는 상기 제3 계조 전압에 대응되는 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 복수의 화소에 인가하는 출력 전압 증폭부를 포함한다. 여기에서, m 은 3 이상의 자연수이고, k 는 $m-2$ 보다 작은 자연수이다.

<49> 또한, 본 발명의 또 다른 특징에 따른 액정 표시 장치의 구동 장치는, 복수의 기준 계조 전압을 생성하는 기준 계조 전압 생성기 및 상기 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 m 비트의 영상 신호에 대응하는 계조 전압을 선택하여 생성되는 데이터 신호를 상기 화소에 인가하는 데이터 구동부를 포함하고, 상기 데이터 구동부는, 상기 복수의 계조 전압 중에서 상기 영상 신호 중 $m-2$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 생성하는 전압 생성부, 상기 영상 신호 중 2 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 제1 내지 제4 전압을 출력하는 출력 전압 생성부, 상기 영상 신호 중, 상기 $m-2$ 개의 비트에 포함되지 않는 세 개의 비트의 비트값에 대응되는 제3 계조 전압을 생성하는 제1 디코더 및 상기 제1 내지 제4 전압을 합성하여 상기 데이터 신호를 생성하거나 또는 상기 제3 계조 전압에 대응하는 상기 데이터 신호를 생성하고, 생성된 상기 데이터 신호를 복수의 화소에 인가하는 출력 전압 증폭부를 포함한다. 여기에서, m 은 5 이상의 자연수이다.

<50> 또한, 본 발명의 특징에 따른 디지털 아날로그 변환기는, 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 디지털 영상 신호에 대응하는 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기로서, m 비트의 상기 디지털 영상 신호 중 k 개의 비트를 제외한 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부 및 상기 디지털 영상 신호 중 상기 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부를 포함한다. 여기에서, m 은 3 이상의 자연수이고, k 는 $m-2$ 보다 작은 자연수이다.

<51> 또한, 본 발명의 다른 특징에 따른 디지털 아날로그 변환기는, 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 디지털 영상 신호에 대응하는 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기로서, m 비트의 상기 디지털 영상 신호 중 k 개의 비트를 제외한 $m-k$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 선택하여 출력하는 전압 생성부, 상기 디지털 영상 신호 중 상기 k 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 2^k 개의 전압을 출력하는 출력 전압 생성부 및 상기 디지털 영상 신호 중, 적어도 2 개 이상의 비트의 비트값에 각각 대응되는 제3 계조 전압을 생성하는 하나 이상의 디코더를 포함한다. 여기에서, m 은 3 이상의 자연수이고, k 는 $m-2$ 보다 작은 자연수이다.

- <52> 또한, 본 발명의 또 다른 특징에 따른 디지털 아날로그 변환기는, 복수의 기준 계조 전압을 기초로 복수의 계조 전압을 생성하고, 상기 복수의 계조 전압 중에서 외부로부터 인가되는 디지털 영상 신호에 대응하는 계조 전압을 선택하여 출력하는 디지털 아날로그 변환기로서, m 비트의 상기 디지털 영상 신호 중 2 개의 비트를 제외한 $m-2$ 개의 비트의 비트값에 대응하는 제1 및 제2 계조 전압을 생성하는 전압 생성부, 상기 디지털 영상 신호 중, 상기 $m-2$ 개의 비트에 포함되지 않는 세 개의 비트의 비트값에 대응되는 제3 계조 전압을 생성하는 제1 디코더 및 상기 디지털 영상 신호 중 상기 2 개의 비트의 비트값에 대응하여 각각 상기 제1 및 제2 계조 전압 중 하나로 결정되는 제1 내지 제4 전압 또는 상기 제3 계조 전압을 출력하는 출력 전압 생성부를 포함한다. 여기에서, m 은 5 이상의 자연수이다.
- <53> 또한, 본 발명의 특징에 따른 출력 전압 증폭 회로는, 영상 신호에 대응하는 계조 전압을 입력받아, 상기 계조 전압에 대응되는 데이터 신호를 생성하여 액정 표시 장치의 화소에 인가하는 출력 전압 증폭 회로로서, 상기 영상 신호에 대응하는 계조 전압에 의해 온/오프 구동되는 복수의 제1 스위치, 상기 데이터 신호에 의해 온/오프 구동되며, 각각의 일단이 상기 복수의 제1 스위치 중에서 대응되는 제1 스위치의 일단과 접점을 가지는 복수의 제2 스위치, 복수의 상기 접점과 제1 전압을 공급하는 제1 전원 사이에 각각 연결되는 복수의 전류원 및 상기 복수의 제2 스위치의 타단에 연결되어 상기 복수의 계조 전압을 합성하여 생성되는 상기 데이터 신호를 상기 화소로 출력하는 출력단을 포함한다.
- <54> 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- <55> 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- <56> 이하, 본 발명의 실시예에 따른 액정 표시 장치, 그의 구동 장치, 디지털 아날로그 변환기 및 출력 전압 증폭 회로에 대하여 도면을 참고로 하여 상세하게 설명한다.
- <57> 도 3은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면이다.
- <58> 도 3에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치는 액정 표시 장치 패널(100), 주사 구동부(200), 데이터 구동부(300), 기준 계조 전압 생성부(400) 및 신호 제어부(500)를 포함한다.
- <59> 액정 표시 장치 패널(100)에는 주사 구동부(200)로부터 인가되는 주사 온 신호를 전달하기 위한 다수의 주사선(G_1-G_n)이 형성되어 있으며, 다수의 주사선과 절연되어 교차하며 계조 데이터에 대응되는 계조 데이터 전압을 전달하기 위한 데이터선(D_1-D_m)이 형성되어 있다. 행렬 형태로 배열된 다수의 화소(110)는 각각 주사선과 데이터선에 의해 둘러 쌓여 있으며, 주사선과 데이터선을 통해 입력되는 신호에 따라 백 라이트(미도시함)로부터 주사되는 빛의 투과율을 변경시키는데, 이를 도 4를 참조하여 설명한다.
- <60> 도 4는 본 발명의 실시예에 따른 액정 표시 장치의 각 화소(110)의 등가 회로를 도시한 도면이다.
- <61> 도 4에 도시한 바와 같이, 액정 표시 장치의 각 화소(110)는 TFT(112), 액정 커패시터(C_1) 및 스토리지 커패시터(C_{st})를 포함한다. 참고로, 도 4에서 데이터선(D_m)은 데이터선(D_1-D_m) 중 임의의 하나의 데이터선을 나타내고, 주사선(G_n)은 주사선(G_1-G_n) 중 임의의 하나의 주사선을 나타낸다.
- <62> TFT(112)는 소스 전극이 데이터선(D_m)과 연결되고 게이트 전극이 주사선(G_n)에 연결된다. 액정 커패시터(C_1)는 TFT(112)의 드레인 전극과 공통전압(V_{com}) 사이에 연결된다. 그리고, 스토리지 커패시터(C_{st})는 액정 커패시터(C_1)와 병렬로 연결된다.
- <63> 도 4에서, 주사선(G_n)에 주사신호가 되어 TFT(112)가 턴 온 되면, 데이터선(D_m)에 공급된 데이터 전압(V_d)이 TFT(112)를 통해 각 화소 전극(미도시함)에 인가된다. 그러면, 화소 전극에 인가되는 화소 전압(V_p)과 공통 전압(V_{com})의 차이에 해당하는 전계가 액정(도 4에서는 등가적으로 액정 커패시터(C_1)로 나타내었음)에 인가되어 이 전계의 세기에 대응하는 투과율로 빛이 투과되도록 한다. 이때, 화소 전압(V_p)은 1프레임 또는 1 필드 동안

유지되어야 하는데, 도 4의 스토리지 커패시터(Cst)는 화소 전극에 인가되는 화소 전압(V_p)을 유지하기 위해 보조적으로 사용된다.

- <64> 주사 구동부(200)는 액정 표시 장치 패널(100)의 주사선(G_1-G_n)에 연결되어 게이트 온 전압(V_{on})과 게이트 오프 전압(V_{off})의 조합으로 이루어진 주사 신호를 주사선(G_1-G_n)에 인가한다. 더욱 구체적으로, 주사 구동부(200)는 주사선(G_1-G_n)에 순차적으로 게이트 온 전압(V_{on})을 인가하여, 게이트 온 전압(V_{on})이 인가된 주사선에 게이트 전극이 연결되는 TFT를 턴온시킨다.
- <65> 데이터 구동부(300)는 신호 제어부(500)와 기준 계조 전압 생성부(400)에 각각 연결되어 있는 복수의 데이터 구동 집적 회로(미도시함)를 구비하고 있다. 각각의 데이터 구동 집적 회로는 액정 표시 장치 패널(100)의 데이터선(D_1-D_m) 중 대응하는 데이터선에 연결되어 있으며, 기준 계조 전압 생성부(400)로부터 입력되는 기준 계조 전압에 기초하여 복수의 계조 전압을 생성하며, 복수의 계조 전압 중 해당하는 계조 전압을 선택하고 이를 데이터 신호로서 연결된 데이터선(D_1-D_m)에 인가한다.
- <66> 기준 계조 전압 생성부(400)는 전원 전압 공급부(미도시함)로부터 입력되는 복수의 전압(V_{DD} , V_{SS} , V_{gma})을 이용하여 화소(110)의 투과율과 관련된 두 별의 기준 계조 전압 집합을 생성한다. 두 별 중 한 별은 공통 전압(V_{com})에 대하여 양의 값($V_{com} \sim V_{DD}$)을 가지고 다른 한 별은 음의 값($V_{com} \sim V_{ss}$)을 가진다. 또한, 기준 계조 전압 생성부(400)는 두 별의 기준 계조 전압 이외에 전압($VP(-1)$ 또는 $VP2^m$) 및 전압($VN(-1)$ 또는 $VN2^m$)을 추가로 생성한다. 여기에서, 전압(V_{gma})는 전압(V_{SS})에서 전압(V_{DD}) 사이의 임의의 전압이다. 한편, 전압($VP(-1)$, $VN(-1)$, $VP2^m$ 및 $VN2^m$)에 대해서는 후술한다.
- <67> 신호 제어부(500)는 외부 또는 그래픽 제어기(미도시함)로부터 계조 데이터 신호(R, G, B Data) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수평 동기 신호(Hsync), 수직 동기 신호(Vsync), 데이터 인가 영역 신호(DE) 및 메인 클럭(MCLK) 등이 있다. 여기서, 데이터 인가 영역 신호(DE)는 데이터가 나오는 구역을 표시하는 신호이며, 메인 클럭(MCLK)은 마이크로 프로세서(Microprocessor)(미도시함)로부터 입력받아 기준 신호가 되는 클럭 신호이다.
- <68> 신호 제어부(500)는 계조 데이터 신호(R, G, B Data)를 액정 표시 장치 패널(100)의 동작 조건에 맞게 적절히 처리하여 게이트 제어신호(S_g), 데이터 제어신호(S_d) 및 디지털 영상 신호(DAT)를 생성한다. 신호 제어부(500)는 게이트 제어신호(S_g)를 주사 구동부(200)로 전달하고, 데이터 제어신호(S_d) 및 디지털 영상 신호(DAT)를 데이터 구동부(300)에 공급함으로써 주사 구동부(200) 및 데이터 구동부(300)를 제어한다.
- <69> 게이트 제어 신호(S_g)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(V_{on})의 출력 주기를 제어하는 적어도 하나의 클럭 신호를 포함한다. 게이트 제어 신호(S_g)는 또한 게이트 온 전압(V_{on})의 지속 시간을 한정하는 출력 인에이블 신호(OE)를 더 포함할 수 있다.
- <70> 데이터 제어신호(S_d)는 한 행의 화소(110)에 대한 영상 신호의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D_1-D_m)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(S_d)는 또한 공통 전압(V_{com})에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다. 또한 데이터 제어 신호(S_d)는 데이터 구동부(300)의 동작을 제어하는 복수의 신호($SEL0$, $SEL1$, SHL)를 더 포함할 수 있다.
- <71> 신호 제어부(500)로부터의 데이터 제어 신호(S_d)에 따라, 데이터 구동부(300)의 각각의 데이터 구동 집적 회로는 한 행의 화소(110)에 대한 디지털 영상 신호(DAT)를 수신하고, 기준 계조 전압 생성부(400)로부터의 기준 계조 전압에 기초하여 복수의 계조 전압을 생성한 후, 이들 계조 전압 중에서 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D_1-D_m)에 인가한다.
- <72> 주사 구동부(200)는 신호 제어부(500)로부터의 게이트 제어 신호(S_g)에 따라 게이트 온 전압(V_{on})을 주사선(G_1-G_n)에 인가하여 이 주사선(G_1-G_n)에 연결된 스위칭 소자를 턴 온시킨다. 그러면, 데이터선(D_1-D_m)에 인가된 데이터 신호가 턴 온 된 스위칭 소자를 통하여 해당 화소(110)에 인가된다.

- <73> 화소(110)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 커패시터(C1)의 충전 전압, 즉 화소 전압(Vp)으로서 나타난다. 액정 분자들은 화소 전압(Vp)의 크기에 따라 그 배열을 달리하며 이에 따라 액정층을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 액정 표시 장치 패널(100)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- <74> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G₁-G_n)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(100)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- <75> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(110)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(300)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- <76> 다음 도 5를 참고로 하여, 본 발명의 실시예에 따른 데이터 구동부(300)에 대하여 상세하게 설명한다.
- <77> 도 5는 본 발명의 실시예에 따른 데이터 구동부(300)의 블록도이다.
- <78> 도 5에 도시한 바와 같이, 본 발명의 실시예에 따른 데이터 구동부(300)는 시프트 레지스터(301), 래치(302), 디지털 아날로그 변환부(303), 출력 전압 증폭부(304) 및 출력 버퍼(305)를 포함한다.
- <79> 시프트 레지스터(301)는 신호 제어부(500)로부터 데이터 클럭 신호(HCLK)와 복수의 제어 신호(SHL, SEL0, SEL1)를 입력받고, 시프트 방향 제어 신호(SHL)의 레벨에 따라 펄스 입출력 단자(DIO1, DIO2)의 기능을 정하여 시프트 방향을 결정한다. 예로서, 시프트 방향 제어 신호(SHL)가 하이 레벨이면 펄스 입출력 단자(DIO1)는 시프트 레지스터(301)의 동작 시작을 지시하는 시작 펄스(미도시함)의 입력 핀으로서 기능하고 펄스 입출력 단자(DIO2)는 시작 펄스의 출력 핀으로서 기능한다. 물론, 시프트 방향 제어 신호(SHL)가 로우 레벨이면 펄스 입출력 단자(DIO1, DIO2)의 기능은 바뀌게 된다. 한편, 제어 신호(SEL0, SEL1)는 출력 선택 신호로서, 제어 신호(SEL0, SEL1) 각각의 레벨에 따라 시프트 레지스터(301)의 출력 단자 중 인에이블되는 출력 단자가 결정된다.
- <80> 래치(302)는 시프트 레지스터(301)로부터 입력되는 인에이블 신호에 따라 신호 제어부(500)로부터 입력되는 디지털 영상 신호(DAT)를 저장한다. 시프트 레지스터(301)는 데이터 클럭 신호(HCK)에 동기하여 인에이블 신호가 출력되는 출력 단자의 위치를 하나씩 시프트시키고, 이에 따라 시프트 레지스터(301)의 출력 단자 각각에 대응되는 래치(302)의 영역 또한 차례로 시프트된다. 이로 인해, 래치(302)의 전 영역에 신호 제어부(500)로부터 입력되는 디지털 영상 신호(DAT)가 차례로 저장된다.
- <81> 래치(302)의 전 영역에 신호 제어부(500)로부터 입력되는 디지털 영상 신호(DAT)가 저장되면, 데이터 구동 집적 회로는 인접한 데이터 구동 집적 회로에 캐리(carry) 신호 등을 출력하여 인접한 데이터 구동 집적 회로도 동일한 동작이 이루어질 수 있도록 한다. 이러한 동작에 의해 결국 한 행분의 디지털 영상 신호(DAT)가 모든 데이터 구동부(300)의 래치(302)에 나누어 저장된다.
- <82> 한 행분의 디지털 영상 신호(DAT)가 래치(302)의 전 영역에 저장되면, 신호 제어부(500)는 래치(302)로 인가하는 로드 신호(LOAD)의 레벨을 변경하고, 이로 인해 래치(302)의 전 영역에 저장된 디지털 영상 신호(DAT)가 한 꺼번에 디지털 아날로그 변환부(303)로 전달된다.
- <83> 디지털 아날로그 변환부(303)는 래치(302)의 홀수번째 영역에 대응되는 복수의 포지티브 디코더(Positive Decoder)와 래치(302)의 짝수번째 영역에 대응되는 복수의 네가티브 디코더(Negative Decoder)를 포함한다. 복수의 포지티브 디코더(Positive Decoder)는 기준 게조 전압 생성부(400)로부터 양의 값(Vcom ~ VDD)의 기준 게조 전압(VP0 ~ VP1023) 및 전압(VP(-1) 또는 VP2^m)을 입력받아, 각기 대응되는 래치(302)의 홀수번째 영역으로부터 입력받은 디지털 영상 신호(DAT)에 대응하는 게조 전압(데이터 신호)을 선택하여 출력 전압 증폭부(304)로 출력한다. 복수의 네가티브 디코더(Negative Decoder)는 기준 게조 전압 생성부(400)로부터 음의 값(VSS ~ Vcom)의 기준 게조 전압(VN0 ~ VN1023) 및 전압(VN(-1) 또는 VN2^m)을 입력받아, 각기 대응되는 래치(302)의 짝수번째 영역으로부터 입력받은 디지털 영상 신호(DAT)에 대응하는 게조 전압(데이터 신호)을 선택하여 출력 전압 증폭부(304)로 출력한다. 여기에서, VP(-1)는 공통 전압(Vcom)보다 소정 레벨 낮은 전압이거나 또는 공통 전압(Vcom)보다 소정 레벨 높은 전압이고, VN(-1)은 공통 전압(Vcom)보다 소정 레벨 낮은 전압이거나 또는 공통

전압(V_{com})보다 소정 레벨 높은 전압이다. 또한, V_{N2} 은 V_{SS} 보다 소정 레벨 높은 전압이고, V_{P2} 은 V_{DD} 보다 소정 레벨 낮은 전압이다. 그리고, m 은 래치(302)로부터 디지털 아날로그 변환부(303)로 입력되는 디지털 영상 신호(DAT)의 비트 수를 의미한다.

- <84> 한편, 앞서 설명한 것과는 달리, 디지털 아날로그 변환부(303)의 포지티브 디코더(Positive Decoder)는 래치(302)의 짝수번째 영역에 대응되도록 형성되고, 네가티브 디코더(Negative Decoder)는 래치(302)의 홀수번째 영역에 대응되도록 형성될 수 있음은 물론이다.
- <85> 출력 전압 증폭부(304)는 복수의 출력 증폭기(미도시함)를 포함한다. 각각의 출력 증폭기는 전압 팔로워(voltage follower)로 기능한다.
- <86> 출력 버퍼(305)는 복수의 믹스(MUX)회로(미도시함)를 포함한다. 복수의 믹스 회로 각각의 입력단은 포지티브 디코더 및 네가티브 디코더의 출력 신호를 각각 입력받는 한쌍의 전압 팔로워와 연결되고, 출력단은 데이터선(D_1 - D_m) 중 연속되는 두 개의 데이터선(Dodd, Deven)에 연결된다. 각각의 믹스 회로는 신호 제어부(500)로부터 입력되는 반전 신호(RVS)에 따라 한쌍의 전압 팔로워로부터 입력받은 두 개의 데이터 신호를 두 개의 데이터선(Dodd, Deven) 중 하나의 데이터선을 통해 선택적으로 출력시킨다.
- <87> 도 6은 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)를 도시한 블록도이다.
- <88> 도 6에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)는 상위 및 하위 전압 생성부(3032) 및 출력 전압 생성부(3034)를 포함한다.
- <89> 상위 및 하위 전압 생성부(3032)는 래치(302)로부터 입력되는 디지털 영상 신호(DAT) 중 설정된 비트 수만큼의 하위 비트를 제외한 비트를 이용하여 상위 전압 및 하위 전압(V_H , V_L)을 생성한다. 여기에서, 상위 전압(V_H)은 상위 및 하위 전압 생성부(3032)에서 출력되는 두 개의 전압 중 공통 전압(V_{com})과의 전압차가 큰 전압을 나타내고, 하위 전압(V_L)은 상위 및 하위 전압 생성부(3032)에서 출력되는 두 개의 전압 중 공통 전압(V_{com})과의 전압차가 작은 전압을 나타낸다.
- <90> 출력 전압 생성부(3034)는 상위 및 하위 전압 생성부(3032)로부터 상위 전압(V_H)과 하위 전압(V_L)을 입력받아, 상위 및 하위 전압 생성부(3032)에서 상위 전압 및 하위 전압(V_H , V_L)을 생성하는 데에 이용되지 않은 하위 비트를 이용하여 복수의 전압(V_o)를 생성한다.
- <91> 예로서, 래치(302)로부터 입력되는 디지털 영상 신호(DAT)가 10 비트이고, 설정된 하위 비트가 2 비트인 경우, 상위 및 하위 전압 생성부(3032)는 10 비트 중 상위 8 비트를 이용하여 상위 전압(V_H) 및 하위 전압(V_L)을 생성한다. 그리고, 출력 전압 생성부(3034)는 상위 및 하위 전압 생성부(3032)에서 이용되지 않은 하위 2 비트를 이용하여 상위 및 하위 전압 생성부(3032)로부터 입력되는 상위 전압(V_H) 및 하위 전압(V_L)을 변환하여 네 개의 전압(V_o)을 생성한다.
- <92> 이하에서는 래치(302)로부터 입력되는 디지털 영상 신호(DAT)의 비트 수를 m 으로 나타낸다. 또한, 래치(302)로부터 입력되는 디지털 영상 신호(DAT) 중 상위 및 하위 전압 생성부(3032)에서 상위 전압 및 하위 전압(V_H , V_L)을 생성하는 데에 이용되지 않고, 전압(V_o)을 생성하기 위해 출력 전압 생성부(3034)에서 이용되는 하위 비트의 비트 수를 k 로 나타낸다. 여기에서, k 는 m 보다 작은 정수이다. 그리고, 래치(302)로부터 입력되는 m 비트의 디지털 영상 신호(DAT)에서 전압(V_o)을 생성하기 위해 출력 전압 생성부(3034)에서 이용되는 k 개의 하위 비트를 뺀 $m-k$ 개의 비트를 상위 비트라고 명명하며, m 및 k 를 각각 "10" 및 "2"로 가정하고 설명한다. 또한, 이하에서, m 비트 중 제 m 비트는 m 비트에 포함되는 비트 중 최상위 비트를 나타내고, 제1 비트는 m 비트에 포함되는 비트 중 최하위 비트를 나타낸다. 그리고, 이하에서, 그레이 레벨은 10 비트의 디지털 영상 신호(DAT)를 10진수로 변환한 값에 대응되는 그레이 전압을 나타낸다.
- <93> 도 7은 본 발명의 실시예에 따른 상위 및 하위 전압 생성부(3032)를 도시한 블록도이다.
- <94> 도 7에 도시한 바와 같이, 본 발명의 실시예에 따른 상위 및 하위 전압 생성부(3032)는 제1 내지 제3 디코더(30322, 30324, 30326) 및 선택 전압 출력부(30328)를 포함한다. 참고로, 도 7로 나타낸 제1 내지 제3 디코더(30322, 30324, 30326)는 포지티브 디코더를 예로서 나타낸 것이며, 네가티브 디코더로 구현되는 경우에 대해서는 후술한다.
- <95> 제1 디코더(30322)는 래치(302)로부터 출력되는 10 비트의 디지털 영상 신호(DAT) 중 하위 4 비트를 제외한 6 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 전압(V_{D1})을 생성하여 선택 전압 출력부(30328)로 출력

한다.

- <96> 제2 디코더(30324)는 래치(302)로부터 출력되는 10 비트의 디지털 영상 신호(DAT) 중 하위 3 비트를 제외한 7 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 전압(VD2)을 생성하여 선택 전압 출력부(30328)로 출력한다.
- <97> 제3 디코더(30326)는 래치(302)로부터 출력되는 10 비트의 디지털 영상 신호(DAT) 중 하위 3 비트를 제외한 7 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 전압(VD3)을 생성하여 선택 전압 출력부(30328)로 출력한다.
- <98> 선택 전압 출력부(30328)는 래치(302)로부터 출력되는 10 비트의 디지털 영상 신호(DAT) 중 상위 비트인 8 개의 비트의 하위 두 개 비트의 비트값에 따라 제1 내지 제3 디코더(30322, 30324, 30326)로부터 각각 입력되는 전압 중 두 개의 전압(VH, VL)을 선택하여 출력 전압 생성부(3034)로 전달한다.
- <99> 이하, 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)를 도 8 내지 도 10을 참조하여 설명한다.
- <100> 도 8 내지 도 10에서, VP3, VP7, VP11, ..., VP1015, VP1019 및 VP1023 각각은 기준 게조 전압 생성부(400)로부터 입력되는 기준 게조 전압(Vcom ~ VDD) 중 전압(Vgma)로부터 전압(VDD)를 $2^{10}+1$ 개의 저항(R1 ~ R1024)으로 분압하여 생성되는 2^{10} 개의 그레이 전압(VP0 ~ VP1023) 중 하나를 나타낸다. 여기에서, 전압(Vgma)는 공통 전압(Vcom)보다 소정 레벨 높은 전압이다. 한편, 도 8 내지 도 10에서, 제1 내지 제3 디코더(30322, 30324, 30326)에 포함되는 스위치들(D4N, D4P, D5N, D5P, D6N, D6P, ..., D10N, D10P)은 모두 동일한 타입의 스위치, 즉 P 타입 전계 효과 트랜지스터로 형성된다. 한편, 스위치들(D4N, D4P, D5N, D5P, D6N, D6P, ..., D10N, D10P)은 모두 N 타입 전계 효과 트랜지스터로 형성될 수도 있으며, 이때에는 각 스위치들(D4N, D4P, D5N, D5P, D6N, D6P, ..., D10N, D10P)의 제어 전극으로 입력되는 신호는 모두 반전되어야 함은 물론이다. 디코더(30322, 30324, 30326)에 포함되는 스위치를 모두 동일한 타입으로 형성하는 것은 본 발명의 실시예에 따른 상위 및 하위 전압 생성부(3032)의 레이아웃 면적의 감소를 위한 것이며, 이는 본 발명의 기술 분야에 종사하는 당업자들에게는 널리 알려진 사실이므로, 부연 설명은 생략한다. 또한, 도 8 내지 도 10에서, D10N 및 D10P는 각각 10 비트의 디지털 영상 신호(DAT) 중 최상위 비트인 제10 비트의 비트값 및 제10 비트의 비트값의 반전 신호에 의해 온/오프 구동되는 스위치를 나타낸다. 마찬가지로, D6N, D5N 및 D4N은 각각 10 비트의 디지털 영상 신호(DAT) 중 제6 비트, 제5 비트 및 제4 비트의 비트값에 의해 온/오프 구동되는 스위치를 나타내고, D6P, D5P 및 D4P는 각각 10 비트의 디지털 영상 신호(DAT) 중 제6 비트, 제5 비트 및 제4 비트의 비트값의 반전 신호에 의해 온/오프 구동되는 스위치를 나타낸다.
- <101> 도 8은 본 발명의 제1 실시예에 따른 제1 디코더(30322)를 도시한 도면이고, 도 9는 본 발명의 제1 실시예에 따른 제2 디코더(30324)를 도시한 도면이다.
- <102> 도 8에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 제1 디코더(30322)는 제5 비트로부터 제10 비트까지의 6 개의 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 VP7 내지 VP1015 중 하나의 그레이 전압을 선택하여 전압(VD1)으로 출력한다. 제1 디코더(30322)는 VP7부터 그레이 레벨의 차이가 16 만큼씩인 그레이 전압, 즉 VP7, VP23, VP39, VP55, ..., VP967, VP983, VP999 및 VP1015의 $64(2^6)$ 개의 그레이 전압을 입력받는다. 이로 인해, 제1 디코더(30322)에 포함되는 스위치의 개수는 $2^7-2(=2^6+2^5+2^4+2^3+2^2+2^1)$ 개가 된다.
- <103> 도 9에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 제2 디코더(30324)는 제4 비트로부터 제10 비트까지의 7 개의 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 VP3 내지 VP1019 중 하나의 그레이 전압을 선택하여 전압(VD2)으로 출력한다. 여기에서, 제2 디코더(30324)는 VP3부터 그레이 레벨의 차이가 8 만큼씩인 그레이 전압, 즉 VP3, VP11, VP19, VP27, ..., VP995, VP1003, VP1011 및 VP1019의 $128(2^7)$ 개의 그레이 전압을 입력받는다. 이로 인해, 제2 디코더(30324)에 포함되는 스위치의 개수는 $2^8-2(=2^7+2^6+2^5+2^4+2^3+2^2+2^1)$ 개가 된다.
- <104> 도 10은 본 발명의 제1 실시예에 따른 제3 디코더(30326)를 도시한 도면이다. 도 10에서, VP(-1)는 기준 게조 전압 생성부(400)에서 생성되어 공급되는 전압으로서, Vcom 보다 다소 낮거나 높은 전압이며, 아래의 수학적 식 1로서 정의된다.

수학적 식 1

- <105> $VP0 = VP(-1) + (VP3-VP(-1))*(1/4)$
- <106> 즉, $VP(-1)$ 은 $VP0$ 보다 $VP1-VP0$ 만큼 낮은 전압이다.
- <107> 도 10에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 제3 디코더(30326)는 제4 비트로부터 제10 비트까지의 7 개의 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 $VP(-1)$ 내지 $VP1023$ 중 하나의 그레이 전압을 선택하여 전압($VD3$)으로 출력한다. 여기에서, 제3 디코더(30326)는 $VP15$ 부터 그레이 레벨의 차이가 16 만큼의 전압차를 가지는 그레이 전압, 즉, $VP15, VP31, VP47, \dots, VP991, VP1007$ 및 $VP1023$ 과 $VP(-1)$ 의 $128(2^7)$ 개의 그레이 전압을 입력받는데, 입력되는 그레이 전압 중 최저 전압인 $VP(-1)$ 과 최고 전압인 $VP1023$ 을 제외한 다른 전압들을 각각 두 개의 스위치를 통해 입력받는 형태로 형성된다. 이로 인해, 제3 디코더(30326)에 포함되는 스위치의 개수는 $2^8-2(=2^7+2^6+2^5+2^4+2^3+2^2+2^1)$ 개가 된다.
- <108> 여기에서, 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)로 각각 입력되는 최저 전압들 간의 관계는 다음과 같다. 즉, 제1 디코더(30322)로 입력되는 최저 전압($VP7$)은 제2 디코더(30324)로 입력되는 최저 전압($VP3$)보다 그레이 레벨이 4 만큼 높은 전압이고, 제3 디코더(30326)로 입력되는 최저 전압($VP(-1)$)은 제2 디코더(30324)로 입력되는 최저 전압($VP3$)보다 그레이 레벨이 4 만큼 낮은 전압이 되도록 설정된다. 또한, 디지털 영상 신호(DAT)의 제4 비트로부터 제10 비트까지의 7 개의 비트의 비트값에 각각에 대응하여 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)로부터 출력되는 전압들($VD1' \sim VD3'$)은 상호간에 항상 그레이 레벨 4 만큼의 전압차를 갖는다.
- <109> 다음, 본 발명의 실시예에 따른 선택 전압 출력부(30328)를 도 11을 참조하여 설명한다.
- <110> 도 11은 본 발명의 실시예에 따른 선택 전압 출력부(30328)를 개략적으로 도시한 도면이다. 참고로, 도 11에서, 선택 전압 출력부(30328)에 포함되는 스위치들($SW1 \sim SW10$)은 모두 동일한 타입의 스위치, 즉 N 타입 전계 효과 트랜지스터로 형성된다. 한편, 스위치들($D4N, D4P, D5N, D5P, D6N, D6P, \dots, D10N, D10P$)은 모두 P 타입 전계 효과 트랜지스터로 형성될 수도 있으며, 이때에는 각 스위치들($SW1 \sim SW10$)의 제어 전극으로 입력되는 신호는 모두 반전되어야 함은 물론이다. 여기에서, 선택 전압 출력부(30328)에 포함되는 스위치들($SW1 \sim SW10$)을 모두 동일한 타입으로 형성하는 것은 본 발명의 실시예에 따른 선택 전압 출력부(30328)에 포함되는 스위치들($SW1 \sim SW10$)의 레이아웃 면적의 감소를 위한 것이다.
- <111> 도 11에 도시한 바와 같이, 본 발명의 실시예에 따른 선택 전압 출력부(30328)는 복수의 스위치($SW1 \sim SW10$)를 포함한다. 복수의 스위치($SW1 \sim SW10$) 각각은 10 비트의 디지털 영상 신호(DAT) 중 제3 비트 및 제4 비트의 비트값에 따라 온/오프 구동되어 제1 내지 제3 디코더(30322, 30324, 30326)로부터 입력되는 전압($VD1 \sim VD3$) 중 두 개의 전압을 선택하여 출력한다. 제3 비트 및 제4 비트의 비트값에 따라 선택 전압 출력부(30328)가 출력하는 상위 전압(VH) 및 하위 전압(VL)을 아래의 표 1로 나타내었다. 참고로, 표 1에서, Data<4> 및 Data<3>은 각각 래치(302)로부터 출력되는 10 비트의 디지털 영상 신호(DAT) 중 제4 비트 및 제3 비트의 비트값을 나타낸다.

표 1

Data <4>	Data <3>	상위 전압	하위 전압
0	0	VD3	VD2
0	1	VD2	VD1
1	0	VD1	VD2
1	1	VD2	VD3

- <112>
- <113> 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)로부터 출력되는 전압($VD1 \sim VD3$)들 상호간에는 그레이 레벨이 항상 4 만큼씩 차이가 나므로, 본 발명의 실시예에 따른 선택 전압 출력부(30328)가 출력하는 두 개의 전압(VH, VL)은 상호간에 그레이 레벨 4 만큼의 전압차를 갖는다.
- <114> 다음, 본 발명의 제1 실시예에 따른 출력 전압 생성부(3034)를 도 12를 참조하여 설명한다.
- <115> 도 12는 본 발명의 제1 실시예에 따른 출력 전압 생성부(3034)를 도시한 도면이다.

- <116> 도 12에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 출력 전압 생성부(3034)는 복수의 스위치(SW11 ~SW17)를 포함하고, 선택 전압 출력부(30328)로부터 입력되는 상위 전압(VH)과 하위 전압(VL)을 이용하여 네 개의 전압(Va, Vb, Vc, Vd)을 생성하여 출력 전압 증폭부(304)로 출력한다.
- <117> 복수의 스위치(SW12 ~SW17)는 래치(302)로부터 입력되는 10비트의 디지털 영상 신호(DAT) 중 상위 및 하위 전압 생성부(3032)에서 이용되는 제3 비트부터 제10 비트까지를 제외한 2 개의 비트, 즉 제1 비트 및 제2 비트의 비트값에 따라 온/오프 구동된다. 그리고, 스위치(SW11)는 항상 온 상태를 유지한다.
- <118> 구체적으로, 스위치(SW11)는 일단으로 입력되는 상위 전압(VH)을 제1 전압 출력단으로 전달한다. 스위치(SW12)는 제1 및 제2 비트의 비트값이 "01", "10" 및 "11"일 때에 온 되어 일단으로 입력되는 상위 전압(VH)을 제2 전압 출력단으로 전달한다. 스위치(SW13)는 제1 및 제2 비트의 비트값이 "00"일 때에 온 되어 일단으로 입력되는 하위 전압(VL)을 제2 전압 출력단으로 전달한다. 스위치(SW14)는 제1 및 제2 비트의 비트값이 "10" 및 "11"일 때에 온 되어 일단으로 입력되는 상위 전압(VH)을 제3 전압 출력단으로 전달한다. 스위치(SW15)는 제1 및 제2 비트의 비트값이 "00" 및 "01"일 때에 온 되어 일단으로 입력되는 하위 전압(VL)을 제3 전압 출력단으로 전달한다. 스위치(SW16)는 제1 및 제2 비트의 비트값이 "11"일 때에 온 되어 일단으로 입력되는 상위 전압(VH)을 제4 전압 출력단으로 전달한다. 스위치(SW17)는 제1 및 제2 비트의 비트값이 "00", "01" 및 "10"일 때에 온 되어 일단으로 입력되는 하위 전압(VL)을 제4 전압 출력단으로 전달한다.
- <119> 도 12에서, 본 발명의 제1 실시예에 따른 출력 전압 생성부(3034)가 생성하는 네 개의 전압(Va, Vb, Vc, Vd)은 아래의 ① 내지 ④의 네가지 경우 중 하나로 결정된다.
- <120> ① 제1 및 제2 비트의 비트값이 모두 "0"일 때,
- <121> $V_a = \text{상위 전압(VH)}, V_b = V_c = V_d = \text{하위 전압(VL)}$
- <122> ② 제1 비트가 "1"이고, 제2 비트가 "0"일 때,
- <123> $V_a = V_b = \text{상위 전압(VH)}, V_c = V_d = \text{하위 전압(VL)}$
- <124> ③ 제1 비트가 "0"이고, 제2 비트가 "1"일 때,
- <125> $V_a = V_b = V_c = \text{상위 전압(VH)}, V_d = \text{하위 전압(VL)}$
- <126> ④ 제1 및 제2 비트의 비트값이 모두 "1"일 때,
- <127> $V_a = V_b = V_c = V_d = \text{상위 전압(VH)}$
- <128> 도 13은 본 발명의 실시예에 따른 출력 전압 증폭부(304)를 개략적으로 도시한 도면이다. 참고로, 도 13에서, 트랜지스터들(SW21, SW22, SW23, SW24, SW31, SW32, SW33, SW34)을 모두 N 타입 전계 효과 트랜지스터로 나타내었으나, 이와는 다르게 트랜지스터들(SW21, SW22, SW23, SW24, SW31, SW32, SW33, SW34)은 모두 P 타입 전계 효과 트랜지스터로 형성될 수 있음은 물론이다. 또한, 트랜지스터들(SW21, SW22, SW23, SW24, SW31, SW32, SW33, SW34)은 동일한 역할을 수행하는 다른 스위치로 구현될 수 있음은 물론이다.
- <129> 도 13에 도시한 바와 같이, 본 발명의 실시예에 따른 출력 전압 증폭부(304)는 출력 증폭기를 포함한다. 출력 증폭기의 두 개의 입력단 중 하나의 입력단은 네 개의 전압(Va, Vb, Vc, Vd)에 의해 구동되는 4 개의 트랜지스터(SW21, SW22, SW23, SW24)를 포함하고, 다른 하나의 입력단은 피드백 신호(Vx)에 의해 구동되는 4 개의 트랜지스터(SW31, SW32, SW33, SW34)를 포함한다. 여기에서, 출력 전압(Vout)은 데이터선(D₁-D_m)을 통해 화소(110)에 인가되는 게조 전압이며, 피드백 신호(Vx)는 출력단을 통해 출력 중인 출력 전압(Vout)과 같다.
- <130> 트랜지스터(SW21)와 트랜지스터(SW31)의 일단은 접점(N1)을 가지며, 전류원(I1)을 통해 VSS 전압을 공급하는 전원(VSS)와 연결된다. 트랜지스터(SW22)와 트랜지스터(SW32)의 일단은 접점(N2)을 가지며, 전류원(I2)을 통해 VSS 전압을 공급하는 전원(VSS)와 연결된다. 트랜지스터(SW23)와 트랜지스터(SW33)의 일단은 접점(N3)을 가지며, 전류원(I3)을 통해 VSS 전압을 공급하는 전원(VSS)와 연결된다. 그리고, 트랜지스터(SW24)와 트랜지스터(SW34)의 일단은 접점(N4)을 가지며, 전류원(I4)을 통해 VSS 전압을 공급하는 전원(VSS)와 연결된다.
- <131> 트랜지스터(SW21, SW22, SW23, SW24) 각각의 일단으로 흐르는 전류(Ia, Ib, Ic, Id)는 트랜지스터(SW21, SW22, SW23, SW24)의 게이트로 입력되는 네 개의 전압(Va, Vb, Vc, Vd)의 레벨에 비례한다. 트랜지스터(SW31, SW32, SW33, SW34)는 모두 동일한 피드백 신호(Vx)를 게이트로 입력받아 구동되는데, 트랜지스터(SW31, SW32, SW33, SW34) 각각의 일단에 인가되는 전압(Vx1, Vx2, Vx3, Vx4)은 전류(Ia, Ib, Ic, Id)에 따라 변하고, 이로 인해

출력 전압(Vout)이 변하게 된다. 즉, 트랜지스터(SW31, SW32, SW33, SW34) 각각의 일단에 인가되는 전압(Vx1, Vx2, Vx3, Vx4)이 변함에 따라 동일한 게이트 제어 전압(Vx)에 의해 구동되는 트랜지스터(SW31, SW32, SW33, SW34)의 일단에 흐르는 전류(Ixa, Ixb, Ixc, Ixd)가 변한다. 출력 증폭기의 출력단은 트랜지스터(SW31, SW32, SW33, SW34)의 타단에 공통으로 접점을 가지므로, 트랜지스터(SW31, SW32, SW33, SW34)의 일단에 흐르는 전류(Ixa, Ixb, Ixc, Ixd)가 변함에 따라 VSS 전압을 공급하는 전원(VSS)과 출력 증폭기의 출력단 간의 전압차의 변동에 따라 출력 전압(Vout)이 변한다.

<132> 즉, 본 발명의 제1 실시예에 따른 출력 전압 생성부(3034)가 생성하는 네 개의 전압(Va, Vb, Vc, Vd)이 앞서 언급한 ① 내지 ④의 네가지 경우 중 어느 경우에 해당되는지에 따라 출력 전압(Vout)의 레벨이 변경된다. 구체적으로, 선택 전압 출력부(30328)로부터 출력되는 상위 전압(VH)과 하위 전압(VL) 간의 전압차를 Δ 라고 가정하면, ① 내지 ④의 네가지 경우에 대하여 출력 전압(Vout)은 다음의 a) 내지 d)와 같이 상위 전압(VH)과 하위 전압(VL)을 합성한 값이 된다.

<133> a) If, Va = 상위 전압(VH), Vb = Vc = Vd = 하위 전압(VL),

<134> Then, 출력 전압(Vout) = 하위 전압(VL) + ($\Delta/4$) * 상위 전압(VH)

<135> b) If, Va = Vb = 상위 전압(VH), Vc = Vd = 하위 전압(VL),

<136> Then, 출력 전압(Vout) = 하위 전압(VL) + ($2\Delta/4$) * 상위 전압(VH)

<137> c) If, Va = Vb = Vc = 상위 전압(VH), Vd = 하위 전압(VL),

<138> Then, 출력 전압(Vout) = 하위 전압(VL) + ($3\Delta/4$) * 상위 전압(VH)

<139> d) If, Va = Vb = Vc = Vd = 상위 전압(VH),

<140> Then, 출력 전압(Vout) = 상위 전압(VH)

<141> 본 발명의 실시예에 따른 선택 전압 출력부(30328)가 출력하는 두 개의 전압(VH, VL)은 상호간에 그레이 레벨 4만큼의 전압차를 가지므로, 본 발명의 실시예에 따른 출력 전압 증폭부(304)는 디지털 영상 신호(DAT)에 대응하는 모든 그레이 레벨을 출력할 수 있다.

<142> 이하, ① 내지 ④의 네 가지 경우에 대응하여, 출력 전압(Vout)이 위의 a) 내지 d)와 같이 상위 전압(VH)과 하위 전압(VL)을 합성한 값이 되는 이유에 대하여 설명한다.

<143> 먼저, 게이트 입력 전압과 이에 대응되어 트랜지스터의 일단으로 흐르는 전류를 수학적식으로 나타내면 아래의 수학적식 2와 같다.

수학적식 2

<144>
$$I = \mu \text{Cox}(W/L)[(V_{gs} - V_t)V_{ds} - 1/2 V_{ds}^2]$$

<145> (여기에서, W는 트랜지스터 채널의 폭, L은 트랜지스터 채널의 길이, Vgs는 트랜지스터의 게이트 소스간 전압차, Vt는 트랜지스터의 문턱전압, Vds는 트랜지스터의 드레인 소스간 전압차, Cox는 옥사이드 커패시턴스(Oxide capacitance), μ 는 전하 이동도)

<146> 한편, 수학적식 2로 나타낸 트랜지스터의 일단으로 흐르는 전류(I)는 트랜지스터의 드레인과 소스간 전압차의 변화량에 대응하는 전류(I)의 변화량으로 나타내면 아래의 수학적식 3과 같이 나타낼 수 있다.

수학적식 3

<147>
$$\delta I = \mu \text{Cox}(W/L)[(V_{gs} - V_t)(\delta V_{ds}) - 1/2(\delta V_{ds}^2)]$$

<148> (여기에서, δ 는 변화량, a는 상수)

<149> 수학적식 3에서, $1/2(\delta V_{ds}^2)$ 는 매우 작은 값이므로 이를 무시하고, $\mu \text{Cox}(\delta V_{ds})$ 를 상수 a로 나타내면 전류(I)의 변화량 δI 는 아래의 수학적식 4와 같이 나타낼 수 있다.

수학적식 4

<150> $\delta I \approx \alpha (W/L)(V_{gs}-V_t)$

<151> 수학식 4를 이용하여, 네 개의 전압(V_a , V_b , V_c , V_d) 각각에 대응하여 트랜지스터(SW21, SW22, SW23, SW24) 각각의 일단으로 흐르는 전류(I_a , I_b , I_c , I_d)를 나타내면 아래의 수학식 5와 같다.

수학식 5

<152> $I_a = \alpha (W_{21}/L_{21})(V_a - V_{x1} - V_{t21}),$

<153> $I_b = \alpha (W_{22}/L_{22})(V_b - V_{x2} - V_{t22}),$

<154> $I_c = \alpha (W_{23}/L_{23})(V_c - V_{x3} - V_{t23}),$

<155> $I_d = \alpha (W_{24}/L_{24})(V_d - V_{x4} - V_{t24})$

<156> 또한, 피드백 신호(V_x)에 의해 구동되는 4 개의 트랜지스터(SW31, SW32, SW33, SW34) 각각의 일단으로 흐르는 전류(I_{xa} , I_{xb} , I_{xc} , I_{xd})를 수학식 4를 이용하여 나타내면 아래의 수학식 6과 같다.

수학식 6

<157> $I_{xa} = \alpha (W_{31}/L_{31})(V_x - V_{x1} - V_{t31}),$

<158> $I_{xb} = \alpha (W_{32}/L_{32})(V_x - V_{x2} - V_{t32}),$

<159> $I_{xc} = \alpha (W_{33}/L_{33})(V_x - V_{x3} - V_{t33}),$

<160> $I_{xd} = \alpha (W_{34}/L_{34})(V_x - V_{x4} - V_{t34})$

<161> 한편, 출력 전압 증폭기의 두 개의 입력단은 전류 미러(current mirror)의 구조로 형성되고, 이로 인해 트랜지스터(SW21, SW22, SW23, SW24) 각각의 일단으로 흐르는 전류의 합은 트랜지스터(SW31, SW32, SW33, SW34) 각각의 일단으로 흐르는 전류의 합과 같으며, 이를 수학식 7에 나타내었다.

수학식 7

<162> $I_a + I_b + I_c + I_d = I_{xa} + I_{xb} + I_{xc} + I_{xd}$

<163> 출력 전압 증폭기의 두 개의 입력단을 형성하는 트랜지스터(SW21, SW22, SW23, SW24) 및 트랜지스터(SW31, SW32, SW33, SW34) 각각의 채널의 폭(W), 채널의 길이(L) 및 문턱 전압(V_t)이 동일하게 형성된다고 가정하고, 이를 수학식으로 나타내면 아래의 수학식 8과 같다.

수학식 8

<164> $W_{21} = W_{22} = W_{23} = W_{24} = W_{31} = W_{32} = W_{33} = W_{34},$

<165> $L_{21} = L_{22} = L_{23} = L_{24} = L_{31} = L_{32} = L_{33} = L_{34},$

<166> $V_{t21} = V_{t22} = V_{t23} = V_{t24} = V_{t31} = V_{t32} = V_{t33} = V_{t34}$

<167> 수학식 8을 수학식 5 내지 7에 대입하면, 피드백 신호(V_x)와 디코더로부터 출력되는 복수의 전압(V_a , V_b , V_c , V_d) 간의 관계는 수학식 9와 같다.

수학식 9

<168> $V_x = (V_a + V_b + V_c + V_d)/4$

<169> 이때, Δ 는 상위 전압(V_H)에서 하위 전압(V_L)을 뺀 연산한 값과 같고, 이로 인해 ① 내지 ④의 네가지 경우에 대응하는 출력 전압(V_{out})은 위의 a) 내지 d)와 같이 나타난다.

<170> 이하, a) 내지 d) 각각의 경우에 대하여, 도 2로 나타난 종래 한국등록특허 10-0336683에 제시된 출력 증폭기와 도 13에 나타난 본 발명의 실시예에 따른 출력 증폭기의 출력 전압(V_{out})을 도 14를 참조하여 비교한다. 참고로, 도 2로 나타난 종래 한국등록특허 10-0336683에 제시된 출력 증폭기 및 도 13에 나타난 본 발명의 실시예에 따른 출력 증폭기는 모두 ① 내지 ④의 네가지 경우에 위의 a) 내지 d)와 같은 출력 전압(V_{out})을 출력하기 위한 것이다.

- <171> 도 14a는 종래 출력 증폭기의 출력 전압(Vout)을 도시한 파형도이고, 도 14b는 본 발명의 실시예에 따른 출력 증폭기의 출력 전압(Vout)을 도시한 파형도이다.
- <172> 도 14a 및 도 14b에 도시한 바와 같이, 본 발명의 실시예에 따른 출력 증폭기의 출력 전압(Vout)은 상위 전압(VH)과 하위 전압(VL)을 합성하여 생성하고자 하는 중간 전압들을 정확하게 생성할 수 있으나, 종래 한국등록특허 10-0336683에 제시된 출력 증폭기는 정확한 중간 전압의 생성이 이루어지지 않는데, 이는 다음과 같은 이유로 인한 것이다.
- <173> 먼저, 위 ① 내지 ④의 네가지 경우 각각에 대하여, 도 2로 나타낸 종래 한국등록특허 10-0336683에 제시된 출력 증폭기의 접점(Na)에 인가되는 전압이 각각 Vs1, Vs2, Vs3 및 Vs4와 같이 서로 다른 전압으로 변하게 된다. 이때, 트랜지스터(S1, S2, S3, S4) 각각의 일단으로 흐르는 전류(Ia, Ib, Ic, Id)는 다음의 e) 내지 h)와 같다.
- <174> e) $I_a = \alpha(W1/L1)(VH-Vs1-Vt)$, $I_b = I_c = I_d = \alpha(W1/L1)(VL-Vs1-Vt)$,
- <175> f) $I_a = I_b = \alpha(W1/L1)(VH-Vs2-Vt)$, $I_c = I_d = \alpha(W1/L1)(VL-Vs2-Vt)$,
- <176> g) $I_a = I_b = I_c = \alpha(W1/L1)(VH-Vs3-Vt)$, $I_d = \alpha(W1/L1)(VL-Vs3-Vt)$,
- <177> h) $I_a = I_b = I_c = I_d = \alpha(W1/L1)(VH-Vs4-Vt)$
- <178> 위의 e) 내지 h)로 나타낸 바와 같이, 도 2로 나타낸 종래 한국등록특허 10-0336683에 제시된 출력 증폭기는 동일한 전압이 입력되더라도 경우에 따라 전류(Ia, Ib, Ic, Id)의 양이 달라지게 된다. 이로 인해 도 14a로 나타낸 것과 같이, 출력 전압(Vout)이 상위 전압(VH)과 하위 전압(VL)을 합성하여 생성하고자 하는 정확한 중간 전압이 되지 못한다.
- <179> 한편, 본 발명의 실시예에 따른 출력 증폭기는, 종래 한국등록특허 10-0336683에 제시된 출력 증폭기와는 다르게, 트랜지스터(SW21, SW31), 트랜지스터(SW22, SW32), 트랜지스터(SW23, SW33) 및 트랜지스터(SW24, SW34)가 각각 전류원(I1, I2, I3, I4)에 별도로 연결되는 구조로 형성된다. 이로 인해, 트랜지스터(SW21, SW22, SW23, SW24) 중 상위 전압(VH)을 게이트로 입력받는 트랜지스터와 전류원(I1, I2, I3, I4) 및 트랜지스터(SW31, SW32, SW33, SW34) 간의 접점에 인가되는 전압은 항상 Vs1으로 일정하다. 마찬가지로, 트랜지스터(SW21, SW22, SW23, SW24) 중 하위 전압(VL)을 게이트로 입력받는 트랜지스터와 전류원(I1, I2, I3, I4) 및 트랜지스터(SW31, SW32, SW33, SW34) 간의 접점에 인가되는 전압은 항상 Vs2로 일정하다. 즉, 위 ① 내지 ④의 네가지 경우 각각에 대하여, 본 발명의 실시예에 따른 출력 증폭기의 트랜지스터(SW21, SW22, SW23, SW24) 각각의 일단으로 흐르는 전류(Ia, Ib, Ic, Id)는 다음의 i) 내지 l)과 같다. 이로 인해 도 14b로 나타낸 것과 같이, 본 발명의 실시예에 따른 출력 증폭기의 출력 전압(Vout)은 상위 전압(VH)과 하위 전압(VL)을 합성하여 생성하고자 하는 중간 전압들을 정확하게 생성하게 된다.
- <180> i) $I_a = \alpha(W1/L1)(VH-Vs1-Vt)$, $I_b = I_c = I_d = \alpha(W1/L1)(VL-Vs2-Vt)$,
- <181> j) $I_a = I_b = \alpha(W1/L1)(VH-Vs1-Vt)$, $I_c = I_d = \alpha(W1/L1)(VL-Vs2-Vt)$,
- <182> k) $I_a = I_b = I_c = \alpha(W1/L1)(VH-Vs1-Vt)$, $I_d = \alpha(W1/L1)(VL-Vs2-Vt)$,
- <183> l) $I_a = I_b = I_c = I_d = \alpha(W1/L1)(VH-Vs1-Vt)$
- <184> 한편, 디지털 영상 신호(DAT)가 "0000000100"일 때의 본 발명의 실시예에 따른 출력 증폭기의 출력 전압(Vout)은 다음과 같다. 디지털 영상 신호(DAT)가 "0000000100"이면, 제1 내지 제3 디코더(30322, 30324, 30326)로부터 각각 출력되는 전압(VD1 ~ VD3)은 각각 VP7, VP3 및 VP(-1)이 되고, 선택 전압 출력부(30328)로부터 출력되는 상위 전압(VH) 및 하위 전압(VL)은 각각 VP7 및 VP3이 된다. 이때, 출력 전압 생성부(3034)로부터 출력되는 네 개의 전압(Va, Vb, Vc, Vd) 중 Va는 VP7이 되고, Vb, Vc 및 Vd는 모두 VP3이 되므로, 위의 a)의 경우와 같고, 이로 인해 출력 전압(Vout)은 $VP3 + (\Delta/4) \cdot VP7$ 이 된다. 여기에서, 상위 전압(VH)과 하위 전압(VL) 간의 전압차인 Δ 는 $VP7 - VP3$ 이므로, $(\Delta/4)$ 는 $VP4 - VP3$ 과 같고, 출력 전압(Vout)은 VP4가 된다.
- <185> 아래의 표 2는 디지털 영상 신호(DAT)에 대응되는 출력 전압 증폭부(304)의 출력 전압(Vout)을 나타낸 것이다. 참고로, 표 2에서, Data<10:5>, Data<4>, Data<3> 및 Data<2:1>은 각각 10 비트의 디지털 영상 신호(DAT) 중 제10비트부터 제5비트까지의 비트값, 제4 비트의 비트값, 제3 비트의 비트값 및 제2 비트부터 제1 비트의 비트값을 나타낸다.

표 2

Data<10:S>					Data<4>	VD1	VD2	VD3	Data<3>	회위전압 (V _L)	상위전압 (V _H)	출력 전압(V _{out})					
												Data<1>=00	Data<1>=01	Data<1>=10	Data<1>=11		
0	0	0	0	0	0	VP7	VP3	VP(-1)	0	VP(-1)	VP3	VP0	VP1	VP2	VP3		
0	0	0	0	0	0	VP7	VP3	VP(-1)	1	VP3	VP7	VP4	VP5	VP6	VP7		
0	0	0	0	0	1	VP7	VP11	VP15	0	VP7	VP11	VP8	VP9	VP10	VP11		
0	0	0	0	0	1	VP7	VP11	VP15	1	VP11	VP15	VP12	VP13	VP14	VP15		
0	0	0	0	0	1	VP23	VP19	VP15	0	VP15	VP19	VP16	VP17	VP18	VP19		
0	0	0	0	0	1	VP23	VP19	VP15	1	VP19	VP23	VP20	VP21	VP22	VP23		
0	0	0	0	0	1	VP23	VP27	VP31	0	VP23	VP27	VP24	VP25	VP26	VP27		
0	0	0	0	0	1	VP23	VP27	VP31	1	VP27	VP31	VP28	VP29	VP30	VP31		
0	0	0	0	1	0	VP39	VP43	VP47	0	VP39	VP43	VP40	VP41	VP42	VP43		
0	0	0	0	1	0	VP39	VP43	VP47	1	VP43	VP47	VP44	VP45	VP46	VP47		
0	0	0	0	1	1	VP55	VP51	VP47	0	VP47	VP51	VP48	VP49	VP50	VP51		
0	0	0	0	1	1	VP55	VP51	VP47	1	VP51	VP55	VP52	VP53	VP54	VP55		
0	0	0	0	1	1	VP55	VP59	VP63	0	VP55	VP59	VP56	VP57	VP58	VP59		
0	0	0	0	1	1	VP55	VP59	VP63	1	VP59	VP63	VP60	VP61	VP62	VP63		
1	1	1	1	0	0	VP967	VP963	VP939	0	VP939	VP963	VP960	VP961	VP962	VP963		
1	1	1	1	0	0	VP967	VP963	VP939	1	VP963	VP967	VP964	VP965	VP966	VP967		
1	1	1	1	0	0	VP967	VP971	VP975	0	VP967	VP971	VP968	VP969	VP970	VP971		
1	1	1	1	0	0	VP967	VP971	VP975	1	VP971	VP975	VP972	VP973	VP974	VP975		
1	1	1	1	0	1	VP983	VP979	VP975	0	VP975	VP979	VP976	VP977	VP978	VP979		
1	1	1	1	0	1	VP983	VP979	VP975	1	VP979	VP983	VP980	VP981	VP982	VP983		
1	1	1	1	0	1	VP983	VP987	VP991	0	VP983	VP987	VP984	VP985	VP986	VP987		
1	1	1	1	0	1	VP983	VP987	VP991	1	VP987	VP991	VP988	VP989	VP990	VP991		
1	1	1	1	0	0	VP999	VP995	VP991	0	VP991	VP995	VP992	VP993	VP994	VP995		
1	1	1	1	0	0	VP999	VP995	VP991	1	VP995	VP999	VP996	VP997	VP998	VP999		
1	1	1	1	0	1	VP999	VP1003	VP1007	0	VP999	VP1003	VP1000	VP1001	VP1002	VP1003		
1	1	1	1	0	1	VP999	VP1003	VP1007	1	VP1003	VP1007	VP1004	VP1005	VP1006	VP1007		
1	1	1	1	1	0	VP1015	VP1011	VP1007	0	VP1007	VP1011	VP1008	VP1009	VP1010	VP1011		
1	1	1	1	1	0	VP1015	VP1011	VP1007	1	VP1011	VP1015	VP1012	VP1013	VP1014	VP1015		
1	1	1	1	1	1	VP1015	VP1019	VP1023	0	VP1015	VP1019	VP1016	VP1017	VP1018	VP1019		
1	1	1	1	1	1	VP1015	VP1019	VP1023	1	VP1019	VP1023	VP1020	VP1021	VP1022	VP1023		

표 2에 나타난 것과 같이, 제1 내지 제3 디코더(30322, 30324, 30326)로부터 각각 출력되는 전압(VD1 ~ VD3)은 10 비트의 디지털 영상 신호(DAT) 중 제4비트부터 제10비트까지의 비트값에 대응된다. 즉, 디지털 영상 신호(DAT)의 제4비트부터 제10비트까지의 비트값이 "0000000"이면, 전압(VD1 ~ VD3)은 각각 VP7, VP3 및 VP(-1)이 되고, 디지털 영상 신호(DAT)의 제4비트부터 제10비트까지의 비트값이 "1111111"이면, 전압(VD1 ~ VD3)은 각각 VP1015, VP1019 및 VP1023이 된다.

상술한 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303) 및 출력 전압 증폭부(304)에 포함되는 스위치의 개수는 다음과 같다.

제1 디코더(30322)에 포함되는 스위치의 개수는 $126(=2^7-2)$ 개이고, 제2 디코더(30324) 및 제3 디코더(30326)에 포함되는 스위치의 개수는 각각 $254(=2^8-2)$ 개이다. 그리고, 선택 전압 출력부(30328)에 포함되는 스위치의 개수는 10개이며, 출력 전압 생성부(3034)에 포함되는 스위치의 개수는 $7(=(2*2^2)-1)$ 개이다.

- <190> 즉, 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303) 및 출력 전압 증폭부(304)에 포함되는 스위치의 총 수는 $651 (= 126 + 254 + 254 + 10 + 7)$ 개로, 도 1로 나타난 일반적인 디코더에서 2046개의 스위치를 이용하여야만 하였던 것에 비해 현격하게 작은 개수의 스위치만을 포함한다. 이로 인해 액정 표시 장치의 구현 비용 및 구현 면적을 줄일 수 있다.
- <191> 기준 계조 전압 생성부(400)에서 생성하는 VP(-1)는 모두 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)를 이용하여 생성되는 전압들(VH, VL)을 합성하여 래치(302)로부터 입력되는 디지털 영상 신호(DAT)에 대응되는 모든 계조 전압을 생성하기 위한 것이다.
- <192> 즉, 표 2에서, 선택 전압 출력부(30328)로부터 출력되는 상위 전압(VH)과 하위 전압(VL) 간에는 그레이 레벨 4만큼의 전압차가 존재한다. 출력 전압 생성부(3034) 및 출력 전압 증폭부(304)는 상위 전압(VH)과 하위 전압(VL)을 이용하여 상위 전압(VH) 및 하위 전압(VL) 그 자체 또는 상위 전압(VH)과 하위 전압(VL) 사이의 전압을 계조 전압으로 생성하여 출력 버퍼(305)를 통해 데이터선에 인가한다. 예로서, 표 2에서, 디지털 영상 신호(DAT)가 "00000000XX"(여기에서, X는 "0" 또는 "1")인 경우, 상위 전압(VH) 및 하위 전압(VL)은 각각 VP3 및 VP(-1)이 되고, 데이터선에 인가되는 계조 전압은 디지털 영상 신호(DAT)의 하위 2 개 비트의 비트값에 따라 VP3와 VP(-1)을 합성한 결과인 VP0, VP1, VP2 및 VP3 중 어느 하나가 된다. 한편, 도 8 내지 도 10에 나타난 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)는 기준 계조 전압 생성부(400)로부터 2^{10} 개의 그레이 전압(VP0 ~ VP1023) 및 VP(-1)을 인가받아 구동되는 디코더를 나타낸 것이다. 만약, 기준 계조 전압 생성부(400)가 VP(-1) 대신 VP2^m을 생성하도록 설정되는 경우, 데이터선에 인가되는 계조 전압은 기준 계조 전압 생성부(400)가 VP(-1)를 생성하는 경우처럼 디지털 영상 신호(DAT)의 하위 2 개 비트의 비트값에 따라 VP4와 VP0를 합성한 결과인 VP0, VP1, VP2 및 VP3 중 어느 하나가 되어 결론적으로 동일하게 구동된다. 이를 위해 기준 계조 전압 생성부(400)로부터 제1 내지 제3 디코더(30322, 30324, 30326)로 각각 입력되는 그레이 전압이 달라져야 하는데, 이를 도 15 내지 도 17을 참조하여 설명한다.
- <193> 도 15 내지 도 17에서, VP0, VP4, VP8, ..., VP1008, VP1012, VP1016 및 VP1020 각각은 기준 계조 전압 생성부(400)로부터 입력되는 기준 계조 전압(Vcom ~ VDD) 중 전압(Vgma)로부터 전압(VDD)를 $2^{10} + 1$ 개의 저항(R1 ~ R1024)으로 분압하여 생성되는 2^{10} 개의 그레이 전압(VP0 ~ VP1023) 중 하나를 나타낸다. 여기에서, 전압(Vgma)은 도 8 내지 도 10에 나타난 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)에서와 마찬가지로, 공통 전압(Vcom)보다 소정 레벨 높은 전압이다. 한편, 도 15 내지 도 17에서, 본 발명의 제2 실시예에 따른 제1 내지 제3 디코더(30322', 30324', 30326')에 포함되는 스위치들(D4N, D4P, D5N, D5P, D6N, D6P, ..., D10N, D10P)은 모두 동일한 타입의 스위치, 즉 P 타입 전계 효과 트랜지스터로 형성된다. 한편, 스위치들(D4N, D4P, D5N, D5P, D6N, D6P, ..., D10N, D10P)은 모두 N 타입 전계 효과 트랜지스터로 형성될 수도 있으며, 이때에는 각 스위치들(D4N, D4P, D5N, D5P, D6N, D6P, ..., D10N, D10P)로 입력되는 신호는 모두 반전되어야 함은 물론이다. 또한, 도 15 내지 도 17에서, D10N 및 D10P는 각각 10 비트의 디지털 영상 신호(DAT) 중 최상위 비트인 제10 비트의 비트값 및 제10 비트의 비트값의 반전 신호에 의해 온/오프 구동되는 스위치를 나타낸다. 마찬가지로, D6N, D5N 및 D4N은 각각 10 비트의 디지털 영상 신호(DAT) 중 제6 비트, 제5 비트 및 제4 비트의 비트값에 의해 온/오프 구동되는 스위치를 나타내고, D6P, D5P 및 D4P는 각각 10 비트의 디지털 영상 신호(DAT) 중 제6 비트, 제5 비트 및 제4 비트의 비트값의 반전 신호에 의해 온/오프 구동되는 스위치를 나타낸다.
- <194> 도 15는 본 발명의 제2 실시예에 따른 제1 디코더(30322')를 도시한 도면이고, 도 16는 본 발명의 제2 실시예에 따른 제2 디코더(30324')를 도시한 도면이다.
- <195> 도 15에 도시한 바와 같이, 본 발명의 실시예에 따른 제1 디코더(30322')는 제5 비트로부터 제10 비트까지의 6개의 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 VP8 내지 VP1016 중 하나의 그레이 전압을 선택하여 전압(VD1')으로 출력한다. 여기에서, 제1 디코더(30322')는 VP8부터 그레이 레벨의 차이가 16만큼씩인 그레이 전압, 즉 VP8, VP24, VP40, VP56, ..., VP968, VP984, VP1000 및 VP1016의 $64(2^6)$ 개의 그레이 전압을 입력받는다. 이로 인해, 제1 디코더(30322')에 포함되는 스위치의 개수는 $2^7 - 2 (= 2^6 + 2^5 + 2^4 + 2^3 + 2^2 + 2^1)$ 개가 되고, 이는 도 8로 나타난 본 발명의 제1 실시예에 따른 제1 디코더(30322)에 포함되는 스위치의 개수와 동일하다.
- <196> 도 16에 도시한 바와 같이, 본 발명의 실시예에 따른 제2 디코더(30324)는 제4 비트로부터 제10 비트까지의 7개의 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 VP4 내지 VP1020 중 하나의 그레이 전압을 선택하

여 전압(VD2')으로 출력한다. 여기에서, 제2 디코더(30324)는 VP4로부터 그레이 레벨의 차이가 8 만큼씩인 그레이 전압, 즉 VP4, VP12, VP20, VP28, ..., VP996, VP1004, VP1012 및 VP1020의 $128(2^7)$ 개의 그레이 전압을 입력받는다. 이로 인해, 제2 디코더(30324)에 포함되는 스위치의 개수는 $2^8-2(=2^7+2^6+2^5+2^4+2^3+2^2+2^1)$ 개가 되고, 이는 도 9로 나타낸 본 발명의 제1 실시예에 따른 제2 디코더(30324)에 포함되는 스위치의 개수와 동일하다.

<197> 도 17은 본 발명의 제2 실시예에 따른 제3 디코더(30326')를 도시한 도면이다.

<198> 도 17에서, VP1024는 기준 계조 전압 생성부(400)로부터 입력되는 전압으로서, VDD 보다 다소 낮은 전압이며, 아래의 수학적 식 10과 같이 정의된다.

수학적 식 10

<199> $VP1021 = VP1020 + (VP1024 - VP1020) \cdot (1/4)$

<200> 즉, VP1024는 VP1023보다 VP1023-VP1022만큼 높은 전압이다.

<201> 참고로, 수학적 식 1 및 수학적 식 10을 통해 정의한 VP(-1) 및 VP1024는 $2^{10}+1$ 개의 저항(R1 ~ R1024)으로 분압하여 생성 가능한 2^{10} 개의 그레이 전압(VP0 ~ VP1023)에 포함되지 않는 전압이다. 특히, VP1024는 앞서 언급한, 기준 계조 전압 생성부(400)에서 생성되는 $VP2^m$ 에 $m=10$ 을 대입한 것이다.

<202> 도 17에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 제3 디코더(30326')는 제4 비트로부터 제10 비트까지의 7 개의 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 VP0 내지 VP1024 중 하나의 그레이 전압을 선택하여 전압(VD3')으로 출력한다. 여기에서, 제3 디코더(30326')는 VP0부터 그레이 레벨의 차이가 16 만큼씩인 그레이 전압, 즉, VP0, VP16, VP32, ..., VP992 및 VP1008과 VP1024의 $128(2^7)$ 개의 그레이 전압을 입력받는데, 입력되는 그레이 전압 중 최저 전압인 VP0와 최고 전압인 VP1024를 제외한 다른 전압들을 각각 두 개의 스위치를 통해 입력받는 형태로 형성된다. 이로 인해, 본 발명의 제2 실시예에 따른 제3 디코더(30326')에 포함되는 스위치의 개수는 도 10에 나타낸 본 발명의 제1 실시예에 따른 제3 디코더(30326)와 동일하게 $2^8-2(=2^7+2^6+2^5+2^4+2^3+2^2+2^1)$ 개가 된다.

<203> 여기에서, 본 발명의 제2 실시예에 따른 제1 내지 제3 디코더(30322', 30324', 30326')로 각각 입력되는 최저 전압들 간의 관계는 다음과 같다. 즉, 제1 디코더(30322')로 입력되는 최저 전압(VP8)은 제2 디코더(30324')로 입력되는 최저 전압(VP4)보다 그레이 레벨이 4 만큼 높은 전압이고, 제3 디코더(30326')로 입력되는 최저 전압(VP0)은 제2 디코더(30324')로 입력되는 최저 전압(VP4)보다 그레이 레벨이 4 만큼 낮은 전압이 되도록 설정된다. 또한, 디지털 영상 신호(DAT)의 제4 비트로부터 제10 비트까지의 7 개의 비트의 비트값에 각각에 대응하여 본 발명의 제2 실시예에 따른 제1 내지 제3 디코더(30322', 30324', 30326')로부터 출력되는 전압들(VD1' ~ VD3')은 상호간에 항상 그레이 레벨 4 만큼의 전압차를 갖는다.

<204> 한편, 도 12에 나타낸 본 발명의 제1 실시예에 따른 출력 전압 생성부(3034)는 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)를 포함하는 상위 및 하위 전압 생성부(3032)로부터 출력되는 상위 및 하위 전압(VH, VL)에 적합하도록 설정된 것이다. 도 15 내지 도 17에 나타낸 본 발명의 제2 실시예에 따른 제1 내지 제3 디코더(30322', 30324', 30326')를 이용하는 경우, 출력 전압 생성부(3034)의 구조 또한 변경되어야 하며, 이를 도 18을 참조하여 설명한다.

<205> 도 18은 본 발명의 제2 실시예에 따른 출력 전압 생성부(3034')를 도시한 도면이다.

<206> 도 18에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 출력 전압 생성부(3034')는 복수의 스위치(SW11'~SW17')를 포함하고, 선택 전압 출력부(30328)로부터 입력되는 상위 전압과 하위 전압을 이용하여 생성되는 네 개의 전압(Va, Vb, Vc, Vd)를 출력 전압 증폭부(304)로 출력한다.

<207> 복수의 스위치(SW12'~SW17')는 래치(302)로부터 입력되는 10 비트의 디지털 영상 신호(DAT) 중 상위 및 하위 전압 생성부(3032)에서 이용되는 상위 8 비트를 제외한 2 개의 비트, 즉 제1 비트 및 제2 비트의 비트값에 따라 온/오프 구동된다. 그리고, 스위치(SW11')는 항상 온 상태를 유지한다.

<208> 구체적으로, 스위치(SW11') 일단으로 입력되는 하위 전압(VL)을 제1 전압 출력단으로 전달한다. 스위치(SW1

2')는 제1 및 제2 비트의 비트값이 "00", "01" 및 "10"일 때에 온 되어 일단으로 입력되는 하위 전압(VL)을 제2 전압 출력단으로 전달한다. 스위치(SW13')는 제1 및 제2 비트의 비트값이 "11"일 때에 온 되어 일단으로 입력되는 상위 전압(VH)을 제2 전압 출력단으로 전달한다. 스위치(SW14')는 제1 및 제2 비트의 비트값이 "00" 및 "01"일 때에 온 되어 일단으로 입력되는 하위 전압(VL)을 제3 전압 출력단으로 전달한다. 스위치(SW15')는 제1 및 제2 비트의 비트값이 "10" 및 "11"일 때에 온 되어 일단으로 입력되는 상위 전압(VH)을 제3 전압 출력단으로 전달한다. 스위치(SW16')는 제1 및 제2 비트의 비트값이 "00"일 때에 온 되어 일단으로 입력되는 하위 전압(VL)을 제4 전압 출력단으로 전달한다. 스위치(SW17')는 제1 및 제2 비트의 비트값이 "01", "10" 및 "11"일 때에 온 되어 일단으로 입력되는 상위 전압(VH)을 제4 전압 출력단으로 전달한다.

- <209> 도 18에서, 본 발명의 제2 실시예에 따른 출력 전압 생성부(3034')가 생성하는 네 개의 전압(Va, Vb, Vc, Vd)은 아래의 ⑤ 내지 ⑧의 네가지 경우 중 하나로 결정된다.
- <210> ⑤ 제1 및 제2 비트의 비트값이 모두 "0"일 때,
- <211> $V_a = V_b = V_c = V_d =$ 하위 전압(VL)
- <212> ⑥ 제1 비트가 "1"이고, 제2 비트가 "0"일 때,
- <213> $V_a = V_b = V_c =$ 하위 전압(VL), $V_d =$ 상위 전압(VH)
- <214> ⑦ 제1 비트가 "0"이고, 제2 비트가 "1"일 때,
- <215> $V_a = V_b =$ 하위 전압(VL), $V_c = V_d =$ 상위 전압(VH)
- <216> ⑧ 제1 및 제2 비트의 비트값이 모두 "1"일 때,
- <217> $V_a =$ 하위 전압(VL), $V_b = V_c = V_d =$ 상위 전압(VH)
- <218> 이때, ⑤ 내지 ⑧의 네가지 경우 각각에 대하여 도 13에 나타난 본 발명의 실시예에 따른 출력 전압 증폭부(304)의 출력 전압(Vout)은 다음의 m) 내지 p)와 같이 상위 전압(VH)과 하위 전압(VL)을 합성한 값이 된다.
- <219> m) If, $V_a = V_b = V_c = V_d =$ 하위 전압(VL),
- <220> Then, 출력 전압(Vout) = 하위 전압(VL)
- <221> n) If, $V_a = V_b = V_c =$ 하위 전압(VL), $V_d =$ 상위 전압(VH),
- <222> Then, 출력 전압(Vout) = 하위 전압(VL) + ($\Delta/4$) * 상위 전압(VH)
- <223> o) If, $V_a = V_b =$ 하위 전압(VL), $V_c = V_d =$ 상위 전압(VH),
- <224> Then, 출력 전압(Vout) = 하위 전압(VL) + ($2\Delta/4$) * 상위 전압(VH)
- <225> p) If, $V_a =$ 하위 전압(VL), $V_b = V_c = V_d =$ 상위 전압(VH),
- <226> Then, 출력 전압(Vout) = 하위 전압(VL) + ($3\Delta/4$) * 상위 전압(VH)
- <227> 예로서, 디지털 영상 신호(DAT)가 "0000000001"이면, 제1 내지 제3 디코더(30322, 30324, 30326')로부터 각각 출력되는 전압(VD1' ~ VD3')은 각각 VP8, VP4 및 VP0가 되고, 선택 전압 출력부(30328)로부터 출력되는 상위 전압(VH) 및 하위 전압(VL)은 각각 VP4 및 VP0가 된다. 이때, 출력 전압 생성부(3034)로부터 출력되는 네 개의 전압(Va, Vb, Vc, Vd) 중 Va, Vb 및 Vc는 모두 VP0가 되고, Vd는 VP4가 되므로, 위의 f)의 경우와 같고, 이로 인해 출력 전압(Vout)은 $VP0 + (\Delta/4) * VP4$ 가 된다. 여기에서, 상위 전압(VH)과 하위 전압(VL) 간의 전압차인 Δ 는 $VP4 - VP0$ 이므로, ($\Delta/4$)는 $VP1 - VP0$ 과 같고, 출력 전압(Vout)은 VP1이 된다.
- <228> 아래의 표 3은 본 발명의 제2 실시예에 따른 제3 디코더(30326') 및 본 발명의 제2 실시예에 따른 출력 전압 생성부(3034')를 포함하는 상위 및 하위 전압 생성부(3032)를 이용함에 따라 디지털 영상 신호(DAT)에 대응되는 출력 전압 증폭부(304)의 출력 전압(Vout)을 나타낸 것이다. 참고로, 표 3에서, Data<10:5>, Data<4>, Data<3> 및 Data<2:1>은 각각 10 비트의 디지털 영상 신호(DAT) 중 제10비트부터 제5비트까지의 비트값, 제4 비트의 비트값, 제3 비트의 비트값 및 제2 비트부터 제1 비트의 비트값을 나타낸다.

표 3

Data<10>S>				Data<4>	VD1'	VD2'	VD3'	Data<3>	출력 전압(Vout)															
									회전전압 (V _L)	상위전압 (V _H)		Data<2:1>=00		Data<2:1>=01		Data<2:1>=10		Data<2:1>=11						
0	0	0	0	0	0	VP8	VP4	VP0	VP0	V4	V1	V2	V3	V0										
0	0	0	0	0	0				VP4	V8	V5	V6	V7	V4										
0	0	0	0	0	0	VP8	VP12	VP16	VP8	V12	V9	V10	V11	V8										
0	0	0	0	0	0				VP12	V16	V13	V14	V15	V12										
0	0	0	0	0	1	VP24	VP20	VP16	VP16	V20	V17	V18	V19	V16										
0	0	0	0	0	1				VP20	V24	V21	V22	V23	V20										
0	0	0	0	0	1	VP24	VP28	VP32	VP24	V28	V25	V26	V27	V24										
0	0	0	0	0	1				VP28	V32	V29	V30	V31	V28										
0	0	0	0	0	1	VP40	VP36	VP32	VP32	V36	V33	V34	V35	V32										
0	0	0	0	0	1				VP36	V40	V37	V38	V39	V36										
0	0	0	0	0	1	VP40	VP44	VP48	VP40	V44	V41	V42	V43	V40										
0	0	0	0	0	1				VP44	V48	V45	V46	V47	V44										
0	0	0	0	0	1	VP56	VP52	VP48	VP48	V52	V49	V50	V51	V48										
0	0	0	0	0	1				VP52	V56	V53	V54	V55	V52										
0	0	0	0	0	1	VP56	VP60	VP64	VP56	V60	V57	V58	V59	V56										
0	0	0	0	0	1				VP60	V64	V61	V62	V63	V60										
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			
0	0	0	0	0	1																			

6')에 포함되는 스위치의 개수는 각각 $254(=2^8-2)$ 개이다. 그리고, 선택 전압 출력부(30328)에 포함되는 스위치의 개수는 10개이며, 출력 전압 생성부(3034')에 포함되는 스위치의 개수는 $7(=(2*2^2)-1)$ 개이다.

<233> 즉, 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303) 및 출력 전압 증폭부(304)에 포함되는 스위치의 총 수는 $651(=126+254+254+10+7)$ 개로, 도 1로 나타난 일반적인 디코더에서 2046개의 스위치를 이용하여야만 하였던 것에 비해 현격하게 작은 개수의 스위치만을 포함한다. 이로 인해 액정 표시 장치의 구현 비용 및 구현 면적을 줄일 수 있다.

<234> 기준 계조 전압 생성부(400)에서 생성하는 $VP(-1)$ 및 $VP2^m$ 은 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)를 이용하여 생성되는 전압들(VH, VL)을 합성하여 래치(302)로부터 입력되는 디지털 영상 신호(DAT)에 대응되는 모든 계조 전압을 생성하기 위한 것이다.

<235> 한편, 본 발명의 제1 및 제2 실시예에 따른 제1 내지 제3 디코더가 네가티브 디코더로 구현되면, 제1 내지 제3 디코더는 포지티브 디코더로 구현되는 경우와 유사하되, 공통 전압($Vcom$)을 기준으로 음의 전압을 출력하도록 형성된다. 만약, 기준 계조 전압 생성부(400)가 음의 값($VSS \sim Vcom$)의 기준 계조 전압($VSS \sim Vgma$) 및 $VN(-1)$ 을 제3 디코더로 공급하면, 제1 내지 제3 디코더는 도 8 내지 도 10으로 나타난 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더와 유사한 구조로 형성된다. 그리고, 기준 계조 전압 생성부(400)가 음의 값($VSS \sim Vcom$)의 기준 계조 전압($VSS \sim Vgma$) 및 $VN2^m$ 을 제3 디코더로 공급하면, 제1 내지 제3 디코더는 도 14 내지 도 16으로 나타난 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더와 유사한 구조로 형성된다. 이때, 전압($Vgma$)는 공통 전압($Vcom$)보다 소정 레벨 낮은 전압이다.

<236> 상술한 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303) 및 출력 전압 증폭부(304)는 래치(302)로부터 입력되는 디지털 영상 신호(DAT)의 비트 수(m) 및 전압(Vo)을 생성하기 위해 출력 전압 생성부(3034)에서 이용되는 하위 비트의 비트 수(k)를 각각 10 및 2로 특정하여 예시적으로 나타난 것이다. 그러나, m 및 k 의 비트 수는 다르게 설정될 수 있음은 물론이며, 이하에서는 m 및 k 의 비트 수를 특정하지 않고, 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303) 및 출력 전압 증폭부(304)를 일반화하여 설명한다.

<237> 먼저, 제1 디코더(30322, 30322')는 $m-k-3$ 비트로부터 m 비트까지의 $m-k-2$ 개의 비트를 입력받아, 입력되는 비트 각각의 비트값에 따라 2^{m-k-2} 개의 그레이 전압 중 하나를 선택하여 전압($VD1, VD1'$)으로 출력한다. 이때, 제1 디코더(30322, 30322')에 포함되는 스위치의 개수는 $2^{m-k-1} - 2(= 2^{m-k-2} + \dots + 2^2 + 2^1)$ 개가 된다.

<238> 제2 디코더(30324, 30324')는 $m-k-2$ 비트로부터 m 비트까지의 $m-k-1$ 개의 비트를 입력받아, 입력되는 비트 각각의 비트값에 따라 2^{m-k-1} 개의 그레이 전압 중 하나를 선택하여 전압($VD2, VD2'$)으로 출력한다. 이때, 제2 디코더(30324, 30324')에 포함되는 스위치의 개수는 $2^{m-k} - 2(= 2^{m-k-1} + \dots + 2^2 + 2^1)$ 개가 된다.

<239> 제3 디코더(30326, 30326')는 $m-k-2$ 비트로부터 m 비트까지의 $m-k-1$ 개의 비트를 입력받고, 입력되는 비트 각각의 비트값에 따라 2^{m-k-1} 개의 그레이 전압 중 하나를 선택하여 전압($VD3, VD3'$)으로 출력한다. 이때, 제3 디코더(30326, 30326')에 포함되는 스위치의 개수는 $2^{m-k} - 2(= 2^{m-k-1} + \dots + 2^2 + 2^1)$ 개가 된다.

<240> 한편, 제3 디코더(30326, 30326')로 입력되는 2^{m-k-1} 개의 그레이 전압 중 하나는 $VP(-1), VN(-1), VP2^m$ 및 $VN2^m$ 중 하나이며, $VP(-1)$ 또는 $VP2^m$ 은 포지티브 디코더에 공급되며, $VN(-1)$ 또는 $VN2^m$ 은 네가티브 디코더에 공급되는 것은 앞서 언급한 바와 같다. 또한, 제1 내지 제3 디코더로 입력되는 최소 그레이 전압은 기준 계조 전압 생성부(400)에서 전압($VP(-1), VN(-1), VP2^m, VN2^m$) 중 어느 것을 생성하는지에 따라 달라지는데, 이 또한 앞서 설명한 바와 같으므로 부연하여 설명하지 않는다.

<241> 여기에서, $VP2^m$ 및 $VN2^m$ 을 일반화하여 나타내면 아래의 수학적 식 11 및 12와 같다.

수학적 식 11

<242> $VP(2^m-3) = VP(2^m-4) + (VP2^m - VP(2^m-4)) * (1/4)$

수학식 12

- <243> $VN(2^m-3) = VN(2^m-4) + (VN(2^m) + VN(2^m-4)) * (1/4)$
- <244> 한편, 제1 디코더로 입력되는 2^{m-k-2} 개의 그레이 전압은 2^{k+2} 만큼의 그레이 레벨의 차이를 가지며, 제2 디코더로 입력되는 2^{m-k-1} 개의 그레이 전압은 2^{k+1} 만큼씩의 그레이 레벨의 차이를 가진다. 그리고, 제2 디코더로 입력되는 2^{m-k-1} 개의 그레이 전압은 2^{k+2} 만큼씩의 그레이 레벨의 차이를 가진다.
- <245> 또한, 제1 내지 제3 디코더로부터 출력되는 그레이 전압을 일반화시켜 나타내면 다음과 같다.
- <246> 제1 디코더(30324, 30324')로부터 출력되는 그레이 전압은 $V(2^{(k+2)} * X + C2)$ 이 되고, 제2 디코더(30324, 30324')로부터 출력되는 그레이 전압은 $V(2^{(k+1)} * Y + C1)$ 이 된다. 여기에서, X는 래치(302)로부터 입력되는 m 비트의 디지털 영상 신호(DAT) 중 제 m-k-3 비트로부터 제 m 비트까지의 m-k-2 개의 비트의 비트값을 10진수로 변환한 값이며, Y는 래치(302)로부터 입력되는 m 비트의 디지털 영상 신호(DAT) 중 제 m-k-2 비트로부터 제 m 비트까지의 m-k-1 개의 비트의 비트값을 10진수로 변환한 값이다.
- <247> 한편, 제3 디코더(30326, 30326')로부터 출력되는 그레이 전압은 제 m-k-1 비트의 비트값에 따라 달라진다. 즉, 제 m-k-1 비트의 비트값이 "0"이면, 제3 디코더(30326)로부터 출력되는 그레이 전압은 $V(2^{(k+2)} * X + C3)$ 이 되고, 제 m-k-1 비트의 비트값이 "1"이면, 제3 디코더(30326)로부터 출력되는 그레이 전압은 $V(2^{(k+2)} * X + C4)$ 가 된다. 이때, C1, C2, C3 및 C4 간의 관계를 아래의 수학식 13으로 나타내었다.

수학식 13

- <248> $|C2-C1| = 2^k,$
- <249> $|C3-C1| = 2^k,$
- <250> $|C3-C4| = 2^{(k+2)},$
- <251> $|C2-C3| = 2^{(k+1)}, \text{ if } C3 < C4$
- <252> $|C2-C4| = 2^{(k+1)}, \text{ if } C3 > C4$
- <253> 한편, 도 11로 나타낸 본 발명의 실시예에 따른 선택 전압 출력부(30328)는 예시적인 것으로 이와 동일한 동작을 하는 다른 형태의 회로로 대체되어도 무방하다. 여기에서, 동일한 동작이라 함은 제 m-k-2 비트의 비트값에 따라 제1 내지 제3 디코더로부터 입력되는 전압(VD1 ~ VD3)을 아래와 같이 선택하여 출력하는 것이다. 즉, 제 m-k-2 비트의 비트값이 "0"이면, 전압(VD1 ~ VD3) 중 전압 레벨이 낮은 두 개의 전압을 선택하여 출력하고, 제 m-k-2 비트의 비트값이 "1"이면, 전압(VD1 ~ VD3) 중 전압 레벨이 높은 두 개의 전압을 선택하여 출력한다.
- <254> 또한, 출력 전압 생성부(3034, 3034')도 예시적인 것으로 전압(Vo)의 개수는 네 개의 전압(Va, Vb, Vc, Vd)보다 커지도록 형성될 수 있음은 물론이다. 즉, m비트 중 하위 k 비트의 비트값에 따라 2^k 개의 전압을 출력하는 형태로 형성될 수 있는 데, 이를 일반화하면, 아래의 두가지 경우(q, r) 중 하나가 된다.
- <255> q. 하위 k 비트의 비트값을 10진수로 변환한 값(s)에 대응하여,
- <256> If, s = "0", 2^k 개의 하위 전압 출력.
- <257> If, s = "1", 1 개의 상위 전압 및 2^{k-1} 개의 하위 전압 출력.
- <258> If, s = "2", 2 개의 상위 전압 및 2^{k-2} 개의 하위 전압 출력.
- <259> If, s = " 2^k-2 ", 2^{k-2} 개의 상위 전압 및 2 개의 하위 전압 출력.
- <260> If, s = " 2^k-1 ", 2^{k-1} 개의 상위 전압(VH) 및 1 개의 하위 전압(VL) 출력.

- <261> r. 하위 k 비트의 비트값을 10진수로 변환한 값(s)에 대응하여,
- <262> If, s = "0", 1 개의 상위 전압 및 2^{k-1} 개의 하위 전압 출력.
- <263> If, s = "1", 2 개의 상위 전압 및 2^{k-2} 개의 하위 전압 출력.
- <264> If, s = " 2^k-3 ", 2^{k-2} 개의 상위 전압 및 2^{k-3} 개의 하위 전압 출력.
- <265> If, s = " 2^k-2 ", 2^{k-1} 개의 상위 전압(VH) 및 1 개의 하위 전압(VL) 출력.
- <266> If, s = " 2^k-1 ", 2^k 개의 상위 전압 출력.
- <267> 이때, 출력 전압 생성부에 포함되는 스위치의 개수는 $(2 \cdot 2^k)-1$ 가 된다. 그리고, 본 발명의 실시예에 따른 출력 전압 증폭부(304)의 두 개의 입력단을 형성하는 트랜지스터의 개수는 출력 전압 생성부의 출력 전압 개수에 대응되도록 형성되어야 한다. 즉, 출력 전압 생성부의 출력 전압이 2^k 개이면, 출력 증폭기의 입력단의 일측 및 타측의 스위치도 각각 2^k 개로 형성되어야 한다.
- <268> 된다.
- <269> q. 하위 k 비트의 비트값을 10진수로 변환한 값(s)에 대응하여,
- <270> If, s = "0", 2^k 개의 하위 전압 출력.
- <271> If, s = "1", 1 개의 상위 전압 및 2^{k-1} 개의 하위 전압 출력.
- <272> If, s = "2", 2 개의 상위 전압 및 2^{k-2} 개의 하위 전압 출력.
- <273> If, s = " 2^k-2 ", 2^{k-2} 개의 상위 전압 및 2 개의 하위 전압 출력.
- <274> If, s = " 2^k-1 ", 2^{k-1} 개의 상위 전압(VH) 및 1 개의 하위 전압(VL) 출력.
- <275> r. 하위 k 비트의 비트값을 10진수로 변환한 값(s)에 대응하여,
- <276> If, s = "0", 1 개의 상위 전압 및 2^{k-1} 개의 하위 전압 출력.
- <277> If, s = "1", 2 개의 상위 전압 및 2^{k-2} 개의 하위 전압 출력.
- <278> If, s = " 2^k-3 ", 2^{k-2} 개의 상위 전압 및 2^{k-3} 개의 하위 전압 출력.
- <279> If, s = " 2^k-2 ", 2^{k-1} 개의 상위 전압(VH) 및 1 개의 하위 전압(VL) 출력.
- <280> If, s = " 2^k-1 ", 2^k 개의 상위 전압 출력.
- <281> 이때, 출력 전압 생성부에 포함되는 스위치의 개수는 $(2 \cdot 2^k)-1$ 가 된다. 그리고, 본 발명의 실시예에 따른 출력 전압 증폭부(304)의 두 개의 입력단을 형성하는 트랜지스터의 개수는 출력 전압 생성부의 출력 전압 개수에 대응되도록 형성되어야 한다. 즉, 출력 전압 생성부의 출력 전압이 2^k 개이면, 출력 증폭기의 입력단의 일측 및 타측의 스위치도 각각 2^k 개로 형성되어야 한다.
- <282> 상술한 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)로부터 출력되는 전압들(VD1 ~ VD3) 상호간의 전압차가 4 그레이 레벨이 되도록 설정하고, 출력 전압 증폭부(304)를 통해 전압들(VD1 ~ VD3) 중 두 개의 전압을 합성하여 중간 전압을 생성한다. 이는 상술한 본 발명의 제2 실시예에 따른 제1 내지 제3 디코더(30322', 30324', 30326')를 이용하는 경우에도 마찬가지이다. 이로 인해, 본 발명의 실시예에 따른 데이터 구동부(300)는 디지털 영상 신호(DAT)에 대응하는 모든 그레이 레벨을 출력할 수 있음은 상술한 바와 같다.
- <283> 한편, 저항(R1 ~ R1024) 각각의 저항값은 모두 동일하지 않으며, 특히 저항(R1 ~ R1024) 중 전압(Vgma) 및 전압

(VDD)을 공급하는 전원에 가깝게 형성되는 저항들은 저항(R1 ~ R1024)에 포함되는 다른 저항들과 비교할 때 저항값의 편차가 크다. 이는 액정 표시 장치 패널(100)의 특징에 따른 것으로, 전압(Vgma)에 근접한 전압(VP0, VP1, VP2, ...) 간 전압 편차 및 전압(VDD)에 근접한 전압(VP1023, VP1022, VP1021, ...) 간 전압 편차가 전압(VP0 ~ VP1023)에 포함되는 다른 전압들 간의 전압 편차에 비해 크게 설정되기 때문이다.

<284> 이러한 전압 간 편차로 인해, 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)를 이용하여 생성되는 4 그레이 레벨의 전압차를 가지는 두 개의 전압(VL, VH)을 출력 전압 증폭부(304)를 통해 합성하여 출력되는 중간 전압과 실제 출력하고자 하는 전압 간에 큰 전압 오차가 발생할 수 있다. 이러한 전압 오차 발생 요인을 제거하기 위한 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')를 도 19를 참조하여 설명한다.

<285> 이하에서는, 래치(302)로부터 입력되는 디지털 영상 신호(DAT)를 10 비트, 디지털 영상 신호(DAT) 중 전압(Vo)을 생성하기 위해 출력 전압 생성부(3034)에서 이용되는 하위 비트의 수를 2비트로 가정하고 설명한다.

<286> 도 19는 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')를 도시한 도면이다.

<287> 도 19에 도시한 바와 같이, 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')는 상위 및 하위 전압 생성부(3032'), 출력 전압 생성부(3034) 및 제4 디코더(3036)를 포함한다. 참고로, 출력 전압 생성부(3034)는 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)에 포함되는 출력 전압 생성부(3034)와 동일하게 형성되므로, 동일한 도면 부호로 나타내었으며 부연 설명은 생략한다.

<288> 먼저, 제4 디코더(3036)는 래치(302)로부터 출력되는 디지털 영상 신호(DAT)를 입력받아, 입력되는 비트 각각의 비트값에 따라 VP0부터 $VP(2^n - 1)$ 까지, 그레이 레벨의 차이가 1만큼씩인 2^n 개의 그레이 전압을 입력받는다. 여기서, n은 2 이상의 자연수로서, 디지털 영상 신호(DAT)의 비트 수보다는 작은 자연수로 설정되어야 함은 물론이다.

<289> 또한, 제4 디코더(3036)는 디지털 영상 신호(DAT)에 포함되는 전체 비트, 즉 10 비트 중 n의 크기에 대응하는 개수의 비트의 비트값에 따라 온/오프 구동되는 스위치를 포함하도록 형성된다.

<290> 이하, n을 "3"으로 가정하고, 이때의 제4 디코더(3036)를 도 20을 참조하여 설명한다.

<291> 도 20에서, VP0 내지 VP7 각각은 기준 계조 전압 생성부(400)로부터 입력되는 기준 계조 전압(Vcom ~ VDD) 중 전압(Vgma)로부터 전압(VDD)를 $2^{10} + 1$ 개의 저항(R1 ~ R1024)으로 분압하여 생성되는 2^{10} 개의 그레이 전압(VP0 ~ VP1023) 중 하나를 나타낸다. 여기서, 전압(Vgma)은 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)에 포함되는 제1 내지 제3 디코더에서와 마찬가지로, 공통 전압(Vcom)보다 소정 레벨 높은 전압이다. 한편, 도 20에서, 제4 디코더(3036)에 포함되는 스위치들(D1N, D1P, D2N, D2P, D3N, D3P)은 모두 동일한 타입의 스위치, 즉 P 타입 전계 효과 트랜지스터로 형성된다. 한편, 스위치들(D1N, D1P, D2N, D2P, D3N, D3P)은 모두 N 타입 전계 효과 트랜지스터로 형성될 수도 있으며, 이때에는 각 스위치들(D1N, D1P, D2N, D2P, D3N, D3P)로 입력되는 신호는 모두 반전되어야 함은 물론이다. 또한, 도 20에서, D1N 및 D1P는 각각 10 비트의 디지털 영상 신호(DAT) 중 최하위 비트인 제1 비트의 비트값 및 제1 비트의 비트값의 반전 신호에 의해 온/오프 구동되는 스위치를 나타낸다. 마찬가지로, D2N 및 D3N은 각각 10 비트의 디지털 영상 신호(DAT) 중 제2 비트 및 제3 비트의 비트값에 의해 온/오프 구동되는 스위치를 나타내고, D2P 및 D3P는 각각 10 비트의 디지털 영상 신호(DAT) 중 제2 비트 및 제3 비트의 비트값의 반전 신호에 의해 온/오프 구동되는 스위치를 나타낸다.

<292> 도 20은 n이 "3"일 때에, 이에 대응하는 본 발명의 실시예에 따른 제4 디코더(3036)를 예시적으로 도시한 도면이다.

<293> 도 20에 도시한 바와 같이, 제4 디코더(3036)는 디지털 영상 신호(DAT) 중 제1 비트로부터 제3비트까지의 3개의 비트를 입력받도록 설정될 수 있고, 이때, 제4 디코더(3036)에 포함되는 스위치의 개수는 $2^4 - 2 (= 2^3 + 2^2 + 2^1)$ 개가 된다.

<294> 제4 디코더(3036)는 VP0부터 VP7까지 그레이 레벨의 차이가 1 만큼씩인 그레이 전압, 즉 VP0, VP1, VP2, ..., VP6, VP7의 $8 (= 2^3)$ 개의 그레이 전압을 입력받고, 디지털 영상 신호(DAT) 중 제1 비트로부터 제3 비트까지의 3 개 비트의 비트값에 따라 VP0 내지 VP7 중 하나의 그레이 전압을 선택적으로 출력한다.

<295> 이하, 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')에 포함되는 상위 및 하위 전압 생성부(3032')를 도 21을 참조하여 설명한다.

- <296> 도 21은 본 발명의 실시예에 따른 상위 및 하위 전압 생성부(3032')를 예시적으로 도시한 도면이다.
- <297> 도 21에 도시한 바와 같이, 본 발명의 실시예에 따른 상위 및 하위 전압 생성부(3032')는 제5 내지 제7 디코더(30322'', 30324'', 30326'') 및 선택 전압 출력부(30328)를 포함한다. 참고로, 선택 전압 출력부(30328)는 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)에 포함되는 선택 전압 출력부(30328)와 동일하게 형성되므로, 동일한 도면 부호로 나타내었으며 부연 설명은 생략한다.
- <298> 제5 내지 제7 디코더(30322'' ~ 30326'')는 도 8 내지 도 10으로 나타난 본 발명의 제1 실시예에 따른 제1 내지 제3 디코더(30322, 30324, 30326)와 매우 유사하게 형성되며, 다른 점만을 설명하면 다음과 같다.
- <299> 제5 디코더(30322'')는 도 8에 나타난 본 발명의 제1 실시예에 따른 제1 디코더(30322)에서, 저항(R7)과 저항(R8)의 접점과 스위치(D5P)의 일단에 연결되는 스위치를 하나 더 포함한다. 이 스위치는 디지털 영상 신호(DAT) 중 제5 디코더(30322'')로 입력되는 제 3 비트의 비트값이 "0"이면 턴 오프 되고, "1"이면 턴 온 된다. 또한, 제6 디코더(30324'')는 도 9에 나타난 본 발명의 제1 실시예에 따른 제2 디코더(30324)에서 저항(R3)과 저항(R4)의 접점에 연결되는 스위치(D4P)를 제거한 것과 같고, 제7 디코더(30326'')는 도 10에 나타난 본 발명의 제1 실시예에 따른 제3 디코더(30326)에서 VP(-1) 전압을 입력받는 스위치(D4P)를 제거한 것과 같다. 이는 제4 디코더(3036)로 입력되는 그레이 전압과 제5 내지 제7 디코더(30322'' ~ 30326'')로 입력되는 그레이 전압이 중첩되지 않도록 하기 위한 것이다.
- <300> 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')는 다음과 같이 동작한다.
- <301> 제4 디코더(3036)는 디지털 영상 신호(DAT) 중 제1 비트로부터 제3비트까지의 3개의 비트 중 적어도 하나의 비트의 비트값이 "1"인 경우에만 그레이 전압을 출력한다. 이때, 상위 및 하위 전압 생성부(3032') 및 출력 전압 생성부(3034)를 통해 출력되는 전압은 존재하지 않으며, 이로 인해 제4 디코더(3036)의 출력 전압이 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')의 출력 전압(Vo)이 된다. 이와는 반대로, 디지털 영상 신호(DAT) 중 제1 비트로부터 제3비트까지의 3개의 비트의 비트값이 모두 "0"인 경우, 제4 디코더(3036)는 그레이 전압을 출력하지 않으며, 이때에는 상위 및 하위 전압 생성부(3032') 및 출력 전압 생성부(3034)를 통해 출력되는 전압이 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')의 출력 전압(Vo)이 된다.
- <302> 한편, 그레이 전압 중 VP7은 제4 디코더(3036) 및 제5 디코더(30322'')에 공통으로 입력되는 데, 그 이유를 표 2를 참조하여 설명한다.
- <303> 디지털 영상 신호(DAT)의 제4 비트의 비트값이 "1"이고, 제1 내지 제3 비트의 비트값은 모두 "0"인 경우, 제 4 디코더(3036)로부터 출력되는 그레이 전압은 존재하지 않는다. 이로 인해 제5 내지 제7 디코더(30322'' ~ 30326'')의 출력 전압(VD1'' ~ VD3'')을 이용하여 생성된 상위 및 하위 전압(VH, VL)을 합성하여 출력 전압(Vout)을 생성한다. 만약, 제5 디코더(30322'')로 VP7이 입력되지 않으면, 표 2에서 디지털 영상 신호(DAT)의 제4 비트의 비트값이 "1"이고, 제3 비트의 비트값이 "0"인 경우에, 제5 디코더(30322'')로부터 출력되는 전압(VD1'')는 VP7이 될 수 없다. 이로 인해, 표 2에서와 같이, 상위 및 하위 전압 생성부(3032')로부터 출력되는 상위 및 하위 전압(VH, VL), 즉 VP11과 VP7을 이용한 전압 합성은 이루어 질 수 없고, 전압 합성을 통한 중간 전압 VP8, VP9 및 VP10의 생성은 이루어 질 수 없다.
- <304> 한편, 제4 디코더(3036)는 VP1016부터 VP1023까지 그레이 레벨의 차이가 1 만큼씩인 그레이 전압, 즉 VP1016, VP1017, VP1018, ..., VP1022, VP1023의 $8(=2^3)$ 개의 그레이 전압을 입력받고, 디지털 영상 신호(DAT) 중 제7 비트로부터 제10 비트까지의 3 개 비트의 비트값에 따라 VP1016 내지 VP1023 중 하나의 그레이 전압을 선택적으로 출력하도록 설정될 수도 있다. 또한, 제4 디코더(3036)는 V0부터 V1023 중 그레이 레벨의 차이가 1 만큼씩인 특정 8개 전압, 예로서 VP511, VP512, VP513, ..., VP517, VP518의 $8(=2^3)$ 개의 그레이 전압을 입력 받고, 디지털 영상 신호(DAT) 중 3 개 비트의 비트값에 따라 VP511 내지 VP518 중 하나의 그레이 전압을 선택적으로 출력하도록 설정될 수도 있음은 물론이다.
- <305> 한편, 제4 디코더(3036) 및 제5 내지 제7 디코더(30322'', 30324'', 30326'')로 공통으로 입력되는 그레이 전압은 전압 합성을 통한 중간 전압의 생성을 위한 것으로, 위에 언급한 각각의 경우에 대응하여 제4 디코더(3036) 및 제5 디코더(30322'')로 공통으로 입력되는 그레이 전압은 존재하지 않을 수도 있으며, 제4 디코더(3036) 및 제6 디코더(30324'') 또는 제4 디코더(3036) 및 제7 디코더(30326'')로 공통으로 입력되는 그레이 전압이 존재할 수 있음은 당연하다.
- <306> 또한, 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')는 제8 디코더(미도시함)를 더 포함할 수 있

다. 이 경우, 제4 디코더(3036)는 VP0, VP1, VP2, ..., VP6, VP7의 $8(=2^3)$ 개의 그레이 전압 중 디지털 영상 신호(DAT)의 제1 비트부터 제3 비트까지의 3개 비트의 비트값에 대응되는 그레이 전압을 출력하고, 제8 디코더는 VP1016, VP1017, VP1018, ..., VP1022, VP1023의 $8(=2^3)$ 개의 그레이 전압 중 디지털 영상 신호(DAT)의 제7 비트부터 제10 비트까지의 3개 비트의 비트값에 대응되는 그레이 전압을 출력하도록 설정될 수 있다.

<307> 또한, 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')는 복수의 디코더(미도시함)를 더 포함할 수 있으며, 이 경우, 복수의 디코더 각각은 V0부터 V1023 중 그레이 레벨의 차이가 1 만큼씩인 특정 8개 전압 중 디지털 영상 신호(DAT)의 3 개 비트의 비트값에 대응되는 그레이 전압을 출력하도록 설정될 수 있다.

<308> 이상의 내용은 n을 "3"으로 가정하였을 때의 제4 디코더(3036)를 설명한 것이다.

<309> 여기에서, n은 2 이상의 자연수로서, 디지털 영상 신호(DAT)의 비트 수보다는 작은 자연수로 설정되어야 함은 물론이다.

<310> 먼저, 제4 디코더(3036)는 래치(302)로부터 출력되는 디지털 영상 신호(DAT)를 입력받아, 입력되는 비트 각각의 비트값에 따라 VP0부터 VP($2^n - 1$)까지, 그레이 레벨의 차이가 1만큼씩인 2^n 개의 그레이 전압을 입력받는다. 여기에서, n은 2 이상의 자연수로서, 디지털 영상 신호(DAT)의 비트 수보다는 작은 자연수로 설정되어야 함은 물론이다.

<311> 또한, 제4 디코더(3036)는 디지털 영상 신호(DAT)에 포함되는 전체 비트, 즉 10 비트 중 n의 크기에 대응하는 개수의 비트의 비트값에 따라 온/오프 구동되는 스위치를 포함하도록 형성된다.

<312> 한편, 도 8, 도 9, 도 10, 도 15, 도 16, 도 17 및 도 20에서, 본 발명의 제1 및 제2 실시예에 따른 제1 내지 제3 디코더 및 제4 디코더(3036)는 각각 입력받은 디지털 데이터(DAT) 중 최하위 비트부터 최상위 비트의 순서로 저항(R1 ~ R1024)으로부터 가깝게 형성되는 스위치의 온/오프를 제어하도록 형성되는 것으로 나타내었으나, 이와는 반대로 형성될 수 있음은 물론이다.

<313> 상술한 본 발명의 실시예에 따른 액정 표시 장치는 데이터 구동부(300)에 포함되는 스위치의 개수를 줄임으로써, 액정 표시 장치의 구현 비용 및 구현 면적을 감소시킬 수 있다.

<314> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

발명의 효과

<315> 본 발명의 특징에 따르면 데이터 구동부에 포함되는 스위치의 개수를 줄임으로써, 액정 표시 장치의 구현 비용 및 구현 면적을 감소시킬 수 있다.

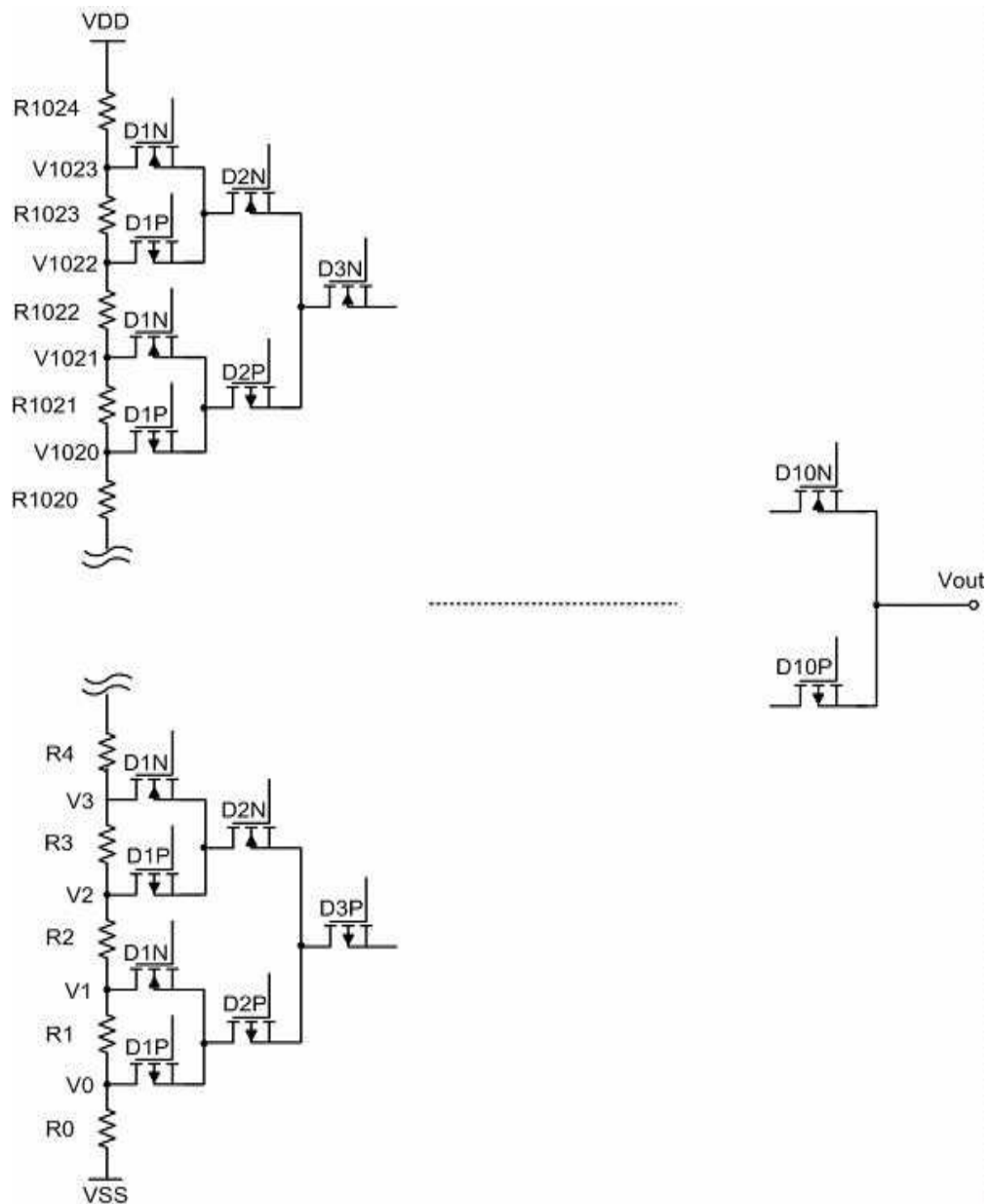
도면의 간단한 설명

- <1> 도 1은 10 비트의 입력 디지털 데이터에 대응되는 전압을 출력하는 일반적인 디코더를 개략적으로 도시한 도면이다.
- <2> 도 2는 종래 출력 증폭기 구조를 도시한 도면이다.
- <3> 도 3은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면이다.
- <4> 도 4는 본 발명의 실시예에 따른 액정 표시 장치의 각 화소(110)의 등가 회로를 도시한 도면이다.
- <5> 도 5는 본 발명의 실시예에 따른 데이터 구동부(300)의 블록도이다.
- <6> 도 6은 본 발명의 제1 실시예에 따른 디지털 아날로그 변환부(303)를 도시한 블록도이다.
- <7> 도 7은 본 발명의 실시예에 따른 상위 및 하위 전압 생성부(3032)를 도시한 블록도이다.
- <8> 도 8은 본 발명의 제1 실시예에 따른 제1 디코더(30322)를 도시한 도면이다.
- <9> 도 9는 본 발명의 제1 실시예에 따른 제2 디코더(30324)를 도시한 도면이다.
- <10> 도 10은 본 발명의 제1 실시예에 따른 제3 디코더(30326)를 도시한 도면이다.

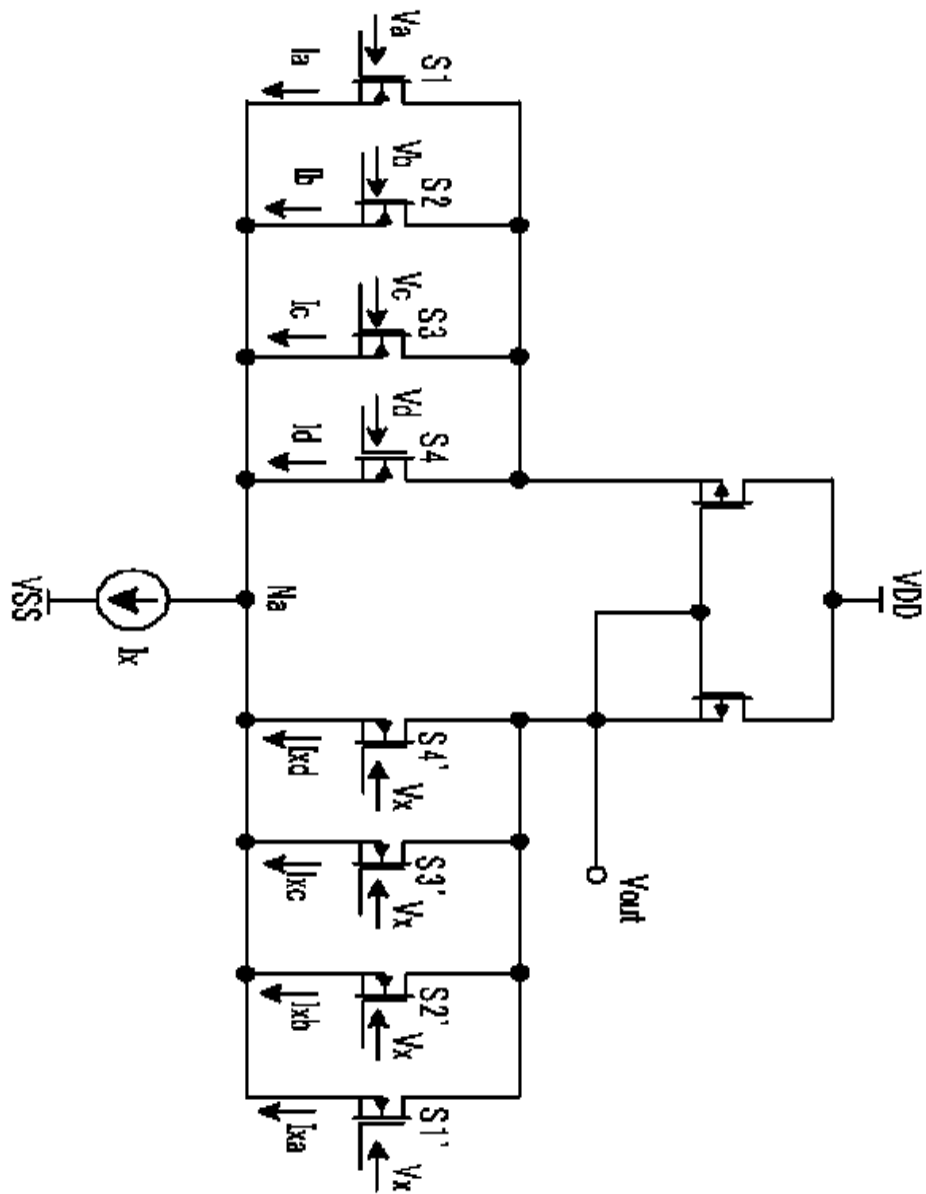
- <11> 도 11은 본 발명의 실시예에 따른 선택 전압 출력부(30328)를 개략적으로 도시한 도면이다.
- <12> 도 12는 본 발명의 제1 실시예에 따른 출력 전압 생성부(3034)를 도시한 도면이다.
- <13> 도 13은 본 발명의 실시예에 따른 출력 전압 증폭부(304)를 개략적으로 도시한 도면이다.
- <14> 도 14a는 종래 출력 증폭기의 출력 전압(Vout)을 도시한 파형도이다.
- <15> 도 14b는 본 발명의 실시예에 따른 출력 증폭기의 출력 전압(Vout)을 도시한 파형도이다.
- <16> 도 15는 본 발명의 제2 실시예에 따른 제1 디코더(30322')를 도시한 도면이다.
- <17> 도 16는 본 발명의 제2 실시예에 따른 제2 디코더(30324')를 도시한 도면이다.
- <18> 도 17은 본 발명의 제2 실시예에 따른 제3 디코더(30326')를 도시한 도면이다.
- <19> 도 18은 본 발명의 제2 실시예에 따른 출력 전압 생성부(3034')를 도시한 도면이다.
- <20> 도 19는 본 발명의 제2 실시예에 따른 디지털 아날로그 변환부(303')를 도시한 도면이다.
- <21> 도 20은 n이 "3"일 때에, 이에 대응하는 본 발명의 실시예에 따른 제4 디코더(3036)를 예시적으로 도시한 도면이다.
- <22> 도 21은 본 발명의 실시예에 따른 상위 및 하위 전압 생성부(3032')를 예시적으로 도시한 도면이다.
- <23> <도면의 주요부분에 대한 참조 부호의 설명>
- | | |
|------------------------|----------------------|
| <24> 100: 액정 표시 장치 패널 | 110: 화소 |
| <25> 200: 주사 구동부 | 300: 데이터 구동부 |
| <26> 301: 시프트 레지스터 | 302: 래치 |
| <27> 303: 디지털 아날로그 변환부 | 3032: 상위 및 하위 전압 생성부 |
| <28> 30322: 제1 디코더 | 30324: 제2 디코더 |
| <29> 30336: 제3 디코더 | 30328: 선택 전압 출력부 |
| <30> 3034: 출력 전압 생성부 | 3036: 제4 디코더 |
| <31> 304: 출력 전압 증폭부 | 305: 출력 버퍼 |
| <32> 400: 기준 계조 전압 생성부 | 500: 신호 제어부 |

도면

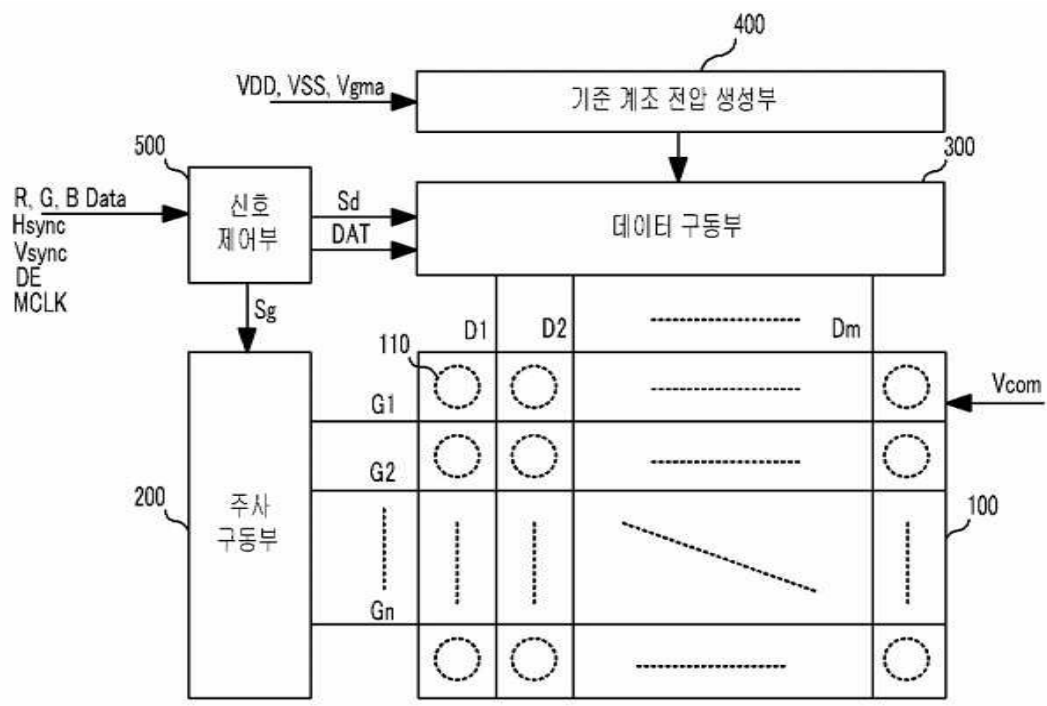
도면1



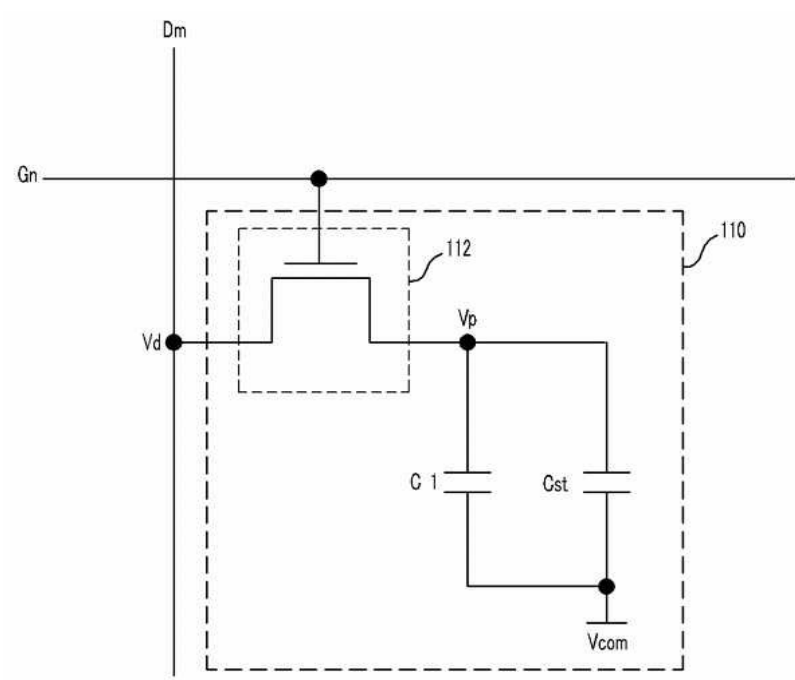
도면2



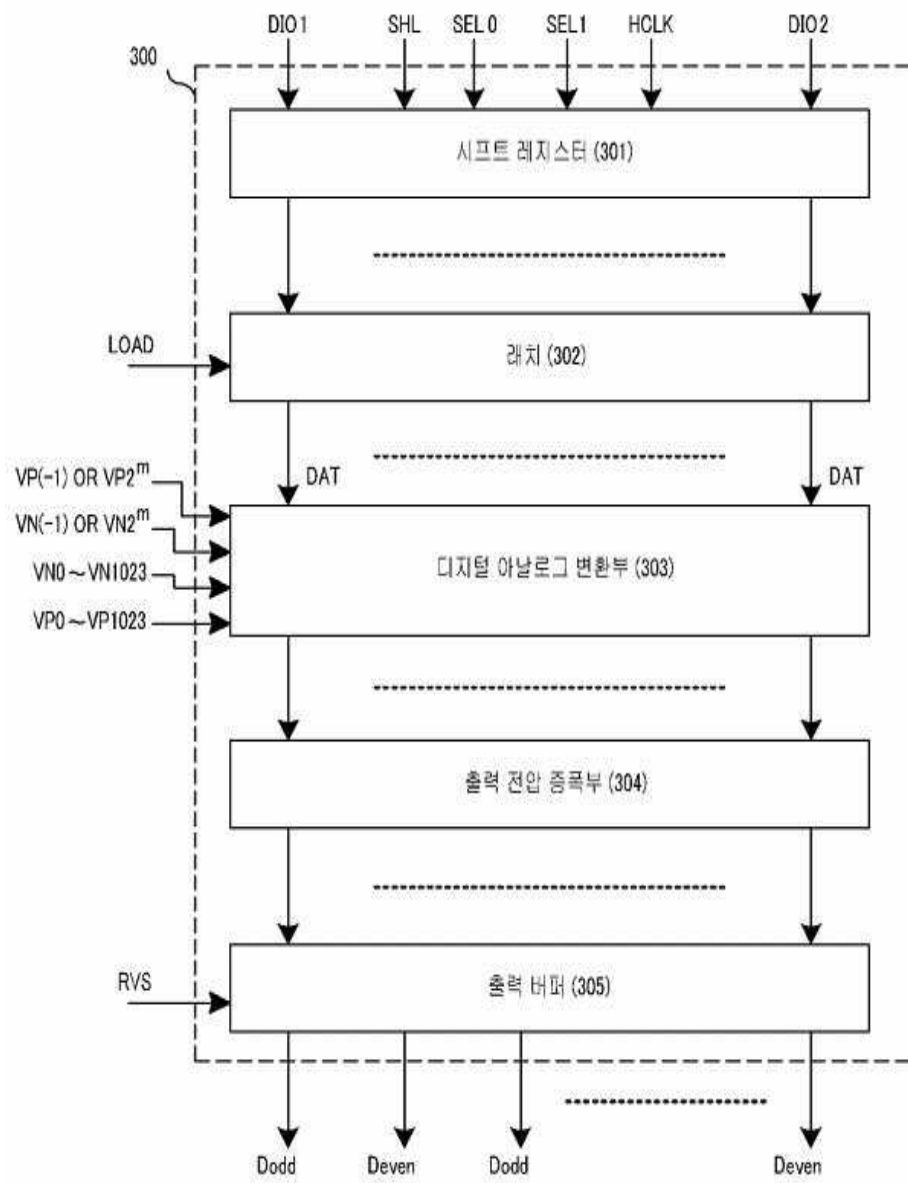
도면3



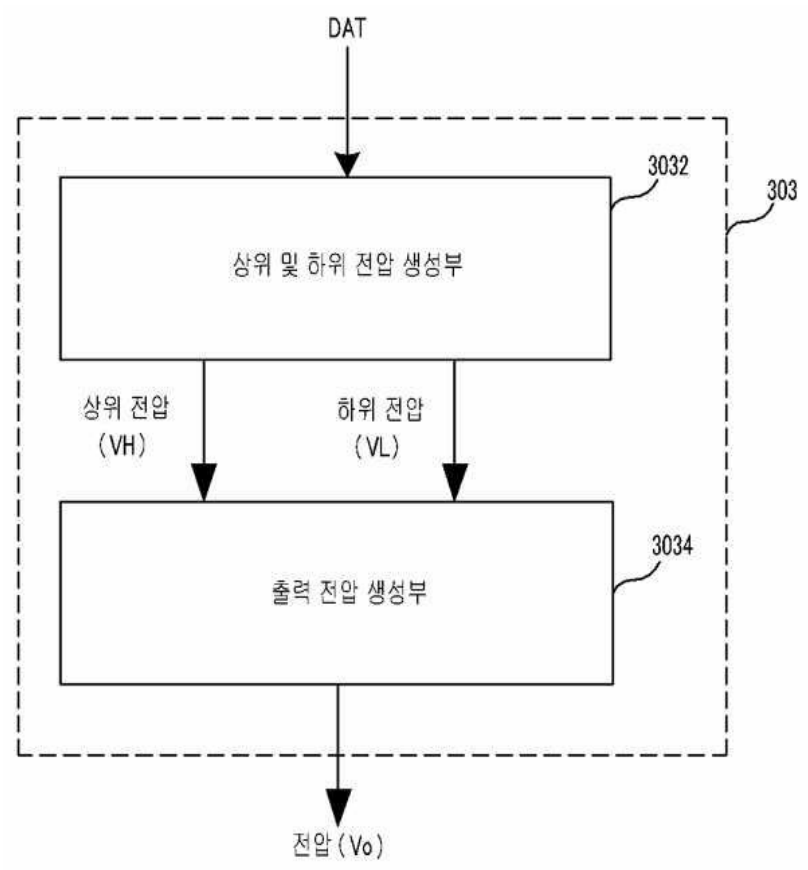
도면4



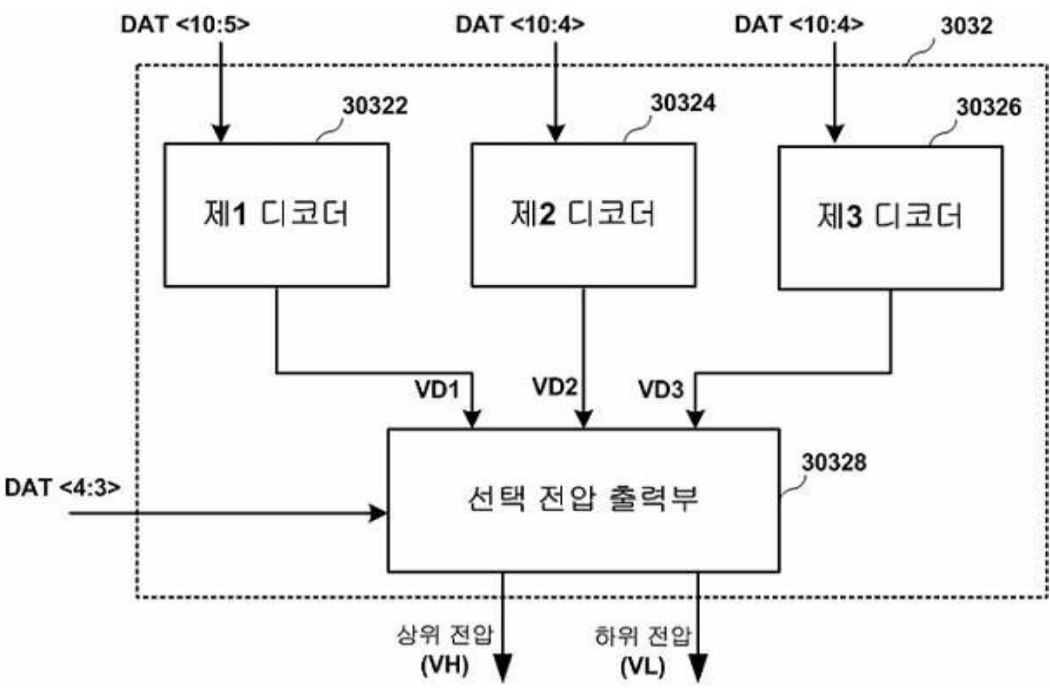
도면5



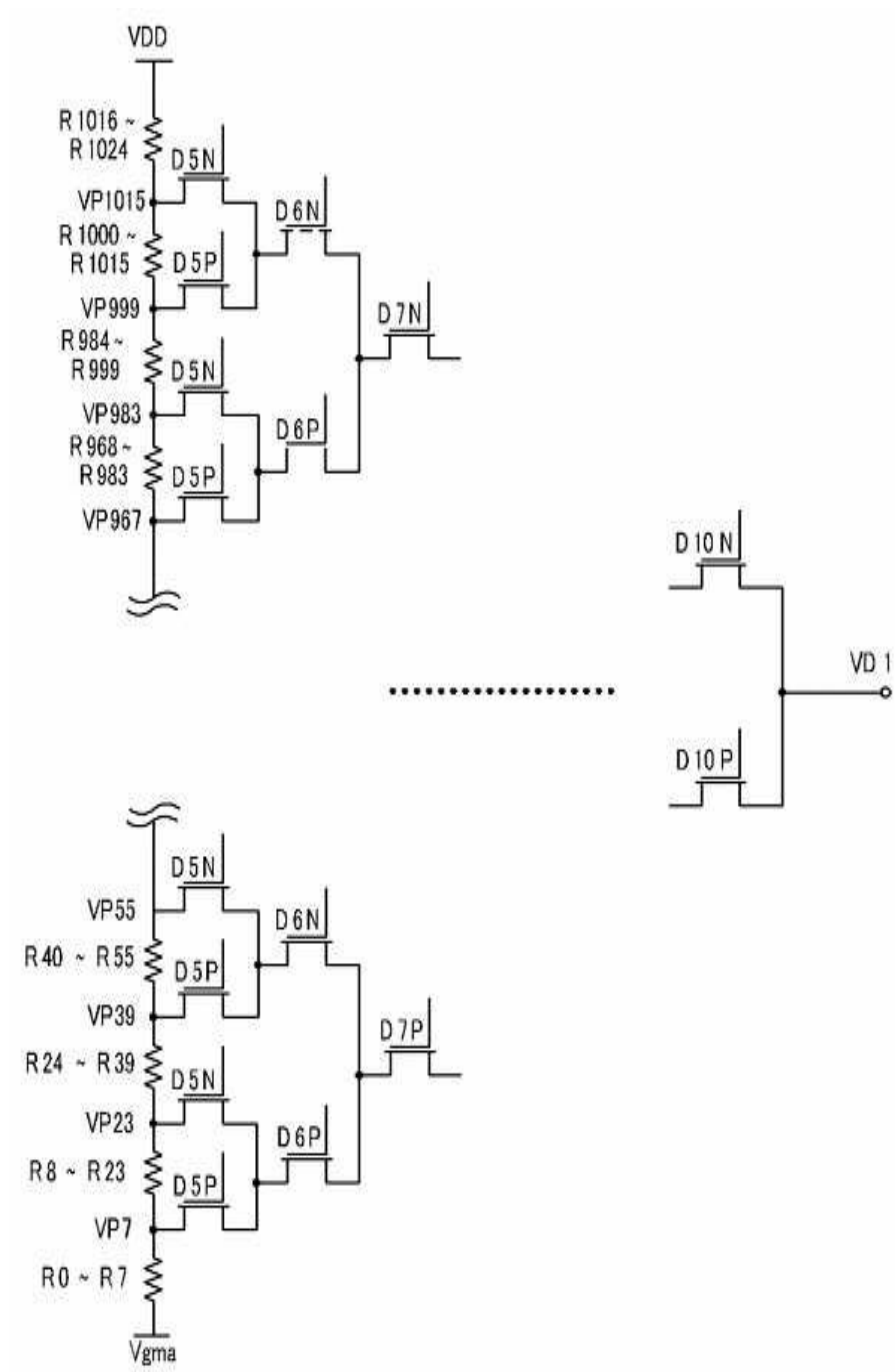
도면6



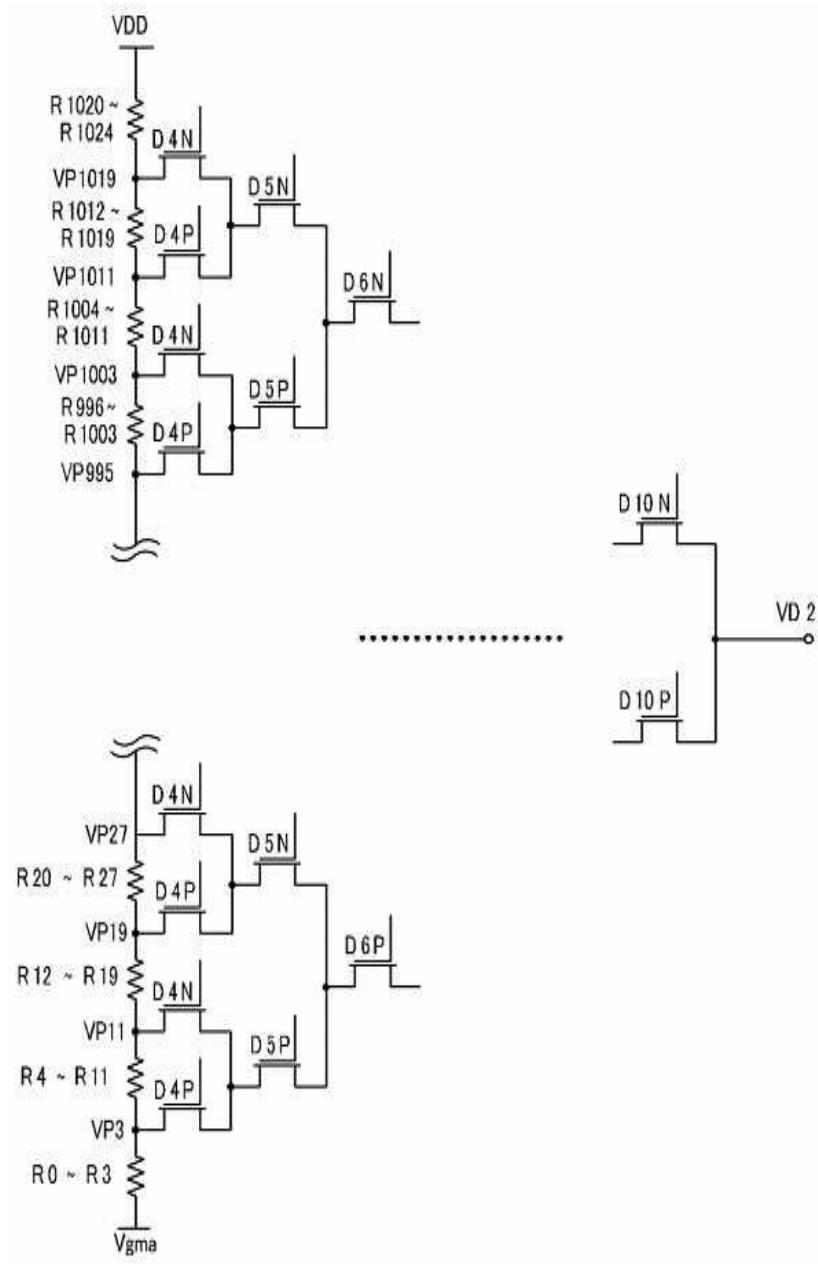
도면7



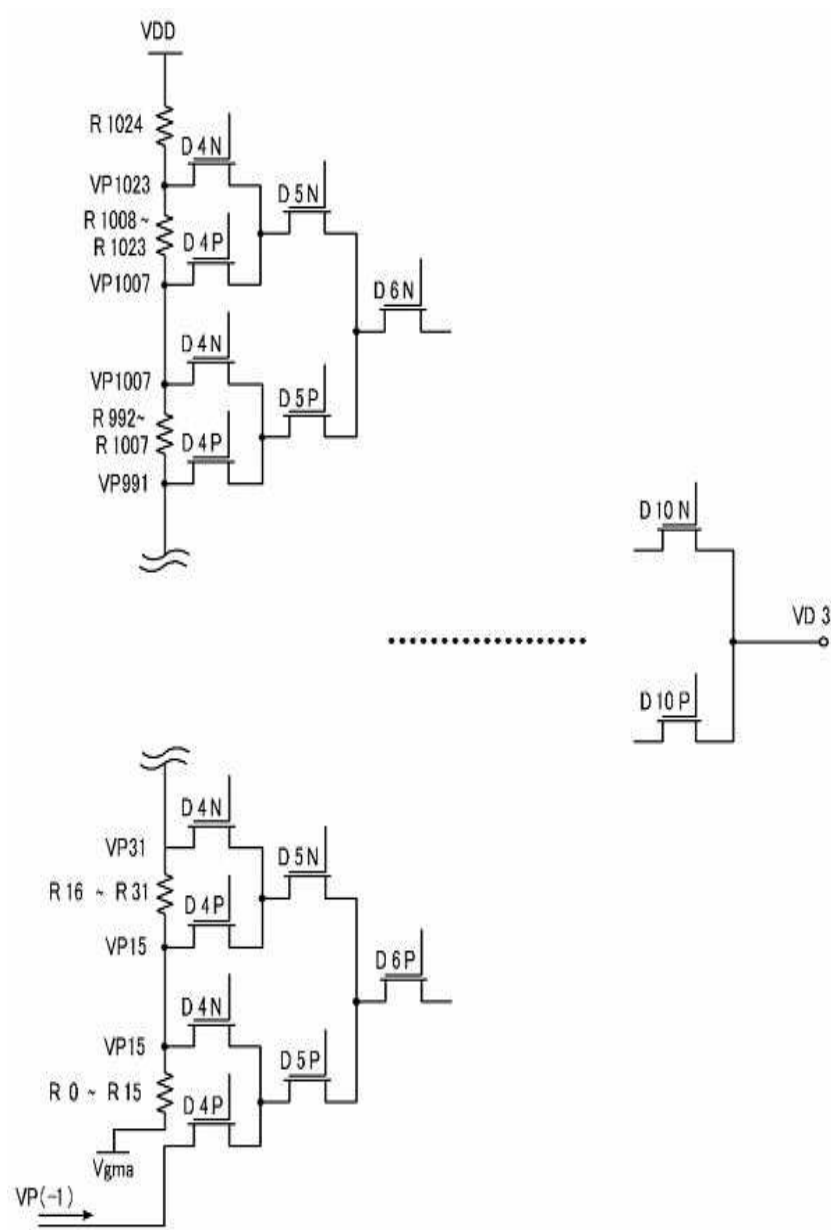
도면8



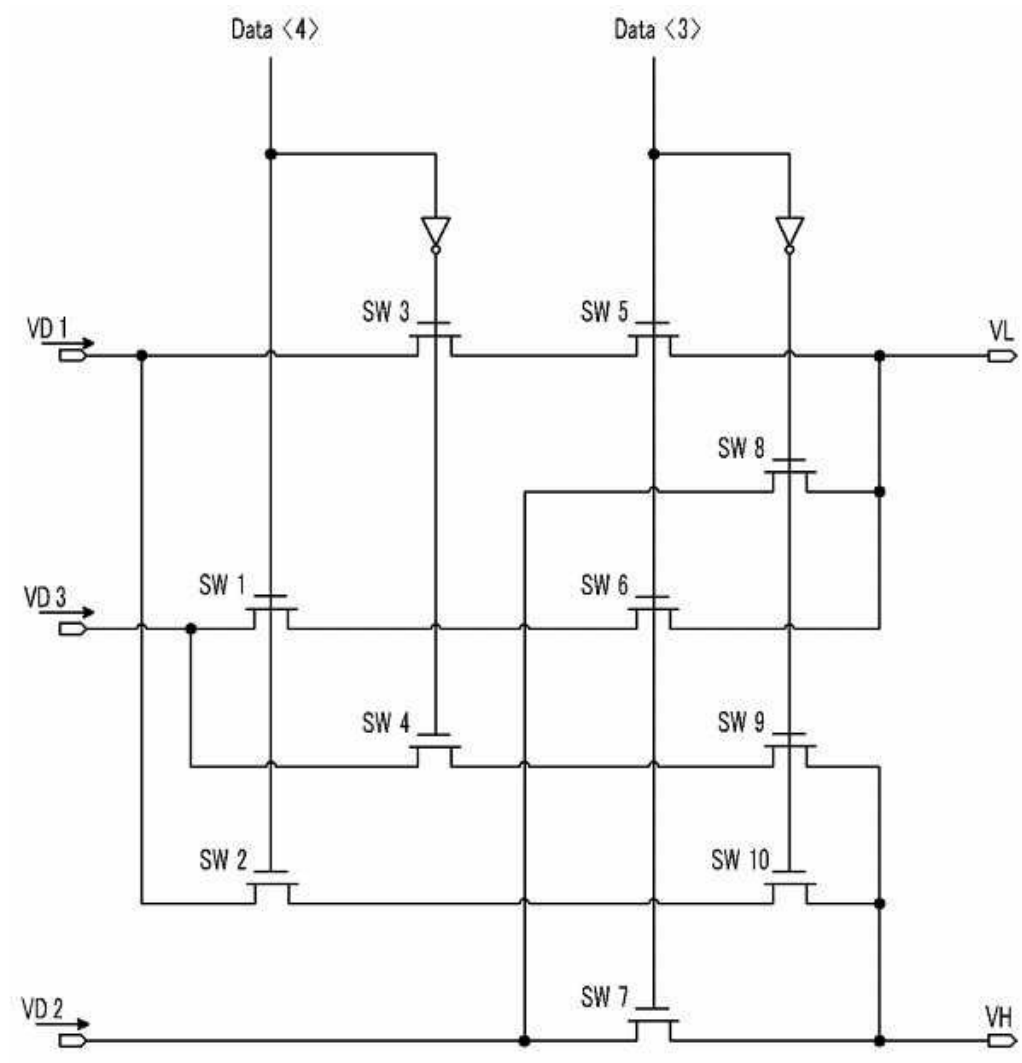
도면9



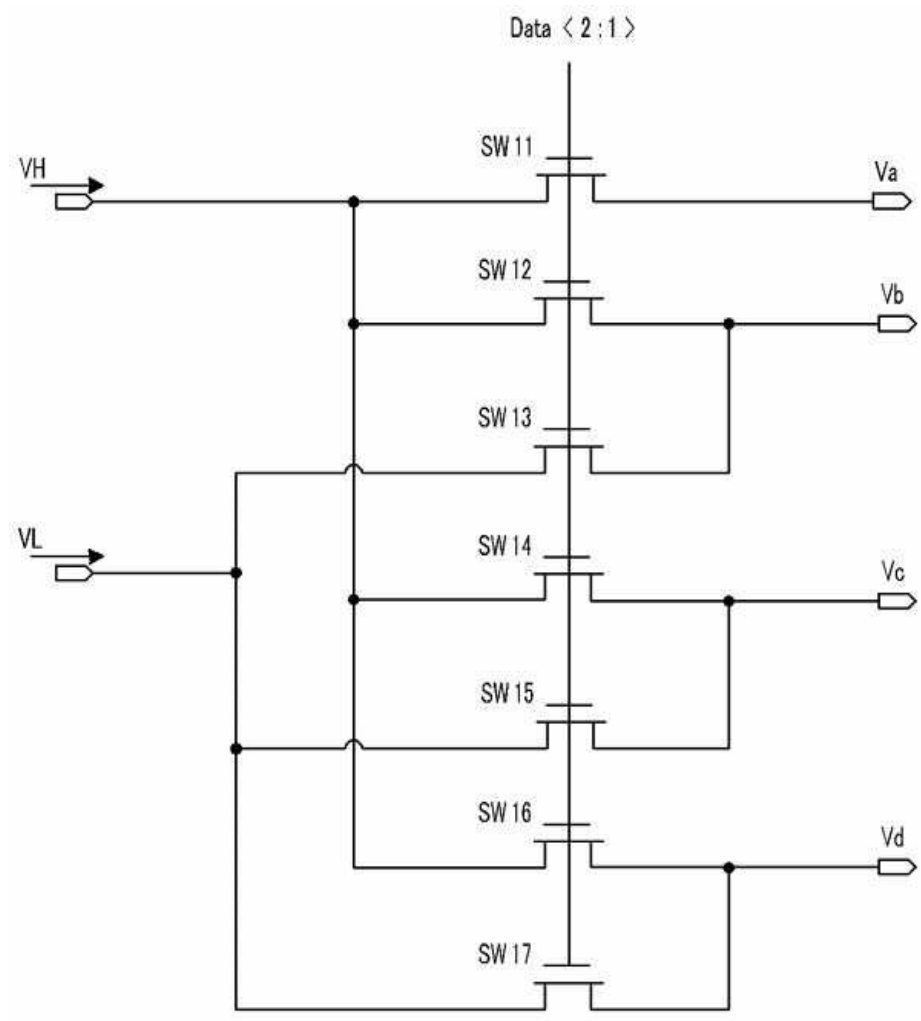
도면10



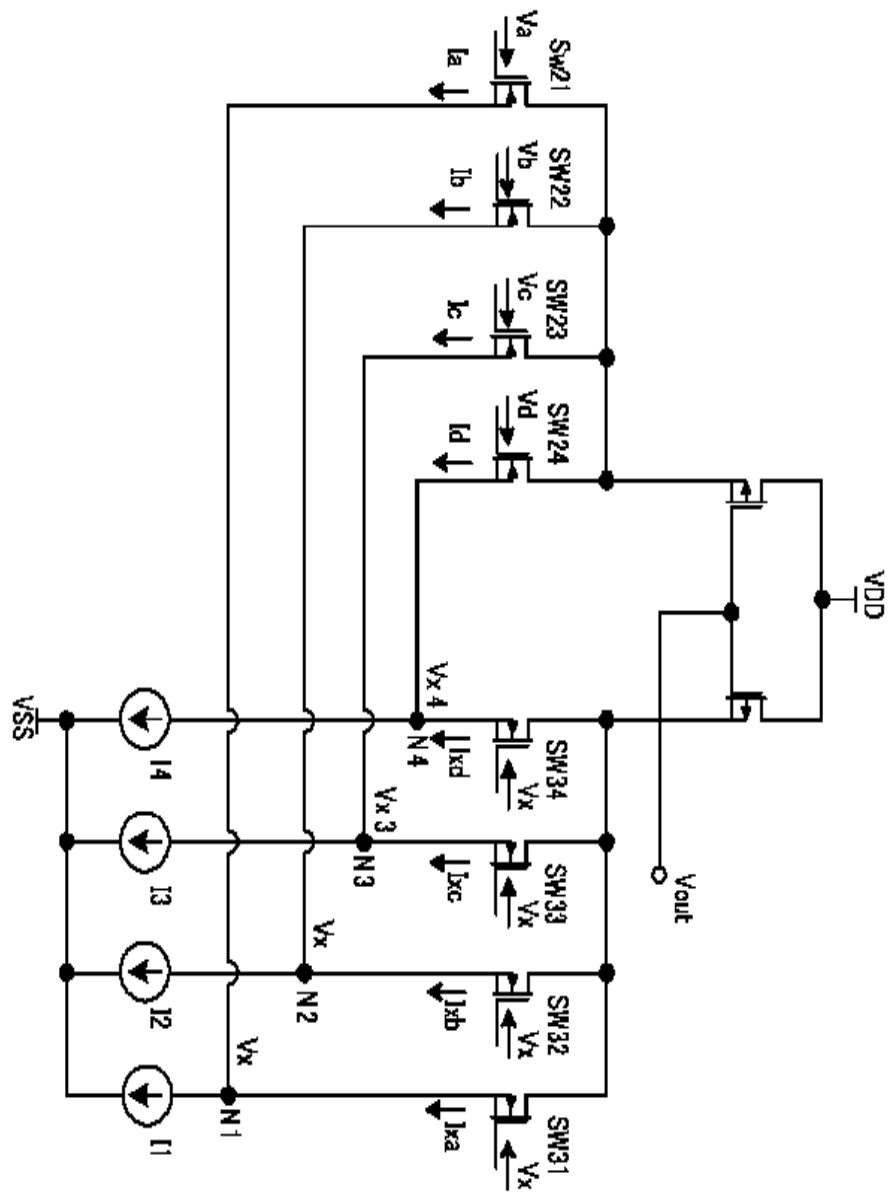
도면11



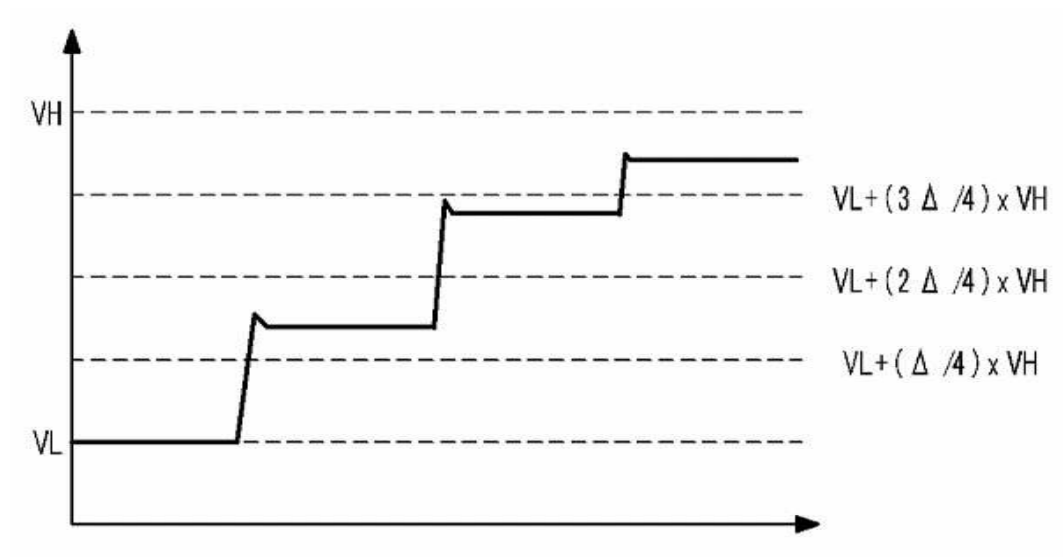
도면12



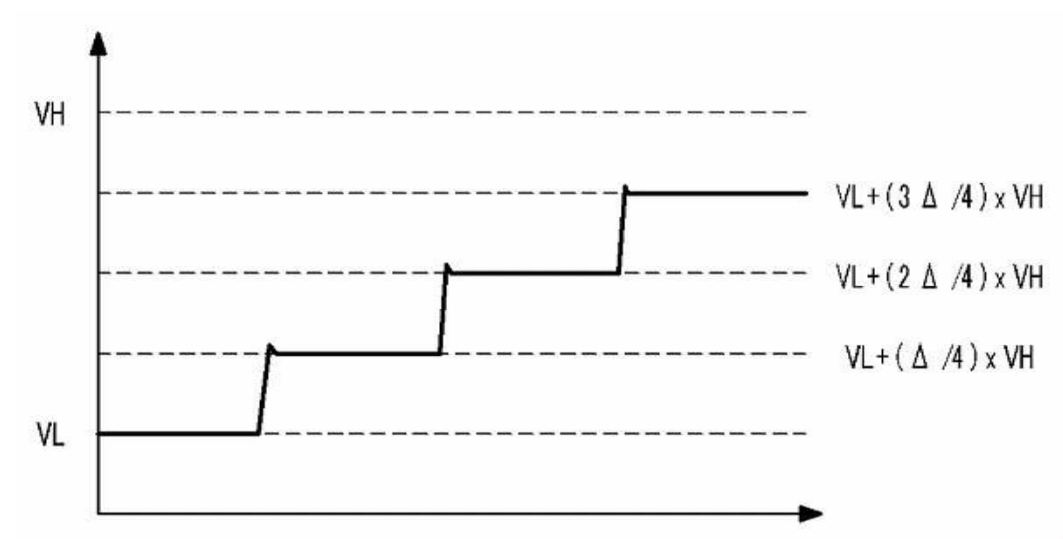
도면13



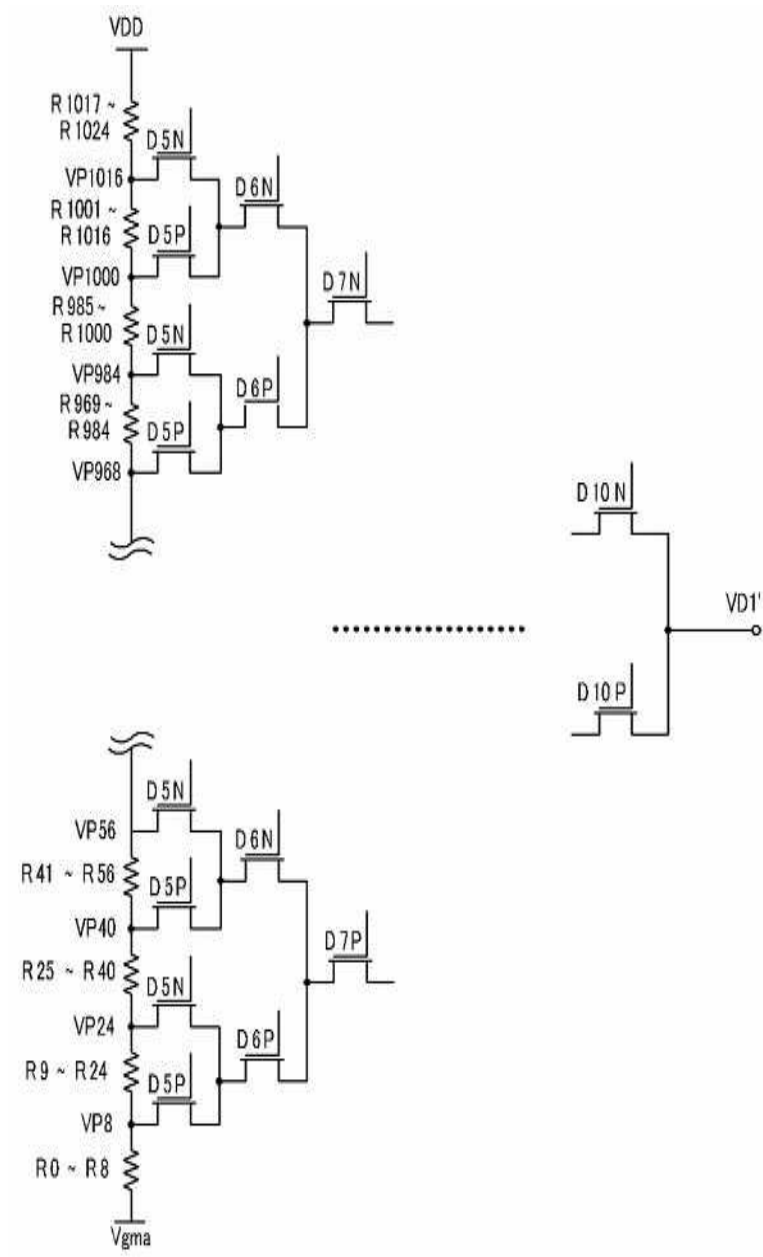
도면14a



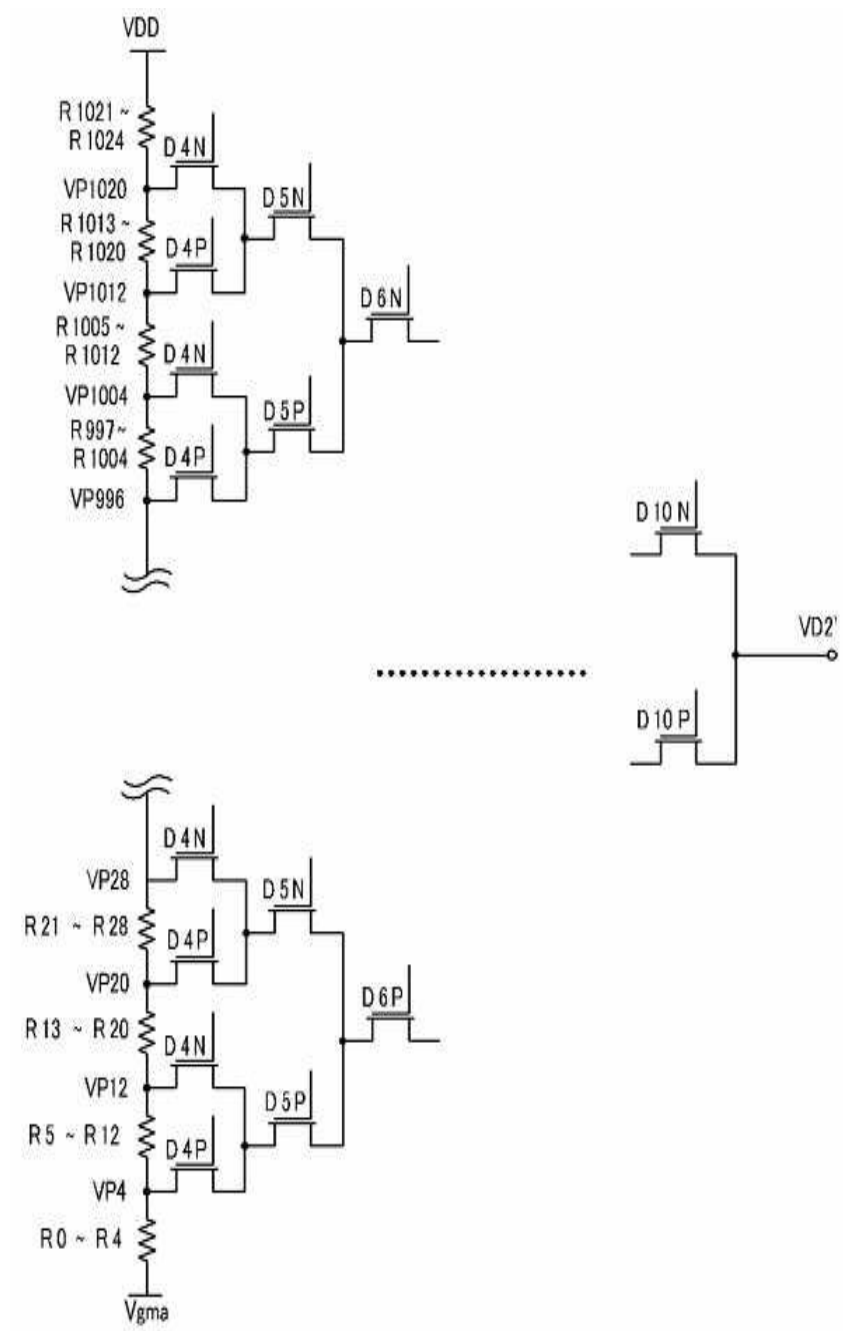
도면14b



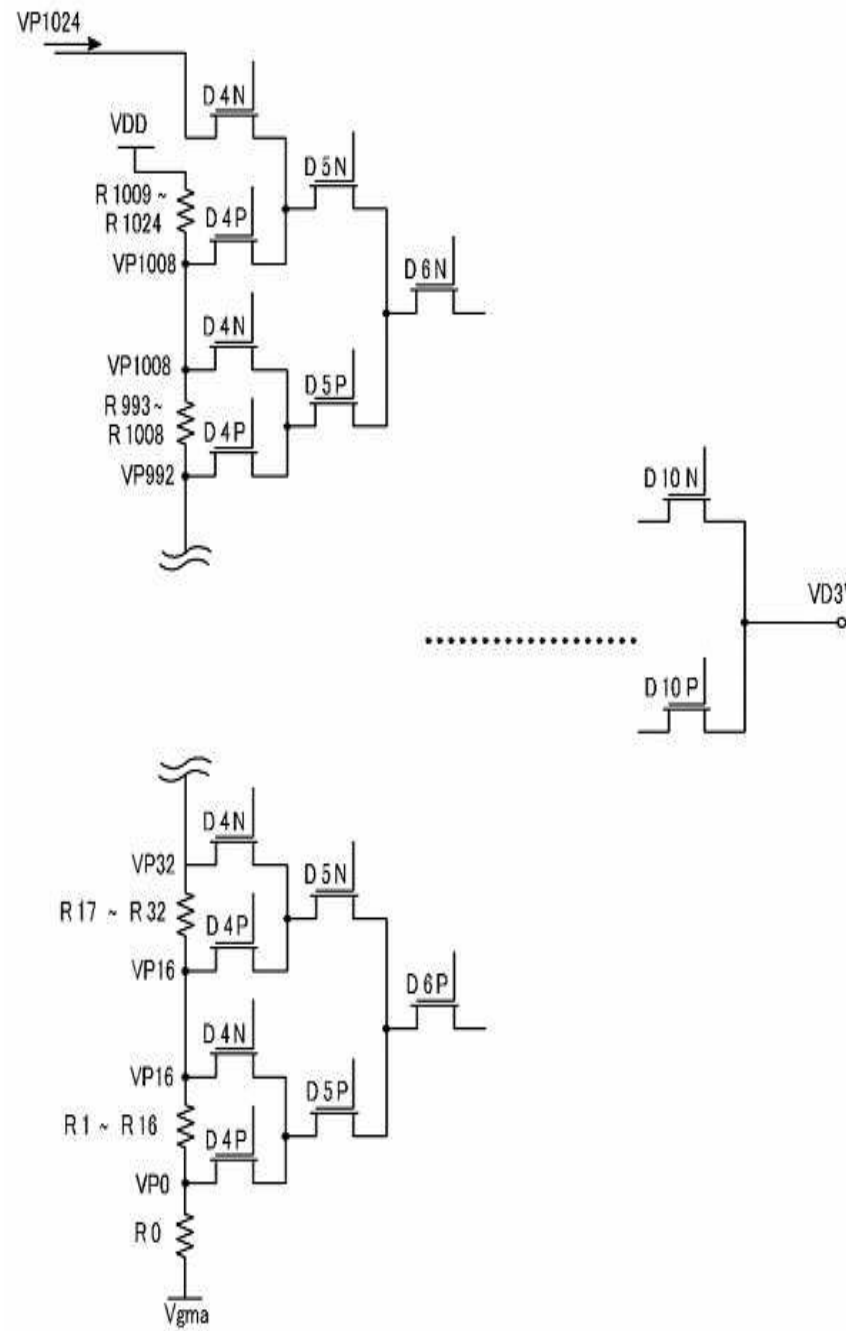
도면15



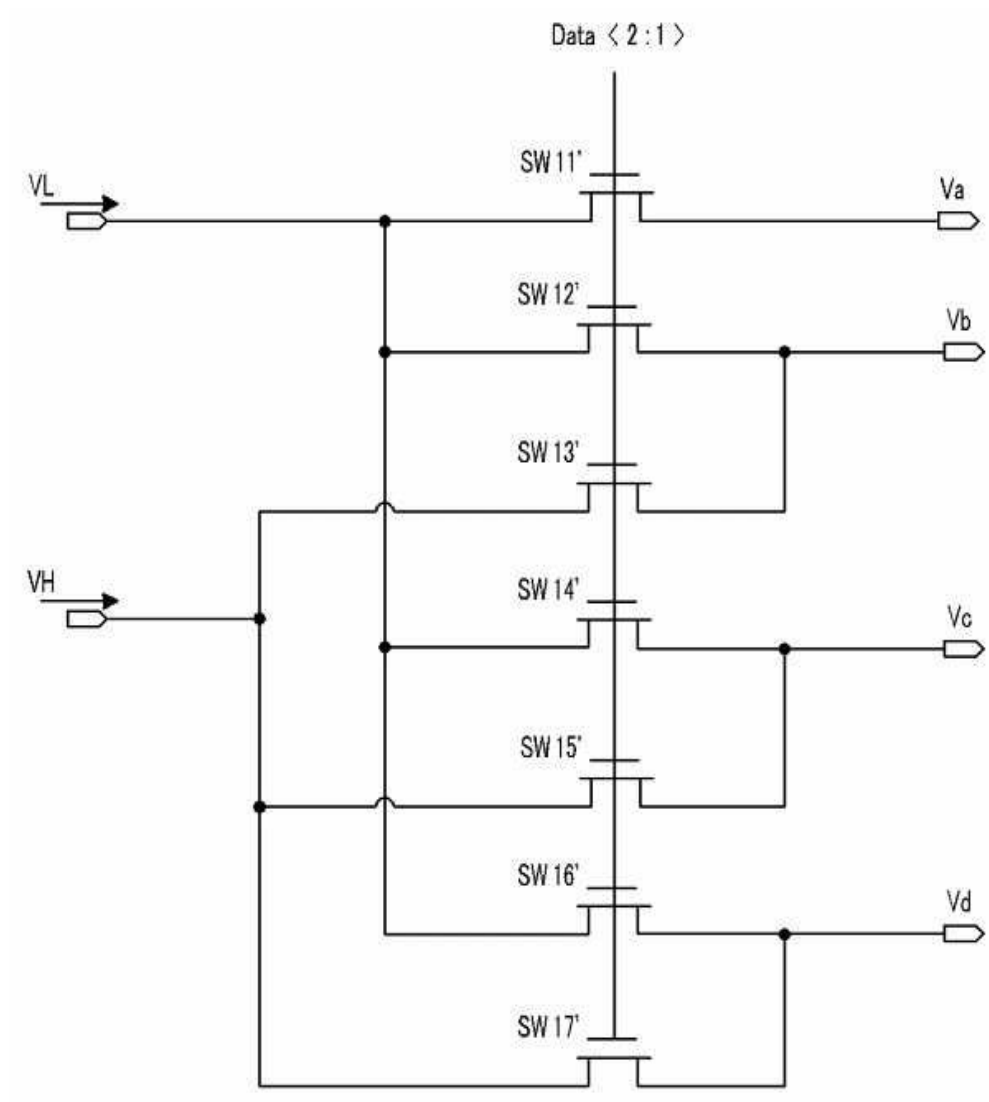
도면16

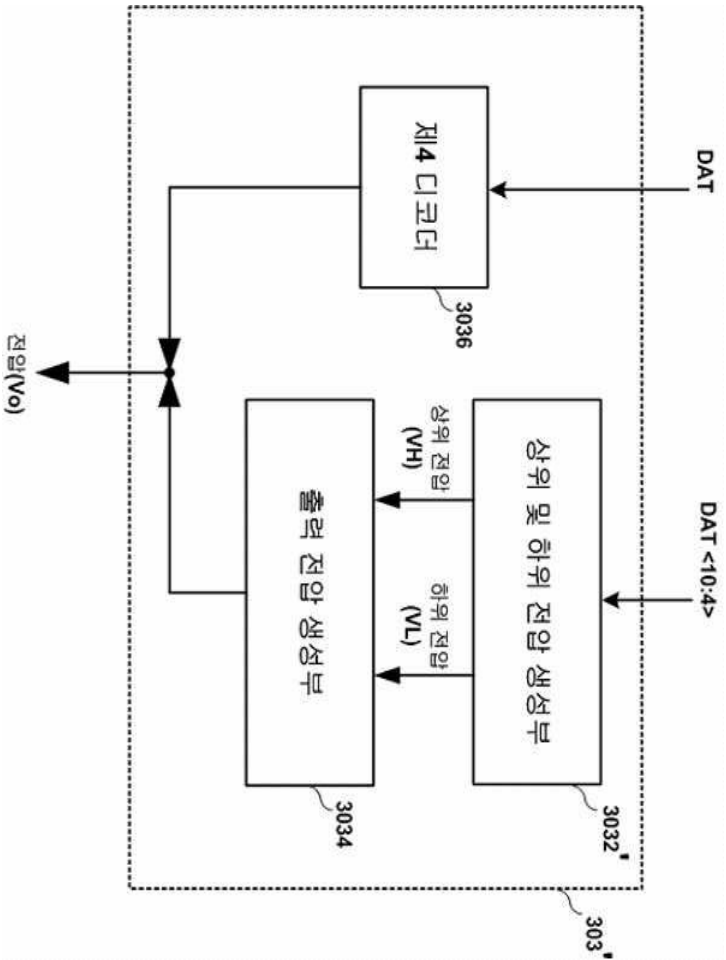


도면17



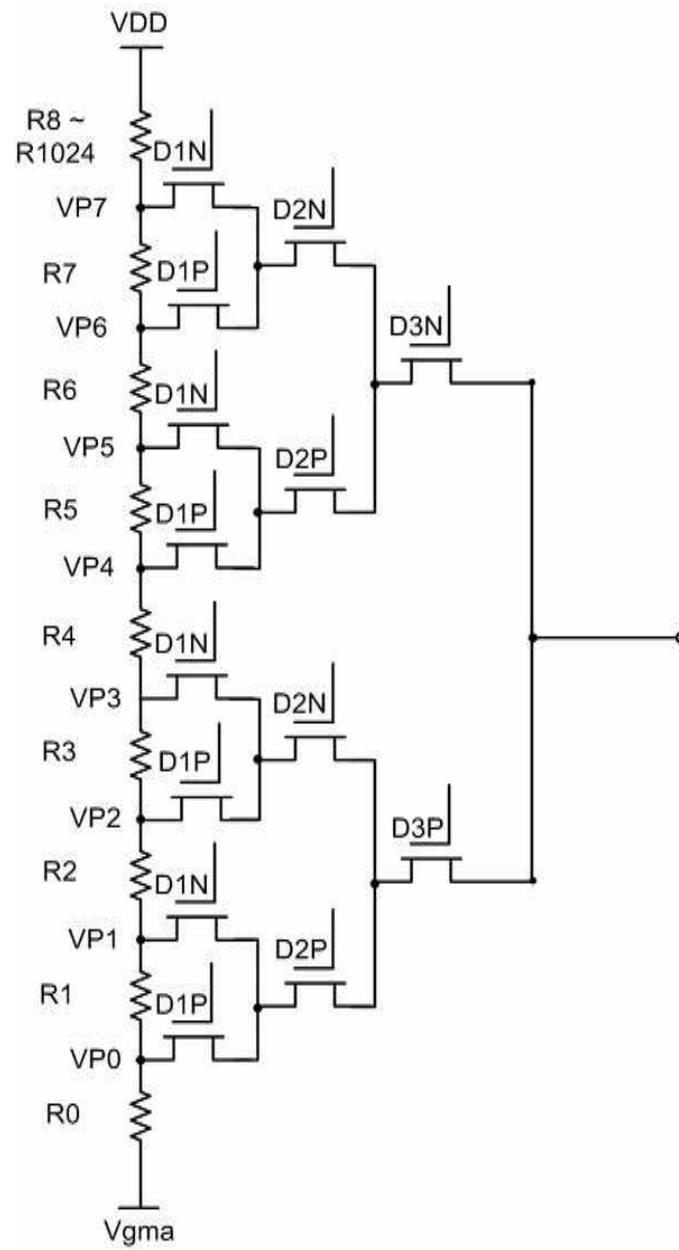
도면18



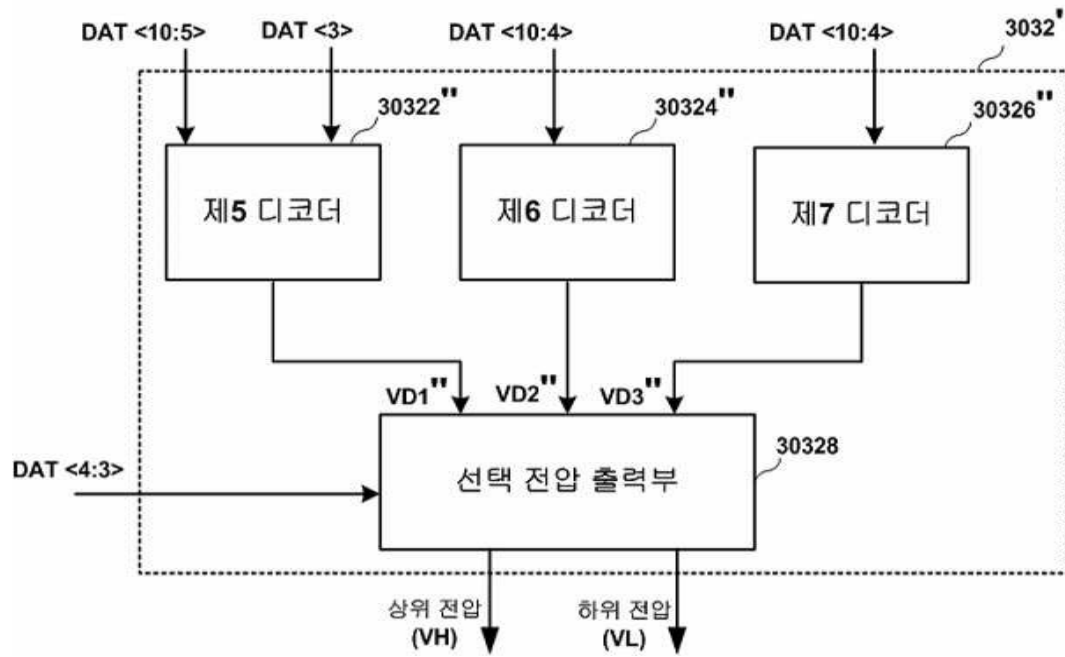


도면19

도면20



도면21



专利名称(译)	液晶显示装置，其驱动装置，数模转换器和输出电压放大电路		
公开(公告)号	KR100869858B1	公开(公告)日	2008-11-24
申请号	KR1020070063709	申请日	2007-06-27
申请(专利权)人(译)	(你) 绝缘技术		
当前申请(专利权)人(译)	(你) 绝缘技术		
[标]发明人	KIM BYUNG DOO 김병두 PARK HEE JONG 박희종 NO JU YOUNG 노주영 LEE SNAG HOON 이상훈		
发明人	김병두 박희종 노주영 이상훈		
IPC分类号	G09G3/36 G02F1/133 H03M1/66 H03F3/45		
CPC分类号	G09G2310/027 G09G2310/0291 G09G3/3696 G09G3/3688		
代理人(译)	专利法的优美		
外部链接	Espacenet		

摘要(译)

液晶显示装置，其驱动装置，数字模拟转换器和输出电压放大单元通过减少包括在数据驱动器中的开关的数量来降低用于实现液晶装置的成本和尺寸。多条扫描线传输多个扫描信号。多条数据线传输多个数据信号。多个像素由多条扫描线和多条数据线限定。参考灰度电压发生器产生多个参考灰度电压。数据驱动器通过组合2k电压产生多个数据信号，所述2k电压被确定为第一和第二灰度电压之一并且对应于基于多个参考灰度从外部施加的m位图像信号中的mk位的位值。电压。数据驱动器将生成的数据信号应用于多个像素。数据驱动器包括第一至第三解码器(30322-30326)和数字模拟转换器。

