



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년01월22일  
(11) 등록번호 10-0796748  
(24) 등록일자 2008년01월15일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2001-0025816  
(22) 출원일자 2001년05월11일  
심사청구일자 2006년05월11일  
(65) 공개번호 10-2002-0086101  
(43) 공개일자 2002년11월18일

(56) 선행기술조사문헌  
JP11126050 A

(뒷면에 계속)

전체 청구항 수 : 총 19 항

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이백운

경기도성남시분당구야탑동331동부아파트110동802호

(74) 대리인

김원근, 팬코리아특허법인

심사관 : 이동윤

(54) 액정 표시 장치와 이의 구동 장치

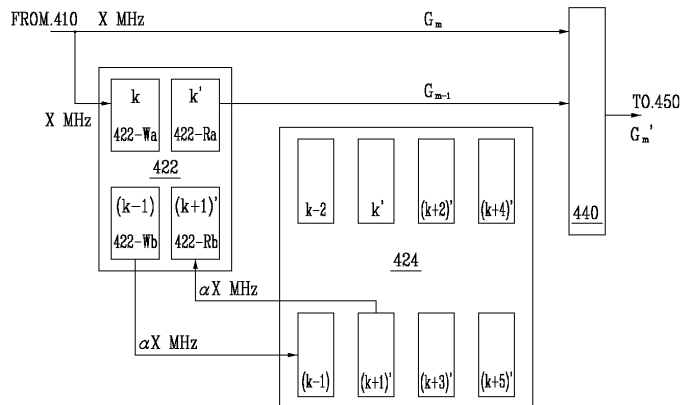
(57) 요약

본 발명은 동화상 구현에 적합하도록 보정된 데이터 전압이 인가되는 액정 표시 장치와 이의 구동 장치이다.

본 발명에 따르면, 데이터 계조 신호 보정부는 하나의 프레임 메모리와 4개 또는 그 이하의 버퍼 메모리로 이루어져, 한 프레임의 데이터를 소정 갯수의 연속된 픽셀들로 이루어진 세그먼트 데이터들을 버퍼 메모리와 프레임 메모리에 축차적으로 저장하고, 프레임 메모리와 버퍼 메모리로부터 이전 프레임의 세그먼트 데이터들을 축차적으로 추출하여, 이전 프레임의 세그먼트 데이터와 현재 프레임의 세그먼트 데이터를 근거로 보정 계조 데이터를 데이터 드라이버부에 출력한다.

그 결과, 동화상 구현에 적합하도록 이전 프레임의 계조 데이터와 현재 프레임의 계조 데이터를 고려하여 보정된 데이터 전압을 출력하는 데이터 계조 신호 변환기의 구성을 하나의 프레임과 4개 이하의 버퍼 메모리로 구성할 수 있어 액정 표시 장치의 제조 원가를 절감할 수 있다.

대표도 - 도10a



(56) 선행기술조사문헌  
JP07056532 A  
JP10039837 A  
JP10276349 A  
KR1020010050512 A  
KR1020020010216 A  
US5495265 B

---

**특허청구의 범위**

**청구항 1**

현재 프레임의 k번째 세그먼트 데이터가 입력됨에 따라 기저장된 현재 프레임의 (k-1)번째 세그먼트 데이터를 출력하고, 이전 프레임의 (k+1)번째 세그먼트 데이터가 입력됨에 따라 기저장된 이전 프레임의 k번째 세그먼트 데이터를 출력하는 버퍼 메모리부, 상기 버퍼 메모리부로부터 현재 프레임의 (k-1)번째 세그먼트 데이터가 입력됨에 따라 이를 저장하고, 이전 프레임의 (k+1)번째 세그먼트 데이터를 상기 버퍼 메모리부에 출력하는 프레임 메모리, 상기 버퍼 메모리부와 상기 프레임 메모리의 라이트(write)와 리드(read) 동작을 제어하는 컨트롤러 및 상기 데이터 계조 신호 소스로부터 수신되는 현재 프레임의 계조 데이터와 상기 버퍼 메모리부로부터 수신되는 이전 프레임의 k번째 세그먼트 데이터를 고려하여 상기 보정 계조 신호를 출력하는 데이터 계조 신호 변환기를 포함하는 데이터 계조 신호 보정부;

상기 보정 계조 신호에 대응하는 데이터 전압으로 바꾸어 화상 신호를 출력하는 데이터 드라이버부;

주사 신호를 순차적으로 공급하는 게이트 드라이버부; 및

상기 주사 신호를 전달하는 다수의 게이트 라인과, 상기 화상 신호를 전달하며 상기 게이트 라인과 절연되어 교차하는 다수의 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트 라인과 상기 데이터 라인에 연결되어 있는 스위칭 소자를 가지는 매트릭스 형태로 배열된 다수의 화소를 포함하는 액정 표시 패널

을 포함하는 액정 표시 장치.

**청구항 2**

삭제

**청구항 3**

제1항에 있어서, 상기 프레임 메모리부의 밴드폭은 세그먼트 데이터가 입력되는 밴드폭보다 큰 것을 특징으로 하는 액정 표시 장치.

**청구항 4**

제1항에 있어서,

상기 버퍼 메모리부는,

현재 프레임의 k번째 세그먼트 데이터가 입력됨에 따라 기저장된 현재 프레임의 (k-1)번째 세그먼트 데이터를 상기 프레임 메모리부에 제공하는 라이트용 버퍼; 및

상기 프레임 메모리부로부터 이전 프레임의 (k+1)번째 세그먼트 데이터가 입력됨에 따라 기저장된 이전 프레임의 k번째 세그먼트 데이터를 상기 데이터 계조 신호 변환기에 출력하는 리드용 버퍼를 포함하는 것을 특징으로 하는 액정 표시 장치.

**청구항 5**

제4항에 있어서,

상기 라이트용 버퍼는, 현재 프레임의 k번째 세그먼트 데이터를 저장하는 제1 라이트용 버퍼와 현재 프레임의 (k-1)번째 세그먼트 데이터를 저장하는 제2 라이트용 버퍼로 이루어지는 것을 특징으로 하는 액정 표시 장치.

**청구항 6**

제5항에 있어서,

상기 리드용 버퍼는, 이전 프레임의 k번째 세그먼트 데이터를 저장하는 제1 리드용 버퍼와 이전 프레임의 (k+1)번째 세그먼트 데이터를 저장하는 제2 리드용 버퍼로 이루어지는 것을 특징으로 하는 액정 표시 장치.

**청구항 7**

제4항에 있어서,

상기 라이트용 버퍼는, 제1 속도로 라이트-인 동작 이전에 상기 제1 속도보다는 고속의 제2 속도로 리드-아웃 동작을 시작하는 것을 특징으로 하는 액정 표시 장치.

**청구항 8**

제7항에 있어서,

상기 리드용 버퍼는, 상기 제2 속도로 라이트-인 동작 종료 이전에 상기 제1 속도로 리드-아웃 동작을 종료하는 것을 특징으로 하는 액정 표시 장치.

**청구항 9**

제4항에 있어서,

상기 라이트용 버퍼는, 라이트-인 동작이 시작한지 (i-1)클럭 만큼 후에 리드-아웃 동작을 시작하는 경우에는 i 개의 메모리 셀을 더 포함하여 이루어지고,

제1 속도로 라이트-인 동작 이후에 상기 제1 속도보다는 고속의 제2 속도로 리드-아웃 동작을 시작하는 것을 특징으로 하는 액정 표시 장치.

**청구항 10**

제9항에 있어서,

상기 리드용 버퍼는, 라이트-인 동작이 종료한 후 (j-1)클럭 만큼 지연되어 리드-아웃 동작이 종료되는 경우에는 j 개의 메모리 셀을 더 포함하여 이루어지고,

상기 제2 속도로 라이트-인 종료 이후에 상기 제1 속도로 리드-아웃 동작을 종료하는 것을 특징으로 하는 액정 표시 장치.

**청구항 11**

제1항에 있어서,

상기 세그먼트 데이터는 한 프레임의 데이터를 소정 갯수의 연속된 픽셀로 이루어지며, 외부의 합성기 또는 상기 라이트용 버퍼 메모리 크기 중 어느 하나에 의해 분할되는 것을 특징으로 하는 액정 표시 장치.

**청구항 12**

주사 신호를 전달하는 다수의 게이트 라인과, 화상 신호를 전달하며 상기 게이트 라인과 절연되어 교차하는 다수의 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트 라인과 상기 데이터 라인에 연결되어 있는 스위칭 소자를 가지는 매트릭스 형태로 배열된 다수의 화소를 포함하는 액정 표시 패널을 포함하는 액정 표시 장치의 구동 장치에 있어서,

현재 프레임의 k번째 세그먼트 데이터가 입력됨에 따라 기저장된 현재 프레임의 (k-1)번째 세그먼트 데이터를 출력하고, 이전 프레임의 (k+1)번째 세그먼트 데이터가 입력됨에 따라 기저장된 이전 프레임의 k번째 세그먼트 데이터를 출력하는 버퍼 메모리부;

상기 버퍼 메모리부로부터 현재 프레임의 (k-1)번째 세그먼트 데이터가 입력됨에 따라 이를 저장하고, 이전 프레임의 (k+1)번째 세그먼트 데이터를 상기 버퍼 메모리부에 출력하는 프레임 메모리;

상기 버퍼 메모리부와 상기 프레임 메모리의 라이트와 리드 동작을 제어하는 컨트롤러; 및

상기 데이터 계조 신호 소스로부터 수신되는 현재 프레임의 계조 데이터와 상기 버퍼 메모리부로부터 수신되는 이전 프레임의 k번째 세그먼트 데이터를 고려하여 상기 보정 계조 신호를 출력하는 데이터 계조 신호 변환기를 포함하는 데이터 계조 신호 보정부;

상기 보정 계조 신호에 대응하는 데이터 전압으로 바꾸어 화상 신호를 상기 데이터 라인에 출력하는 데이터 드라이버부; 및

주사 신호를 상기 게이트 라인에 순차적으로 공급하는 게이트 드라이버부를 포함하는 액정 표시 장치의 구동 장치.

**청구항 13**

삭제

**청구항 14**

제12항에 있어서,

상기 버퍼 메모리부는,

현재 프레임의 k번째 세그먼트 데이터가 입력됨에 따라 기저장된 현재 프레임의 (k-1)번째 세그먼트 데이터를 상기 프레임 메모리부에 제공하는 라이트용 버퍼; 및

상기 프레임 메모리부로부터 이전 프레임의 (k+1)번째 세그먼트 데이터가 입력됨에 따라 기저장된 이전 프레임의 k번째 세그먼트 데이터를 상기 데이터 계조 신호 변환기에 출력하는 리드용 버퍼를 포함하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**청구항 15**

제14항에 있어서,

상기 라이트용 버퍼는, 현재 프레임의 k번째 세그먼트 데이터를 저장하는 제1 라이트용 버퍼와 현재 프레임의 (k-1)번째 세그먼트 데이터를 저장하는 제2 라이트용 버퍼로 이루어지는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**청구항 16**

제15항에 있어서,

상기 리드용 버퍼는, 이전 프레임의 k번째 세그먼트 데이터를 저장하는 제1 리드용 버퍼와 이전 프레임의 (k+1)번째 세그먼트 데이터를 저장하는 제2 리드용 버퍼로 이루어지는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**청구항 17**

제14항에 있어서,

상기 라이트용 버퍼는, 제1 속도로 라이트-인 동작 이전에 상기 제1 속도보다는 고속의 제2 속도로 리드-아웃 동작을 시작하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**청구항 18**

제17항에 있어서,

상기 리드용 버퍼는, 상기 제2 속도로 라이트-인 동작 종료 이전에 상기 제1 속도로 리드-아웃 동작을 종료하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**청구항 19**

제14항에 있어서,

상기 라이트용 버퍼는, 라이트-인 동작이 시작한지 (i-1)클럭 만큼 후에 리드-아웃 동작을 시작하는 경우에는 i 개의 메모리 셀을 더 포함하여 이루어지고,

제1 속도로 라이트-인 동작 이후에 상기 제1 속도보다는 고속의 제2 속도로 리드-아웃 동작을 시작하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**청구항 20**

제19항에 있어서,

상기 리드용 버퍼는, 라이트-인 동작이 종료한 후 (j-1)클럭 만큼 지연되어 리드-아웃 동작이 종료되는 경우에는 j개의 메모리 셀을 더 포함하여 이루어지고,

상기 제2 속도로 라이트-인 종료 이후에 상기 제1 속도로 리드-아웃 동작을 종료하는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**청구항 21**

제12항에 있어서,

상기 세그먼트 데이터는 한 프레임의 데이터를 소정 갯수의 연속된 픽셀로 이루어지며, 외부의 합성기 또는 상기 라이트용 버퍼 메모리 크기 중 어느 하나에 의해 분할되는 것을 특징으로 하는 액정 표시 장치의 구동 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <21> 본 발명은 액정 표시 장치와 이의 구동 장치에 관한 것으로서, 특히 동화상 구현에 적합하도록 보상된 데이터 전압이 인가되는 액정 표시 장치와 이의 구동 장치에 관한 것이다.
- <22> 근래 퍼스널 컴퓨터나 텔레비전 등의 경량, 박형화에 따라 디스플레이 장치도 경량화, 박형화가 요구되고 있으며, 이러한 요구에 따라 음극선관 (cathode ray tube: CRT) 대신 액정 표시 장치(liquid crystal display: LCD)와 같은 플랫 패널형 디스플레이가 개발되고 있다.
- <23> LCD는 두 기판 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전기장(electric field)을 인가하고 이 전기장의 세기를 조절하여 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시장치이다. 이러한 LCD는 휴대가 간편한 플랫 패널형 디스플레이 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor: TFT)를 스위칭 소자로 이용한 TFT LCD가 주로 이용되고 있다.
- <24> 최근에는 TFT LCD가 컴퓨터의 디스플레이 장치뿐만 아니라 텔레비전의 디스플레이 장치로 널리 사용됨에 따라 동화상을 구현할 필요가 증가하게 되었다. 그러나, 종전의 TFT LCD는 응답속도가 느리기 때문에 동화상을 구현하기 어렵다는 단점이 있다.
- <25> 이러한 응답 속도 문제를 개선하기 위해 종래에는 OCB(Optically Compensated Band) 모드를 사용하거나, 강유전성 액정(FLC : Ferro-electric Liquid Crystal) 물질을 사용한 TFT LCD를 사용하였다.
- <26> 그러나, 이와 같은 OCB 모드나 FLC를 사용하기 위해서는 종래의 TFT LCD 패널 구조를 바꾸어야 하는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

- <27> 이에 본 발명의 기술과 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 TFT LCD의 패널 구조를 변경하지 않더라도 액정의 구동 장치를 변경함으로써 액정의 응답 속도를 개선시키기 위한 액정 표시 장치를 제공하는 것이다.
- <28> 또한 본 발명의 다른 목적은 상기한 액정 표시 장치의 구동 장치를 제공하는 것이다.

**발명의 구성 및 작용**

- <29> 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치는,
- <30> 데이터 계조 신호 소스로부터 제공되는 계조 신호를 내장된 하나의 프레임 메모리에 저장하고, 현재 프레임의 계조 신호와 이전 프레임의 계조 신호를 고려하여 보정 계조 신호를 출력하는 데이터 계조 신호 보정부;
- <31> 상기 보정 계조 신호에 대응하는 데이터 전압으로 바꾸어 화상 신호를 출력하는 데이터 드라이버부;

- <32> 주사 신호를 순차적으로 공급하는 게이트 드라이버부; 및
- <33> 상기 주사 신호를 전달하는 다수의 게이트 라인과, 상기 화상 신호를 전달하며 상기 게이트 라인과 절연되어 교차하는 다수의 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트 라인과 상기 데이터 라인에 연결되어 있는 스위칭 소자를 가지는 매트릭스 형태로 배열된 다수의 화소를 포함하는 액정 표시 패널을 포함하여 이루어진다.
- <34> 여기서, 상기 데이터 계조 신호 보정부는, 현재 프레임의 k번째 세그먼트 데이터가 입력됨에 따라 기저장된 현재 프레임의 (k-1)번째 세그먼트 데이터를 출력하고, 이전 프레임의 (k+1)번째 세그먼트 데이터가 입력됨에 따라 기저장된 이전 프레임의 k번째 세그먼트 데이터를 출력하는 버퍼 메모리부; 상기 버퍼 메모리부로부터 현재 프레임의 (k-1)번째 세그먼트 데이터가 입력됨에 따라 이를 저장하고, 이전 프레임의 (k+1)번째 세그먼트 데이터를 상기 버퍼 메모리부에 출력하는 프레임 메모리; 상기 버퍼 메모리부와 상기 프레임 메모리의 라이트와 리드 동작을 제어하는 컨트롤러; 및 상기 데이터 계조 신호 소스로부터 수신되는 현재 프레임의 계조 데이터와 상기 버퍼 메모리부로부터 수신되는 이전 프레임의 k번째 세그먼트 데이터를 고려하여 상기 보정 계조 신호를 출력하는 데이터 계조 신호 변환기를 포함하는 것을 특징으로 한다.
- <35> 특히, 상기한 버퍼 메모리부는, 현재 프레임의 k번째 세그먼트 데이터가 입력됨에 따라 기저장된 현재 프레임의 (k-1)번째 세그먼트 데이터를 상기 프레임 메모리부에 제공하는 라이트용 버퍼; 및 상기 프레임 메모리부로부터 이전 프레임의 (k+1)번째 세그먼트 데이터가 입력됨에 따라 기저장된 이전 프레임의 k번째 세그먼트 데이터를 상기 데이터 계조 신호 변환기에 출력하는 리드용 버퍼를 포함하는 것을 특징으로 한다.
- <36> 또한 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치의 구동 장치는, 주사 신호를 전달하는 다수의 게이트 라인과, 화상 신호를 전달하며 상기 게이트 라인과 절연되어 교차하는 다수의 데이터 라인과, 상기 게이트 라인과 상기 데이터 라인에 의해 둘러싸인 영역에 형성되며 각각 상기 게이트 라인과 상기 데이터 라인에 연결되어 있는 스위칭 소자를 가지는 매트릭스 형태로 배열된 다수의 화소를 포함하는 액정 표시 패널을 포함하는 액정 표시 장치의 구동 장치에 있어서,
- <37> 데이터 계조 신호 소스로부터 제공되는 계조 신호를 내장된 하나의 프레임 메모리에 저장하고, 현재 프레임의 계조 신호와 이전 프레임의 계조 신호를 고려하여 보정 계조 신호를 출력하는 데이터 계조 신호 보정부;
- <38> 상기 보정 계조 신호에 대응하는 데이터 전압으로 바꾸어 화상 신호를 상기 데이터 라인에 출력하는 데이터 드라이버부; 및
- <39> 주사 신호를 상기 게이트 라인에 순차적으로 공급하는 게이트 드라이버부를 포함하여 이루어진다.
- <40> 이러한 액정 표시 장치와 이의 구동 장치에 의하면, 동화상 구현에 적합하도록 이전 프레임의 계조 데이터와 현재 프레임의 계조 데이터를 고려하여 보정된 데이터 전압을 출력하는 데이터 계조 신호 변환기의 구성을 하나의 프레임과 4개의 버퍼 메모리로 구성할 수 있어 액정 표시 장치의 제조 원가를 절감할 수 있다.
- <41> 그러면, 통상의 지식을 지닌 자가 본 발명을 용이하게 실시할 수 있도록 실시예에 관해 설명하기로 한다.
- <42> 일반적으로 LCD는 주사 신호를 전달하는 다수의 게이트 라인과, 이 게이트 라인에 교차하여 형성되며 데이터 전압을 전달하는 데이터 라인을 포함한다. 또한 LCD는 이들 게이트 라인과 데이터 라인에 의해 둘러싸인 영역에 형성되며, 각각 게이트 라인 및 데이터 라인과 스위칭 소자를 통해 연결되는 행렬 형태의 다수의 화소를 포함한다.
- <43> 이러한 LCD에서 각 화소는 액정을 유전체로 가지는 커패시터 즉, 액정 커패시터(C1)로 모델링할 수 있는데, 이러한 LCD에서의 각 화소의 등가회로는 도 1과 같다.
- <44> 도 1에 도시한 바와 같이, 액정 표시 장치의 각 화소는 데이터 라인(Dm)과 게이트 라인(Sn)에 각각 소스 전극과 게이트 전극이 연결되는 TFT(10)와 TFT의 드레인 전극과 공통전압(Vcom) 사이에 연결되는 액정 커패시터(C1)와 TFT의 드레인 전극에 연결되는 스토리지 커패시터(Cst)를 포함한다.
- <45> 도 1에서, 게이트 라인(Sn)에 게이트 온 신호가 인가되어 TFT(10)가 턴온 되면, 데이터 라인에 공급된 데이터 전압(Vd)이 TFT를 통해 각 화소 전극(도시하지 않음)에 인가된다. 그러면, 화소 전극에 인가되는 화소 전압(Vp)과 공통 전압(Vcom)의 차이에 해당하는 전계가 액정(도 1에서는 등가적으로 액정 커패시터로 나타내었음)에 인가되어 이 전계의 세기에 대응하는 투과율로 빛이 투과되도록 한다. 이때, 화소 전압(Vp)은 1 프레임 동안 유지되어야 하는데, 도 1에서 스토리지 커패시터(Cst)는 화소 전극에 인가된 화소 전압(Vp)을 유지하기 위해 보조

적으로 사용된다.

- <46> 한편, 액정은 이방성 유전율을 갖기 때문에, 액정의 방향에 따라 유전율이 다른 특성이 있다. 즉, 전압이 인가됨에 따라 액정의 방향자가 변하면 유전율도 따라서 변하고 이에 따라 액정 커패시터의 커패시턴스(이하에서는 이를 '액정 커패시턴스'라 한다.) 값도 변하게 된다. 일단 TFT가 온되는 구간동안 액정 커패시터에 전하를 공급한 후, TFT가 오프 상태로 되는데,  $Q=CV$ 이므로 액정 커패시턴스가 변하면 액정에 걸리는 화소 전압( $V_p$ )도 또한 변하게 된다.
- <47> 노멀리 화이트 모드(Normally white mode) TN(twisted Nematics) LCD를 예를 들면, 화소에 공급되는 화소 전압이 0V인 경우에는 액정 분자가 기판에 평행한 방향으로 배열되어 있으므로 액정 커패시턴스는  $C(0V) = \epsilon^{\perp} A/d$ 가 된다. 여기서,  $\epsilon^{\perp}$ 는 액정 분자가 기판에 평행한 방향으로 배열된 경우 즉, 액정 분자가 빛의 방향과 수직인 방향으로 배열된 경우의 유전율을 나타내며, A와 d는 각각 LCD 기판의 면적과 기판 사이의 거리를 나타낸다. 풀 블랙(full black)을 구현하기 위한 전압이 5V이고, 액정에 5V가 인가되는 경우 액정 분자가 기판에 수직인 방향으로 배열되므로 액정 커패시턴스는  $C(5V) = \epsilon^{\parallel} A/d$ 가 된다. TN 모드에 사용되는 액정의 경우에는  $\epsilon^{\perp} < \epsilon^{\parallel}$  > 0 이므로 액정에 인가되는 화소 전압이 높아질수록 액정 커패시턴스가 더 커지게 된다.
- <48> n 번째 프레임에서 풀 블랙을 만들기 위해 TFT가 충전시켜야 하는 전하량은  $C(5V) \times 5V$ 이다. 그러나, 바로 전 프레임인 n-1 번째 프레임에서 풀 화이트( $V_{n-1} = 0V$ )였다고 가정하면 TFT의 턴온 시간 동안에는 액정이 미처 응답하기 전이므로 액정 커패시턴스는  $C(0V)$ 가 된다. 따라서, 풀 블랙을 만들기 위해 n 번째 프레임에서 5V의 데이터 전압( $V_d$ )을 인가하더라도 실제 화소에 충전되는 전하량은  $C(0V) \times 5V$ 가 되고,  $C(0V) < C(5V)$ 이므로 액정에 실제 공급되는 화소 전압( $V_p$ )은 5V에 못 미치게 되는 화소 전압(예를 들어 3.5V)이 인가되어 풀 블랙이 구현되지 않는다.
- <49> 또한, 다음 프레임인 n+1 번째 프레임에서 풀 블랙을 구현하기 위해 데이터 전압( $V_d$ )을 5V로 인가한 경우에는 액정에 충전되는 전하량은  $C(3.5V) \times 5V$ 가 되고, 결국 액정에 공급되는 전압( $V_p$ )은 3.5V와 5V 사이가 된다. 이와 같은 과정을 되풀이하면 결국 몇 프레임 후에 화소 전압( $V_p$ )이 원하는 전압에 도달하게 된다.
- <50> 즉 이를 계조의 관점에서 설명하면, 임의의 화소에 인가되는 신호(화소전압)가 낮은 계조에서 높은 계조로(또는 높은 계조에서 낮은 계조로) 바뀌는 경우, 현재 프레임의 계조는 이전 프레임의 계조의 영향을 받기 때문에 바로 원하는 계조에 도달하지 못하고, 몇 프레임이 경과된 후에야 비로소 원하는 계조에 도달하게 된다. 마찬가지로, 현재 프레임의 화소의 투과율은 이전 프레임의 화소의 투과율의 영향을 받아 몇 프레임의 경과된 후에야 원하는 투과율을 얻을 수 있다.
- <51> 한편, n-1 프레임이 풀 블랙이고 즉, 화소 전압( $V_p$ )이 5V이고, n 프레임에서 풀 블랙을 구현하기 위해 5V의 데이터 전압이 인가되었다고 하면, 액정 커패시턴스는  $C(5V)$ 이므로 화소에는  $C(5V) \times 5V$ 에 해당하는 전하량이 충전되고 이에 따라 액정의 화소 전압( $V_p$ )은 5V가 된다.
- <52> 이와 같이, 액정에 실제 공급되는 화소 전압( $V_p$ )은 현재 프레임에 공급되는 데이터 전압뿐만 아니라 이전 프레임의 화소 전압( $V_p$ )에 의해서도 결정된다.
- <53> 도 2는 종래의 구동방식으로 인가되는 경우의 데이터 전압 및 화소 전압을 나타내는 도면이다.
- <54> 도 2에 도시한 바와 같이, 종래에는 이전 프레임의 화소 전압( $V_p$ )을 고려하지 않고, 목표 화소 전압( $V_w$ )에 해당하는 데이터 전압( $V_d$ )을 매 프레임마다 인가하였다. 따라서, 실제 액정에 인가되는 화소 전압( $V_p$ )은 앞서 설명한 바와 같이, 이전 프레임의 화소 전압에 대응하는 액정 커패시턴스에 의해 목표 화소 전압 보다 낮게 또는 높게 된다. 따라서, 몇 프레임이 지난 후에야 비로소 목표 화소 전압에 도달하게 된다.
- <55> 도 3은 종래의 구동 방법에 따른 액정 표시 장치의 투과율을 나타내는 도면이다.
- <56> 도 3에 도시한 바와 같이, 종래에는 실제 화소 전압이 목표 화소 전압 보다 낮게 되기 때문에 액정의 응답시간이 1프레임 이내인 경우에도 몇 프레임이 지난 후에야 비로소 목표 투과율에 도달하게 된다.
- <57> 본 발명의 실시예에 따르면, 현재 프레임의 화상 신호( $S_n$ )를 이전 프레임의 화상 신호( $S_{n-1}$ )와 비교하여 화상 신호를 보정한 화상 신호( $S_n'$ )를 생성한 후, 보정된 화상 신호( $S_n'$ )를 각 화소에 인가한다. 여기서, 화상 신호( $S_n$ )는 아날로그 구동 방식인 경우에는 데이터 전압을 의미하나, 디지털 구동 방식의 경우에는 데이터 전압을 제어하기 위하여 이진화된 계조 신호를 사용하므로 실제 화소에 인가되는 전압의 보정은 계조 신호의 보정을 통

해서 이루어진다.

- <58> 첫째, 현재 프레임의 화상 신호(계조 신호 또는 데이터전압)가 이전 프레임의 화상 신호와 같으면 보정을 행하지 않는다.
- <59> 둘째, 현재 프레임의 계조 신호 또는 데이터 전압)가 이전 프레임의 계조 신호(데이터 전압)보다 높은 경우에는 현재의 계조 신호(데이터 전압) 보다 더 높은 보정된 계조 신호(데이터 전압)를 출력하고, 현재 프레임의 계조 신호(데이터 전압)가 이전 프레임의 계조 신호(데이터 전압)보다 낮은 경우에는 현재의 계조 신호(데이터 전압) 보다 더 낮은 보정된 계조 신호(데이터 전압)를 출력한다. 이때, 보정이 이루어지는 정도는 현재의 계조 신호(데이터 전압)와 이전 프레임의 계조 신호(데이터 전압)와의 차에 비례하는 것이 바람직하다.
- <60> 이하에서는 본 발명의 실시예에 따른 데이터 전압 보정 방법을 계량적으로 설명한다.
- <61> 도 4는 액정 표시 장치의 전압-유전율간의 관계를 간단하게 모델링한 도면이다.
- <62> 도 4에서, 가로축은 화소 전압이며, 세로 축은 특정 화소 전압(v)에서의 유전율( $\epsilon(v)$ )과 액정이 기판에 평행한 방향으로 배열된 경우 즉, 액정이 빛의 투과 방향과 수직인 경우의 유전율( $\epsilon^\perp$ )의 비를 나타낸다.
- <63> 도 4에서는,  $\epsilon(v)/\epsilon^\perp$ 의 최대값 즉,  $\epsilon^\parallel / \epsilon^\perp$ 을 3이라 가정하였고, Vth와 Vmax를 각각 1V, 4V로 가정하였다. 여기서, Vth와 Vmax는 각각 풀 화이트 및 풀 블랙(또는 그 반대)에 해당하는 화소 전압을 나타낸다.
- <64> 스토리지 커패시터의 커패시턴스(이하에서는 이를 '스토리지 커패시턴스'라 한다.)가 액정 커패시턴스의 평균값과 같다고 하고, LCD 기판의 넓이 및 기판 사이의 거리를 각각 A와 d라 하면, 스토리지 커패시턴스 Cst는 다음의 수학적 식 1로 나타낼 수 있다.

**수학적 식 1**

<65> 
$$C_{st} = C_t = \frac{1}{3} (\epsilon^\parallel + 2\epsilon^\perp) \frac{A}{d} = \frac{5}{3} \epsilon^\perp \frac{A}{d} = \frac{5}{3} C_o$$

<66> 여기서,  $C_o = \epsilon^\perp A/d$ 이다.

<67> 도 4로부터,  $\epsilon(v)/\epsilon^\perp$ 는 다음의 수학적 식 2로 나타낼 수 있다.

**수학적 식 2**

<68> 
$$\frac{\epsilon(v)}{\epsilon^\perp} = \frac{1}{3} (2V+1)$$

<69> 한편, LCD의 총 커패시턴스 C(V)는 액정 커패시턴스와 스토리지 커패시턴스의 합이므로, LCD의 커패시턴스는 C(V)는 수학적 식 1 및 2로부터 다음의 수학적 식 3으로 나타낼 수 있다.

**수학적 식 3**

<70> 
$$C(V) = C_t + C_{st} = \epsilon(v)Ad/3 + 5/3C_o = 1/3(2V+1)C_o + 5/3C_o = 2/3(V+3)C_o$$

<71> 화소에 인가되는 전하량(Q)은 보존되므로, 다음의 수학적 식 4가 성립한다.

**수학적 식 4**

<72> 
$$Q = C(V_{n-1})V_n = C(V_f)V_f$$

<73> 여기서, Vn은 현재 프레임에 인가될 데이터 전압(반전 구동 방식의 경우에는 데이터 전압의 절대값)을 나타내며, C(Vn-1)는 이전 프레임(n-1 프레임)의 화소 전압에 대응하는 커패시턴스를 나타내며, C(Vf)는 현재 프레임(n 프레임)의 실제 화소 전압(Vf)에 대응하는 커패시턴스를 나타낸다.

<74> 수학적 식 3 및 수학적 식 4로부터 다음의 수학적 식 5가 유도될 수 있다.

**수학식 5**

<75>  $C(V_{n-1})V_n = C(V_f)V_f = 2/3(V_{n-1}+3)V_n = 2/3(V_f+3)V_f$

<76> 따라서, 실제 화소 전압 Vf는 다음의 수학식 6으로 나타낼 수 있다.

**수학식 6**

<77> 
$$V_f = \frac{-3 + \sqrt{9 + 4V_n(V_{n-1} + 3)}}{2}$$

<78> 상기한 수학식 6으로부터 명확히 알 수 있듯이, 실제 화소 전압(Vf)는 현재 프레임에 인가된 데이터 전압(Vn)과 이전 프레임에 인가된 화소 전압(V<sub>n-1</sub>)에 의해서 결정된다.

<79> 한편, n 프레임에서 화소 전압이 목표 전압(Vn)에 도달하도록 하기 위해 인가되는 데이터 전압을 Vn'라고 하면, Vn'는 수학식 5로부터 하기하는 수학식 7로 나타낼 수 있다.

**수학식 7**

<80>  $(V_{n-1}+3)V_n' = (V_n+3)V_n$

<81> 따라서, Vn'는 하기하는 수학식 8로 나타낼 수 있다.

**수학식 8**

<82> 
$$V_n' = \frac{V_n + 3}{V_{n-1} + 3} V_n = V_n + \frac{V_n - V_{n-1}}{V_{n-1} + 3} V_n$$

<83> 이와 같이, 현재 프레임의 목표 화소 전압(Vn)과 이전 프레임의 화소 전압(V<sub>n-1</sub>)을 고려하여 상기 수학식 8에 의해 구해지는 데이터 전압(Vn')을 인가하면, 목표로 하는 화소 전압(Vn)에 바로 도달할 수 있다.

<84> 위의 수학식 8은 도 4에 도시한 도면 및 몇몇 기본 가정으로부터 유도된 식이며, 일반적인 LCD에서 적용되는 데이터 전압(Vn')는 다음의 수학식 9로 나타낼 수 있다.

**수학식 9**

<85>  $|V_n'| = |V_n| + f(|V_n| - |V_{n-1}|)$

<86> 여기서, 함수 f는 LCD의 특성에 의해 결정된다. 함수 f는 기본적으로 다음의 성질을 갖는다.

<87> 즉,  $|V_n|$ 과  $|V_{n-1}|$ 이 같은 경우에 f=0이 되며,  $|V_n|$ 이  $|V_{n-1}|$  보다 큰 경우 f는 0 보다 크고,  $|V_n|$ 이  $|V_{n-1}|$  보다 작은 경우 f는 0 보다 작다.

<88> 다음은 본 발명의 실시예에 따른 데이터 전압 인가방법을 설명한다.

<89> 도 5는 본 발명의 일 실시예에 따른 데이터 전압 인가방법을 나타내는 도면이다.

<90> 도 5에 도시한 바와 같이, 본 발명의 일 실시예에서는 현재 프레임의 목표 화소 전압과 이전 프레임의 화소 전압(데이터 전압)을 고려하여 보정된 데이터 전압 Vn'을 인가하여, 화소 전압(Vp)이 바로 목표 전압에 도달하도록 한다. 즉, 본 발명의 제1 실시예에서는 현재 프레임의 목표 전압과 이전 프레임의 화소 전압이 다른 경우, 현재 프레임의 목표 전압 보다 더 높은 전압(또는 더 낮은 전압)을 보정된 데이터 전압으로서 인가하여 첫 번째 프레임에서 바로 목표 전압 레벨에 도달하도록 한 후 이후의 프레임에서는 목표 전압을 데이터 전압으로 인가한다. 이와 같이 함으로써 액정의 응답속도를 개선할 수 있다.

<91> 이때, 보정된 데이터 전압(전하량)은 이전 프레임의 화소 전압에 의해 결정되는 액정 커패시턴스를 고려하여 결정한다. 즉, 본원 발명은 이전 프레임의 화소 전압 레벨을 고려하여 전하량(Q)을 공급함으로써 첫 번째 프레임에서 바로 목표 전압 레벨에 도달하도록 한다.

<92> 도 6은 본 발명의 제1 실시예에 따라 데이터 전압을 인가한 경우의 액정 표시 장치의 투과율을 나타내는 도면이

다. 도 6에 도시한 바와 같이, 본 발명의 제1 실시예에 따르면 보정된 데이터 전압을 인가하기 때문에, 현재 프레임에서 바로 목표 투과율에 도달한다.

- <93> 한편, 본 발명의 제2 실시예에서는 목표 전압보다 약간 높은 보정된 전압  $V_n'$ 을 화소 전압으로 인가한다. 이와 같이 구동하는 경우에는 도 7에 도시한 바와 같이 액정의 응답 시간의 약 1/2 이전에서는 투과율이 목표치보다 작게 되나 그 이후에서는 목표치보다 과도하게 되어(overcompensate) 평균적인 투과율이 목표 투과율과 같아진다.
- <94> 그러면, 본 발명의 실시예에 따른 동화상 구현에 적합한 액정 표시 장치를 설명한다.
- <95> 도 8은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면으로, 본 발명의 실시예에 따른 액정표시장치는 디지털 구동 방법을 사용한다.
- <96> 도 8에 도시한 바와 같이, 본 발명의 실시예에 따른 액정 표시 장치는 액정 표시 장치 패널(100), 게이트 드라이버부(200), 데이터 드라이버부(300) 및 데이터 계조 신호 보정부(400)를 포함한다.
- <97> 액정 표시 장치 패널(100)에는 게이트 온 신호를 전달하기 위한 다수의 게이트 라인(S1, S2, S3, ..., Sn)이 형성되어 있으며, 보정된 데이터 전압을 전달하기 위한 데이터 라인(D1, D2, ..., Dm)이 형성되어 있다. 게이트 라인과 데이터 라인에 의해 둘러싸인 영역은 각각 화소를 이루며, 각 화소는 게이트 라인과 데이터 라인에 각각 게이트 전극 및 소스 전극이 연결되는 박막 트랜지스터(110)와 박막 트랜지스터(110)의 드레인 전극에 연결되는 화소 커패시터(C1)와 스토리지 커패시터(Cst)를 포함한다.
- <98> 게이트 드라이버부(200)는 게이트 라인에 순차적으로 게이트 온 전압을 인가하여, 게이트 온 전압이 인가된 게이트 라인에 게이트 전극이 연결되는 TFT를 턴온시킨다.
- <99> 데이터 계조 신호 보정부(400)는 데이터 계조 신호 소스, 예를 들어 외부의 그래픽 콘트롤러로부터 데이터 계조 신호( $G_n$ )를 수신한 후, 앞서 설명한 바와 같이 현재 프레임의 데이터 계조 신호와 이전 프레임의 데이터 계조 신호를 고려하여 보정된 데이터 계조 신호( $G_n'$ )을 출력한다. 이때, 데이터 계조 신호 보정부(400)는 스탠드 얼론(stand-alone) 유닛으로 존재할 수도 있고, 그래픽 카드나 LCD 모듈에 통합될 수도 있다.
- <100> 데이터 드라이버부(300)는 데이터 계조 신호 보정부(400)로부터 수신된 보정된 계조 신호( $G_n'$ )를 해당 계조 전압(데이터 전압)으로 바꾸어 각각 데이터 라인에 인가한다.
- <101> 도 9는 본 발명의 일 실시예에 따른 데이터 계조 신호 보정부를 나타내는 도면으로, 상기한 도 8의 데이터 계조 신호 보정부(400)를 상세하게 나타내는 블록도이다.
- <102> 도 9에 도시한 바와 같이, 본 발명의 일 실시예에 따른 데이터 계조 신호 보정부(400)는 합성기(410), 프레임 메모리부(420), 컨트롤러(430), 데이터 계조 신호 변환기(440) 및 분리기(450)를 포함한다.
- <103> 합성기(410)는 데이터 계조 신호 소스로부터 전송되는 계조 신호( $G_n$ )를 수신하여, 데이터 계조 신호 보정부(400)가 처리할 수 있는 속도로 데이터 스트림의 주파수를 변환한다. 예컨대, 데이터 계조 신호 소스로부터 24 비트의 데이터가 65MHz 주파수에 동기하여 수신되고, 데이터 계조 신호 보정부(400)의 구성 요소들의 처리 속도가 50MHz가 한계라고 하면, 합성기(410)는 24 비트의 계조 신호를 2개씩 묶어 48 비트의 계조 신호( $G_m$ )로 합성하여 프레임 메모리부(420)로 전송한다.
- <104> 합성된 계조 신호( $G_m$ )는 컨트롤러(430)의 제어에 의해 소정 어드레스에 저장되어 있는 이전 계조 신호( $G_{m-1}$ )를 데이터 계조 신호 변환기(440)에 출력함과 동시에, 합성기(410)로부터 전송되는 계조 신호( $G_m$ )를 상기 소정 어드레스에 저장한다. 데이터 계조 신호 변환기(440)는 합성기로부터 출력되는 현재 프레임의 계조 신호( $G_m$ )와 프레임 메모리부(420)로부터 출력되는 이전 프레임의 계조 신호( $G_{m-1}$ )를 수신하고, 현재 프레임의 계조 신호와 이전 프레임의 계조 신호를 고려하여 보정된 계조 신호( $G_m'$ )를 생성한다.
- <105> 분리기(450)는 데이터 계조 신호 변환기(440)로부터 출력되는 48비트의 보정된 데이터 계조 신호( $G_m'$ )를 분리하여 24 비트의 보정된 계조 신호( $G_n'$ )를 출력한다.
- <106> 본 발명의 실시예에서는 데이터 계조 신호에 동기하는 클럭 주파수가 프레임 메모리를 액세스하는 클럭 주파수와 상이하기 때문에, 데이터 계조 신호를 합성 및 분리하는 합성기(410) 및 분리기(450)가 필요하였으나, 데이터 계조 신호에 동기하는 클럭 주파수와 프레임 메모리부(420)를 액세스하는 클럭 주파수가 같은 경우에는 이와 같은 합성기와 분리는 불필요하게 된다.

- <107> 본 발명의 실시예에 따른 데이터 계조 신호 변환기(440)로는 앞서 설명한 수학적 식 9를 만족하는 디지털 회로를 직접 제조하여 사용할 수 있다.
- <108> 또한, 룩업 테이블(Look-up table)을 작성하여 ROM(read only memory)에 저장한 후 액세스하여 계조 신호를 보정할 수도 있다.
- <109> 실제로 보정 데이터 전압( $V_n'$ )는 단순히 이전 프레임의 데이터 전압( $V_{n-1}$ )과 현재 프레임의 데이터 전압( $V_n$ )의 차에만 비례하는 것이 아니고 각각의 절대값에도 의존하는 복잡한 함수이므로 이처럼 룩업 테이블을 구성하면 연산처리에 의존하는 것보다 회로가 훨씬 간단하게 된다는 장점이 있다.
- <110> 한편, 본 발명의 실시예에 따라 데이터 전압을 보정하기 위해서는 실제로 쓰이는 그레이 스케일 범위보다 더 넓은 다이내믹 레인지를 가져야 하는데, 아날로그 회로에서는 고전압 IC(integrated circuit)를 사용함으로써 해결할 수 있지만 디지털 방식에서는 나눌 수 있는 계조수가 한정되어 있다. 예를 들어, 6비트 계조의 경우 64개의 계조 레벨 중 일부는 실제의 계조 표시가 아닌 변조된 전압을 위해 할당을 하여야 한다. 즉, 일부의 계조 레벨은 전압 보정용으로 할당해야 한다. 따라서, 표현해야 하는 계조의 수가 줄어들게 된다.
- <111> 한편, 상기한 도 9에서 제시하는 프레임 메모리부는 현재 프레임의 계조 신호를 라이트-인 해야 하고, 이와 동시에 이전 프레임의 계조 신호를 리드-아웃하여 데이터 계조 신호 변환기(440)에 출력해야 한다.
- <112> 그러나 통상적인 프레임 메모리로 사용되는 DRAM 계열의 메모리는 입출력 포트가 싱글 포트이기 때문에 리드-아웃과 라이트-인을 동시에 수행할 수 없다는 단점이 있다.
- <113> 따라서 프레임 메모리부에 2개의 프레임 메모리를 한 쌍으로 구성하여 각 프레임마다 각각의 프레임 메모리부 리드-아웃 및 라이트-인 동작을 전담하고, 프레임이 바뀔 때마다 리드-아웃과 라이트-인 역할을 바꾸어 수행하는 방법이 일반적이다.
- <114> 그러나, 프레임 메모리는 고가이기 때문에 액정 표시 장치의 원가를 상승시키는 요인으로 작용한다.
- <115> 이에, 본 발명의 다른 실시예에서는 동화상 구현에 적합하도록 보상된 데이터 전압을 인가하기 위한 데이터 계조 신호 보정부에서 구성되는 프레임 메모리부를 하나의 프레임 메모리로 구현더라도 상기한 2개의 프레임 메모리를 사용하는 효과와 동일하도록 하여 원가를 절감할 수 있는 액정 표시 장치를 제공한다.
- <116> 도 10a 내지 도 10b는 본 발명의 다른 실시예에 따른 데이터 계조 신호 보정부를 설명하기 위한 도면으로, 상기한 도 9의 프레임 메모리를 보다 상세히 설명한다.
- <117> 도 10a 내지 도 10b를 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치는 라이트용 버퍼 메모리(422-Wa)(422-Wb)와 리드용 버퍼 메모리(422-Ra)(422-Rb)를 각각 2개씩 구비하는 버퍼 메모리부(422)와 하나의 프레임 메모리를 구비하는 프레임 메모리부(424)를 포함하여 이루어진다.
- <118> 버퍼 메모리부(422)는 현재 프레임의 k번째 세그먼트 데이터가 입력됨에 따라 기저장된 현재 프레임의 (k-1)번째 세그먼트 데이터를 출력하고, 이전 프레임의 (k+1)번째 세그먼트 데이터가 입력됨에 따라 기저장된 이전 프레임의 k번째 세그먼트 데이터를 출력한다.
- <119> 또한 프레임 메모리(424)는 버퍼 메모리부(422)로부터 현재 프레임의 (k-1)번째 세그먼트 데이터가 입력됨에 따라 이를 저장하고, 이전 프레임의 (k+1)번째 세그먼트 데이터를 상기 버퍼 메모리부에 출력한다.
- <120> 이상에서 설명한 본 발명의 다른 실시예에 따른 액정 표시 장치는 상기한 본 발명의 일 실시예와 비교해서는 총 4개의 버퍼 메모리를 더 구비해야 하나, 버퍼 메모리의 가격은 프레임 메모리의 가격 보다 훨씬 저렴하기 때문에 액정 표시 장치의 제조 원가를 절감할 수 있다.
- <121> 도 10a는 k번째 세그먼트(segment)의 픽셀 데이터가 X MHz의 속도로 제1 라이트용 버퍼 메모리(422-Wa)에 입력되는 것을 그 일례로 설명하고, 도 10b는 (k+1)번째 세그먼트의 픽셀 데이터가 X MHz의 속도로 제2 라이트용 버퍼 메모리(422-Wb)에 입력되는 것을 그 일례로 설명한다.
- <122> 그러면, 상기한 도 10a 내지 도 10b를 참조하여 메모리 제어 방식을 보다 상세히 설명한다.
- <123> 먼저, 한 프레임의 데이터를 m(여기서, m은 양의 정수)개의 연속된 픽셀들로 이루어진 세그먼트로 분할한다. 이때 세그먼트 분할은 합성기(410)에 의해서 수행될 수도 있고, 하나의 라이트용 버퍼 메모리 크기에 연동하여 세그먼트로 분할될 수도 있다.

- <124> X MHz의 속도로 입력되는 현재 프레임의 k번째 세그먼트 데이터는 제1 라이트용 버퍼 메모리(422-Wa)에 순차적으로 쓰여지게 된다.
- <125> 한편, 제1 리드용 버퍼 메모리(422-Ra)에는 이전 프레임의 k번째 세그먼트 데이터(k')가 저장되어 있는데, 이전 프레임의 k번째 세그먼트 데이터(k')는 현재 프레임의 k번째 데이터(k)와 보조를 맞추어 X MHz의 속도로 리드-아웃되어 데이터 계조 신호 변환기(440)에 입력되어 보정값으로 바뀌게 된다.
- <126> 제2 라이트용 버퍼 메모리(422-Wb)에는 현재 프레임의 2번째 세그먼트 데이터(k-1)가 저장되어 있고, 현재 프레임의 (k-1)번째 세그먼트 데이터(k-1)는  $\alpha$  X MHz의 속도로 프레임 메모리부(424)에 출력되어 저장된다. 여기서,  $\alpha$ 는 양의 정수이고, 바람직하게는 2 이상의 양의 정수이다.
- <127> 이러한 라이트-인 동작의 종료 후 프레임 메모리부(424)에 저장된 이전 프레임의 (k+1)번째 세그먼트 데이터{(k+1)'}가  $\alpha$  X MHz의 속도로 리드-아웃되어 제2 라이트용 버퍼 메모리(422-Wb)에 쓰여진다.
- <128> 한편, 도 10b에 도시한 바와 같이, 외부로부터 현재 프레임의 (k+1)번째 세그먼트 데이터(k+1)가 들어오면 해당 데이터는 제2 라이트용 버퍼 메모리(422-Wb)에 쓰여지고, 제2 리드용 버퍼 메모리(422-Rb)에 쓰여진 이전 프레임의 (k+1)번째 세그먼트 데이터{(k+1)'}는 데이터 계조 신호 변환기(440)로 출력되어 보정값으로 바뀌게 된다.
- <129> 이 동안 제1 라이트용 버퍼 메모리(422-Wa)에 저장된 현재 프레임의 k번째 세그먼트 데이터(k)는 프레임 메모리부(424)에 라이트-인하고, 프레임 메모리부(424)로부터는 이전 프레임의 (k+2)번째 세그먼트 데이터((k+2)')가 리드-아웃되어 제1 리드용 버퍼 메모리(422-Ra)에 저장된다.
- <130> 다음 세그먼트 데이터에 대해서도 상기한 읽기/쓰기 동작은 계속 진행된다.
- <131> 이상에서는 외부로부터 입력되는 세그먼트 데이터를 먼저 라이트-인하고, 프레임 메모리부에 저장된 세그먼트 데이터를 리드-인하여 출력하는 것을 설명하였으나, 이와는 반대로 프레임 메모리부에 저장된 세그먼트 데이터를 먼저 리드-아웃하고, 외부로부터 입력되는 세그먼트 데이터를 라이트-인하는 것도 당업자에게는 용이할 것이다.
- <132> 이상에서 설명한 바와 같이, 본 발명의 다른 실시예에 따른 세그먼트 데이터의 읽기/쓰기 동작은 외부로부터 1 세그먼트의 데이터가 들어오는 동안 1세그먼트만큼의 데이터를 라이트-인하고, 1세그먼트만큼의 데이터를 리드해야 하므로, 프레임 메모리의 밴드폭은 세그먼트 데이터가 들어오는 밴드폭보다 커야한다. 즉, 클럭 속도가 픽셀 클럭 속도보다 크던지, 또는 메모리와의 인터페이스 폭이 커져야 한다.
- <133> 이러한 프레임 메모리와의 인터페이스의 밴드폭 결정은 하기하는 수학적 식 10과 같다.

**수학적 식 10**

$$\alpha = \frac{2m + FML(2 \text{ or } 3) + DQM(1) + BML(1 \text{ or } 2) + \Delta}{m}$$

- <134> 여기서, m은 세그먼트 사이즈, FML(Frame Memory Latency)은 프레임 메모리(424)의 지연 클럭(예를 들어 2 내지 3클럭), BML(Buffer Memory Latency)은 버퍼 메모리(422)의 지연 클럭(예를들어, 1 내지 2클럭),  $\Delta$ 는 버퍼 메모리(422)로부터 프레임 메모리(424)까지 세그먼트가 이동하는데 소요 가능한 지연 클럭이다. 또한 프레임 메모리(424)에서는 I/O 버스 연결을 피하기 위해 리드와 라이트-인 동작 사이에 1클럭만큼의 마스킹(DQM)이 필요하다.
- <136> 상기한 수학적 식 10에서 보는 바와 같이,  $\alpha$ 는 기본적으로 2보다 큰 값이나, 디스플레이 라인간에는 블랙 구간이 존재하므로 이보다는 여유있다.

**수학적 식 11**

$$\alpha = \frac{2m + FML(2 \text{ or } 3) + DQM(1) + BML(1 \text{ or } 2) + \Delta}{m + k \cdot \frac{m}{L}}$$

- <137> 여기서, m은 세그먼트 사이즈, FML은 프레임 메모리(424)의 지연 클럭, BML은 버퍼 메모리(422)의 지연 클럭,  $\Delta$ 는 버퍼 메모리(422)로부터 프레임 메모리(424)까지 세그먼트가 이동하는데 소요 가능한 지연 클럭, k는 블랙 구간의 클럭 수, L은 1라인의 픽셀 수이다.
- <138> 여기서, m은 세그먼트 사이즈, FML은 프레임 메모리(424)의 지연 클럭, BML은 버퍼 메모리(422)의 지연 클럭,  $\Delta$ 는 버퍼 메모리(422)로부터 프레임 메모리(424)까지 세그먼트가 이동하는데 소요 가능한 지연 클럭, k는 블랙 구간의 클럭 수, L은 1라인의 픽셀 수이다.

- <139> 따라서,  $m$ 값이 충분히 크면 밴드폭은 2배가 되지 않아도 된다.
- <140> 상기한 수학식 10 또는 11에서 알 수 있듯이, 버퍼 메모리의 크기와 프레임 메모리와의 밴드폭은 반비례(trade-off) 관계에 있다. 즉,  $m$ 을 키우면 밴드폭을 줄일 수 있으나, 버퍼 메모리의 크기가 커져야 하고,  $m$ 이 작아지면 그 반대이다.
- <141> 통상 1라인을 모두 저장해도 XGA의 경우 2KB에 불과한 반면, 밴드폭을 올리려면 클럭 속도가 높아져서 구동 마진이 줄어들거나 EMI 등이 발생할 수 있고, 인터페이스의 수가 늘어나기 때문에  $m$ 값이 충분히 큰 것이 바람직하다. 여기서,  $m$ 이  $L$ 보다 큰 것은 의미가 없다.
- <142> 상기한 도 10a 내지 도 10b의 경우는 라이트용 버퍼 메모리(422-Wa)(422-Wb)와 리드용 버퍼 메모리(422-Ra)(422-Rb)로 각각 2개의 버퍼 메모리, 총 4개의 버퍼 메모리를 필요로 하지만 라이트용 버퍼 메모리와 리드용 버퍼 메모리를 각각 하나씩 이용하여 버퍼 메모리간의 저장 공간을 공유하는 것도 가능하다.
- <143> 그러면, 하나의 프레임 메모리를 사용하는 데이터 계조 신호 보정부에서 총 2개의 버퍼 메모리를 이용하더라도, 상기한 총 4개의 버퍼 메모리를 사용하는 효과와 동일하도록 하여 원가를 절감할 수 있는 액정 표시 장치를 제공한다.
- <144> 도 11a 내지 도 11d는 본 발명의 다른 실시예에 따른 버퍼 메모리 공유를 설명하기 위한 도면이다.
- <145> 도 11a는 라이트-인 동작 이전에 리드-아웃 동작을 수행하는 라이트용 버퍼 메모리를 설명하기 위한 도면이고, 도 11b는 라이트-인 동작 이후에  $(i-1)$ 픽셀 이후에 리드-아웃을 시작하는 라이트용 버퍼 메모리를 설명하기 위한 도면이다.
- <146> 도 11a에 도시한 바와 같이,  $m$ 픽셀을 갖는 하나의 세그먼트가 저장된 라이트용 버퍼로부터 축차적으로  $aX$  MHz 속도로 프레임 메모리에 리드-아웃하여 메모리 셀을 비우고, 비워진 메모리 셀에  $X$  MHz 속도로  $m$ 픽셀을 갖는 하나의 세그먼트를 축차적으로 라이트-인한다.
- <147> 물론, 도 11b에 도시한 바와 같이, 라이트-인 동작을 시작한지  $(i-1)$ 클럭만큼 후에 리드-아웃 동작을 시작한다면 버퍼 메모리내의 메모리 셀을  $i$ 개만큼 더 준비하여야 한다.
- <148> 도 11c는 라이트-인 동작 종료 이전에 리드-아웃을 종료하는 리드용 버퍼 메모리를 설명하기 위한 도면이고, 도 11d는 라이트-인 동작 종료 이전에  $(j-1)$ 픽셀 이후에 리드-아웃을 종료하는 리드용 버퍼 메모리를 설명하기 위한 도면이다.
- <149> 도 11c에 도시한 바와 같이, 데이터 계조 신호 변환기(440)로의 리드-아웃이 프레임 메모리(424)로부터의 라이트-인보다 일찍 끝난다면, 하나의  $m$  픽셀 블록의 버퍼 메모리를 이용하여 라이트-인과 리드 동작을 수행하는 것이 가능하다.
- <150> 물론, 도 11d에 도시한 바와 같이, 리드-아웃이 라이트-인 보다  $(j-1)$ 클럭만큼 늦게 끝난다면, 버퍼 메모리내의 메모리 셀을  $j$ 개만큼 더 준비하여야 한다.
- <151> 이상의 본 발명의 또 다른 실시예에서 설명한 바와 같이, 라이트용 버퍼 메모리에는 현재 프레임의 현재 세그먼트 데이터를 저장하고, 현재 프레임의 이전 세그먼트 데이터를 프레임 메모리(424)에 출력하는 동작을 동시에 수행하므로써 버퍼 메모리간의 저장 공간을 공유할 수 있다.
- <152> 또한, 리드용 버퍼 메모리에는 이전 프레임의 현재 세그먼트 데이터를 프레임 메모리(424)로부터 리드-아웃하여 저장하고, 저장된 이전 프레임의 이전 세그먼트 데이터를 계조 신호 변환기(440)에 출력하는 기능을 동시에 수행하므로써 버퍼 메모리간의 저장 공간을 공유할 수 있다.
- <153> 여기서, 프레임 메모리(424)로의 리드-아웃은 현재 세그먼트 데이터를 라이트-인 하는 것보다  $a$  배 빠른 속도로 수행되면 가능하다. 따라서, 리드-아웃이 현재 세그먼트 데이터의 라이트-인보다 먼저 시작한다면, 상기한 두 동작은 동일 버퍼 메모리를 사용하여도 무방할 것이다.
- <154> 그러나, 상기한 라이트용 버퍼 메모리와 리드용 버퍼 메모리를 각각 하나씩 이용하는 공유는 버퍼 메모리가 듀얼 포트 RAM이라면 상기한 도 11a 내지 도 11d에서 제시한 공유를 제한없이 사용할 수 있지만, 단일 버퍼 메모리가 싱글 포트 RAM이라면 약간의 제약이 필요하다.
- <155> 즉, 라이트 동작과 리드 동작을 동시에 할 수 없으므로 라이트와 리드가 한 객체의 RAM에 동시에 요청되지 않도록 두 동작의 사이를 넓혀야 한다. 예를들어, 도 11a에 도시한 바와 같이, 라이트 속도보다 리드 속도가  $a$  배만

크 빠르기 때문에 라이트-인이 시작된 직후가 라이트와 리드의 간격이 가장 좁다. 이 경우 싱글 포트 RAM의 크기가 1픽셀 이상이라면 두 동작은 한 RAM에 겹칠 수밖에 없다.

- <156> 그러나 저장 공간이 h픽셀인 싱글 포트 RAM를 이용하는 경우, 상기한 겹침을 피하기 위해 라이트-인과 리드-아웃이 시작될 때 두 동작 사이를 h 픽셀 이상 떨어지도록 하면 된다.
- <157> 마찬가지로, 리드용 버퍼 메모리의 경우에도 라이트-인 또는 리드-아웃이 끝나는 시기가 리드와 라이트 동작의 간격이 최소한으로 좁아지는 때이므로, 이때 간격을 h 픽셀 크기로 유지해주면 된다.
- <158> 그러나, 도 11b나 도 11d와 같이, 리드 및 라이트 동작이 싱글 포트 RAM 각 객체의 첫 셀에서부터 시작하거나 마지막 셀에서 끝나지 않고 중간에서 시작하거나 끝나는 경우에는 고려해야 할 점이 있다.
- <159> 그러면, 아래에서는 싱글 포트 RAM 각 객체에서 리드 및 라이트 동작이 메모리 셀의 중간에서 시작하거나 끝나는 경우의 문제를 해결하기 위한 방안을 제시한다.
- <160> 도 12a 내지 도 12b는 본 발명의 또 다른 실시예에 따른 데이터 계조 신호 보정부의 버퍼 메모리 공유를 설명하기 위한 도면으로, 특히, 도 12a는 동시에 리드-아웃 동작과 라이트-인 동작이 수행되는 싱글 포트 RAM을 갖는 라이트용 버퍼를 설명하기 위한 도면이고, 도 12b는 동시에 리드-아웃 동작과 라이트-인 동작이 수행되는 싱글 포트 RAM을 갖는 리드용 버퍼를 설명하기 위한 도면이다.
- <161> 도 12a에 도시한 라이트 버퍼 메모리의 경우를 예로 들면, 라이트-인과 리드-아웃이 처음으로 둘 다 동작할 때, 두 동작이 행해지는 셀들이 h 또는 그 이상의 픽셀만큼 이격된 서로 다른 RAM 객체에 위치하도록 한다.
- <162> 이어 리드-아웃이 진행하여 처음으로 다음 RAM 객체로 넘어갈 때, 리드-아웃과 라이트-인과의 차이를 h 또는 그 이상의 픽셀만큼 이격되도록 한다.
- <163> 또한, 리드용 버퍼 메모리의 경우는 라이트용 버퍼 메모리와는 대칭적이다. 즉, 도 12b에 도시한 바와 같이, 리드-아웃과 라이트-인이 마지막으로 둘 다 동작할 때, 두 동작이 행해지는 셀들이 h 또는 그 이상의 픽셀만큼 이격된 서로 다른 RAM 객체에 위치하도록 하고, 라이트-인이 진행하여 마지막 RAM 객체로 넘어갈 때 라이트-인과 리드-아웃과의 차이가 h 또는 그 이상의 픽셀만큼 이격되도록 한다.
- <164> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**발명의 효과**

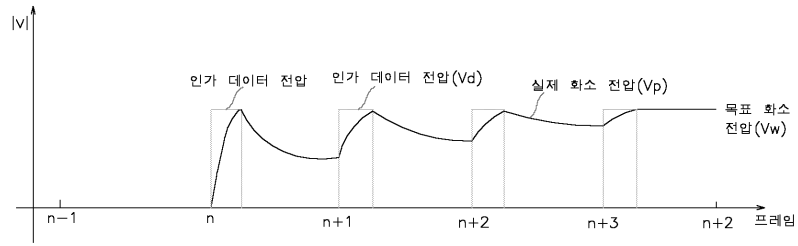
- <165> 이상 설명한 바와 같이, 본 발명에 따라 동화상 구현에 적합하도록 이전 프레임의 계조 데이터와 현재 프레임의 계조 데이터를 고려하여 보정된 데이터 전압을 출력하는 데이터 계조 신호 변환기의 구성을 하나의 프레임과 4개의 버퍼 메모리로 구성할 수 있어 액정 표시 장치의 제조 원가를 절감할 수 있다.
- <166> 또한 상기한 데이터 계조 신호 변환기에 구성되는 버퍼 메모리간의 저장 공간을 공유할 수도 있어 버퍼 메모리의 수를 줄일 수 있어 액정 표시 장치의 부피나 원가를 줄일 수 있다.

**도면의 간단한 설명**

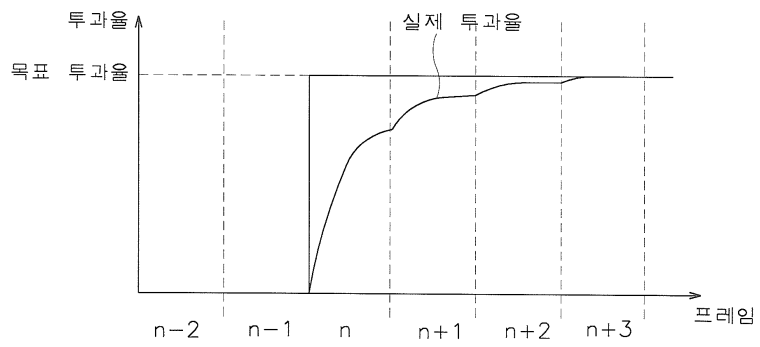
- <1> 도 1은 액정 표시 장치에서 각 화소의 등가회로를 나타내는 도면이다.
- <2> 도 2는 종래 구동 방식으로 인가되는 데이터 전압 및 화소 전압을 나타내는 도면이다.
- <3> 도 3은 종래 구동 방식에 따른 액정 표시 장치의 투과율을 나타내는 도면이다.
- <4> 도 4는 액정 표시 장치의 전압-유전율간의 관계를 모델링한 도면이다.
- <5> 도 5는 본 발명의 일 실시예에 따른 데이터 전압 인가방법을 나타내는 도면이다.
- <6> 도 6은 본 발명의 일 실시예에 따라 데이터 전압을 인가한 경우의 액정 표시 장치의 투과율을 나타내는 도면이다.
- <7> 도 7은 본 발명의 다른 실시예에 따라 데이터 전압을 인가한 경우의 액정 표시 장치의 투과율을 나타내는 도면



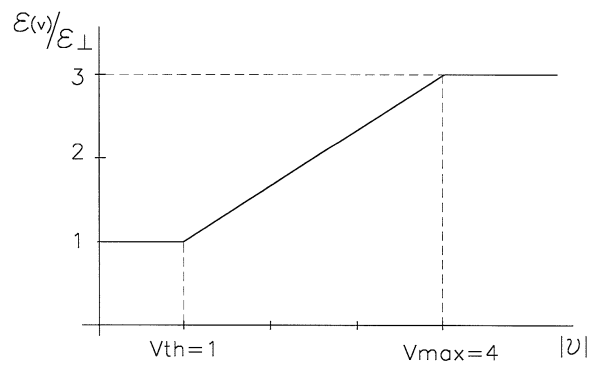
도면2



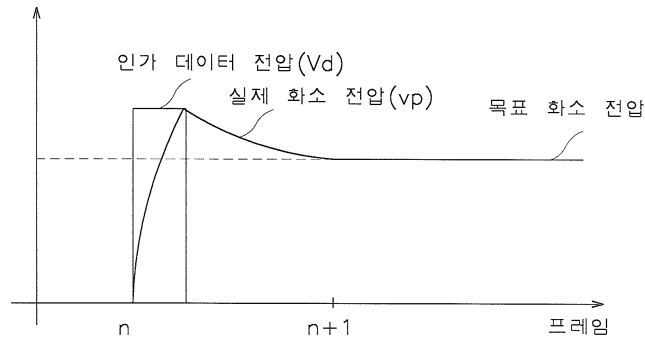
도면3



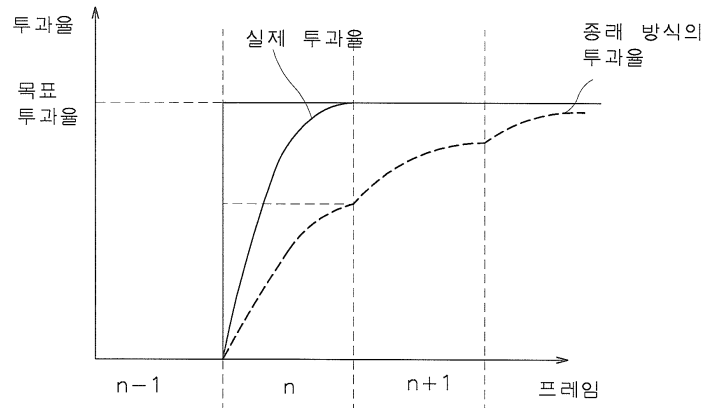
도면4



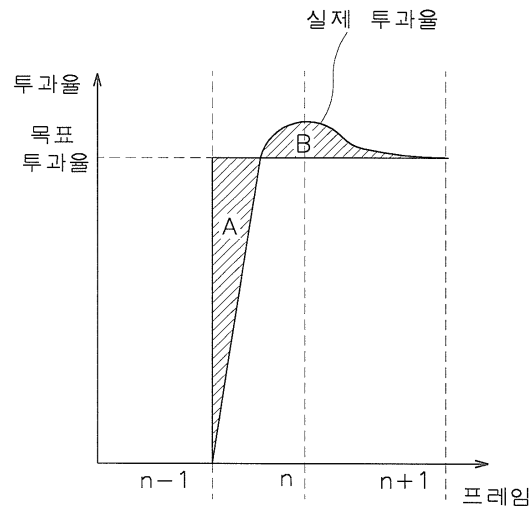
도면5



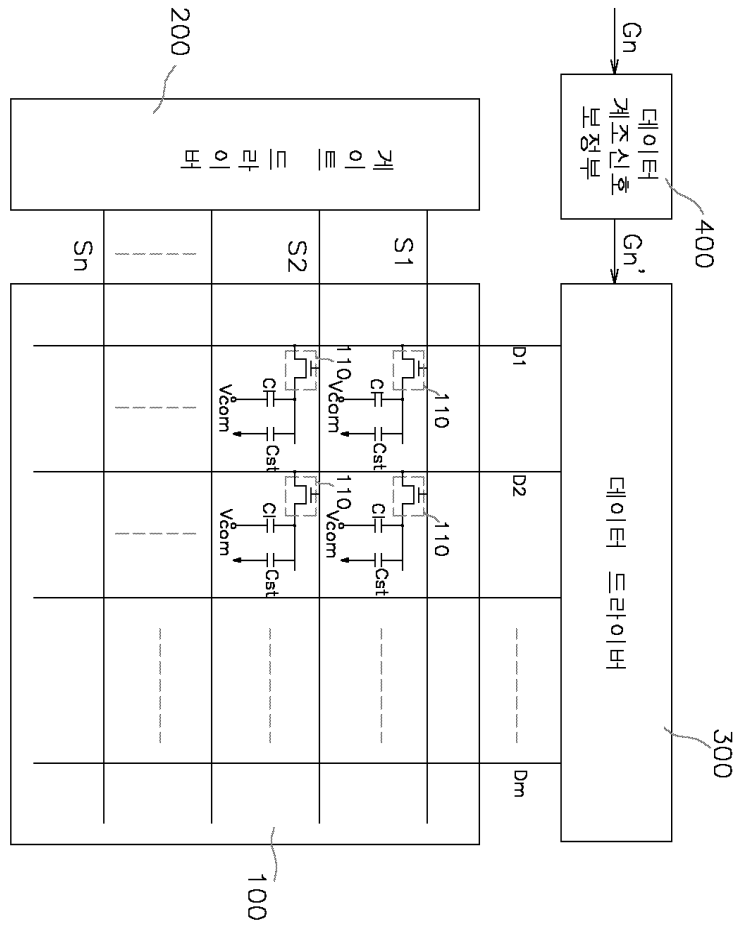
도면6



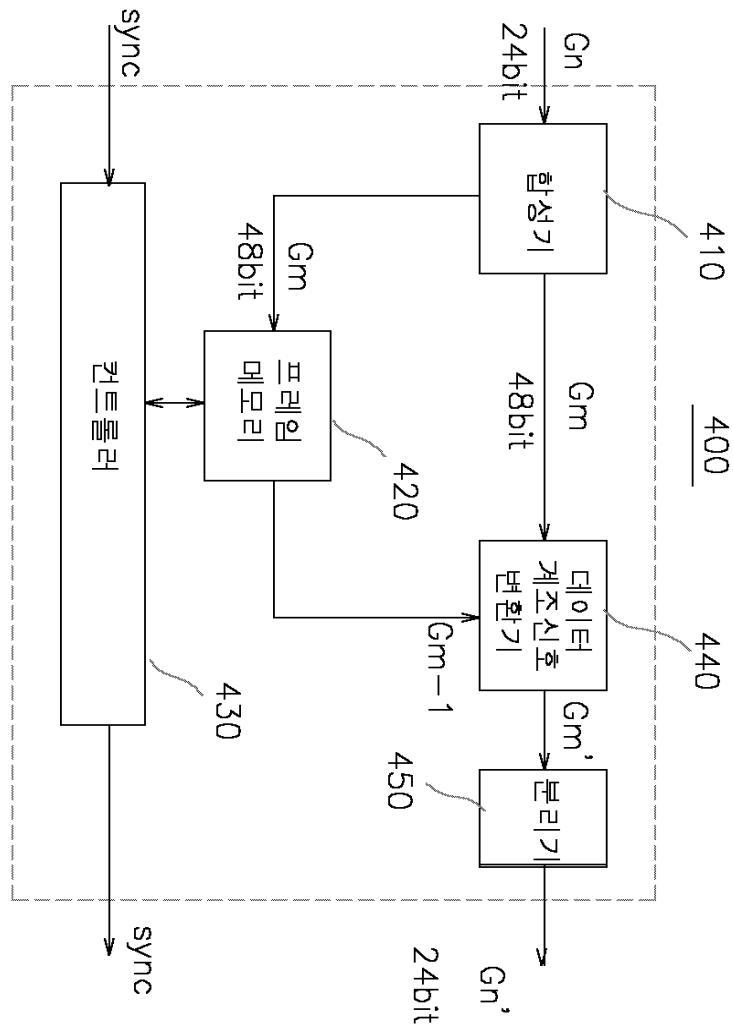
도면7



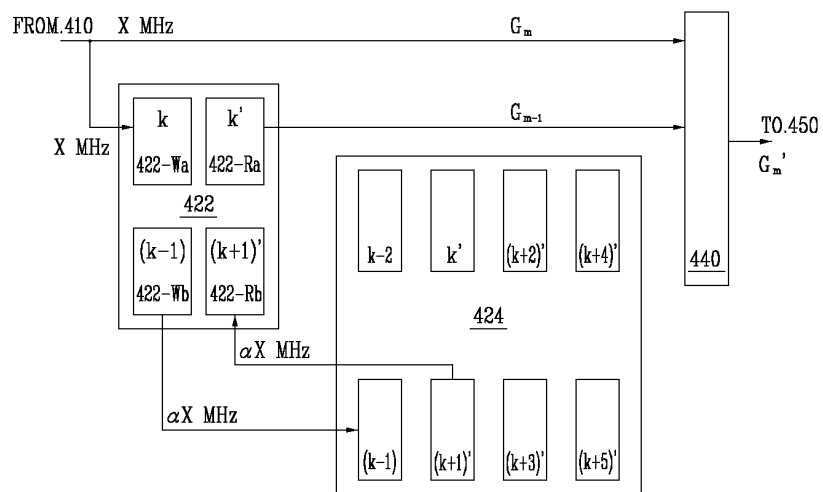
도면8



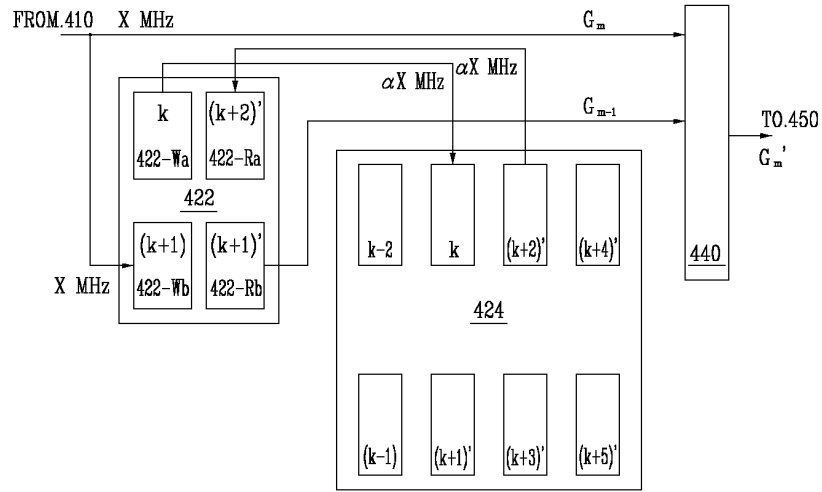
도면9



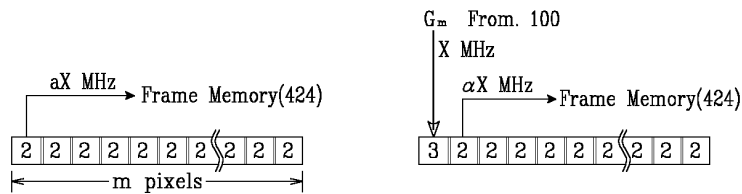
도면10a



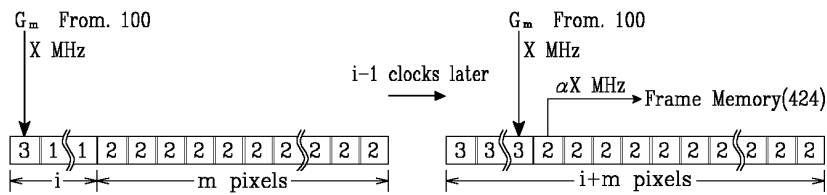
도면10b



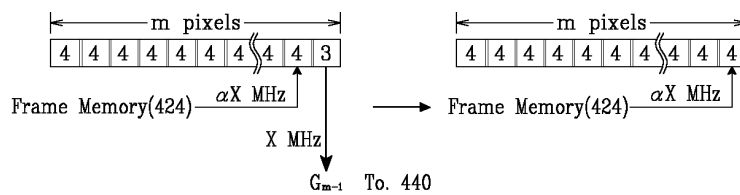
도면11a



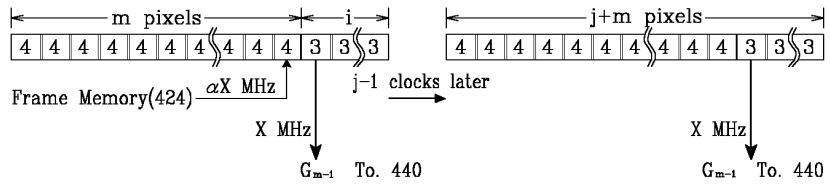
도면11b



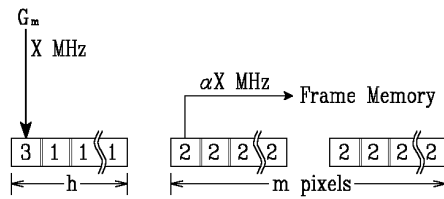
도면11c



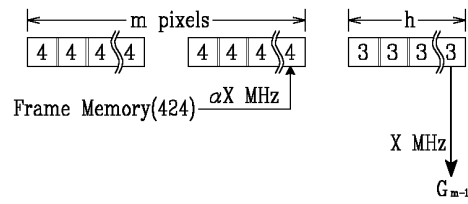
도면11d



도면12a



도면12b



专利名称(译)	液晶显示装置及其驱动装置		
公开(公告)号	<a href="#">KR100796748B1</a>	公开(公告)日	2008-01-22
申请号	KR1020010025816	申请日	2001-05-11
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE BAEKWON		
发明人	LEE,BAEKWON		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/393 G09G5/395		
CPC分类号	G09G3/2011 G09G5/399 G09G3/3648 G09G5/395 G09G5/393 G09G2320/0261 G09G2360/126		
代理人(译)	KIM , WON GUN		
其他公开文献	KR1020020086101A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示装置及其驱动装置本发明涉及一种液晶显示装置及其驱动装置，为了实现运动图像，应用补偿数据电压。根据本发明，数据灰度信号校正单元的帧存储器和一个4或由在缓冲存储器下面，依次段数据包括一帧的数据到缓冲存储器中的一系列的预定数量的像素和帧存储器然后，从帧存储器和缓冲存储器中依次提取前一帧的段数据，并根据前一帧的段数据和当前帧的段数据将校正灰度数据输出到数据驱动器部分。其结果是，它能够以配置数据灰度信号变换器输出的结构中考虑的灰度数据和从先前帧的当前帧的灰度数据的校正数据电压以适合于与一帧和四个或更少的缓冲存储器的实现的运动图像可以降低液晶显示装置的制造成本。

