



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년11월15일
(11) 등록번호 10-0776503
(24) 등록일자 2007년11월07일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2002-0075890

(22) 출원일자 2002년12월02일

심사청구일자 2006년02월15일

(65) 공개번호 10-2004-0048118

공개일자 2004년06월07일

(56) 선행기술조사문헌

JP04360534 A

JP05259300 A

KR100192373 B1

KR1019990074559 A

전체 청구항 수 : 총 6 항

(73) 특허권자

엘지.필립스 엘시디 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

김대홍

경상북도구미시구포동성원아파트106동1201호

윤중서

서울특별시서초구서초4동1681번지삼익아파트2동502호

(뒷면에 계속)

(74) 대리인

허용록

심사관 : 윤성주

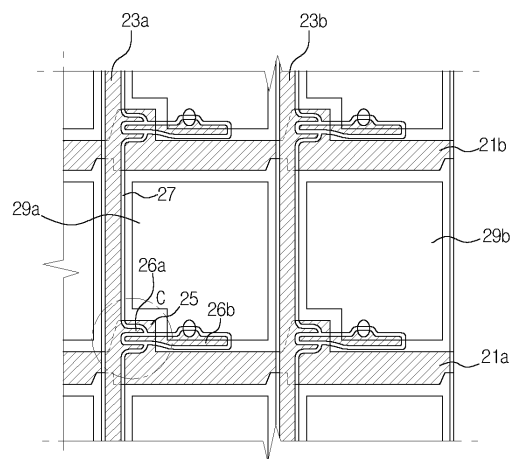
(54) 액정표시장치의 화소구조

(57) 요약

본 발명은 액정표시장치의 어레이 기판 상에 배치되어 있는 데이터 버스 라인이 게이트 버스 라인과 오버랩되는 영역에서 오픈이 발생하는 문제점을 해결하기 위한 액정표시장치 화소구조를 개시한다. 개시된 본 발명은 단위 화소 영역을 한정하기 위하여 수직으로 교차 배치되어 있는 게이트 버스 라인과 데이터 버스 라인, 상기 단위 화소 영역 내에 배치되어 있는 스위칭 구동 소자 TFT를 포함하는 액정표시장치에 있어서, 상기 게이트 버스 라인과 데이터 버스 라인이 오버랩되는 영역에서 상기 게이트 버스 라인의 구조는 요철형상인 것을 특징으로 한다.

여기서, 상기 게이트 버스 라인의 요철형상은 오버랩되는 상기 데이터 버스 라인 폭의 절반은 상기 게이트 버스 라인의 폭만큼 오버랩되고, 상기 데이터 버스 라인의 폭의 다른 절반은 상기 게이트 버스 라인의 폭보다 작은 홈과 오버랩되는 형태이고, 상기 게이트 버스 라인의 요철형상 영역에서 오버랩되는 상기 데이터 버스 라인은 서로 다른 위치에서 단차를 갖으면서 상기 게이트 버스 라인과 오버랩되는 것을 특징으로 한다.

대표도 - 도4



(72) 발명자

서기철

대구광역시달서구두류3동627-1대주아파트C동607호

박현진

서울특별시서초구방배1동920-15대신빌라401호

특허청구의 범위

청구항 1

단위 화소 영역을 한정하기 위해 교차 배열된 게이트 버스 라인과 데이터 버스 라인;

상기 게이트 버스 라인과 데이터 버스 라인의 교차 영역에 배치되어 있는 TFT;

상기 데이터 버스 라인이 교차되면서 오버랩되는 게이트 버스 라인 영역에 데이터 버스 라인의 단선을 방지하기 위하여 형성된 요철 홈이 형성되고, 상기 요철형 홈은 일측은 게이트 버스 라인과 동일하고, 타측은 게이트 버스 라인의 폭보다 좁은 형태로 형성되며, 상기 데이터 버스 라인이 요철 홈의 넓은 폭을 따라 오버랩되도록 증착되면서, 요철 홈의 좁은 폭에서는 유선형으로 증착된 것을 특징을 하는 액정표시장치 화소구조.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 게이트 버스 라인의 요철형상은 오버 랩되는 상기 데이터 버스 라인 중심에서는 상기 게이트 버스 라인의 폭만큼 오버 랩되고, 상기 게이트 버스 라인과 오버 랩되는 양측 영역에서는 상기 게이트 버스 라인의 폭보다 작은 홈과 오버 랩되는 형태인 것을 특징으로 하는 액정표시장치 화소구조.

청구항 4

단위 화소 영역을 한정하기 위해 교차 배열된 게이트 버스 라인과 데이터 버스 라인;

상기 게이트 버스 라인과 데이터 버스 라인의 교차 영역에 배치되어 있는 TFT;

상기 데이터 버스 라인이 교차되면서 오버랩되는 게이트 버스 라인 영역과 상기 TFT의 드레인 전극이 교차되면서 오버랩되는 TFT의 게이트 전극 영역에 단선 방지를 위한 톱니모양으로 형성된 것을 특징으로 하는 액정표시장치의 화소구조.

청구항 5

제 4 항에 있어서,

상기 게이트 전극에 형성된 톱니모양의 톱니 산들은 상기 게이트 전극 가장자리 모서리와 동일한 길이로 형성되는 것을 특징으로 하는 액정표시장치 화소구조.

청구항 6

제 4 항에 있어서,

상기 게이트 버스 라인에 형성된 톱니모양의 톱니 산들은 상기 게이트 버스 라인 폭보다 작은 길이로 형성되는 것을 특징으로 하는 액정표시장치 화소구조.

청구항 7

제 4 항에 있어서,

상기 게이트 전극과 게이트 버스 라인에 형성된 톱니모양의 톱니 산은 적어도 두 개 이상인 것을 특징으로 하는 액정표시장치 화소구조.

청구항 8

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 액정표시장치에 관한 것으로, 보다 구체적으로는 어레이 기판 상에서 게이트 버스 라인과 게이트 전극에 각각 오버랩되는 데이터 버스 라인과 드레인 전극의 오픈을 방지할 수 있는 액정표시장치 화소구조에 관한 것이다.
- <14> 일반적으로 현대사회가 정보 사회화로 변해 감에 따라 정보표시장치의 하나인 액정표시장치 모듈의 중요성이 점차로 증가되어 가고있다. 지금까지 가장 널리 사용되고 있는 CRT(cathode ray tube)는 성능이나 가격적인 측면에서 많은 장점을 갖고 있지만, 소형화 또는 휴대성 측면에서 많은 단점을 갖고 있다.
- <15> 반면에 액정표시장치는 가격 측면에서 다소 비싸지만 소형화, 경량화, 박형화, 저 전력, 소비화 등의 장점을 갖고 있어 CRT의 단점을 극복할 수 있는 대체수단으로 주목되고 있다.
- <16> 상기 액정표시장치는 박막 트랜지스터가 배열된 어레이 기판과, 레드(Red), 그린(Green), 블루(Blue) 컬러 필터 층이 형성된 컬러 필터 기판이 액정을 사이에 두고 합착된 구조를 하고 있다.
- <17> 상기와 같이 어레이 기판과 컬러 필터는 일정한 마스크 공정을 따라 금속 막과 절연 막을 패터닝하면서 식각하여 제조하는데, 상기 어레이 기판의 제조 공정은 다음과 같다.
- <18> 먼저, 투명한 유리 기판 상에 금속막을 증착하고, 식각하여 게이트 버스 라인과 게이트 전극을 형성하는 제 1 마스크 공정, 계속해서 게이트 절연막, 비정질 실리콘막, 도핑된 비정질 실리콘막을 도포 하여 채널 층을 형성하는 제 2 마스크 공정, 상기 채널 층이 형성되어 있는 기판 상에 소오스/드레인 금속막을 증착한 다음, 식각하여 소오스/드레인 전극과 데이터 버스 라인을 형성하는 제 3 마스크 공정, 소자 보호를 위하여 보호막을 도포한 다음 콘택홀을 형성하는 제 4 마스크 공정, 상기 보호막이 형성된 기판 상에 ITO 투명 금속막을 증착하고 식각하여 화소전극을 형성하는 5마스크 공정으로 제조된다.
- <19> 일반적으로 액정표시장치의 어레이 기판을 제조하는데는, 5, 6, 7, 8마스크 공정을 사용하였으나, 마스크 공정의 증가는 액정표시장치의 제조 단가를 상승 시키는 원인이 되므로, 최근에는 마스크 공정을 줄이는 연구가 활발히 진행되어 채널 층과 소오스/드레인 전극을 동시에 형성하는 4마스크 공정이 행해지는 추세이다.
- <20> 상기와 같은, 4마스크 공정이 성공적으로 이루어지기 위하여, 소오스 드레인 전극형성과 액티브 층 영역의 형성을 동시에 하는 하프 톤 마스크를 사용하여, 포토레지스트막을 하프 톤으로 패터닝하여 식각 하는 방법이 있고, 포토레지스트막을 노광할 때 분해능 이하의 슬릿형 패턴을 삽입한 마스크를 사용하여 식각 하는 방법을 사용한다.
- <21> 특히, 4마스크 공정에서나 5마스크 공정에서 어레이 기판 상에 형성되는 게이트 버스 라인과 데이터 버스 라인이 수직으로 교차 배열되면서 오버랩되는데, 이때, 오버랩되는 영역에서 게이트 버스라인에 의하여 일정한 단차가 발생한다.
- <22> 이러한 단차는 상기 어레이 기판의 제조 과정에서 데이터 버스 라인, 소오스/드레인 전극의 오픈을 유발하기 때문에 이를 방지하기 위하여 다양한 방법에 의한 화소 구조를 연구하고 있다.
- <23> 도 1은 종래 기술에 따른 액정표시장치의 어레이 기판 구조를 도시한 평면도이다.
- <24> 도 1에 도시된 바와 같이, 투명성 절연 기판 상에 다수개의 게이트 버스 라인(1a, 1b)과 데이터 버스 라인(3a, 3b)이 수직으로 교차 배열되어 단위 화소 영역을 한정하고 있다.
- <25> 그리고, 상기 게이트 버스 라인들(1a, 1b)과 데이터 버스 라인들(3a, 3b)이 수직으로 교차 배열되는 영역 상에는 스위칭 소자인 TFT(Thin Film Transistor)가 형성 배치되어 있고, 단위 화소 영역 상에는 투명성 ITO(Indium-Tin-Oxide : ITO)금속으로 형성된 화소 전극(9a, 9b)이 배치되어 있는 구조로 되어 있다.
- <26> 상기 게이트 버스 라인(1a, 1b)과 상기 데이터 버스 라인(3a, 3b)이 오버랩되도록 배치되어 있는데, 두라인 사이에는 게이트 절연막과 액티브 층(7)이 개재되어 있고, 상기 액티브층(7) 상에는 상기 데이터 버스 라인(3a)과 소오스/드레인 전극(6a, 6b)이 배치되어 있다.

- <27> 상기 액티브층(7)은 비정질 실리콘 막과, n^+ 비정질 실리콘 막으로 구성되어 있는데, 상기 TFT 형성 과정에서 채널층과 오믹 콘택층으로 형성된다.
- <28> 그리고, 상기 데이터 버스 라인(3a)과 소오스/드레인 전극(6a, 6b) 상에는 보호막이 도포되어 있어, 어레이 기판 상에 형성된 소자들을 보호한다. 상기 화소 전극(9a, 9b)과 드레인 전극(6b)의 전기적으로 연결시키기 위하여 상기 보호막 상에 콘택홀을 뚫는 작업이 이루어지고, 상기 콘택홀을 따라 상기 드레인 전극(6b)과 화소 전극(9a, 9b)은 전기적으로 연결된다.
- <29> 도면에 도시된 어레이 기판의 구조는 상기 데이터 버스 라인(3a, 3b) 양측으로 상기 액티브 층(7)이 일정거리 노출된 형태를 하고 있는데, 이는 4마스크 공정에 의한 제조방법에 의하여 소오스/드레인 전극, 채널층이 동시에 형성되기 때문에 나타나는 구조이다.
- <30> 그리고, 상기 어레이 기판 상에 배치되어 있는 상기 게이트 버스 라인(1a, 1b)과 게이트 전극(5)은 상기 액티브 층(7)을 사이에 두고 상기 데이터 버스 라인(3a, 3b), 드레인 전극(6b)과 오버랩되어 있기 때문에 오버랩 영역의 경계부분에서 일정한 단차를 가지고 있다.
- <31> 상기와 같이 오버랩 영역에서의 단차는 상기 데이터 버스 라인(3a, 3b)의 오픈 또는 드레인 전극(6b)의 오픈(OPEN)을 유발하는 원인이 된다. 그래서 이를 방지하기 위하여 상기 게이트 버스 라인(1a, 1b) 상에 상기 데이터 버스 라인(3a, 3b)과 오버랩되는 경계 영역에서 일정한 홈을 갖는 구조를 갖도록 하였다.
- <32> 도 2는 상기 도 1에서 데이터 버스 라인과 게이트 버스 라인의 교차 영역(A)을 확대한 도면이다.
- <33> 도 2에 도시된 바와 같이, 데이터 버스 라인(3a)과 게이트 버스 라인(1a)이 수직으로 교차 배열되는 영역에는 TFT 소자가 배치되어 있는데, 구동 신호를 인가하는 상기 게이트 버스 라인(1a)과 상기 TFT의 게이트 전극(5)은 일체로 형성 배치되어 있다.
- <34> 상기 게이트 전극(5) 상부에는 게이트 절연막과 액티브층(7)이 존재하고, 상기 액티브층(7) 상에는 소오스/드레인 전극(6a, 6b)이 상기 게이트 전극(5)과 일정 부분 오버랩(overlap)되도록 배치되어 있다.
- <35> 특히, 상기 드레인 전극(6b)이 상기 게이트 전극(5) 상에서 오버랩되어 화소 전극(9a)과 콘택될 때에 상기 드레인 전극(6b) 하부에 위치하는 상기 게이트 전극(1a)에 의하여 일정한 단차가 존재한다.
- <36> 마찬가지로, 상기 게이트 버스 라인(1a)과 데이터 버스 라인(3a)이 수직으로 교차되는 영역에서도 게이트 절연막과 액티브층(7)을 사이에 두고 일정한 단차를 가지고 있다.
- <37> 도면에 도시된 바와 같이, 상기 게이트 버스 라인(1a)과 데이터 버스 라인(3a)이 오버랩되는 영역에 일정한 홈을 형성한 이유는 상기 데이터 버스 라인(3a)이 오버랩되는 영역에서 상기 게이트 버스 라인(1a)의 단차를 최소화하여 상기 데이터 버스 라인(3a) 오픈 발생을 방지하기 위함이다.
- <38> 즉, 상기 게이트 버스 라인(1a)에 일정한 홈을 형성함으로써 상기 데이터 버스 라인(3a)이 형성된 금속막이 오버랩되면서 증착될 때, 상기 게이트 버스 라인(1a)에 형성된 홈에서 단차를 줄여 완만하게 증착되도록 한 것이다.
- <39> 그러나, 상기와 같은 구조를 갖는 액정표시장치의 화소 구조에서는 상기 게이트 버스 라인(1a)과 오버랩되는 상기 데이터 버스 라인(3a) 영역에서 상기 게이트 버스 라인 상에 홈을 형성하였더라도 상기 데이터 버스 라인의 금속이 증착되면서 단차에 의하여 오픈되는 문제가 있다.
- <40> 또한, 4마스크 공정에 의하여 제조되는 어레이 기판은 소오스/드레인 전극(6a, 6b), 데이터 버스 라인(3a)의 폭보다 하부 액티브층(7)의 폭이 넓게 형성되어, 식각 용액의 침투, 패턴 불량을 유발하게 되어 상기 드레인 전극(6b)과 데이터 버스 라인(3a)의 오픈을 유발시킨다.
- <41> 도 3은 상기 도 2의 B-B'를 수직 절단한 단면도이다.
- <42> 도 3에 도시된 바와 같이, 투명성 절연 기판(10) 상에 게이트 버스 라인(1a)이 형성되어 있고, 상기 게이트 버스 라인(1a) 상에는 게이트 절연막(4), 액티브층(7)이 차례로 증착되어 있다.
- <43> 상기 액티브층(7)을 따라 데이터 버스 라인(3a)이 배치되어 있는데, 상기 게이트 버스 라인(1a)과 적층된 게이트 절연막(4), 액티브층(7)에 의하여 일정한 단차를 따라 상기 데이터 버스 라인(3a)이 배치되어 있음을 알 수 있다.

- <44> 상기와 같은 구조는 상기 TFT의 드레인 전극과 게이트 전극에서도 동일한 단면도가 형성된다.
- <45> 도면에서는 명확하게 도시되어 있지 않지만, 도 1에 도시된 것과 같이 4 마스크 공정에서는 상기 데이터 버스 라인의 폭보다 하부에 개재된 액티브층의 폭이 넓어 식각 용액이 상기 액티브층을 따라 상기 데이터 버스 라인 내부로 침투되어 데이터 오픈을 유발한다.
- <46> 상기 데이터 버스 라인의 오픈을 방지하기 위하여 상기 게이트 버스 라인에 일정한 홈을 형성하였지만, 상기 게이트 버스 라인의 홈 역시 데이터 버스 라인과의 단차를 유발하기 때문에 데이터 오픈을 유발한다.

발명이 이루고자 하는 기술적 과제

- <47> 본 발명은, 액정표시장치의 어레이 기판 상에 서로 오버랩되도록 배치되어 있는 데이터 버스 라인과 게이트 버스 라인 영역에서 단차에 의한 데이터 오픈을 방지하고, 아울러 드레인 전극과 게이트 전극 사이의 단차에 의한 드레인 전극에 오픈도 방지할 수 있는 액정표시장치 화소구조를 제공함에 그 목적이 있다.

발명의 구성 및 작용

- <48> 상기한 목적을 달성하기 위한, 본 발명에 따른 액정표시장치 화소구조는,

단위 화소 영역을 한정하기 위해 교차 배열된 게이트 버스 라인과 데이터 버스 라인; 상기 게이트 버스 라인과 데이터 버스 라인의 교차 영역에 배치되어 있는 TFT; 상기 데이터 버스 라인이 교차되면서 오버랩되는 게이트 버스 라인 영역에 데이터 버스 라인의 단선을 방지하기 위하여 형성된 요철 홈이 형성된 것을 특징으로 한다.

본 발명의 다른 실시예에 의한 액정표시장치의 화소구조는, 단위 화소 영역을 한정하기 위해 교차 배열된 게이트 버스 라인과 데이터 버스 라인; 상기 게이트 버스 라인과 데이터 버스 라인의 교차 영역에 배치되어 있는 TFT; 상기 데이터 버스 라인이 교차되면서 오버랩되는 게이트 버스 라인 영역과 상기 TFT의 드레인 전극이 교차되면서 오버랩되는 TFT의 게이트 전극 영역에 단선 방지를 위한 톱니모양으로 형성된 것을 특징으로 한다.
- <49> 삭제
- <50> 삭제
- <51> 삭제
- <52> 삭제
- <53> 삭제
- <54> 삭제
- <55> 삭제
- <56> 삭제
- <57> 본 발명에 의하면, 액정표시장치의 게이트 버스 라인과 데이터 버스 라인이 교차하는 영역에서 게이트 버스 라인 상에 형성된 홈 구조를 변형시켜 데이터 버스 라인이 오픈 되는 것을 방지하는 이점이 있다.
- <58> 아울러, 게이트 전극과 드레인 전극이 오버랩되는 영역에서 상기 게이트 전극의 구조를 변형시켜 상기 드레인 전극의 오픈을 방지하였다.

- <59> 이하, 첨부한 도면에 의거하여 본 발명의 바람직한 실시 예를 자세히 설명하도록 한다.
- <60> 도 4는 본 발명에 따른 액정표시장치의 어레이 기판 구조를 도시한 평면도이다.
- <61> 도 4에 도시된 바와 같이, 투명성 절연 기판 상에 다수개의 게이트 버스 라인(21a, 21b)과 데이터 버스 라인(23a, 23b)이 수직으로 교차 배열되어 단위 화소 영역을 한정하고 있다.
- <62> 그리고, 상기 게이트 버스 라인들(21a, 21b)과 데이터 버스 라인들(23a, 23b)이 수직으로 교차 배열되는 영역 상에는 스위칭 소자인 TFT가 형성 배치되어 있고, 단위 화소 영역 상에는 투명성 ITO(Indium-Tin-Oxide : ITO) 금속에 의한 화소 전극(29a, 29b)이 배치되어 있는 구조이다.
- <63> 상기 게이트 버스 라인(21a) 상에는 게이트 절연막과 액티브층(27)이 형성 배치되어 있고, 상기 액티브층(27) 상에는 상기 데이터 버스 라인(23a)과 소오스/드레인 전극(26a, 26b)이 배치되어 있다.
- <64> 상기 액티브층(27)은 비정질 실리콘 막과, n^+ 비정질 실리콘 막으로 구성되어 채널층과 오믹 콘택층을 형성된다.
- <65> 상기 데이터 버스 라인(23a, 23b)과 소오스/드레인 전극(26a, 26b)이 형성되면, 보호막을 도포하여 어레이 기판 상에 형성된 소자들을 보호한다. 상기 화소 전극(29a, 29b)과 드레인 전극(26b)의 전기적 연결을 위하여 상기 보호막 상에 콘택홀을 뚫는 다음, 상기 드레인 전극(26b)과 화소 전극(29a, 29b)을 전기적으로 연결시켰다.
- <66> 도면에 도시된 어레이 기판의 구조는 상기 데이터 버스 라인(23a, 23b) 양측으로 상기 액티브층(27)이 일정거리 노출된 형태를 하고 있는데, 이는 4마스크 공정에서 소오스/드레인 전극(26a, 26b), 채널층을 동시에 형성하기 때문에 나타나는 구조이다.
- <67> 액정표시장치의 4마스크 공정과 5마스크 공정에서는 모두 게이트 전극(25)과 드레인 전극(26b) 사이에는 게이트 절연막, 액티브층(27)이 개재되고, 마찬가지로 게이트 버스 라인(21a)과 데이터 버스 라인(23a) 사이에도 게이트 절연막과 액티브층이 개재되어 일정한 단차가 형성되어 있다.
- <68> 본 발명에서는 상기 게이트 전극(25), 게이트 버스 라인(21a)의 단차에 의하여 발생하는 데이터 버스 라인(23a) 오픈과 드레인 전극(26b) 오픈을 방지하기 위하여 오버랩되는 영역에서 상기 게이트 전극(25), 게이트 버스 라인(21a)의 홈 구조를 변경시켜 상기 데이터 버스 라인(23a)과 드레인 전극(26b)의 오버랩되는 면적을 확장시켰다.
- <69> 상기 게이트 버스 라인(21a) 상에 형성된 요철형 홈은 일부에서는 상기 데이터 버스 라인(23a)과 오버랩되는 면적이 넓고, 일부에서는 다소 좁다.
- <70> 즉, 상기 데이터 버스 라인(23a)과 오버랩되는 면적이 넓은 영역에서는 상기 게이트 버스 라인(21a)에 형성된 홈의 폭이 상기 게이트 버스 라인(21a)의 폭과 동일하지만, 오버랩되는 면적이 좁은 영역에서는 상기 게이트 버스 라인(21a)의 폭보다 좁다.
- <71> 그러므로, 소오스/드레인 금속, 데이터 버스 라인 금속이 도포될 때, 상기 게이트 버스 라인(21a)과 게이트 전극(25) 상에 형성된 요철형 홈을 타고, 완만한 경사에 의하여 오버랩되는 영역에서 증착이 이루어진다.
- <72> 그로 인하여 상기 드레인 전극(26b)과 데이터 버스 라인이 상기 게이트 전극(25), 게이트 버스 라인(21a)과 오버랩되는 영역에서 보다 견고하게 증착되어 오픈 유발을 방지할 수 있다.
- <73> 도 5는 본 발명에 따른 데이터 버스 라인과 게이트 버스 라인이 교차하는 영역(C)을 도시한 도면이다.
- <74> 도 5에 도시된 바와 같이, 게이트 버스 라인(21a)에 형성되어 있는 요철형상의 홈을 따라 상기 데이터 버스 라인(23a)이 형성되는 모습을 보였다. 상기 게이트 버스 라인(21a)의 요철형상의 홈은 오버랩되는 상기 데이터 버스 라인(23a) 폭의 절반은 상기 게이트 버스 라인(21a)의 폭과 동일한 폭을 갖지만, 다른 절반은 상기 게이트 버스 라인(21a)의 폭보다는 짧은 폭을 갖는다.
- <75> 따라서, 상기 게이트 버스 라인(21a)의 요철형상의 홈을 따라 상기 데이터 버스 라인(23a)을 형성하기 위한 금속이 증착될 때, 상기 요철형상의 홈 영역의 폭이 넓은 영역과 폭이 좁은 영역을 따라 증착된다.
- <76> 이때, 상기 데이터 버스 라인(23a)과 게이트 버스 라인(21a)이 오버랩되는 영역에서 홈을 따라 서로 각각 다른 위치에서 단차가 발생하기 때문에 즉, 폭이 넓은 요철형상의 홈과 폭이 좁은 요철형상의 홈에서 단차가 발생되므로 증착되는 금속은 폭이 넓은 요철형상의 홈을 따라 오버랩되도록 증착되면서, 폭이 좁은 요철형상의 홈을 따라 유선형으로 증착되므로 동일한 위치의 단차를 갖는 것보다 훨씬 오픈 발생율이 작아진다.

- <77> 본 발명에서는 상기 게이트 버스 라인(21a)과 수직으로 오버 랩되는 상기 데이터 버스 라인(23a)이 단차 영역에서 오픈 되는 것을 방지하기 위하여 상기 게이트 버스 라인(21a)과 오버 랩되는 면적을 확장하였는데, 이렇게 확장된 게이트 면적에 의하여 단차를 따라 증착되는 데이터 금속의 기울기를 완만하게 하도록 하여 상기 데이터 버스 라인(23a) 오픈 유발을 방지하였다.
- <78> 특히, 4마스크 공정에서는 상기 데이터 버스 라인(23a)과 게이트 버스 라인(21a) 사이에 개재되는 액티브층(27)의 폭이 상기 데이터 버스 라인(23a)의 폭보다 넓게 형성되므로, 상기 데이터 버스 라인(23a)과 액티브층(27) 사이로 애천트가 침투되어 데이터 오픈 유발을 시켰는데, 상기의 본 발명에서와 같이 상기 데이터 버스 라인(23a)과 오버 랩되는 게이트 면적을 넓힘으로써 애천트 침투를 방지하였다.
- <79> 도 6은 본 발명에 다른 실시 예에 따른 게이트 전극과 게이트 버스 라인의 구조를 도시한 도면이다.
- <80> 도 6에 도시된 바와 같이, 게이트 버스 라인(31a)과 데이터 버스 라인(33a)이 수직으로 교차 배열되어 단위 화소를 한정하고, 단위 화소 영역 상에 화소 전극(39a)을 배치하여 어레이 기판을 완성한다. 상기 게이트 버스 라인(31a)과 데이터 버스 라인(33a)이 수직으로 교차 배열되는 영역에서, 도 5에 제시된 요철 형상과는 다른 요철 형상을 제안하였다.
- <81> 상기 데이터 버스 라인(33a)이 오버 랩되는 상기 게이트 버스 라인(31a)의 구조를 요철형상의 홈으로 형성하지만, 오버 랩되는 상기 데이터 버스 라인(33a)의 중심 영역에 상기 게이트 버스 라인(31a)의 폭 길이의 요철형상의 홈을 형성 배치하였다.
- <82> 그리고, 상기 데이터 버스 라인(33a) 중심부 양측으로 오버 랩되는 영역에서의 상기 게이트 버스 라인(31a)의 구조는 상기 게이트 버스 라인(31a)의 폭보다 작은 홈을 형성한 구조를 하고 있다.
- <83> 상기 도 5에서 상세히 설명한 바와 같이, 상기 데이터 버스 라인(33a)이 오버 랩되는 영역에서 상기 게이트 버스 라인(31a)의 폭 만큼 형성된 요철 형상의 홈을 따라 상기 데이터 버스 라인(33a) 금속이 증착되면서, 상기 데이터 버스 라인(23a)의 가장자리 양측과 오버 랩되는 상기 게이트 버스 라인(31a)의 홈을 따라 완만한 경사를 가지고 증착되므로 상기 데이터 버스 라인(33a)의 오픈 유발을 줄일 수 있다.
- <84> 도 7은 본 발명의 또 다른 실시 예를 설명하기 위한 도면이다.
- <85> 도 7에 도시된 바와 같이, 게이트 버스 라인(41a)과 데이터 버스 라인(43a)이 수직으로 교차 배열되어 단위 화소 영역을 한정하고, 상기 게이트 버스 라인(41a)과 데이터 버스 라인(43a)이 교차되는 영역 상에는 스위칭 소자인 TFT가 배치된다.
- <86> 상기 TFT는 상기 게이트 버스 라인(41a)과 일체로 형성되는 게이트 전극(45)과 상기 데이터 버스 라인(43a)과 일체로 형성되는 소오스 전극(46a)과, 상기 소오스 전극(46a)과 대응되게 형성되는 상기 드레인 전극(46a)으로 구성된다.
- <87> 상기 드레인 전극(46a)은 상기 게이트 버스 라인(41a)과 데이터 버스 라인(43a)이 수직으로 교차 배열되어 한정하는 화소 영역 상에 배치되는 화소 전극(49a)과 전기적으로 콘택되어 상기 데이터 버스 라인(43a)에 인가되는 그래픽 신호를 채널층을 통하여 상기 화소 전극(49a)에 전달한다.
- <88> 상기 게이트 버스 라인(41a), 게이트 전극(45)과 오버 랩되는 상기 데이터 버스 라인(43a), 드레인 전극(46b)은 일정한 단차를 가지고 금속막이 증착되므로 패터닝 단계와 식각 공정을 진행할 때 상기 데이터 버스 라인(43a) 오픈, 드레인 전극(46b) 오픈이 발생된다.
- <89> 이를 방지하기 위하여 상기 드레인 전극(46b)과 오버 랩되는 상기 게이트 전극(45) 상에 톱니모양의 형상을 갖도록 하여 상기 드레인 전극(46b)과 오버 랩되는 면적을 확장시켰고, 상기 데이터 버스 라인(43a)과 오버 랩되는 상기 게이트 버스 라인(41a)의 구조를 마찬가지로 톱니 모양으로 형성하여 오버 랩되는 면적을 확장시켰다.
- <90> 상기 드레인 전극(46b)과 오버 랩되는 상기 게이트 전극(45)의 톱니모양 산들은 상기 게이트 전극(45) 폭의 가장자리 모서리와 동일한 라인을 유지하도록 형성되어 있으며, 톱니 산들은 두 개 이상을 형성한다.
- <91> 또한, 상기 데이터 버스 라인(43a)과 오버 랩되는 상기 게이트 버스 라인(41a)의 톱니 모양 산들은 상기 게이트 전극(45) 폭보다 좁은 홈을 따라 형성되어 있는 구조를 하고, 마찬가지로 톱니 산들의 개수는 두 개 이상으로 한다.
- <92> 상기 게이트 전극(45)과 게이트 버스 라인(41a) 상에 형성되어 있는 톱니 산들은 상기 데이터 버스 라인(43a)과

오버 랩되는 영역의 넓이를 확장시키는 역할을 하기 때문에 상기 데이터 버스 라인(43a) 금속이 증착될 때, 완충 작용을 하게되어 상기 드레인 전극(46b), 데이터 버스 라인(43a) 오픈 유발을 방지한다.

- <93> 특히, 4마스크 공정에서는 상기 데이터 버스 라인(43a)과 게이트 버스 라인(41a) 사이에 개재되는 상기 액티브층(47)과 상기 드레인 전극(46b)과 상기 게이트 전극(41a) 사이에 개재되는 상기 액티브층(47)의 폭이 상기 데이터 버스 라인(43a)과 드레인 전극(46b)의 폭보다 넓게 형성된다.
- <94> 이와 같은 구조로 인하여, 상기 데이터 버스 라인(43a), 게이트 전극(41a)과 액티브층(45) 사이로 애천트 침투가 용이하여 데이터 오픈, 드레인 오픈 유발을 야기 시켰는데, 상기의 본 발명에서와 같이 상기 데이터 버스 라인(43a), 드레인 전극(46b)과 오버 랩되는 게이트 전극(45), 게이트 버스 라인(41a)의 면적을 톱니 형상 구조를 제안하여 넓힘으로써 애천트 침투에 의한 오픈(open) 유발을 방지하였다.
- <95> 본 발명에서는 게이트 버스 라인 상에 형성되는 데이터 버스 라인, 드레인 전극들이 게이트 절연막, 액티브층에 의하여 일정한 단차를 갖게되고, 액티브층 시각 공정이나 이후 보호막, 화소 전극 식각 공정에서 식각 용액인 애천트가 침투되어 오픈 유발이 발생하는 것을 방지하였다.
- <96> 즉, 상기 데이터 버스 라인, 드레인 전극과 오버 랩되는 게이트 전극, 게이트 버스 라인의 면적을 확장시킴으로써 증착되는 금속막이 단차에도 불구하고 완만한 경사를 갖고 증착되도록 함으로써 오픈 유발을 방지하였고, 아울러 완만한 경사에 의한 증착은 식각 용액인 애천트의 침투를 방지하는 효과가 있으므로 애천트에 의한 오픈 유발을 방지하였다.

발명의 효과

- <97> 이상에서 자세히 설명된 바와 같이, 본 발명은 어레이 기판 상에 배치되어 있는 게이트 버스 라인과 데이터 버스 라인의 오버 랩되는 단차 영역에서 게이트 전극과 게이트 버스 라인의 형태를 변경시켜 데이터 오픈 및 소오스/드레인 전극 오픈을 방지한 효과가 있다.
- <98> 따라서, 게이트 전극과 게이트 버스 라인의 구조 변경으로 상부에 형성되는 데이터 버스 라인이 단차 영역에서 완만한 경사에 의하여 형성되므로 애천트 침투나 단차에 의하여 오픈 되는 불량을 방지할 수 있는 효과가 있다.
- <99> 본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

도면의 간단한 설명

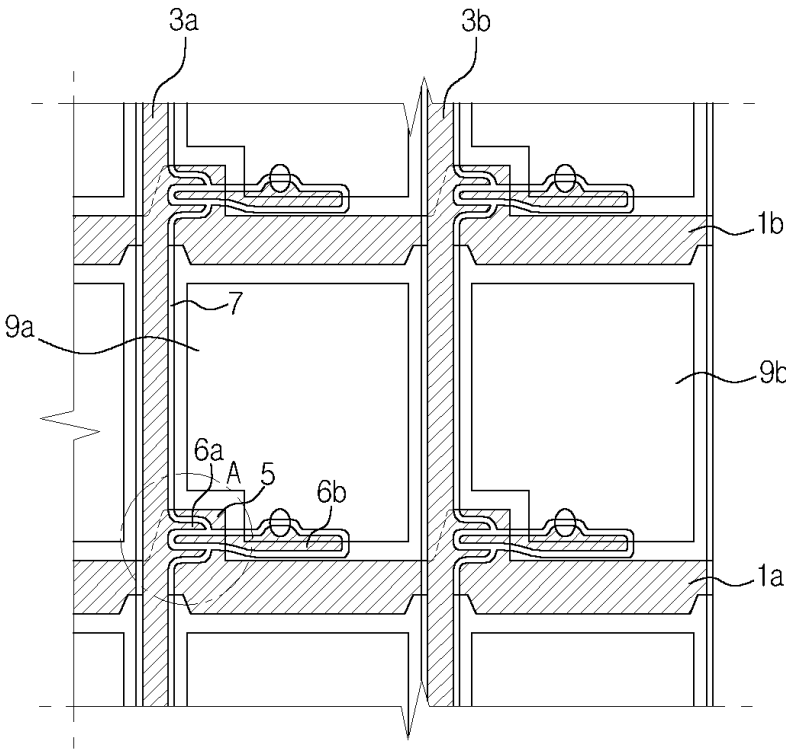
- <1> 도 1은 종래 기술에 따른 액정표시장치의 어레이 기판 구조를 도시한 평면도.
- <2> 도 2는 상기 도 1에서 데이터 버스 라인과 게이트 버스 라인의 교차 영역을 확대한 도면.
- <3> 도 3은 상기 도 2의 A-A'를 수직 절단한 단면도.
- <4> 도 4는 본 발명에 따른 액정표시장치의 어레이 기판 구조를 도시한 평면도.
- <5> 도 5는 본 발명에 따른 데이터 버스 라인과 게이트 버스 라인이 교차하는 영역을 도시한 도면.
- <6> 도 6은 본 발명에 따른 실시 예에 따른 게이트 전극과 게이트 버스 라인의 구조를 도시한 도면.
- <7> 도 7은 본 발명의 또 다른 실시 예를 설명하기 위한 도면.

<8> *도면의 주요 부분에 대한 부호의 설명*

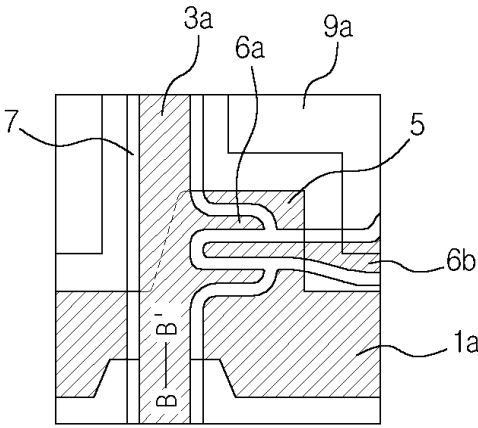
- <9> 21a, 21b: 게이트 버스 라인 23a, 23b: 데이터 버스 라인
- <10> 25: 게이트 전극 26a: 소오스 전극
- <11> 26b: 드레인 전극 27: 액티브층
- <12> 29a, 29b: 화소 전극

도면

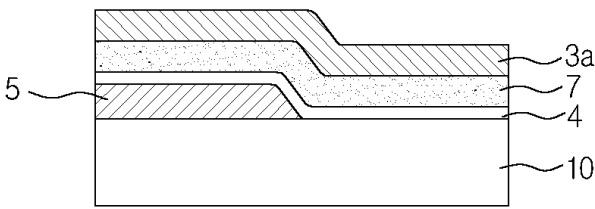
도면1



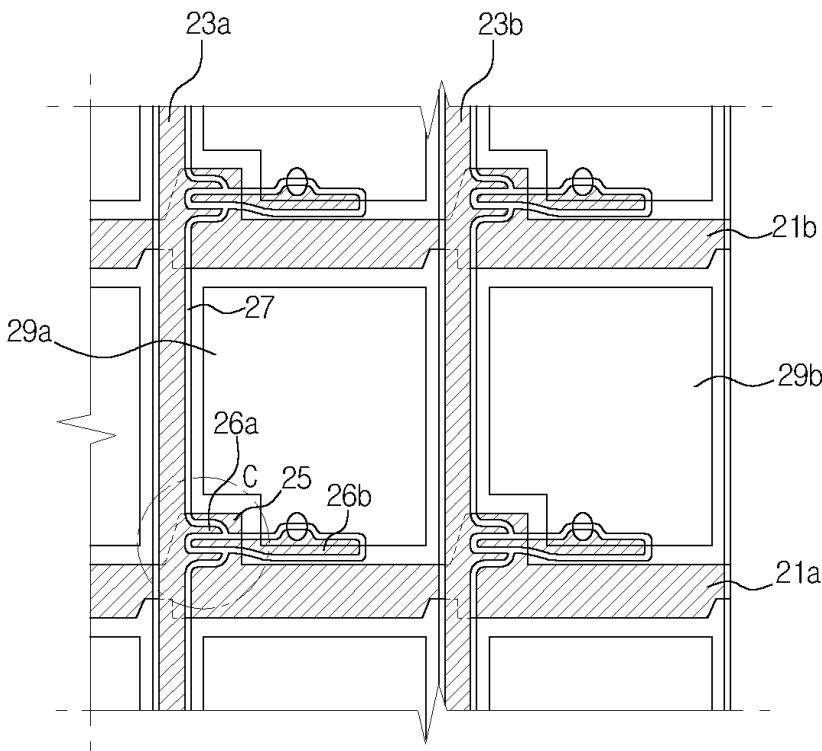
도면2



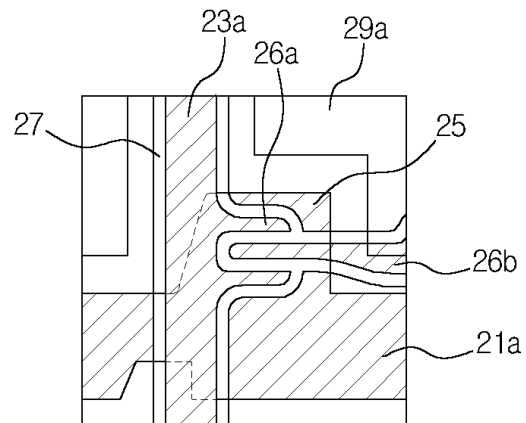
도면3



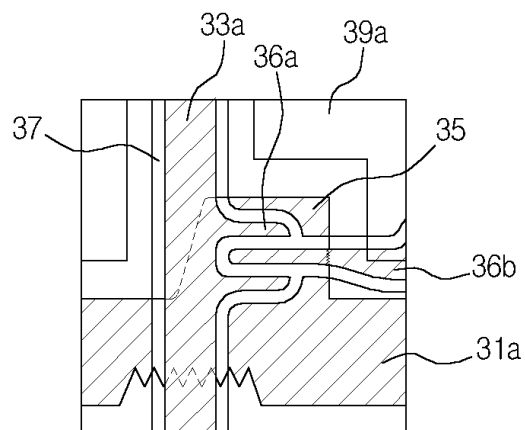
도면4



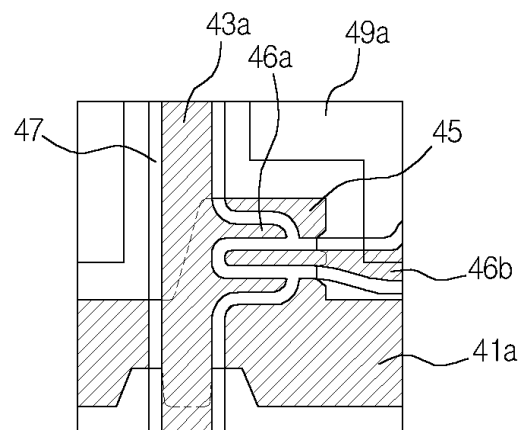
도면5



도면6



도면7



专利名称(译)	液晶显示器的像素结构		
公开(公告)号	KR100776503B1	公开(公告)日	2007-11-15
申请号	KR1020020075890	申请日	2002-12-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DAEHONG 김대홍 YOON JONGSEO 윤종서 SEO KICHEOL 서기철 PARK HYUNJIN 박현진		
发明人	김대홍 윤종서 서기철 박현진		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136286		
其他公开文献	KR1020040048118A		
外部链接	Espacenet		

摘要(译)

公开了一种液晶显示器像素结构，用于解决在液晶显示装置的阵列基板上设置的数据总线与栅极总线重叠的区域中发生开路的问题。本发明提供一种液晶显示装置，包括：栅极总线和数据总线，彼此垂直交叉以限定单位像素区域，以及设置在单位像素区域中的开关驱动装置TFT，并且数据总线彼此重叠，栅极总线的结构是凹凸形状。在此，栅极总线的凹凸形状是数据总线重叠宽度的一半是由栅极总线的宽度重叠时，数据总线宽度的另一半是小于栅极总线槽的宽度和并且在栅极总线的凹凸形状区域中重叠的数据总线与栅极总线重叠，同时在不同位置处具有阶梯差。

