

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl. <i>G02F 1/1343</i> (2006.01)	(45) 공고일자 2006년08월30일
	(11) 등록번호 10-0617040
	(24) 등록일자 2006년08월22일
(21) 출원번호 10-2004-0017631	(65) 공개번호 10-2005-0092544
(22) 출원일자 2004년03월16일	(43) 공개일자 2005년09월22일
(73) 특허권자 엘지.필립스 엘시디 주식회사 서울 영등포구 여의도동 20번지	
(72) 발명자 손현호 경기도안양시동안구평촌동인덕원대우아파트103동1901호	
	이원호 경기도성남시분당구정자동로얄팰리스B동1504호
(74) 대리인 김용인 심창섭	

심사관 : 윤성주

(54) 횡전계방식 액정표시소자 및 그 제조방법

요약

본 발명은 공통전극 및 화소전극을 "ㄱ" 또는 "ㄴ"자형으로 반복 배치한 격자 구조로 형성하는 횡전계방식 액정표시소자에 있어서, 상기 공통전극 및 화소전극을 최적화된 설계대로 배치함으로써 픽셀 사이즈가 달라지더라도 개구율을 최대로 확보하는 것을 특징으로 하는바,

제 1 기판 상에 교차되어 픽셀을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선들의 교차 부위에 형성되어 게이트 전극, 반도체층, 소스/드레인 전극으로 이루어진 박막트랜지스터와, 상기 게이트 배선에 평행하는 수평부와 상기 수평부에 수직교차하여 다수의 블록을 정의하는 수직부로 구성되는 공통전극과, 상기 공통전극의 수직부 중 상기 픽셀 양 가장자리에 형성되는 최외곽 공통전극과, 상기 인접하는 픽셀간의 공통전극을 연결하는 공통배선과, 상기 박막트랜지스터의 드레인 전극에 연결되며, 상기 최외곽 공통전극을 포함한 공통전극의 수직부에 그 일부가 오버랩되는 블록 형상의 제 1 화소전극부와 인접해있는 상기 제 1 화소전극부를 연결하는 제 2 화소전극부로 구성되는 화소전극과, 상기 제 1 기판과의 사이에 액정층을 두고 대향합착된 제 2 기판을 포함하여 구성되는 것을 특징으로 한다.

내포도

도 9

색인어

격자구조전극, 고개구율, 스토리지 커패시턴스, 횡전계

명세서

도면의 간단한 설명

도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 평면도.

도 2는 도 1의 I - I '선상에서의 횡전계방식 액정표시소자의 단면도.

도 3은 도 1의 II - II '선상에서의 횡전계방식 액정표시소자의 전압분포도.

도 4a 및 도 4b는 전압 무인가시 및 인가시에서의 횡전계방식 액정표시소자의 평면도.

도 5는 종래 기술에 의한 횡전계방식 액정표시소자의 전압-투과율(V-T) 특성을 나타낸 그래프.

도 6은 본 발명의 제 1 실시예에 의한 격자구조의 전극을 가진 횡전계방식 액정표시소자의 평면도.

도 7a 및 도 7b는 본 발명의 제 1 실시예에 의한 격자구조의 전극을 가진 횡전계방식 액정표시소자의 전압 무인가시 및 인가시에서의 액정의 동작을 나타낸 도면.

도 8은 본 발명의 제 1 실시예에 의한 격자구조의 전극을 가진 횡전계방식 액정표시소자의 전압-투과율(V-T) 특성을 나타낸 그래프.

도 9는 본 발명의 제 2 실시예에 의한 횡전계방식 액정표시소자의 평면도.

도 10은 상기 도 9의 III-III'선상에서의 횡전계방식 액정표시소자의 단면도.

도 11a 내지 도 11c는 본 발명의 제 2 실시예에 의한 횡전계방식 액정표시소자의 제조 공정평면도.

도 12는 본 발명의 제 3 실시예에 의한 횡전계방식 액정표시소자의 평면도.

도 13은 본 발명의 제 4 실시예에 의한 횡전계방식 액정표시소자의 평면도.

도 14는 본 발명의 제 5 실시예에 의한 횡전계방식 액정표시소자의 평면도.

도 15는 본 발명의 제 5 실시예에 의한 격자구조 전극 사이에 전계가 형성되는 것을 나타낸 도면.

도 16은 본 발명의 제 6 실시예에 의한 횡전계방식 액정표시소자의 평면도.

*도면의 주요 부분에 대한 부호설명

512 : 게이트 배선 515 : 데이터 배선

515a : 소스 전극 515b : 드레인 전극

517 : 화소전극 517a : 제 1 화소전극부

517b : 제 2 화소전극부 524 : 공통전극

524a : 공통전극의 수직부 524b : 공통전극의 수평부

525 : 공통배선 530 : 블록

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자(LCD ; Liquid Crystal Display Device)에 관한 것으로, 특히 개구율을 최대화시키기 위한 횡전계방식 액정표시소자 및 그 제조방법에 관한 것이다.

평판표시소자로서 최근 각광받고 있는 액정표시소자는 콘트라스트 비(contrast ratio)가 크고, 계조 표시나 동화상 표시에 적합하며 전력소비가 작다는 장점 때문에 활발한 연구가 이루어지고 있다.

특히, 얇은 두께로 제작될 수 있어 장차 벽걸이 TV와 같은 초박형(超薄形) 표시장치로 사용될 수 있을 뿐만 아니라, 무게가 가볍고, 전력소비도 CRT 브라운관에 비해 상당히 적어 배터리로 동작하는 노트북 컴퓨터의 디스플레이로 사용되는 등, 차세대 표시장치로서 각광을 받고 있다. 또한, 소형 패널로 제작되어 휴대폰 디스플레이로도 사용되고 있어 그 활용성이 다양하다.

이러한 액정표시소자는 액정의 성질과 전극의 구조에 따라서 여러 가지 다양한 모드가 있다.

구체적으로, 액정 방향자가 90°트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN 모드(Twisted Nematic Mode)와, 한 화소를 여러 도메인으로 나눠 각각의 도메인의 주시야각 방향을 달리하여 광시야각을 구현하는 멀티도메인 모드(Multi-Domain Mode)와, 보상필름을 기판 외주면에 부착하여 빛의 진행방향에 따른 빛의 위상변화를 보상하는 OCB 모드(Optically Compensated Birefringence Mode)와, 한 기판 상에 두개의 전극을 형성하여 액정의 방향자가 배향막의 나란한 평면에서 꼬이게 하는 횡전계방식(In-Plane Switching Mode)과, 네가티브형 액정과 수직배향막을 이용하여 액정 분자의 장축이 배향막 평면에 수직 배열되도록 하는 VA 모드(Vertical Alignment) 등 다양하다.

이중, 상기 횡전계방식 액정표시소자는 통상, 서로 대향 배치되어 그 사이에 액정층을 구비한 컬러필터 기판과 박막 어레이 기판으로 구성된다.

여기서, 상기 컬러필터 기판에는 빛샘을 방지하기 위한 블랙 매트릭스와, 상기 블랙 매트릭스 상에 색상을 구현하기 위한 R,G,B의 컬러필터층이 형성되고, 상기 박막 어레이 기판에는 단위 화소를 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선의 교차 지점에 형성된 스위칭소자와, 서로 엇갈리게 교차되어 횡전계를 발생시키는 공통전극 및 화소전극이 형성된다.

이하, 도면을 참조하여 종래 기술의 횡전계방식 액정표시소자 및 그 제조방법을 설명하면 다음과 같다.

도 1은 종래 기술에 의한 횡전계방식 액정표시소자의 평면도이고, 도 2는 도 1의 I - I'선상에서의 횡전계방식 액정표시소자의 단면도이며, 도 3은 도 1의 II - II'선상에서의 횡전계방식 액정표시소자의 전압분포도이다.

그리고, 도 4a 및 도 4b는 전압 무인가시 및 인가시에서의 횡전계방식 액정표시소자의 평면도이고, 도 5는 종래 기술에 의한 횡전계방식 액정표시소자의 전압-투과율(V-T) 특성을 나타낸 그래프이다.

도 1 및 도 2를 참고로 하여 횡전계방식 액정표시소자를 구체적으로 살펴보면, 박막 어레이 기판(11) 상에는 게이트 배선(12) 및 데이터 배선(15)이 게이트 절연막(13)을 사이에 두고 수직으로 교차 배치되어 픽셀이 정의되고, 상기 게이트 배선(12) 및 데이터 배선(15)의 교차 부위에는 박막트랜지스터(TFT)가 구비된다.

이 때, 상기 박막트랜지스터(TFT)는 상기 게이트 배선(12)에서 분기되는 게이트 전극(12a)과, 상기 게이트 전극(12a)을 포함한 전면에 형성된 게이트 절연막(13)과, 상기 게이트 전극(12a) 상부의 게이트 절연막(13) 상에 형성된 반도체층(14)과, 상기 데이터 배선(15)에서 분기되어 상기 반도체층(14) 양 끝에 각각 형성되는 소스 전극(15a) 및 드레인 전극(15b)으로 구성된다.

그리고, 각 픽셀 내에는 상기 게이트 배선(12)과 평행하는 공통배선(25)과, 상기 공통배선(25)에서 분기되어 각 화소영역에 상기 데이터 배선(15)에 평행하도록 형성되는 다수개의 공통전극(24)과, 보호막(16)을 관통하여 상기 박막트랜지스터(TFT)의 드레인 전극(15b)에 연결되어 각 화소영역의 상기 공통전극(24) 사이에서 상기 공통전극과 평행하게 교차 배치된 다수개의 화소전극(17)이 구비되어 있다.

한편, 컬러필터 기판(21) 상에는, 빛의 누설을 방지하는 블랙 매트릭스(22)와, 상기 블랙 매트릭스(22) 사이의 각 픽셀에 형성되어 색상을 표현하는 R,G,B의 컬러필터층(23)이 구비되어 있다.

이러한 상기 횡전계방식 액정표시소자의 박막 어레이 기판(11)과 컬러필터 기판(21)은 접착특성을 가지는 씨일제(도시하지 않음)에 의해 대향합착되며, 그 사이에 액정층(31)이 형성된다.

이 때, 각종 패턴이 형성된 상기 박막 어레이 기판(11) 및 컬러필터 기판(21) 내측에는 배향막(30a,30b)이 더 형성되어 상기 액정층(31)의 액정분자를 초기 배향시킨다.

이와같이 구성된 횡전계방식 액정표시소자는, 액정 분자를 기판에 대해서 수평을 유지한 상태로 회전시키기 위하여 공통 전극(24) 및 화소전극(17) 모두 동일한 기판 상에 형성하고, 상기 2개의 전극 사이에 전압을 걸어 기판에 대해서 수평방향의 전계(E)가 발생하도록 한다.

이 때문에, 시각방향에 대한 액정의 복굴절의 변화가 작아 종래의 TN방식 액정표시소자에 비해 시야각 특성이 월등하게 우수해지는 것이다.

구체적으로, 도 3에 도시된 바와 같이, 공통전극(24)에 6V를 걸어주고 화소 전극(17)에 0V를 걸어주면 전극 바로 위의 부분에서는 등전위면이 전극에 평행하게 분포하고 두 전극 사이의 영역에서는 오히려 등전위면이 수직에 가깝도록 분포한다.

따라서, 전기장의 방향은 등전위면에 수직하므로, 공통전극(24)과 화소 전극(17) 사이에서는 수직전기장보다는 수평전기장이, 각 전극 상에서는 수평전기장보다는 수직전기장이, 그리고 전극 모서리 부분에서는 수평 및 수직전기장이 복합적으로 형성된다.

횡전계방식 액정표시소자는 이러한 전기장을 이용하여 액정분자의 배열을 조절한다.

일예로, 도 4a에 도시된 바와 같이, 어느 한 편광판의 투과축과 동일한 방향으로 초기 배향된 액정분자(32)에 충분한 전압을 걸어주면, 도 4b에 도시된 바와 같이, 액정분자(32)의 장축이 전기장에 나란하도록 배열된다. 만일, 액정의 유전율이 방성이 음이면 액정분자의 단축이 전기장에 나란하게 배열된다.

여기서, 대향 합착된 박막 어레이 기판 및 컬러필터 기판의 외측면에 부착된 제 1, 제 2 편광판은 그 투과축이 서로 직교하도록 배치되는데, 배향막의 러빙방향은 어느 한 편광판의 투과축과 나란하게 함으로써 흑색바탕모드(normally black mode)가 되게 한다.

흑색바탕모드일 경우, 소자에 전압을 인가하지 않으면, 도 4a에 도시된 바와 같이, 액정분자(32)가 초기 배향상태를 유지하여 블랙(black) 상태를 표시하고, 소자에 전압을 인가하면, 도 4b에 도시된 바와 같이, 액정분자(32)가 전기장에 나란하게 배열되어 화이트(white) 상태를 표시한다.

이 때, 액정분자(32)가 45° 방향으로 회전하여 재배열될 때, 최대의 투과율 특성을 나타낸다.

그러나, 임의의 값 이상의 고전압이 인가되면 액정분자가 45° 이상으로 재배열되어 수평전계와 거의 평행하게 배열되려는 성질이 강해지는데, 이러한 경우 그 투과율이 현저히 떨어지게 된다.

즉, 도 5에 도시된 바와 같이, 횡전계방식 액정표시소자에 인가될 수 있는 전압이 최대 10V라 가정했을 때, 6V에서 최대 투과율을 나타내며 그 이상에서는 오히려 투과율이 떨어짐을 볼 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위하여 안출한 것으로, "ㄱ" 및 "ㄴ"자형의 공통전극 및 화소전극으로 정의되는 다수의 블록을 픽셀 내부에 구비함으로써 일정 전압 이상의 고전압이 인가되어도 투과율이 최대치에서 안정한 상태를 유지할 수 있도록 하는 횡전계방식 액정표시소자 및 그 제조방법을 제공하는데 그 목적이 있다.

특히, 픽셀의 양 가장자리에 최외곽 공통배선을 형성하는 경우, 게이트 배선 방향으로 짹수개의 블록을 배치할 수 밖에 없었던 문제점을 해결하고, 픽셀 크기에 따라 짹수개 또는 홀수개의 블록을 배치가능하도록 하는 것을 목적으로 한다. 이로써, 픽셀 크기가 달라지더라도 최적 설계 룰의 적용이 가능하여 개구율 확보가 용이해진다.

또한, 본 발명에 의한 횡전계방식 액정표시소자 및 그 제조방법은 최외곽 공통배선에 스토리지 커패시턴스 확보가 가능해지므로, 종래에 게이트 배선 상부에 구성되었던 스토리지 커패시터를 제거하거나 또는 커패시터 전극의 크기를 줄임으로써 개구율을 증가시키고자 하는 것을 다른 목적으로 한다.

한편, 본 발명에 의한 횡전계방식 액정표시소자는 화소전극을 경사지게 형성함으로써, 블록의 형태를 정사각형 또는 직사각형으로 하지 않고 사다리꼴 형태로 구성하는 것을 특징으로 하는바, 이로써, 유효전극 간격을 짧게 하여 전계효과를 극대화시키고, 액정방향자의 평균 회전 반경을 증가시키고자 하는 것을 또다른 목적으로 한다.

그리고, 화소전극을 경사지게 하는 방법 중, 전극의 면적을 가장 최소화할 수 있는 방법을 제안하여 고개구율의 횡전계방식 액정표시소자를 제공하고자 한다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명의 횡전계방식 액정표시소자는 제 1 기판 상에 교차되어 픽셀을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선 및 데이터 배선들의 교차 부위에 형성되어 게이트 전극, 반도체층, 소스/드레인 전극으로 이루어진 박막트랜지스터와, 상기 게이트 배선에 평행하는 수평부와 상기 수평부에 수직교차하여 다수의 블록을 정의하는 수직부로 구성되는 공통전극과, 상기 공통전극의 수직부 중 상기 픽셀 양 가장자리에 형성되는 최외곽 공통전극과, 상기 인접하는 픽셀간의 공통전극을 연결하는 공통배선과, 상기 박막트랜지스터의 드레인 전극에 연결되며, 상기 최외곽 공통전극을 포함한 공통전극의 수직부에 그 일부가 오버랩되는 블록 형상의 제 1 화소전극부와 인접해있는 상기 제 1 화소전극부를 연결하는 제 2 화소전극부로 구성되는 화소전극과, 상기 제 1 기판과의 사이에 액정층을 두고 대향합착된 제 2 기판을 포함하여 구성되는 것을 특징으로 한다.

또한, 본 발명의 또 다른 목적을 달성하기 위한 횡전계방식 액정표시소자의 제조방법은 기판 상에 게이트 배선을 형성하는 단계와, 상기 게이트 배선에 평행하는 공통배선, 상기 공통배선에서 수직으로 분기되어 픽셀내부를 다수의 블록으로 정의하는 공통전극을 형성하는 단계와, 상기 게이트 배선을 포함한 전면에 게이트 절연막을 형성하는 단계와, 상기 게이트 배선에 수직하는 데이터 배선을 형성하는 단계와, 상기 데이터 배선을 포함한 전면에 보호막을 형성하는 단계와, 상기 공통전극의 수직부에 그 일부가 부분적으로 오버랩되는 블록 형상의 제 1 화소전극부와 인접하는 상기 제 1 화소전극부를 연결하는 제 2 화소전극부로 구성되는 화소전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

상기 본 발명의 일실시예에 의한 횡전계방식 액정표시소자는 "ㄱ" 및 "ㄴ"자형으로 반복 배치된 격자 구조의 공통전극 및 화소전극을 구비하는 것으로서, 특히, 픽셀의 양 가장자리에 최외곽 공통배선을 형성하는 경우, 게이트 배선 방향으로 짹수개의 블록을 배치할 수 밖에 없었던 문제점을 해결하고, 픽셀 크기에 따라 짹수개 또는 홀수개의 블록을 배치가능하도록 하는 것을 목적으로 한다.

상기와 같은 블록배치가 가능하도록 하기 위해선, 공통전극의 수평부와 수직부를 교차시켜 픽셀을 다수의 블록으로 구분한 뒤, 화소전극의 제 1 화소전극부를 블록 형태로 형성하고, 제 2 화소전극부를 상기 제 1 화소전극부를 연결하는 형태로 형성하면 된다.

이 때, 상기 블록은 정사각형 또는 직사각형의 형태를 가지도록 하고, 그 면적은 서로 동일하게 한다.

한편, 본 발명의 다른 실시예에 의한 횡전계방식 액정표시소자는 "ㄱ" 및 "ㄴ"자형으로 반복 배치된 격자 구조의 공통전극 및 화소전극을 구비하면서, 특히, 화소전극의 수평부를 경사지게 형성하여, 상기 블록을 정사각형 또는 직사각형 형태가 아닌 사다리꼴 형태로 형성하는 것을 특징으로 한다.

이로써, "ㄱ" 및 "ㄴ"자형의 공통전극 및 화소전극이 격어지는 코너부에서, 등전위가 형성되고 대향 전극간 거리가 멀어 액정방향자가 제대로 동작하지 못한다는 이유로 소자의 투과율이 떨어지는 문제점이 해결된다.

즉, 전극의 코너부에서의 액정방향자가 제대로 작동하도록 하기 위해선, 공통전극의 수평부와 수직부를 교차시켜 픽셀을 다수의 블록으로 구분한 뒤, 상기 블록을 2면적으로 등분할하는 화소전극을 경사지게 형성하면 된다. 이 때, 블록을 등분 할하는 화소전극의 경사부는 화소전극의 수직부에 의해 일체형으로 연결된다.

이하, 도면을 참조하여 본 발명의 실시예에 따른 횡전계방식 액정표시소자 및 그 제조방법을 상세히 설명하면 다음과 같다.

이하에서는, 횡전계방식 액정표시소자의 박막 어레이 기판에 대해서 주로 서술하는 것으로 한다.

제 1, 제 2, 제 3 실시예

도 6은 본 발명의 제 1 실시예에 의한 격자구조의 전극을 가진 횡전계방식 액정표시소자의 평면도이고, 도 7a 및 도 7b는 본 발명의 제 1 실시예에 의한 격자구조의 전극을 가진 횡전계방식 액정표시소자의 전압 무인가시 및 인가시에서의 액정의 동작을 나타낸 도면이며, 도 8은 본 발명의 제 1 실시예에 의한 격자구조의 전극을 가진 횡전계방식 액정표시소자의 전압-투과율(V-T) 특성을 나타낸 그래프이다.

그리고, 도 9는 본 발명의 제 2 실시예에 의한 횡전계방식 액정표시소자의 평면도이고, 도 10은 상기 도 9의 III-III'선상에서의 횡전계방식 액정표시소자의 단면도이며, 도 11a 내지 도 11c는 본 발명의 제 2 실시예에 의한 횡전계방식 액정표시소자의 제조 공정평면도이다.

그리고, 도 12는 본 발명의 제 3 실시예에 의한 횡전계방식 액정표시소자의 평면도이다.

우선, 본 발명의 제 1 실시예에 의한 격자구조를 가지는 횡전계방식 액정표시소자를 설명하면 다음과 같다.

도 6에 도시된 바와 같이, 일렬로 배치된 복수개의 게이트 배선(112)과, 상기 게이트 배선(112)에 수직 교차하는 복수개의 데이터 배선(115)에 의해 픽셀이 정의되는데, 상기 픽셀 내에는 상기 두 배선의 교차 지점에 형성되어 전압을 스위칭하는 박막트랜지스터(TFT)와, "ㄱ" 및 "ㄴ"자형으로 반복 배치된 격자 구조를 가지며 대각선 방향으로 서로 대칭되는 공통전극(124) 및 화소전극(117)이 구비된다.

이 때, 상기 공통전극(124) 및 화소전극(117)에 의해 상기 픽셀은 다수개의 블록(130)으로 구분된다.

구체적으로, 상기 공통전극(124)은 상기 게이트 배선(112)에 평행하는 다수개의 수평부(124b)와 상기 데이터 배선(115)에 평행하는 다수개의 수직부(124b)로 구성되며, 공통배선(125)이 추가 구성되어 인접하는 픽셀의 공통전극(124)을 서로 연결하여 외곽으로부터 액티브 영역으로 공통신호를 전달해준다.

이 때, 상기 픽셀의 최외곽 가장자리에 형성되는 공통배선의 수직부(124a)를 최외곽 공통전극으로 별도로 지칭하는 것으로 하는데, 상기 최외곽 공통전극은 데이터 배선(115)의 모서리에서 새어나오는 빛샘을 방지하는 등의 역할을 한다.

그리고, 상기 화소전극(117)은 상기 공통전극의 수직부(124a) 사이에 위치하는 일직선 형상의 수직부(117a)와 상기 공통전극의 수평부(124b) 사이에 위치하여 상기 화소전극의 수직부(117a)로부터 분기되는 형상의 수평부(117b)로 구성되며, 상기 박막트랜지스터의 드레인 전극(115b)에 연결되어 화소신호를 인가받는다.

이 때, 상기 화소전극(117)의 수평부(117b)와 수직부(117a)는 상기 공통전극(124)의 수평부(124b)와 수직부(124a)로부터 각각 일정한 간격으로 이격되며 서로 평행한다.

따라서, 상기 화소전극(117) 및 공통전극(124)의 수평부와 수직부의 교차에 의해 정의되는 각 블록(130)은, 정사각형 또는 직사각형의 형태를 가지게 되며, 각 블록의 면적은 서로 동일해진다.

한편, 상기 화소전극(117)의 수평부(117b)를 인접한 게이트 배선(112) 상에 오버랩되도록 연장형성하여 게이트 배선(112)과 화소전극(117)이 오버랩된 부분에 스토리지 커패시터를 형성하거나, 또는 상기 게이트 배선(112) 위에 별도로 스토리지 전극(126)을 형성하고 상기 스토리지 전극(126)과 화소전극(117)이 연결되도록 하여 스토리지 커패시터를 형성할 수 있는데, 이 때, 게이트 배선(112)과 스토리지 전극(126)과 그 사이에 개재된 절연막(도시하지 않음)이 스토리지 커패시터(storage capacitor)를 구성한다.

다만, 스토리지 커패시턴스(storage capacitance)를 더 많이 확보하려면 게이트 배선(112) 및 스토리지 전극(126)의 면적을 더 넓혀야 하므로, 넓어진 면적만큼의 개구율이 떨어지는 문제점이 있다.

이와같이 구성된 소자에 전압을 인가하게 되면, 일예로 공통전극(124)을 6V로 하고 화소전극(117)을 0V로 하게 되면, 공통전극(124)에서 화소전극(117) 방향으로 전계(E)가 형성되는데, 화소전극(117) 및 공통전극(124)의 수평부를 기준으로 45° , 135° 방향으로 전계(E)가 형성된다.

따라서, 액정분자(131)는 전계(E)를 따라 재배열되므로, 도 7b에 도시된 바와 같이, 액정분자(131)가 화소전극의 수평부(117b) 및 공통전극의 수평부(124b)를 기준으로 45° 방향(도 7b의 (나)) 또는 135° 방향(도 7b의 (가))으로 재배열된다.

이 때, 액정분자(131)는, 도 7a에 도시된 바와 같이, 배향막(도시하지 않음)에 의해 화소전극의 수직부(117a) 방향으로 초기 배열된 것으로 한다. 화소전극의 수평부(117b) 방향으로 초기 배열된 것도 같은 효과를 가지게 된다.

이와같이, 45° 또는 135° 의 2방향으로 액정분자(131)가 재배열되므로, 서로 다른 방향에 대한 시야각이 서로 보상되어 멀티도메인의 효과를 가지게 된다.

또한, 상기 공통전극(124) 및 화소전극(117)이 서로 대칭되는 격자구조를 가지는 것에 의해, 일정전압 이상의 전압을 인가하더라도 액정패널이 높은 투과율을 유지하게 된다.

즉, 고전압을 인가하여도 각 블록(130)에서는 "ㄱ", "ㄴ"자형의 화소전극(117) 및 공통전극(124)에 의해 45° 또는 135° 의 전계만 형성되기 때문에 액정분자가 45° 또는 135° 이상으로 재배열되지 못한다. 따라서, 액정분자는 일정값 이상의 고전압에서 투과율이 최대인 45° 또는 135° 상태를 유지하므로, 투과율이 최대치에서 안정한 상태를 유지할 수 있게 된다.(도 8 참고)

그러나, 제 1 실시예에 의한 격자전극 구조의 횡전계방식 액정표시소자는 다음과 같은 문제점이 있다.

즉, 공통전극(124)과 화소전극(117) 사이의 거리가 멀어지면 전계가 약해지고, 전극 사이의 거리가 가까워지면 전극의 수가 상대적으로 많아져 개구율이 떨어지므로, 적당한 전극간 거리가 요구되고 결국, 블록(130)의 폭도 최적의 설계를이 적용되는 일정한 수치를 가지게 되는데, 액정표시소자의 모델에 따라 픽셀의 크기가 달라지므로 블록의 최적 배치가 어려워진다.

왜냐하면, 픽셀의 양 가장자리에 최외곽 공통전극을 형성해야 하고, 또한 공통전극(124)의 수직부 사이에 화소전극(117)의 수직부가 직선으로 삽입되는 구조로 형성해야 하므로, 수평방향으로 배치할 수 있는 블록 개수가 짹수개 밖에 되지 않기 때문이다.

결국, 최적 전극 간격 적용시, 블록을 수평방향으로 짹수개 배치하고 픽셀의 공간이 남는 경우, 남는 면적만큼의 개구율 확보가 어려워진다.

따라서, 본 발명은 픽셀 크기에 따라, 짹수개의 블록배치 뿐만 아니라, 홀수개의 블록배치도 가능하게 하여 소자의 개구율을 최적화시키고자 함을 특징으로 한다.

본 발명의 제 2 실시예에 의한 횡전계방식 액정표시소자는, 도 9 및 도 10에 도시된 바와 같이, 서로 수직 교차하는 복수개의 게이트 배선(512) 및 데이터 배선(515)에 의해 픽셀이 정의되는데, 상기 픽셀 내에는 상기 두 배선의 교차 지점에 형성되어 전압을 스위칭하는 박막트랜지스터(TFT)와, 상기 픽셀을 매트릭스 형태의 블록(530)으로 분할하는 공통전극(524)과, 상기 공통전극(524)에 부분적으로 오버랩되어 사각 플러스 형태로 형태되는 화소전극(517)으로 구성되는데, 상기 공통전극(524)과 화소전극(517)의 전극간 거리는 최적의 거리를 가지고 이격되도록 형성한다.

이 때, 상기 박막트랜지스터(TFT)는 상기 게이트 배선(512)의 소정부위인 게이트 전극(512a)과, 상기 게이트 전극(512a)을 포함한 전면에 형성된 게이트 절연막(513)과, 상기 게이트 전극(512a) 상부의 게이트 절연막(513)에 비정질 실리콘(a-Si) 및 비정질 실리콘에 불순물을 이온 주입한 n+ a-Si을 차례로 증착하여 형성된 반도체층(514)과, 상기 데이터 배선(515)에서 분기되어 상기 반도체층(514) 상부에 각각 형성된 소스/드레인 전극(515a, 515b)으로 이루어져 단위 화소에 인가되는 전압의 온/오프를 제어한다.

그리고, 상기 블록(530)은 정사각형 또는 직사형 형태로 서로 동일한 면적을 가지도록 형성되고, 그 모서리가 "ㄱ"자형 또는 "ㄴ"자형의 화소전극(517) 및 공통전극(524)이 되도록 하며, 도 9 및 도 12에 도시된 바와 같이, 픽셀의 크기에 따라 수평방향으로 짹수개 또는 홀수개 배치되는 것을 특징으로 한다.

다소 픽셀의 크기가 작은 경우에는, 도 9에 도시된 바와 같이, 수평방향으로 2개의 블록을 배치하면 되고, 그보다 큰 픽셀의 경우에는, 도 12에 도시된 바와 같이, 3개의 블록을 배치하면 된다. 물론, 더 큰 픽셀의 경우에는 더 많은 수의 블록을 배치하면 되는데, 블록의 배치수는 픽셀의 크기가 서로 다른 액정표시소자의 모델에 따라서 결정하면 된다.

따라서, 픽셀의 크기의 변화하더라도 그 크기에 따라 효율적으로 블록을 배치할 수 있으므로 최적 설계를의 적용이 가능해지고 남는 공간이 없어져, 높은 개구율을 확보할 수 있다.

구체적으로, 상기 공통전극(524)은 상기 게이트 배선(512)에 평행하는 수평부(524b)와 데이터 배선(515)에 평행하는 수직부(524a)가 서로 교차되어 다수영역의 블록을 정의하는 형태로 구성되는데, 상기 픽셀의 양가장자리에는 공통전극의 수직부(524a)가 위치하도록 형성한다. 이때, 상기 공통전극의 수직부(524a)가 상기 데이터 배선(515)과 오버랩되도록 형성하여, 데이터 배선(515) 모서리에서 새어나오는 빛샘을 차광하고, 개구율을 더욱더 확보하게 할 수 있다. 픽셀 양가장자리 형성되는 공통전극의 수직부를 최외곽 공통전극으로 칭함은 전술한 바 있다.

여기서, 상기 공통전극의 수직부(524a)의 최외곽 공통전극은 상기 화소전극(517)과 오버랩되는 부분에서 최소의 합착마진의 폭을 가지고 그 폭을 작게 형성한다.

그리고, 픽셀 내부의 공통전극(524)에 공통신호를 인가하기 위해서, 인접하는 픽셀간의 공통전극(524)을 연결하는 공통배선(525)을 더 구비한다. 여기서, 상기 게이트 배선(512), 공통배선(525) 및 공통전극(524)은 동일층에 형성된다.

한편, 상기 화소전극(517)은 블록 형태로 형성된 제 1 화소전극부(517a)와, 단위 픽셀 내부에서 인접하는 제 1 화소전극부(517a)를 서로 연결하는 제 2 화소전극부(517b)로 구성되는데, 상기 제 1, 제 2 화소전극부(517a, 517b)는 상기 공통전극의 수평부(524b) 또는 수직부(524a)와 선택적으로 오버랩된다.

상기 화소전극(517)은 상기 박막트랜지스터의 드레인 전극(515b)에 연결되어 특정의 화소신호를 인가받는다.

상기와 같은 구조로 형성된 공통전극(524) 및 화소전극(517)은 "ㄱ" 및 "ㄴ"자형으로 반복 배치된 격자 구조를 가지며 대각선 방향으로 서로 대칭되는 형태를 취하여, 상기 공통전극(524) 및 화소전극(517)에 특정전압을 가할 때, 45° 또는 135°의 전계가 형성되도록 한다.

따라서, 액정분자가 임의의 전압 이상에서 45° 또는 135°로 배열되므로, 임의의 고전압에서도 소자의 투과율이 최대치인 상태를 유지하게 된다.

한편, 상기 공통전극(524)과 화소전극(517)이 오버랩되는 영역은, 커패시터 하부전극 역할을 하는 공통전극(524)과 상기 공통전극(524)으로부터 절연되어 커패시터 상부전극 역할을 하는 화소전극(517)에 의해서, 스토리지 커패시터(storage capacitor)를 구성하게 된다. 이 때, 상기 공통전극(524)과 화소전극(517) 사이에 형성되는 절연막은 게이트 배선(512)을 포함한 전면에 형성된 게이트 절연막(513)과 상기 데이터 배선(515)을 포함한 전면에 형성된 보호막(516)이다.

즉, 상기 공통전극(524)과 화소전극(517)이 오버랩되는 모든 영역이 스토리지 커패시터가 되므로, 스토리지 커패시터를 별도로 구성하기 위해 게이트 배선(512) 상부에 스토리지 전극을 형성하지 않아도 된다. 만일, 스토리지 커패시턴스(storage capacitance)를 더 많이 확보하려고 게이트 배선(512) 상부에 스토리지 전극을 형성하게 되더라도, 오버랩되는 공통전극(524)과 화소전극(517)에 의해 발생하는 커패시턴스가 있기 때문에 스토리지 전극을 크게 형성할 필요가 없다.

따라서, 스토리지 커패시턴스의 충분한 확보를 위해 게이트 배선의 면적을 더 넓게 형성하지 않아도 되므로 개구율이 저하되는 문제점이 방지된다.

그리고, 도시하지는 않았으나, 상기의 박막 어레이 기판에는 컬러필터 기판이 대향합착되는데, 상기 두 기판의 외측면에는 투과축이 서로 수직하도록 제 1, 제 2 편광판이 더 배치되고, 내측면에는 배향막이 더 구성된다. 이때, 배향막은 상기 게이트 배선 또는 데이터 배선과 평행하는 방향으로 배향처리 되는데, 배향방향은 상기 제 1 또는 제 2 편광판의 편광축과 동일한 방향으로 한다.

이하, 본발명에 의한 횡전계방식 액정표시소자의 제조방법을 구체적으로 살펴보면 다음과 같다.

먼저, 도 11a에 도시된 바와 같이, 기판 상에 신호지연의 방지를 위해서 낮은 비저항을 가지는 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등의 금속을 증착한 후 패터닝하여 복수개의 게이트 배선(512), 공통배선(525) 및 공통전극(524)을 형성한다. 이 때, 게이트 배선(512)의 소정 부위가 게이트 전극으로 활용된다.

상기 공통배선(525)은 상기 게이트 배선(512)에 평행하도록 형성하고, 상기 공통전극(524)은 상기 공통배선(525)에서 분기되고, 수평부(524b)와 수직부(524a)에 의해서 하나의 핀셀을 다수의 블록(530)으로 분할하도록 형성한다.

이 때, 블록(530)은 정사각형 또는 직사각형 형태로 형성하며, 최적 전극간 거리가 적용되는 설계 률에 따른 크기로 형성한다.

그리고, 상기 공통전극(524) 중 핀셀의 양가장자리에 형성되는 수직부(524a)인 최외곽 공통전극은 후공정에서 형성될 화소전극(517)과 최소의 합착마진의 폭을 가지고 오버랩될 수 있도록, 오버랩될 부분의 최외곽 공통전극의 폭을 작게 형성한다.

다음, 상기 게이트 배선(512)을 포함한 전면에 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiNx) 등의 무기 절연물질을 통상, 플라즈마 강화형 화학 증착(PECVD: plasma enhanced chemical vapor deposition) 방법으로 증착하여 게이트 절연막(도 10의 513)을 형성한다.

이어서, 상기 게이트 절연막을 포함한 전면에 비정질 실리콘(a-Si:H)을 고온에서 증착한 후 패터닝하여 게이트 전극 상부의 게이트 절연막 상에 독립된 섬 모양의 반도체층(514)을 형성한다.

상기 반도체층(514) 상에는 이후 형성될 소스/드레인 전극과의 콘택저항을 낮추기 위해 비정질 실리콘에 불순물을 도핑한 오버코트층을 더 형성할 수 있다.

계속하여, 도 11b에 도시된 바와 같이, 상기 반도체층(514)을 포함한 전면에 구리(Cu), 알루미늄(Al), 알루미늄 합금(AlNd : Aluminum Neodymium), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴-텅스텐(MoW) 등의 금속을 증착한 후 패터닝하여 복수개의 데이터 배선(515), 소스/드레인 전극(515a/515b)을 형성한다.

상기 데이터 배선(515)은 핀셀을 정의하기 위해 상기 게이트 배선(512)에 수직하도록 형성하고, 상기 소스/드레인 전극(515a/515b)은 상기 반도체층(514)의 양 끝단에 각각 형성하여 게이트 전극, 게이트 절연막, 반도체층(514), 소스/드레인 전극(515a, 515b)으로 적층되어 단위 화소에 인가되는 전압의 온/오프를 제어하는 박막트랜지스터를 완성한다.

다음, 상기 데이터 배선(515)을 포함한 전면에 BCB(Benzocyclobutene), 아크릴계 수지(acryl resin) 등의 유기절연물질을 도포하거나 또는 SiNx, SiO_x 등의 무기절연물질을 증착하여 보호막(도 10의 16)을 형성한다. 그리고, 상기 보호막의 일부를 제거하여 상기 드레인 전극(515b)이 노출되는 콘택홀(518)을 형성한다.

이후, 도 11c에 도시된 바와 같이, 상기 보호막을 포함한 전면에 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)와 같은 투명도전물질을 증착하고 패터닝하여 상기 콘택홀(518)을 통해 드레인 전극(515b)에 전기적으로 연결되는 화소전극(517)을 형성한다.

이 때, 상기 화소전극의 제 1 화소전극부(517a)는 블록 형태로 형성하고, 상기 제 2 화소전극부(517b)는 단위 핀셀 내부에서 서로 인접하는 제 1 화소전극부(517a)를 연결하는 형태로 형성한다. 특히, 상기 블록 형상의 제 1 화소전극부(517a)는 그 내부에 공통전극(524) 및 화소전극(517)에 의해 정의된 블록(530)이 대칭되는 형태로 4개씩 구비되도록 형성한다.

이와같은 공통전극(524) 및 화소전극(517)의 배치에 의해 각 블록(530)의 모서리는 "ㄱ"자형 또는 "ㄴ"자형 공통전극(524)과 화소전극(517)으로 이루어진다.

이 때, 공통전극(524)과 화소전극(517)이 오버랩되는 부분은 스토리지 커패시터(Cst)가 되는데, 스토리지 커패시턴스가 부족한 경우에는 상기 제 1 화소전극부(517a)의 수평부를 인접한 게이트 배선(112)에 오버랩되도록 연장형성하여 스토리지 커패시터(도시하지 않음)를 추가 구성할 수 있다.

다음, 상기 박막 어레이 기판 및 대향기판인 컬러필터 기판 내측면에 배향막을 형성한 후 러빙처리한다. 이때, 러빙 방향이 액정의 초기 배열방향이 되며, 수평방향 또는 수직방향 중 어느 한방향으로 러빙처리한다.

이후, 상기 박막 어레이 기판과 컬러필터 기판을 대향합착하고 그 사이에 액정층을 형성한다.

마지막으로, 대향합착된 기판을 세정하고 상기 기판의 외측면에 제 1, 제 2 편광판을 각각 부착한다. 이 때, 제 1, 제 2 편광판의 각 편광축은 서로 수직이 되도록 하고, 어느 한 편광축은 액정분자의 초기 배향과 동일하도록 부착한다.

도 12는 제 3 실시예에 의해서, 블록(530)을 수평방향으로 홀수개 배치한 것을 나타낸 도면으로, 블록(530) 배치 이외의 구성은 전술한 제 2 실시예와 동일 또는 유사하다.

즉, 공통전극의 수평부(524b)와 수직부(524a)에 의해 블록(530)이 수평방향으로 홀수개 배치되고, 상기 공통전극(524)의 소정 부위에 화소전극(517)이 부분적으로 오버랩되어 각 블록마다 "ㄱ"자형 또는 "ㄴ"자형의 화소전극(517)을 모서리로 가지게 된다. 이 때, 상기 화소전극의 제 1 화소전극부(517a)는 상기 공통전극(524)의 수평부 또는 수직부에 부분적으로 오버랩되어 블록 형태로 형성되며, 제 2 화소전극부(517b)는 단위 픽셀 내부의 상기 제 1 화소전극부(517a)를 서로 연결하는 형태로 형성된다.

나머지 미설명 도면 부호는 제 2 실시예와 동일한 도면부호를 사용하여 도시하였다.

제 4, 제 5, 제 6 실시예

도 13은 본 발명의 제 4 실시예에 의한 횡전계방식 액정표시소자의 평면도이고, 도 14는 본 발명의 제 5 실시예에 의한 횡전계방식 액정표시소자의 평면도이며, 도 15는 본 발명의 제 5 실시예에 의한 격자구조 전극 사이에 전계가 형성되는 것을 나타낸 도면이다.

그리고, 도 16은 본 발명의 제 6 실시예에 의한 횡전계방식 액정표시소자의 평면도이다.

본 발명의 다른 실시예를 구체적으로 살펴보면, 전술한 제 1 실시예에 의한 격자 전극 구조를 가진 횡전계방식 액정표시소자는 다음과 같은 문제점이 있다.

즉, 도 6에 도시된 바와 같이, 공통전극(124)과 화소전극(117)이 격어지는 코너부에서 등전위가 형성될 뿐만 아니라, 코너부에서의 공통전극(124)과 화소전극(117) 사이의 먼 거리 때문에 전계가 약하게 형성됨으로 인해서, 액정방향자의 동작이 잘 이루어지지 못하여 소자의 투과율이 떨어진다.

또한, 전극 사이의 전계가 45° 로 형성되더라도, 배향막 표면의 앵커링 효과(anchoring effect)에 의해 배향막에 근접해 있는 액정방향자의 회전이 어려워지므로, 액정방향자의 평균 회전 반경이 45° 에 가깝도록 해주려면 고전압 인가가 필요하다.

실험결과, 7V에서의 액정표시소자 모드 효율은 73.4%였다.

따라서, 전극이 격어지는 코너부에서의 전계효과를 높이기 위해서, 도 13에 도시된 바와 같이, 화소전극(1117)의 일 모서리를 경사지도록 형성하여 코너부에서의 공통전극(1124)과 화소전극(1117)의 거리를 가깝게 하였다.

이로써, 공통전극의 수직부(1124a) 사이에 화소전극의 수직부(1117a)가 직선으로 삽입되고, 공통전극의 수평부(1124b) 사이에 마름모 형태로 형성된 화소전극의 수평부(1117b)가 삽입되는 제 4 실시예에 의한 구조를 가진다.

그러나, 상기와 같은 구조는 화소전극(1117)의 일 모서리를 경사지게 하기 위해 면적을 넓혀야 하는바, 그 면적만큼의 개구율이 떨어지는 또다른 문제점이 있었다.

따라서, 본 발명의 제 5 실시예에 의한 횡전계방식 액정표시소자는 화소전극의 일 모서리를 경사지게 형성하되, 경사진 모서리 자체의 면적을 최소화하여 전계효과를 높임과 동시에 개구율도 높이는 것을 특징으로 하는바, 도 14에 도시된 바와 같이, 서로 수직 교차하는 복수개의 게이트 배선(1512) 및 데이터 배선(1515)에 의해 정의된 픽셀 내에는 상기 두 배선의 교차 지점에 형성되어 전압을 스위칭하고, 게이트 전극, 반도체층(1514), 소스/드레인 전극(1515a, 1515b)으로 이루어진

박막트랜지스터(TFT)와, 상기 픽셀을 매트릭스 형태의 블록으로 분할하는 공통전극(1524)과, 상기 블록을 등분할하여 서브-블록(1530)을 정의하기 위한 경사부를 포함하고 또한 상기 공통전극(1524)에 부분적으로 오버랩되어 스토리지 커패시터를 구성하는 화소전극(1517)으로 구성된다.

구체적으로, 상기 공통전극(1524)은 상기 게이트 배선(1512)에 평행하는 수평부(1524b)와 데이터 배선(1515)에 평행하는 수직부(1524a)가 서로 교차되어 사각형 형태의 블록을 정의하는 형태로 구성되며, 그 중에서 픽셀의 양가장자리에 상기 공통전극의 수직부(1524a)가 위치하도록 형성하여 데이터 배선(1515) 모서리에서 새어나오는 빛샘을 차광한다.

여기서, 픽셀 양가장자리 형성되는 공통전극의 최외곽 수직부는 상기 화소전극(1517)과 오버랩되는 부분에서 최소의 합착마진의 폭을 가지도록 그 폭을 작게 형성한다.

그리고, 픽셀 내부의 공통전극(1524)에 공통신호를 인가하기 위해서, 인접하는 픽셀간의 공통전극(1524)을 연결하는 공통배선(1525)을 더 구비한다.

한편, 상기 화소전극(1517)은 상기 블록이 사다리꼴 형태의 서브-블록(1530)으로 분할되도록 사선방향으로 형성되는 경사부를 포함하는 제 1 화소전극부(1517a)와 상기 제 1 화소전극부(1517a)를 연결하는 제 2 화소전극부(1517b)로 구성된다. 이와같이, 제 1 화소전극부(1517a)의 수평부를 사선방향의 경사부로 구비하는 것은, 제 4 실시예에서와 같이 수평부를 마름모 형태로 구비하는 것에 대비하여, 개구율을 향상시키기 위함이다.

따라서, 공통전극(1524)의 수평부(1524b)와 수직부(1524a) 및 화소전극의 제 1 화소전극부(1517a)에 의해 정의되는 서브-블록(1530)은 사다리꼴 형상으로 형성되며, 도 14 및 도 16에 도시된 바와 같이, 픽셀의 크기에 따라 그 개수를 달리 형성할 수 있다. 즉, 픽셀의 크기가 다소 작은 경우에는, 도 14에 도시된 바와 같이, 수평방향으로 2개의 서브-블록(1530)을 배치하면 되고, 그보다 큰 픽셀의 경우에는, 도 16에 도시된 바와 같이, 수평방향으로 3개의 서브-블록(1530)을 배치하면 된다. 물론, 더 큰 픽셀의 경우에는 더 많은 수의 블록을 배치하면 되는데, 이는 픽셀의 크기가 서로 다른 액정표시소자의 모델에 따라서 결정한다.

그리고, 화소전극(1517)의 제 1 화소전극부(1517a)에 의해 등분할된 사다리꼴 형상의 서브-블록(1530)은 "ㄱ" 또는 "ㄴ" 자형의 공통전극(1524)과 90° 이상의 각도로 깍어진 화소전극(1517)으로 그 모서리가 이루어지며, 상기 공통전극(1524)을 기준으로 상하좌우 방향으로 서로 대칭된다.

상기와 같은 구조로 형성된 공통전극(1524) 및 화소전극(1517)에 특정전압을 가하면, 도 14 및 도 15에 도시된 바와 같이, 소자의 투과율이 최대가 되는 방향으로 전계(E)가 형성되며, 임의의 전압 이상을 가하더라도 그 전계의 방향은 일정하므로, 임의의 고전압에서도 소자의 투과율이 최대치인 상태를 유지하게 된다.

그리고, 화소전극(1517)의 수평부를 경사지게 형성하는 것에 의해서, 공통전극(1524)과 화소전극(1517)의 간격이 짧아져 전계효과가 극대화되고, 코너부의 등전위 영역을 작게 만듦으로써 액정방향자의 평균 회전 반경을 증가시킨다. 따라서, 액정패널의 투과율이 상승하게 된다.

실험결과, 화소전극을 경사지게 형성한 경우, 7V에서 모든 소자의 효율이 83.2%로 증가하였다.

또한, 등분할된 서브-블록(1530)의 각 영역에서의 전계방향이 서로 달라, 액정분자가 서로 다른 방향으로 재배열되어 주시야각이 서로 보상되는 멀티 도메인 효과를 얻을 수 있다.

한편, 상기 공통전극(1524)과 화소전극(1517)이 오버랩되는 영역은, 커패시터 하부전극 역할을 하는 공통전극(1524)과 상기 공통전극(1524)으로부터 절연되어 커패시터 상부전극 역할을 하는 화소전극(1517)에 의해 스토리지 커패시터(storage capacitor)를 구성한다.

도 16은 제 6 실시예에 의한 횡전계방식 액정표시소자의 평면도로서, 전술한 바와 같이, 서브-블록(1530)을 수평방향으로 흘수개 배치한 것을 나타낸 도면이다. 따라서, 블록(1530) 배치 이외의 구성은 전술한 제 1 실시예와 동일 또는 유사하다.

즉, 공통전극의 수평부(1524b)와 수직부(1524a)를 수직 교차시켜 사각 형상의 블록을 수평방향으로 훌수개 배치한 뒤, 상기 공통전극(1524)의 수평부(1524b) 사이에 제 1 화소전극부(1517a)의 경사부를 삽입하여 상기 블록을 서브-블록으로 등분할함으로써, 각 서브-블록이 90°이상으로 꺾어진 "ㄱ"자형 또는 "ㄴ"자형의 화소전극(1517)과, 90°로 꺾어진 "ㄱ"자형 또는 "ㄴ"자형의 공통전극(1524)을 모서리로 가지게 한다.

이 때, 상기 제 1 화소전극부(1517a)의 경사부는 상기 각 블록(1530)을 등분할하도록 상기 공통전극의 수평부(1524b)사이에 삽입하여 형성되며, 제 2 화소전극부(1517b)는 라인형상으로써 상기 제 1 화소전극부(1517a)를 지그재그 방식으로 연결하는 형태로 형성된다.

이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

상기와 같은 본 발명의 횡전계방식 액정표시소자 및 그 제조방법은 다음과 같은 효과가 있다.

첫째, 본 발명의 제 2, 제 3 실시예에서와 같은 형태의 화소전극을 형성함으로써, 픽셀의 양 가장자리에 최외곽 공통배선을 형성하고 최적 전극간 거리의 설계률을 적용하는 경우, 픽셀 크기에 따라 수평 방향으로 짹수개 또는 훌수개의 블록이 배치가능하게 된다.

따라서, 픽셀 크기가 달라지더라도 최적 설계 룰의 적용이 가능하여 개구율 확보가 용이해진다.

둘째, 화소전극의 수평부를 경사지게 형성하여 화소전극이 꺾어지는 코너부에서의 각을 완만하게 형성함으로써, 코너부에서의 등전위영역가 최대한 좁아져 액정방향자의 평균 회전 반경이 증가된다. 또한, 화소전극을 경사지게 형성하는 것에 의해 공통전극과 화소전극의 간격이 짧아져 전계효과가 극대화된다.

이로써, 액정패널의 투과율이 상승하게 된다.

그리고, 화소전극의 모서리를 경사지게 하기 위해 사선방향의 경사부를 마련함으로써 화소전극의 면적이 작아지게 되고 결국, 그 면적만큼의 개구율이 확보된다.

셋째, 공통전극과 화소전극이 오버랩되는 영역마다 스토리지 커패시턴스가 형성되므로, 게이트 배선 상부에 스토리지 커패시터를 추가 형성하거나 또는 커패시턴스의 충분한 확보를 위해 커패시터 전극의 면적을 크게 할 필요가 없어진다. 따라서, 스토리지 커패시턴스 추가구성에 의한 개구율 감소를 제거할 수 있다.

넷째, 각 블록의 전계방향이 서로 달라, 액정분자가 서로 다른 방향으로 재배열되어 시야각이 서로 보상되는 멀티 도메인 효과를 얻을 수 있다.

다섯째, "ㄱ" 및 "ㄴ"자형의 공통전극 및 화소전극으로 정의되는 다수의 블록을 픽셀 내부에 구비하여, 일정 전압 이상의 고전압하에서도 그 전계 방향이 일정하게 유지되도록 함으로써, 투과율이 최대치에서 안정한 상태를 유지할 수 있게 한다.

(57) 청구의 범위

청구항 1.

제 1 기판 상에 교차되어 픽셀을 정의하는 게이트 배선 및 데이터 배선;

상기 게이트 배선 및 데이터 배선들의 교차 부위에 형성되어 게이트 전극, 반도체층, 소스/드레인 전극으로 이루어진 박막 트랜지스터;

상기 게이트 배선에 평행하는 수평부와 상기 수평부에 수직교차하여 다수의 블록을 정의하는 수직부로 구성되는 공통전극;

상기 공통전극의 수직부 중 상기 픽셀 양 가장자리에 형성되는 최외곽 공통전극;

상기 인접하는 픽셀간의 공통전극을 연결하는 공통배선;

상기 박막트랜지스터의 드레인 전극에 연결되며, 상기 최외곽 공통전극을 포함한 공통전극의 수직부에 그 일부가 오버랩되는 블록 형상의 제 1 화소전극부와 인접해있는 상기 제 1 화소전극부를 연결하는 제 2 화소전극부로 구성되는 화소전극;

상기 제 1 기판과의 사이에 액정층을 두고 대향합착된 제 2 기판을 포함하여 구성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 2.

제 1 항에 있어서,

상기 제 1 화소전극부의 수직부가 상기 공통전극의 수직부와 오버랩되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 3.

제 1 항에 있어서,

상기 최외곽 공통전극은 상기 화소전극과 오버랩되는 부분에서 최소 마진의 폭을 가지는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 4.

제 1 항에 있어서,

상기 각 블록은 "ㄱ"자형의 공통전극과 "ㄴ"자형의 화소전극으로 이루어지거나 또는 "ㄴ"자형의 공통전극과 "ㄱ"자형의 화소전극으로 이루어지는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 5.

제 4 항에 있어서,

상기 각 블록을 정의하는 상기 공통전극 및 화소전극은 서로 대칭되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 6.

제 4 항에 있어서,

상기 각 블록은 정사각형 또는 직사각형인 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 7.

제 1 항에 있어서,

상기 공통전극 및 화소전극의 오버랩되는 부분은 스토리지 커패시터를 구성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 8.

제 1 항에 있어서,

상기 화소전극을 게이트 배선 상부에 연장형성하여 스토리지 커패시터를 추가 구성하는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 9.

제 1 항에 있어서,

상기 블록 형상의 제 1 화소전극부의 내부에는 상기 공통전극 및 화소전극으로 정의되는 블록이 4개 구비되는 것을 특징으로 하는 것을 횡전계방식 액정표시소자.

청구항 10.

제 1 항에 있어서,

상기 게이트 배선, 공통배선 및 공통전극은 동일층에 구비되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 11.

제 1 항에 있어서,

상기 블록은 상기 게이트 배선 방향으로 짹수개 또는 홀수개 배치되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 12.

제 1 항에 있어서,

상기 블록의 면적은 동일한 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 13.

제 1 항에 있어서,

상기 제 1, 제 2 기판 외측면에는 투과축이 서로 수직하도록 제 1, 제 2 편광판이 더 배치되고,

상기 제 1, 제 2 기판 내측면에는 배향막이 더 구성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 14.

제 13 항에 있어서,

상기 배향막은 상기 제 1, 제 2 평판판 중 어느 한 편광판의 편광축과 동일한 방향으로 배향처리되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 15.

제 1 항에 있어서,

상기 블록은 공통전극을 기준으로 상하좌우 방향으로 서로 대칭되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 16.

제 1 항에 있어서,

상기 블록은 사다리꼴 형상으로 형성되는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 17.

제 16 항에 있어서,

상기 블록의 모서리는 "ㄱ" 또는 "ㄴ"자형의 공통전극과 90°이상의 각도로 깍여진 화소전극으로 이루어지는 것을 특징으로 하는 횡전계방식 액정표시소자.

청구항 18.

기판 상에 게이트 배선을 형성하는 단계;

상기 게이트 배선에 평행하는 공통배선, 상기 공통배선에서 수직으로 분기되어 픽셀의 양 가장자리에 형성되는 최외곽 공통전극 및 상기 최외곽 공통전극에서 분기되어 픽셀내부를 다수의 블록으로 정의하는 공통전극을 형성하는 단계;

상기 게이트 배선을 포함한 전면에 게이트 절연막을 형성하는 단계;

상기 게이트 배선에 수직하는 데이터 배선을 형성하는 단계;

상기 데이터 배선을 포함한 전면에 보호막을 형성하는 단계;

상기 최외곽 공통전극을 포함한 공통전극의 수직부에 그 일부가 부분적으로 오버랩되는 블록 형상의 제 1 화소전극부와 인접하는 상기 제 1 화소전극부를 연결하는 제 2 화소전극부로 구성되는 화소전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 19.

제 18 항에 있어서,

상기 제 1 화소전극부는 상기 공통전극 수평부와 수직부에 부분적으로 오버랩되며, 상기 블록 형상의 제 1 화소전극부의 내부에는 상기 공통전극 및 화소전극으로 정의되는 블록이 4개 구비되는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 20.

제 18 항에 있어서,

상기 화소전극은 상기 블록마다 "ㄱ"자형 또는 "ㄴ"자형으로 상기 공통전극에 오버랩되도록 형성함을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 21.

제 18 항에 있어서,

상기 공통배선, 최외곽 공통전극 및 공통전극은 상기 게이트 배선과 동시에 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 22.

제 18 항에 있어서,

상기 화소전극 또는 공통전극은 투명한 도전물질로 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 23.

제 18 항에 있어서,

상기 블록은 공통전극을 기준으로 상하좌우 방향으로 서로 대칭되도록 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

청구항 24.

제 18 항에 있어서,

상기 블록은 사다리꼴 형상으로 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

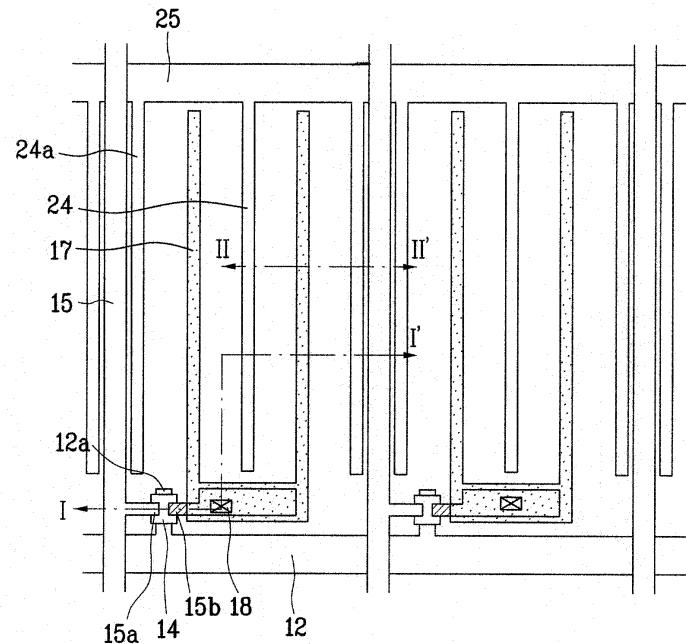
청구항 25.

제 24 항에 있어서,

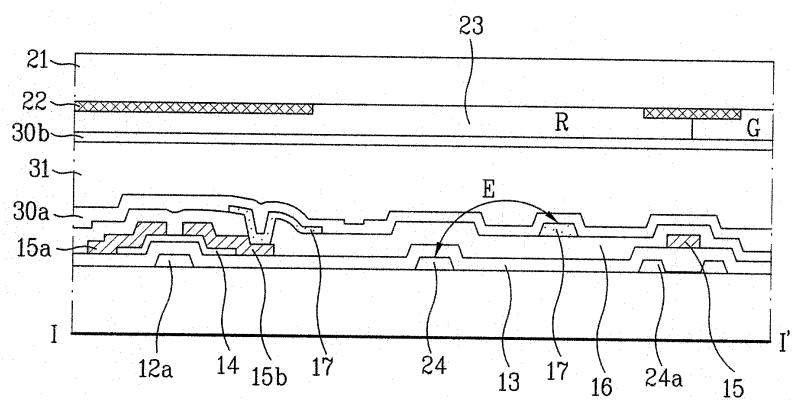
상기 블록은 "ㄱ" 또는 "ㄴ"자형의 공통전극과 90°이상의 각도로 깍어진 화소전극으로 이루어진 모서리를 가지도록 형성하는 것을 특징으로 하는 횡전계방식 액정표시소자의 제조방법.

도면

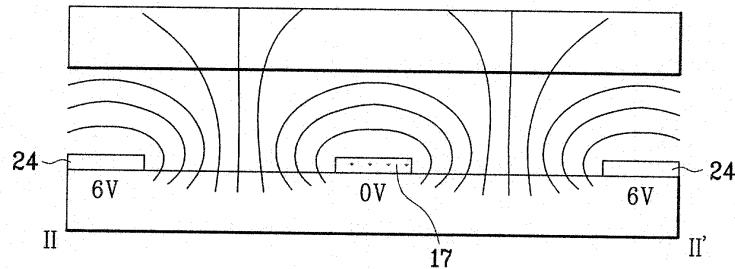
도면1

11

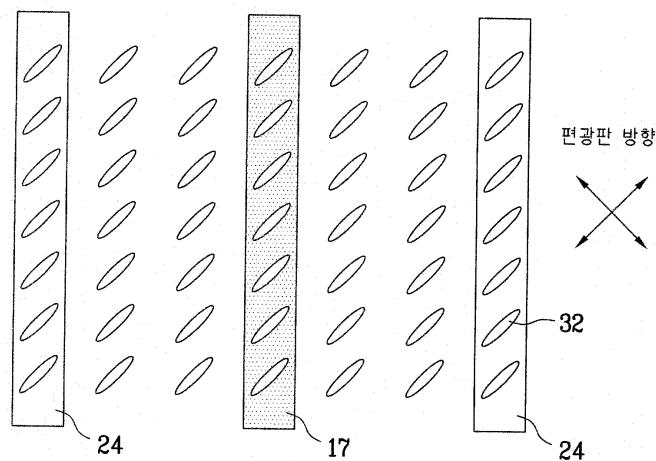
도면2



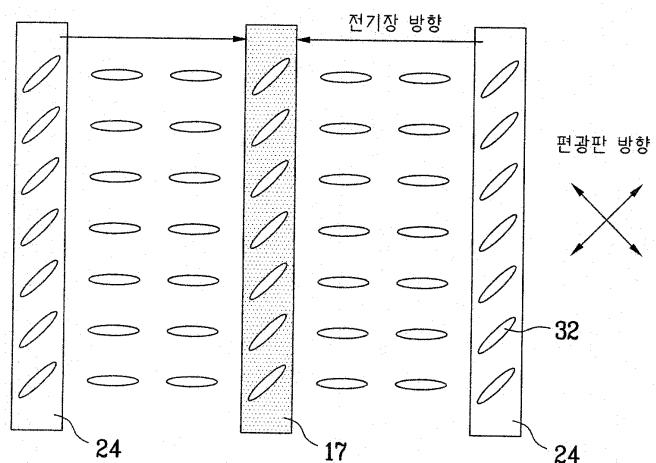
도면3



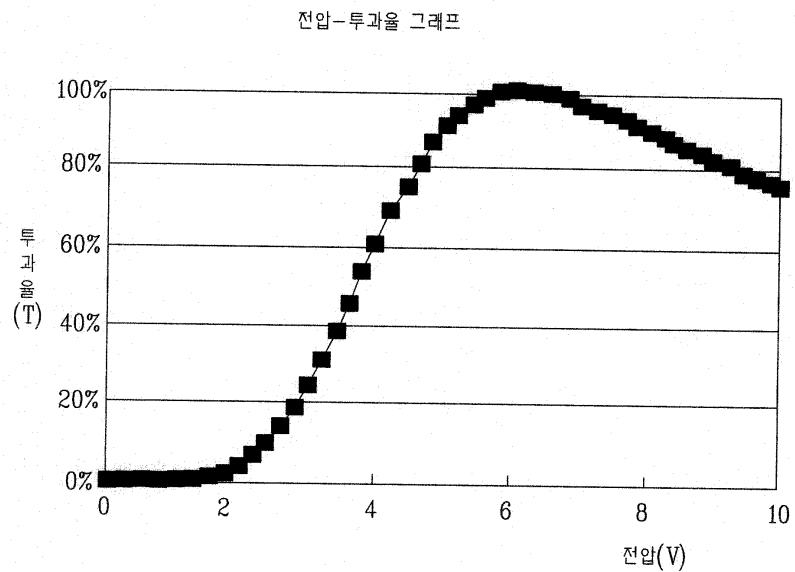
도면4a



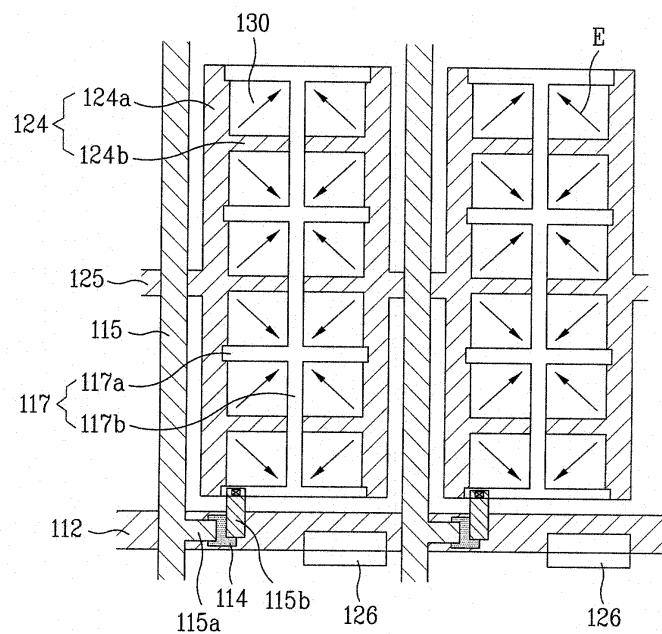
도면4b



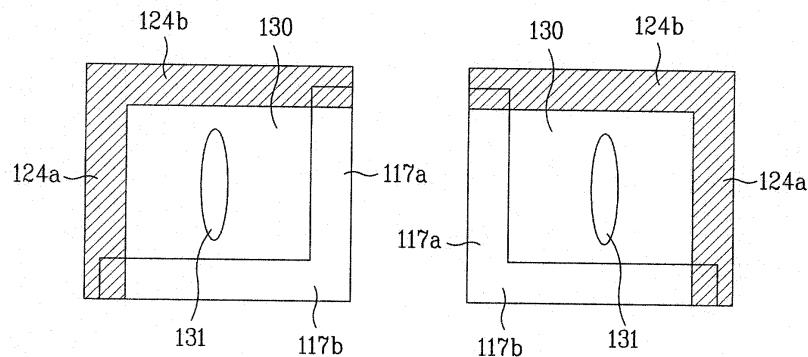
도면5



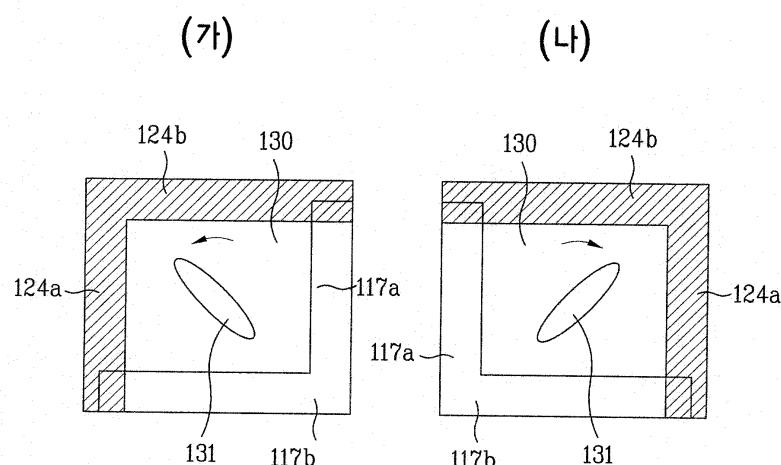
도면6



도면7a

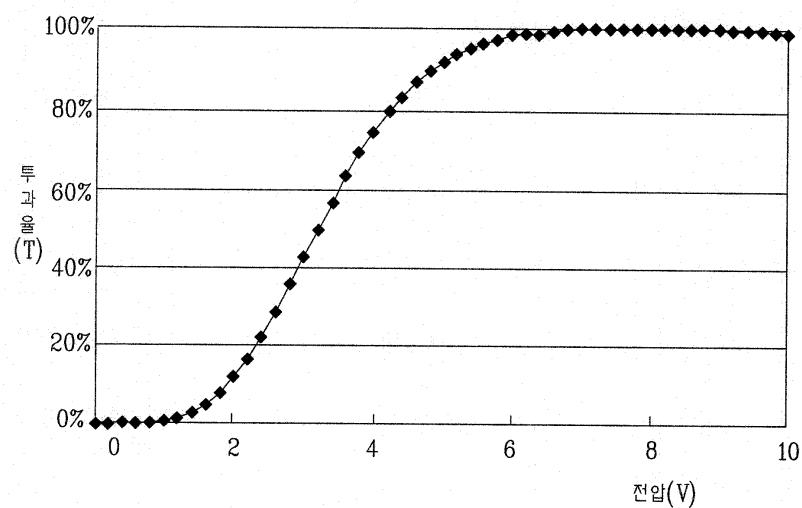


도면7b

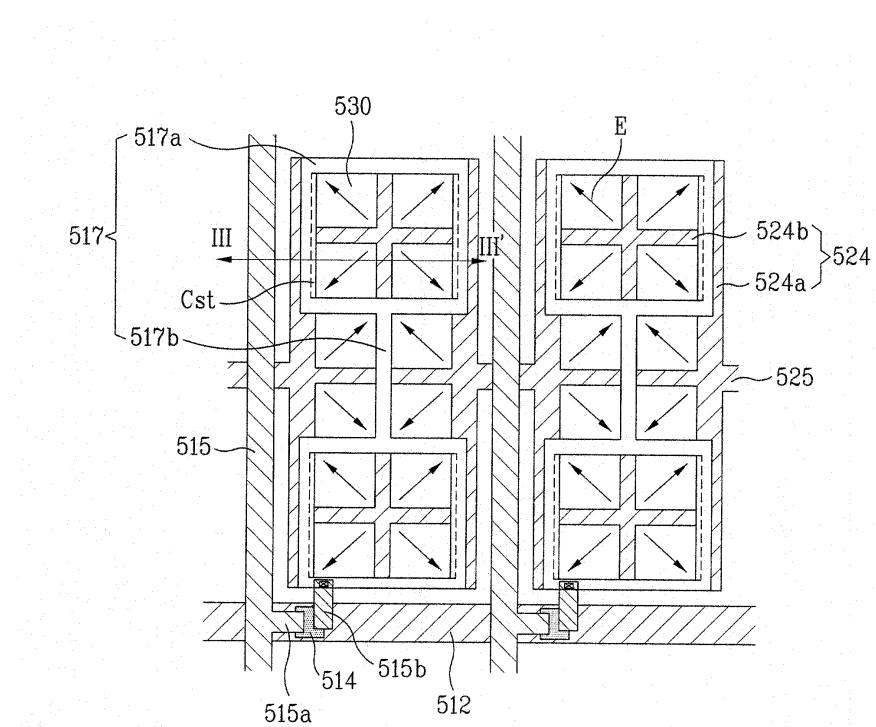


도면8

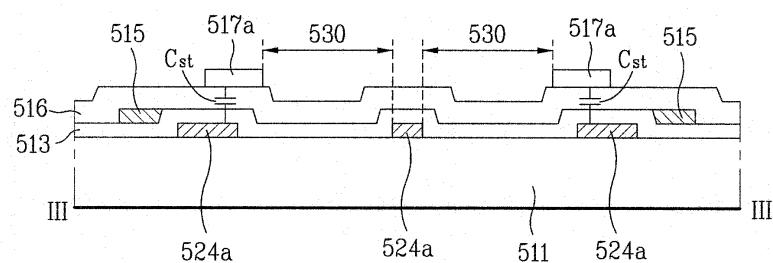
전압-투과율 그래프



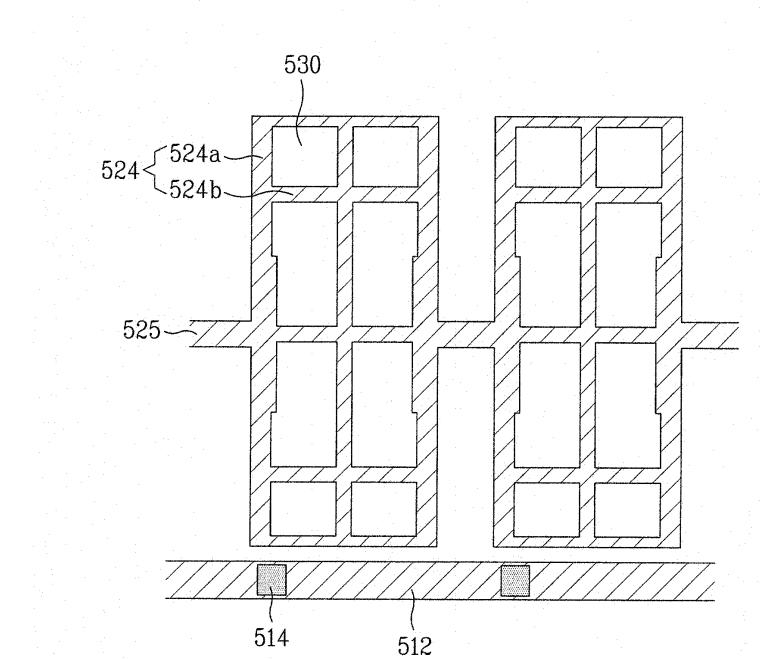
도면9



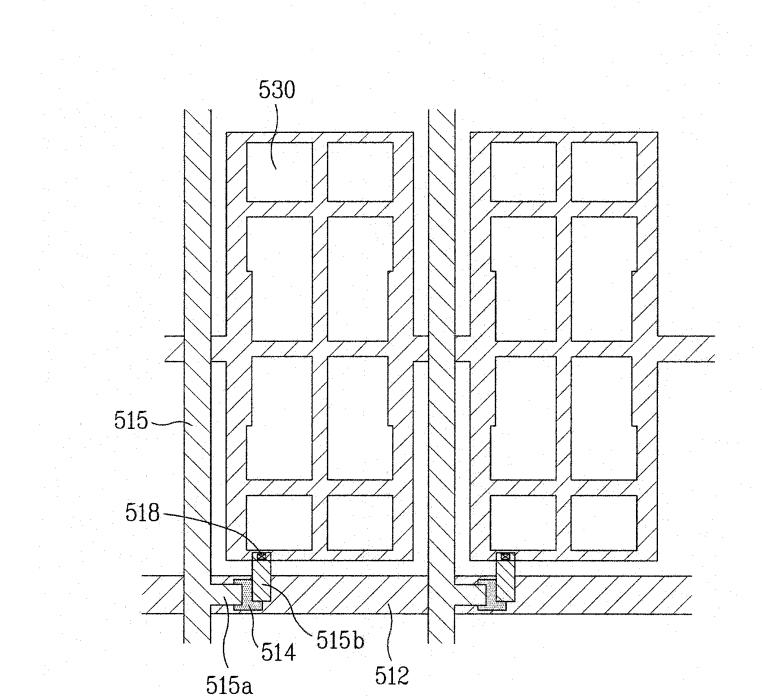
도면10



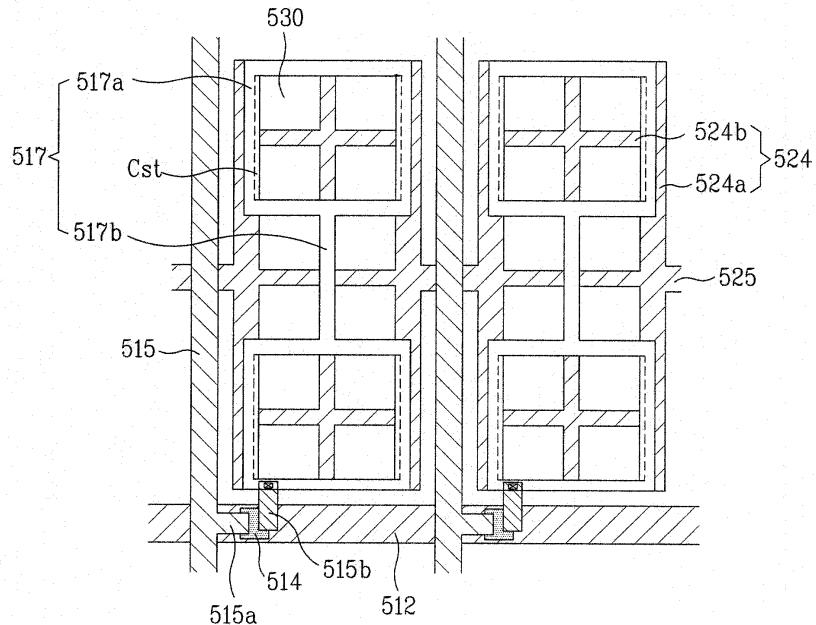
도면11a



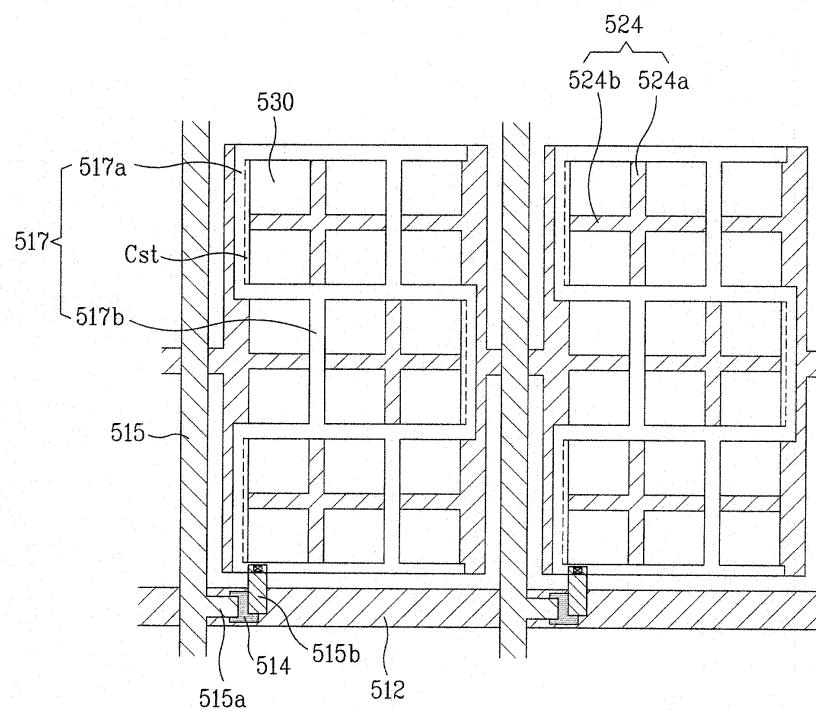
도면11b



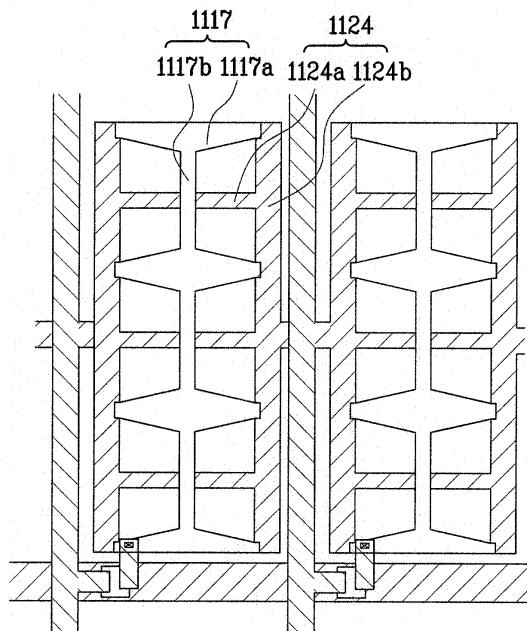
도면11c



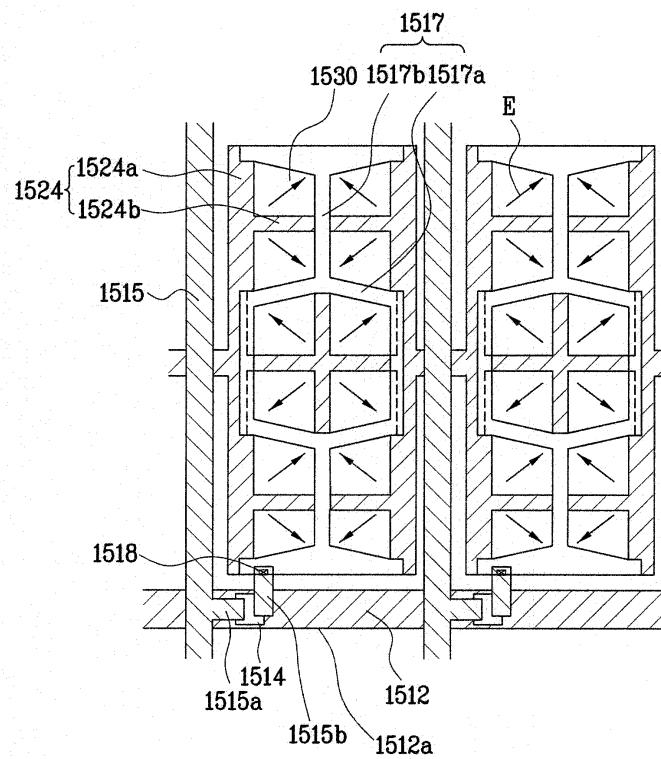
도면12



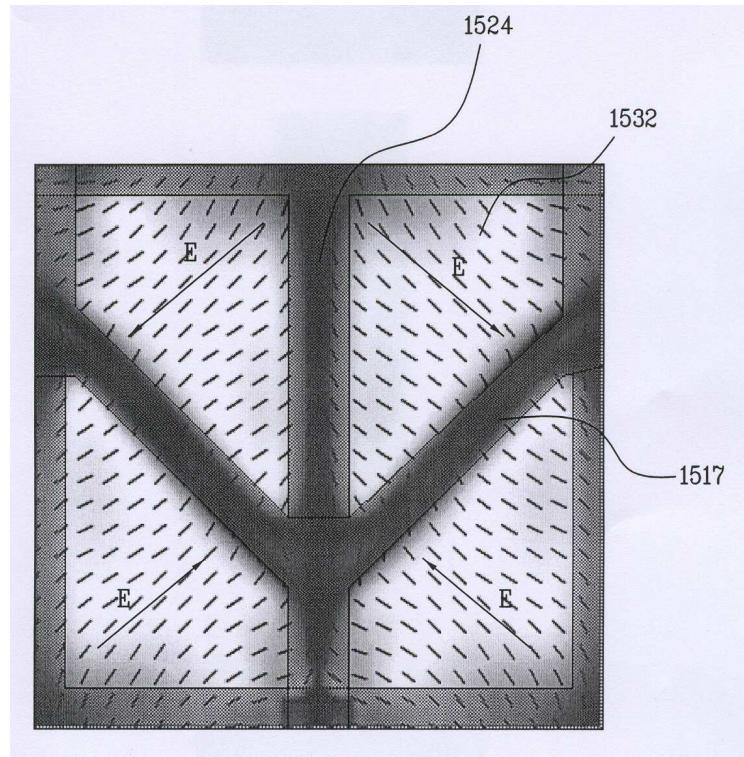
도면13



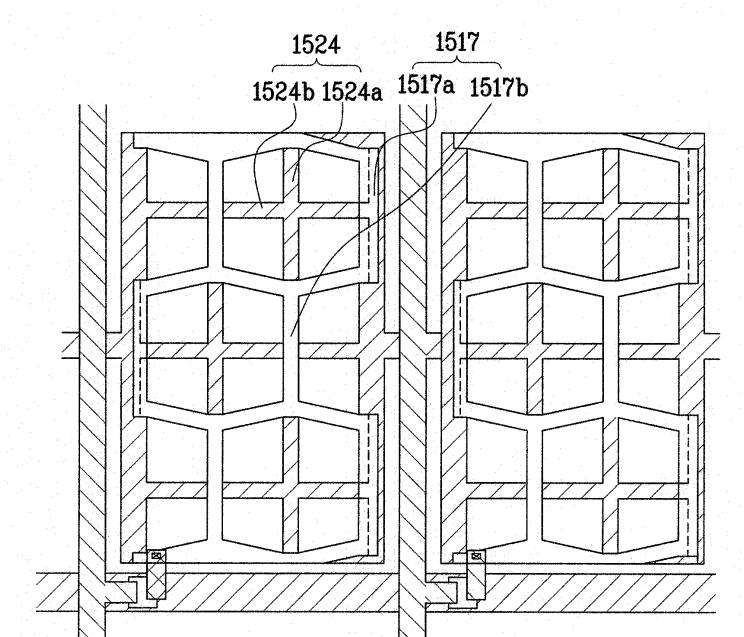
도면14



도면15



도면16



专利名称(译)	横向电场型液晶显示元件及其制造方法		
公开(公告)号	KR100617040B1	公开(公告)日	2006-08-30
申请号	KR1020040017631	申请日	2004-03-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SON HYEONHO 손현호 LEE WONHO 이원호		
发明人	손현호 이원호		
IPC分类号	G02F1/1343 G02F1/1362		
CPC分类号	G02F2001/134345 G02F2001/134318 G02F1/136213 G02F1/134363		
代理人(译)	金勇 新昌		
其他公开文献	KR1020050092544A		
外部链接	Espacenet		

摘要(译)

本发明是一个公共电极和在所述横向电场型的液晶显示元件中的“B”或“b”的像素电极，以形成重复结构的晶格结构型，通过将像素尺寸，设计优化中，公共电极和像素电极即使改变开口的厚度，孔径比也最大化，栅极布线和数据布线，并且在所述栅极布线的交叉部分和所述数据线的栅电极，半导体层，薄膜晶体管和由源极/漏极电极交叉的栅极布线形成限定第一基板上的像素平行于所述水平部和所述像素到垂直交叉的公共电极是由一个垂直，以限定多个块，最外面的形成的像素的两个边缘垂直部分严重组公共电极外的公共电极和相邻的水平部分的并且第一像素电极部分连接到薄膜晶体管的漏电极并且部分地重叠包括最外面的公共电极的公共电极的垂直部分，并且，第二像素电极部分连接第一像素电极部分和连接第一像素电极部分的第二像素电极部分，这包括附接到彼此具有相反jeongcheung特征的第二衬底。9指数方面晶格结构电极，高孔径比，存储电容，横向电场

