

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
G02F 1/136

(45) 공고일자 2005년04월28일  
(11) 등록번호 10-0485506  
(24) 등록일자 2005년04월18일

(21) 출원번호 10-2001-0048360 (65) 공개번호 10-2002-0013787  
(22) 출원일자 2001년08월10일 (43) 공개일자 2002년02월21일

(30) 우선권주장 JP-P-2000-00245211 2000년08월11일 일본(JP)

(73) 특허권자 엔이씨 엘씨디 테크놀로지스, 엘티디.  
일본 가나가와켄 가와사키시 나카하라구 시모누마베 1753

(72) 발명자  
 키크와히로노리  
 일본국토쿄도미나토쿠시바5-7-1닛뽀덴끼가부시끼가이샤내  
 마루야마무네오  
 일본국토쿄도미나토쿠시바5-7-1닛뽀덴끼가부시끼가이샤내  
 야마모토유지  
 일본국토쿄도미나토쿠시바5-7-1닛뽀덴끼가부시끼가이샤내  
 오카모토마모루  
 일본국토쿄도미나토쿠시바5-7-1닛뽀덴끼가부시끼가이샤내  
 사카모토미치아키  
 일본국토쿄도미나토쿠시바5-7-1닛뽀덴끼가부시끼가이샤내

(74) 대리인 최달용

심사관 : 김정훈

(54) 액정 디스플레이 장치 및 그 제조 방법

요약

액정 디스플레이 패널은, 주사선과 신호선의 교차부에 인접한 곳에 형성되고 주사선에 접속되어 게이트가 되는 제 1 전극, 드레인 또는 소스가 되며 신호선에 접속된 제 2 전극 및 주사 신호에 의해 대응하는 픽셀 전극에 공급되는 디스플레이 신호를 스위칭하는 제 3 전극을 구비한 스위칭 장치; 보조 캐패시터를 구성하는 픽셀 전극에 대향하는 곳에 위치한 보조 캐패시터용 전극을 포함하고, 동일 픽셀에서, 제 2 및 제 3 전극은 제 1 절연막을 통해 제 1 전극과 상이한 층에 형성되고, 픽셀 전극은 제 2 절연막을 통해 제 1, 제 2 및 제 3 전극의 상부에 형성되며, 보조 캐패시터용 전극은 제 1 전극과 동일한 층에 형성되고 인접한 주사선에 전기적으로 접속된다.

대표도

도 4

색인어

액정 디스플레이 장치, 캐패시터, 픽셀 전극, 스퍼터링, 소스 전극, 컨택트홀, TFT 기관, 반사판, 게이트 절연막, 주사선, 패시베이션 막

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제 1 실시예에 따른 액정 디스플레이 패널의 형태를 개략적으로 도시한 투시도.
- 도 2는 액정 디스플레이 패널의 형태를 도식적으로 도시한 단면도.
- 도 3은 액정 디스플레이 패널의 전기 구성을 도시한 등가회로도.
- 도 4는 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 형태를 도시한 평면도.
- 도 5는 도 4의 A-A 라인을 따라 취해지는 단면도.
- 도 6은 도 4의 B-B 라인을 따라 취해지는 단면도.
- 도 7은 도 4의 C-C 라인을 따라 취해지는 단면도.
- 도 8은 액정 디스플레이 패널의 주사 신호 입력을 위한 외부 입력 단자부의 형태를 도시한 횡단면도.
- 도 9는 도 8의 D-D 라인을 따라 취해지는 단면도.
- 도 10은 액정 디스플레이 패널의 디스플레이 신호의 입력을 위한 외부 입력 단자부의 형태를 도시한 종단면도.
- 도 11의 A 내지 도 11의 G는 액정 디스플레이 패널의 제조 방법을 설명하기 위한 순서도.
- 도 12의 A 내지 도 12의 D는 주사 신호 입력을 위한 외부 입력 단자부의 형성 방법을 설명하기 위한 순서도.
- 도 13은 본 발명의 제 2 실시예에 따른 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 형태를 도시한 평면도.
- 도 14는 도 13의 E-E 라인을 따라 취해지는 단면도.
- 도 15는 도 13의 F-F 라인을 따라 취해지는 단면도.
- 도 16은 도 13의 G-G 라인을 따라 취해지는 단면도.
- 도 17은 본 발명의 제 2 실시예에 따른 액정 디스플레이 패널의 주사 신호 입력을 위한 외부 입력 단자부의 형태를 도시한 횡단면도.
- 도 18은 본 발명의 제 3 실시예에 따른 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 형태를 도시한 단면도.
- 도 19는 제 1 실시예에 따른 액정 디스플레이 패널의 변형예의 주사 신호 입력을 위한 외부 입력 단자부의 형태를 도시한 횡단면도.
- 도 20은 제 2 실시예에 따른 액정 디스플레이 패널의 변형예의 주사 신호 입력을 위한 외부 입력 단자부의 형태를 도시한 횡단면도.
- 도 21은 종래 기술을 설명하기 위한 평면도.
- 도 22는 종래 기술을 설명하기 위한 단면도.
- 도 23은 종래 기술을 설명하기 위한 단면도.
- 도 24의 A 내지 도 24의 F는 종래 기술을 설명하기 위한 순서도.
- 도 25는 종래 기술을 설명하기 위한 평면도.
- 도 26은 종래 기술을 설명하기 위한 단면도.
- 도 27은 종래 기술을 설명하기 위한 단면도.
- 도 28의 A 내지 도 28의 F는 종래 기술을 설명하기 위한 순서도.

도 29의 A 내지 도 29의 F는 종래 기술을 설명하기 위한 순서도.

도 30은 종래 기술을 설명하기 위한 설명도.

도 31은 종래 기술을 설명하기 위한 설명도.

♣도면의 주요 부호에 대한 부호의 설명♣

1 : 액정층 2 : TFT 기관

2a : TFT 2b : 투명 픽셀 전극

2c : 주사선 2d : 신호선

4 : 대향 기관 5 : 액정층

6 : 편광판 7 : 편광판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

발명의 배경

발명의 분야

본 발명은 액정 디스플레이 장치 및 그 제조 방법에 관한 것이다.

본 출원은 일본 특허 출원 제 2000-245211호(2000. 8. 11)의 우선권 주장 출원이다.

종래의 기술

종래에, 액정 디스플레이 패널을 장착한 액정 디스플레이 장치는 TV 모니터, OA(Office Automation) 기구용 디스플레이 장치 등과 같은 넓은 범위의 디스플레이 장치에 적용되어 왔다.

액정 디스플레이 패널은 박막 트랜지스터(TFT)가 형성되어 있는 박막 트랜지스터 기관(이하, TFT 기관) 및 컬러 필터가 형성되어 있는 대향 기관이 몇 마이크로미터 거리의 공간을 사이에 둔 대향 위치에 교착하여 조립되며, 상기 공간은 액정으로 밀봉된다.

도 21은 종래 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 구조를 도시한 평면도이고, 도 22는 도 21의 P-P 라인을 따라 취해지는 단면도이며, 도 23은 도 21의 Q-Q 라인을 따라 취해지는 단면도이다.

TFT 기관(101)에서, 도 21에 도시된 바와 같이, 주사 신호를 공급하기 위한 각각의 주사선(103) 및 디스플레이 신호를 공급하기 위한 신호선(104)은 매트릭스 패턴으로 배치된 투명 픽셀 전극(102)을 둘러싸도록 서로 교차되어 이루어져 있다.

TFT(101a; 도 23)는 주사선(103) 및 신호선(104)의 각 교차부 주위에 배치되고, 투명 픽셀 전극(102)에 그 소스 전극이 접속됨에 의해 그에 대응하는 액정 셀에 신호 전하를 인가하는 스위칭 장치로서 사용된다. TFT(101a)에서, 주사 신호는 주사선(103)을 통해 주사선(103)이 접속되어 있는 게이트 전극(105)에 입력되고, 작동 및 제어는 신호선(104)이 접속되어 있는 드레인 전극(106)에서 디스플레이 신호(데이터 신호)의 입력에 의해 동작한다.

TFT 기관(101)의 투명 픽셀 전극(102) 및 대향 기관의 대향 전극(공통 전극) 사이에 액정을 삽입하여 이루어진 액정 캐패시터(콘덴서)는 (TFT(101a)가 오프되는 동안에도) 액정에 작용하는 신호에 대응하는 전하를 구비한다.

액정 캐패시터의 전기 충전 성능을 강화하고 투명 픽셀 전극(102)의 전위 변화를 감소하기 위해, 보조 캐패시터가 액정 캐패시터에 평행하게 마련된다. 즉, 도 21 내지 도 23에 도시된 바와 같이, 보조 캐패시터 공통 전극(108)이 형성되고, 보조 캐패시터 공통 전극(109)은 게이트 절연막(110)을 통해 보조 캐패시터 공통 전극(108)의 상부에 형성되고, 보조 캐패시터 대향 전극(109)은 접속 전극(111)을 통해 소스 전극(107)에 접속되며, 보조 캐패시터 대향 전극(109)은 콘택트홀(K1)에서 투명 픽셀 전극(102)에 접속된다.

도 24의 A 내지 도 24의 F는 종래의 액정 디스플레이 패널의 제조 방법을 설명하기 위한 순서도이다.

TFT 기관(101)을 마련하기 위해, 우선, 도 24의 A에 도시된 바와 같이, 투명 절연 기관(112)상에 크롬막이 형성되고, 패터닝이 수행되어 게이트 전극(105)이 형성된다.

그리고, 도 24의 B에 도시된 바와 같이, 실리콘 질화막이 전체 표면에 형성되고, 게이트 절연막(110)이 형성되며, 도핑되지 않은 비결정 실리콘 및 불순물 도핑에 의해 n<sup>+</sup>형으로 이루어진 비결정 실리콘을 사용하여 반도체 층(113)이 형성된다.

그리고, 도 24의 C에 도시된 바와 같이, 크롬막이 반도체 층(113) 및 그 부근의 표면에 형성되고, 패터닝이 수행되어 소스 전극(107) 및 드레인 전극(106)을 형성한다.

그리고, 도 24의 D에 도시된 바와 같이, 보조 캐패시터 대향 전극(109) 및 접속 전극(111)은 ITO(Indium Tin Oxide)를 사용하여 형성되고, 뒤이어, 도 24의 E에 도시된 바와 같이, 실리콘 질화막의 형성 및 패터닝이 수행되어 패시베이션 막(114)이 형성된다.

그리고, 도 24의 F에 도시된 바와 같이, 투명 아크릴 폴리머는 패터닝되고, 보호막 층(115)이 패시베이션 막(114)상에 형성된다.

그리고, 보조 캐패시터 공통 전극(108)의 픽셀의 중앙부의 상단에서, 패시베이션 막(114) 및 보호막 층(115)이 컨택트홀(K1)에 에칭된다(도 21). 그리고, ITO 막은 보호막 층(115) 상에 형성되고 패터닝되어 투명 픽셀 전극(102)된다.

상술한 바와 같은 TFT 기관의 구조 및 제조 방법(이하, 제 1 종래 기술이라 함)은 예를 들어 일본 특허 제 2933879호에 기재되어 있다.

도 25는 다른 종래의 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 구조를 도시한 평면도이고, 도 26은 도 25의 R-R 라인을 따라 취해지는 단면도이며, 도 27은 도 25의 S-S 라인을 따라 취해지는 단면도이다.

제 1 종래 기술에 기재된 바와 같이, 보조 캐패시터 공통 전극(108)이 형성되어, 픽셀의 개구율이 감소된다. 또한, TFT 기관(201)의 마련을 위해 도 25 내지 도 27에 도시된 바와 같이, 보조 캐패시터 공통 전극(108)은 형성되지 않고, 보조 캐패시터 대향 전극(208)이 게이트 절연막(210)을 통해 바로 이전의 주사선(203)의 상부에 형성되며, 게이트 절연막(210)이 주사선(203) 및 보조 캐패시터 대향 전극(208) 사이에 삽입되어 보조 캐패시터를 형성하는 다음 기술(이하, 제 2 종래 기술)이 제안된다.

TFT(201a)의 게이트 전극(205)에는 주사선(203)이 접속되어 있고, 드레인 전극(206)에는 신호선(204)이 접속되어 있다.

그리고, 투명 픽셀 전극(202)은 컨택트홀(K2)에서 보조 캐패시터 대향 전극(208)에 접속되고, 컨택트홀(K3)에서 소스 전극(207)에 접속된다.

도 28의 A 내지 도 28의 F는 도 26에 대응하는 부분을 도시한 순서이고, 도 29의 A 내지 도 29의 F는 도 27에 대응하는 부분을 도시한 순서도이다.

TFT 기관(201)을 마련하기 위해, 우선 도 29의 A 및 도 28의 A에 도시된 바와 같이, 투명 절연 기관(209)이 마련되고, 도 29의 B 및 도 28의 B에 도시된 바와 같이, 크롬막이 투명 절연 기관(209)상에 형성되고 패터닝이 수행되어 게이트 전극(205) 및 주사선(203)이 형성된다.

그리고, 도 29의 C 및 도 28의 C에 도시된 바와 같이, 실리콘 질화막이 전면에서 형성되고 패터닝이 수행되어 게이트 절연막(210)이 형성되며, 도 29의 C에 도시된 바와 같이, 도핑되지 않은 비결정 실리콘 및 도핑에 의해 n<sup>+</sup>형으로 이루어진 비결정 실리콘을 사용하여 반도체 층(211)이 형성된다.

그리고, 도 29의 D 및 도 28의 D에 도시된 바와 같이, 반도체 층(211)상에 소스 전극(207) 및 드레인 전극(206)이 형성되고, 또한 신호선(204) 및 보조 캐패시터 대향 전극(208)이 형성된다.

그리고, 도 28의 E에 도시된 바와 같이, 실리콘 질소화물이 형성되고 패터닝이 수행되어 패시베이션 막(212)이 형성된다.

그리고, 도 29의 F 및 도 28의 F에 도시된 바와 같이, 투명 아크릴 폴리머는 패터닝되고 보호막층(213)은 패시베이션 막(212)상에 형성된다. 그리고, 보조 캐패시터 대향 전극(208)이 투명 픽셀 전극(202)에 접속된 지점 및 투명 픽셀 전극(202)이 소스 전극(207)에 접속된 지점에서, 패시베이션 막(212) 및 보호막층(213)이 에칭되고, 컨택트홀(K2 및 K3)이 형성되며, ITO 막이 보호막층(213)상에 형성되고 패터닝이 수행되어 투명 픽셀 전극(202)을 형성한다.

그러나, 상술한 제 1 종래 기술에서, 개구율을 증가시키기 위해, 차광재로서 보조 캐패시터 공통 전극(108)이 박형(thin shape)으로 형성되어야 하고, 보조 캐패시터를 증가하기 위해서는 보조 캐패시터의 전극으로서의 보조 캐패시터 공통 전극(108)이 보조 캐패시터 대향 전극(109)상에 중첩된 영역이 증가해야 한다. 따라서, 이런 요구를 고려하여, 보조 캐패시터 대향 전극(109)은 신호선(드레인 배선)에 인접한 곳에 위치되어, 보조 캐패시터 대향 전극(109)이 접속된 드레인 전극(106) 및 소스 전극(107) 사이에 제 1 종래 기술에서 주요 결점이었던 단락이 야기된다.

또한, 기판 상에 전극 및 절연막을 형성하는 단계에서, 다수의 설계되고 중단되었던 구조가 형성된다. 예를 들어, 크롬막이 반도체 층(113)상에 형성되고 패터닝이 수행되어 소스 전극(107) 및 드레인 전극(106)을 형성한 후, ITO 막이 형성되고 패터닝이 수행되어 투명 픽셀 전극(102)이 형성되므로, ITO 막의 패터닝에서, 결합있는 패턴이 쉽게 제조되고, 전극 사이와 배선 사이에 단락이 야기되며, 제 1 종래 기술에서 주요 결점이었던 위치 결합이 쉽게 발생한다.

또한, 콘택트홀(K1)을 형성하기 위해, 패시베이션 막(114) 및 보호막층(115)을 구성하는 실리콘 질소화물의 에칭에서, 콘택트홀(K1)이 형성된 바로 아래 위치에 보조 캐패시터 대향 전극(109), 게이트 절연막(110), 및 보조 캐패시터 공통 전극(108)이 적층되므로, 실리콘 질소화물을 에칭하기 위한 부식액이 예를 들어, 보조 캐패시터 대향 전극(109)의 핀홀을 통해 게이트 절연막(110)을 관통하여, 게이트 절연막에 결합이 야기되어 전류의 누전 및 보조 캐패시터 대향 전극(109)과 보조 캐패시터 공통 전극(108)의 단락(즉, 보조 캐패시터 대향 전극(109) 및 보조 캐패시터 공통 전극(108)에 접속된 소스 전극(107)의 단락)이 발생한다. 양자는 제 1 종래 기술의 다른 주요 결함이다.

또한, 상술한 제 2 종래 기술에서, 두개의 콘택트홀(K2 및 K3)이 요구되어, 1개의 콘택트홀(K2 또는 K3)에서의 불량 접촉조차도 제 2 종래 기술의 주요 결점인 위치 결합으로 인해 수율의 감소를 야기한다.

또한, 콘택트홀(K2 및 K3)을 형성하기 위해, 패시베이션 막(212) 및 보호막층(213)을 구성하기 위한 실리콘 질소화물의 에칭에서, 상기 콘택트 홀(K2)이 형성된 바로 아래 위치에, 이전 단계의 보조 캐패시터 대향 전극(208), 게이트 절연막(112), 및 주사선(203)이 적층되므로, 부식액이 예를 들어, 보조 캐패시터 대향 전극(108)의 핀홀을 통해 게이트 절연막(210)을 관통하고 게이트 절연막에 결합을 야기하여 제 2 종래 기술의 또 다른 약점인 보조 캐패시터 대향 전극(208) 및 주사선(203)의 단락이 발생한다. 따라서, 제 1 종래 기술에서 콘택트홀(K1) 바로 아래에 발생하는 단락을 방지하기 위해, 도 30에 도시된 바와 같이, 접속 전극(302)과 보조 캐패시터 대향 전극(109)이 접속된 주위의 폭이 넓어지고, 콘택트홀(K4)이 상기 보조 캐패시터 공통 전극(108)에서 떨어진 곳에 이루어져 TFT 기판(301)을 형성하는 제 3 종래 기술 및 제 2 종래 기술에서 콘택트홀(K2) 바로 아래에 발생하는 단락을 방지하기 위해, 도 31에 도시된 바와 같이, 보조 캐패시터 대향 전극(208)은 확장되고, 콘택트홀(K5)이 상기 주사선(203)에 가까운 위치로부터 떨어진 곳에 이루어져 TFT 기판(401)을 형성하는 제 4 종래 기술이 제안되었다.

그러나, 콘택트홀(K4 및 K5)의 위치에서 액정의 배향은 콘택트홀(K4 및 K5)의 높이의 차로 인해 불규칙하게 되어 콘트라스트의 저하를 야기한다. 따라서, 콘택트홀(K4 및 K5)의 주위는 광으로부터 차단되어야 한다.

제 1 및 제 2 기술에서, 차광은 금속 배선을 사용하여 이루어질 수 있지만, 제 3 및 제 4 기술의 경우에는, 보조 캐패시터 대향 전극(109), 보조 캐패시터 대향 전극(208), 및 접속 전극을 금속화하거나 또는 대향 기판에 의해 차단하여, 제 3 및 제 4 종래 기술의 주요 결점인 개구율의 감소를 초래하는 광으로부터 콘택트홀(K4 및 K5) 주위를 차단하여야 한다.

**발명이 이루고자 하는 기술적 과제**

상기의 관점에서, 본 발명의 목적은 쇼트 전극에 의해 야기되는 수율의 저하를 억제하며 높은 신뢰성을 갖고 충분한 개구율 및 보조 캐패시터를 유지하는 액정 디스플레이 장치 및 그 제조 방법을 제공하는 데 있다.

본 발명의 제 1 양태에 따른, 액정 디스플레이 장치는

주사 신호를 공급하는 주사선;

디스플레이 신호를 공급하는 신호선;

액정층에 전압을 인가하는 픽셀 전극;

신호선과 주사선의 교차부의 근접한 곳에 형성되며 주사선에 접속되어 게이트가 되는 제 1 전극, 신호선에 접속되어 드레인 또는 소스가 되는 제 2 전극, 픽셀 전극에 접속되어 소스 또는 드레인이 되는 제 3 전극을 포함하고, 대응하는 픽셀 전극에 공급되는 디스플레이 신호를 주사 신호에 의해 스위칭하는 제 3 전극을 포함하는 스위칭 소자; 및

픽셀 전극에 대향되는 곳에 위치하여 보조 캐패시터를 구성하는 보조 캐패시터용 전극을 포함하고;

동일 픽셀에서, 제 2 전극 및 제 3 전극은 제 1 절연막을 통해 제 1 전극과 다른 층에 형성되고, 픽셀 전극은 제 2 절연막을 통해 제 1 전극, 제 2 전극 및 제 3 전극의 상부에 형성되며, 보조 캐패시터용 전극은 제 1 전극으로서 동일 층에 형성되고 인접한 주사선에 전기적으로 접속된다.

상기에서, 보조 캐패시터용 전극은 투명 도전 재료로 이루어지는 것이 양호하다.

또한, 보조 캐패시터용 전극은 제 1 전극과 동일한 재료로 형성되는 것이 양호하다.

또한, 보조 캐패시터용 전극은 신호선 상에 중첩되지 않도록 형성되는 것이 양호하다.

또한, 주사선 및 신호선은 알루미늄 또는 알루미늄 합금을 사용하여 형성하고, 주사선 및 신호선의 단자부는 신호 입력 단자로 사용되는 것이 양호하다. 보조 캐패시터용 전극이 형성된 영역과 픽셀 전극이 형성된 영역은 오버랩되어 있는 것이 바람직하다.

본 발명의 제 2 양태에 따른, 액정 디스플레이 장치의 제조 방법은,

투명 절연 기판 상에 도전막을 형성한 후 패터닝에 의해 주사선, 주사선에 접속되어 게이트가 되는 제 1 전극, 및 보조 캐패시터용 전극을 형성하는 제 1 단계;

제 1 절연막을 통해 제 1 전극에 대항하는 아일랜드 반도체 층을 형성하는 제 2 단계;

반도체 층 상에 신호선, 및 상기 신호선에 거리를 두고 접속되며 드레인 또는 소스인 제 2 전극, 및 소스 또는 드레인인 제 3 전극을 형성하는 제 3 단계;

제 2 전극, 제 3 전극, 및 반도체 층의 상부에 제 2 절연막을 형성하는 제 4 단계;

제 2 절연막 상에 제 3 전극에 도달하는 개구를 형성하고 개구를 통해 상기 제 3 전극과 연결되는 픽셀 전극을 형성하는 제 5 단계를 포함하고; 보조 캐패시터용 전극 및 픽셀 전극은 보조 캐패시터를 형성하기 위해 중첩(오버랩)된다.

상기 제 2 양태에서, 제 1 단계에서 제 1 전극 및 보조 캐패시터용 전극은 동일한 도전 재료를 사용하여 형성되는 것이 양호하다.

또한, 제 1 단계는 도전 재료를 사용하여 제 1 전극을 형성하는 단계 및 투명 도전 재료를 사용하여 보조 캐패시터용 제 1 전극을 형성하는 단계를 포함하는 것이 양호하다.

또한, 제 1 단계에서, 주사선이 형성된 후, 보조 캐패시터용 전극은 투명 도전 재료를 사용하여 형성되고, 또한 주사선의 단자부는 투명 도전 재료를 사용하는 도전막으로 피복되며, 이에 의해 신호 입력 단자를 형성하는 것이 양호하다.

또한, 제 1 단계에서, 보조 캐패시터용 전극은 투명 도전 재료를 사용하여 형성되고, 도전막은 투명 도전 재료를 사용하여 신호선이 형성된 영역에 형성되는 것이 양호하다.

제 3 단계의 단자부에서, 신호선은 도전막에 접속되도록 형성되어 신호 입력 단자를 형성한다.

또한, 제 1 단계 및 제 3 단계에서, 주사선 및 신호선은 알루미늄 또는 알루미늄 합금을 사용하여 형성되고, 주사선 및 신호선의 단자부의 표면은 노출되어 신호 입력 단자를 형성하는 것이 양호하다.

상기 구조에서, 예를 들어, 투명 보조 캐패시터 형성 전극이 제 3 전극상에 되지 않고 형성되며 콘택트홀이 접속부에 형성되어 제 3 전극과 픽셀 전극을 접속하는 경우, 콘택트홀 바로 아래에서, 전극층은 서로 적층되지 않고, 따라서 전극은 단락을 발생시키지 않는다.

따라서, 수율이 향상될 수 있고, 양질의 액정 디스플레이를 제공할 수 있다.

또한, 동시에, 충분한 개구율을 유지할 수 있고, 픽셀 전극 및 보조 캐패시터 전극은 비교적 넓은 면적을 얻게 되어 비교적 큰 용량을 유지할 수 있다.

### 발명의 구성 및 작용

본 발명을 수행하기 위한 가장 좋은 방법을 첨부된 도면을 참조하고 다양한 실시예를 사용하여 자세히 기재한다.

#### 제 1 실시예

도 1은 본 발명의 제 1 실시예에 따른 액정 디스플레이 패널(1)의 형태를 개략적으로 도시한 투시도; 도 2는 동일한 액정 디스플레이 패널의 형태를 도식적으로 도시한 단면도; 도 3은 동일한 액정 디스플레이 패널의 전기적 구성을 도시한 등가 회로도; 도 4는 동일한 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 형태를 도시한 평면도; 도 5는 도 4의 라인 A-A를 따라 취해지는 단면도; 도 6은 도 4의 라인 B-B를 따라 취해지는 단면도; 도 7은 도 4의 라인 C-C를 따라 취해지는 단면도; 도 8은 동일한 액정 디스플레이 패널의 주사 신호 입력을 위한 외부 입력 단자부의 형태를 도시한 횡단면도; 도 9는 도 8의 라인 D-D를 따라 취해지는 단면도; 도 10은 동일한 액정 디스플레이 패널의 디스플레이 신호 입력을 위한 외부 입력 단자부의 형태를 도시한 횡단면도; 도 11의 A 내지 도 11의 G는 동일한 액정 디스플레이 패널의 제조 방법을 설명하기 위한 순서도이며; 도 12의 A 내지 도 12의 D는 동일한 주사 신호의 입력을 위한 외부 입력 단자부의 형성 방법을 설명하기 위한 순서도이다.

본 실시예에 따른 액정 디스플레이 패널(1)은 대개 투과형 TFT 패널이고, 도 1 및 도 2에 도시된 바와 같이, TFT(2a)가 상부에 형성된 TFT 패널(2), 몇 마이크로미터(예를 들어 5 $\mu$ m) 간격의 공간을 통해 TFT 기관(2)과 대항되는 방향으로 고정된 대항 기관(4), 상기에서 밀봉된 액정층(5), 및 TFT 기관(2) 및 대항 기관(4)의 외부에 배치된 한 쌍의 편광판(6 및 7)을 포함한다.

도 1, 도 3, 및 도 4에 도시된 바와 같이, TFT 기관(2)상에서, 복수개의 투명 픽셀 전극(2b)은 매트릭스 패턴으로 배치되고, 주사 신호를 공급하는 각각의 주사선(2c; 게이트 배선) 및 디스플레이 신호를 공급하는 각각의 신호선(2d)은 투명 픽셀 전극(2b) 주위에 서로 교차되어 형성된다. 상술한 주사 신호 및 디스플레이 신호는 각각 외부 회로에 접속된 외부 입력 단자부(2e) 및 외부 입력 단자부(2f)로부터 입력된다.

각각의 주사선(2c) 및 신호선(2d)은 도 4에 도시된 바와 같이, 그 일부가 투명 픽셀 전극(2b)의 외주부와 오버랩되어 있다.

TFT(2a)는 주사선(2c)이 신호선(2d)을 교차하는 각 위치에 인접하게 배치되고, 투명 픽셀 전극(2b)에 소스 전극을 접속함으로써 인해 대응하는 액정 셀에 신호 전하(신호 전압)를 인가하는 스위칭 장치로서 사용된다. TFT(2a)는 주사선(2c)이 접속된 게이트 전극(21)에 주사선(2c)을 통한 주사 신호의 입력 및 신호선(2d)이 접속된 드레인 전극(22)에 디스플레이 신호(데이터 신호)를 입력함에 의해 구동되고 제어된다.

또한, TFT(2a)의 소스 전극은 콘택트홀(H<sub>1</sub>)을 통해 투명 픽셀 전극(2b)에 접속된다.

또한, 도 3에 도시된 바와 같이, 액정 캐패시터(C<sub>L</sub>)에 평행으로, TFT 기관(2) 및 대향 기관(4) 사이에 액정층이 삽입되어 형성된다. 보조 캐패시터(C<sub>S</sub>)가 형성되고 투명 보조 캐패시터 형성 전극(24)과 함께 투명 픽셀 전극(2b)이 상기 보조 캐패시터(C<sub>S</sub>)의 양쪽 전극을 형성한다. 또한, 보조 캐패시터 형성 전극(24)은 주사선(2c) 바로 앞에 전기적으로 접속된다.

도 4에 도시된 바와 같이, 외곽선(S<sub>2</sub>)에 의해 도시된 투명 보조 캐패시터 형성 전극(24)이 형성된 영역은 외곽선(S<sub>1</sub>)에 의해 도시된 투명 픽셀 전극(2b)이 형성된 영역의 상당 부분과 중복되고, 양쪽 영역은 거의 동일한 면적을 갖는다. 또한, 투명 픽셀 전극(2b) 및 투명 보조 캐패시터 형성 전극(24)은 종래예에서 보다 넓은 면적을 갖는다.

그리고, 예를 들어, 100(μm) x 300(μm)의 크기의 픽셀을 아래에서 설명한다.

액정의 상대적 유전 상수를 약 7, 액정층(5)의 두께를 약 5μm, 및 투명 픽셀전극(2b)의 면적을 22000x10<sup>-12</sup>m<sup>2</sup>이라 가정하면, 액정 캐패시터(C<sub>L</sub>)는 7ε<sub>0</sub>. [F/m] x 22000 x 10<sup>-12</sup>[m<sup>2</sup>]/5[μm]=30800[μm] x ε<sub>0</sub>. [F/m]이다. ε<sub>0</sub>는 진공에서의 유전 상수이고 ε<sub>0</sub> = 8.854 x 10<sup>-12</sup>[F/m]이다.

공통예로서, 투명 픽셀 전극(2b) 및 보조 캐패시터 형성 전극(24)사이, 후술한 바와 같이, 약 0.5μm 두께의 실리콘 질소화물로 이루어진 게이트 절연막(26), 약 0.1μm 두께의 실리콘 질소화물로 이루어진 패시베이션 막(28), 및 약 3μm 두께의 아크릴 층으로 이루어진 보호막층이 적층된다. 실리콘 질소화물의 상대적 유전 상수는 약 6이고, 아크릴 수지의 상대적 유전 상수는 약 3이므로, 보조 캐패시터가 액정 캐패시터의 1/2(15400[μm] x ε<sub>0</sub>. [F/m])이면, 투명 보조 캐패시터 형성 전극(24)의 필요 면적은 15400[μm] x ε<sub>0</sub>. [F/m] {(0.5[μm] / 6ε<sub>0</sub>. [F/m]) + (0.1[μm] / 6ε<sub>0</sub>. [F/m]) + (3[μm] / 3ε<sub>0</sub>. [F/m])} = 15400[μm] x 1.1[μm] = 16940 x 10<sup>-12</sup>[m<sup>2</sup>]이다.

투명 보조 캐패시터 형성 전극(24)의 면적은 제 1 실시예의 구성을 고려하여 충족될 수 있다.

도 6에 도시된 바와 같이, 콘택트홀(H<sub>1</sub>)은 게이트 전극(21) 및 투명 보조 캐패시터 형성 전극(24)이 형성되지 않은 영역에 형성된다.

도 5 내지 도 7에 도시된 바와 같이, TFT 기관(2)은 각각의 전극, 절연막 등이 투명 절연 기관(25; 패널 기관)상에 적층된 구조를 갖는다. 또한, 투명 절연 기관(25)상에서, 게이트 전극(21) 및 투명 보조 캐패시터 형성 전극(24)은 동일 층에 형성되고, 게이트 전극(21) 및 보조 캐패시터 형성 전극(24)은 절연막(26)으로 피복되고, 반도체 층(27)은 게이트 전극(21)의 상부의 절연막(26)상에 형성되고, 소스 전극(23) 및 드레인 전극(22)은 반도체 층(27)에 접촉하는 절연막(26)상에 형성되고, 절연막(26), 반도체 층(27), 소스 전극(23), 및 드레인 전극(22)은 패시베이션 막(28)으로 피복되고, 보호막층(29)은 투명 픽셀 전극(2b)으로 피복된다. 참고를 위해, 도 5에 도시된 바와 같이, 신호선(2d)은 투명 보조 캐패시터 형성 전극(24)과 중첩되지 않도록 형성되어 소정의 거리 또는 그보다 큰 간격을 유지한다.

외부 입력 단자부(2e)는 도 8 및 도 9에 도시된 바와 같이, 크롬으로 이루어진 주사선(2c) 및 주사선(2c)을 피복하는 도전층(24a)을 구비하고, 외부 입력 단자부(2e)에서 도전층(24a)의 상부 상에 적층된 절연막(26) 및 패시베이션 막(28)은 개구되어 도전층(24a)의 표면을 노출한다.

예를 들어, 도전층(24a)은 크리핑(crimping)에 의해 두께 방향으로 한정된 도전성을 도시한 이방성 도전막을 통해, 예를 들면, 액정 구동 IC가 상부에 형성된 TCP(Tape Carrier Package)에 접속된다. 도전층(24a) 재료로서, 크리핑에서 이방성 도전막에 대한 접촉 저항을 비교적 작게 할 수 있고 투명 보조 캐패시터 형성 전극(24) 및 투명 픽셀 전극(2b)과 동일한 재료이며, 상대적으로 높은 가소성을 갖는 ITO가 사용된다.

도 10에 도시된 바와 같이, 외부 입력 단자부(2f)는 ITO로 이루어진 도전층(24a) 및 크롬으로 이루어지고 말단부 이외의 다른 부분의 도전층(24a)을 피복하는 신호선(2d)을 구비한다. 외부 입력 단자부(2f)에서도, 외부 입력 단자부(2e)와 유사하게, 도전층(24a)의 상부에 적층된 게이트 절연막(26) 및 패시베이션 막(28)은 개구되어 도전층(24a)의 표면을 노출한다.

외부 입력 단자부(2e 및 2f)에서 도전층(24a)은 투명 보조 캐패시터 형성 전극(24)이 형성되는 단계와 동시에 마련된다.

또한, 투명 픽셀 전극(2b)상에서, 도 2에 도시된 바와 같이, 액정 배향막(31)은 투명 픽셀 전극(2b)을 피복하며 형성된다.

대향 기관(4)에서, 적(R), 녹(G), 및 청(B)의 컬러층(43)은 예를 들어, 투명 절연 기관(41)상에 블랙 매트릭스(42)에 의해 패터닝되어 모자이크 식으로 매치되고, 대향 기관(4)은 컬러층(43)을 피복하며 형성된다. 또한, 대향 기관(4)에서, 액정 배향막(45)은 대향 기관(4)을 피복하며 형성된다.

TFT 기관(2) 및 대향 기관(4)은 액정 배향막(31)과 액정 배향막(45)이 대향하도록 배치되고, 액정 배향막(31) 및 액정 배향막(45) 사이에 액정층(5)이 삽입된다.

그리고, 도 11의 A 내지 도 11의 G 및 도 12의 A 내지 도 12의 D를 참조하여, 이하, 상기 실시예의 액정 디스플레이 패널의 제조 방법에 대해 설명한다. 참고를 위해, 도 12의 A 내지 도 12의 D는 주사선(21)의 말단부, 즉, 외부 입력 단자부(2e)가 형성된 각각의 영역을 도시한다.

우선, TFT 기관(2)의 마련 방법에 대해 아래에 기재한다.

무엇보다도, 도 11의 A에 도시된 바와 같이, 투명 절연 기관(25)이 마련되고, 스퍼터링(sputtering) 법에 의해 상기 투명 절연 기관(25)상에 크롬막이 형성되고, 포토리소그래피를 사용하여 패터닝이 수행되며, 도 11의 B에 도시된 바와 같이, 게이트 전극(21)이 형성되는 동시에, 도 12의 A에 도시된 바와 같이, 주사선(2c)이 형성된다.

그리고, 포토리소그래피에 의해, ITO는 투명 절연 기관(25)상에 패터닝되고, 도 11의 C에 도시된 바와 같이, 투명 보조 캐패시터 형성 전극(24)이 형성되고, 동시에, 도 12의 B에 도시된 바와 같이, 도전층(24a)이 형성된다. 이 때문에, 신호선(2d) 말단부의 외부 입력 단자부(2e)가 형성된 영역에서, 도전층(24a)이 형성된다(도 10 참조).

그리고, 도 11의 D 및 도 12의 C에 도시된 바와 같이, 화학 기상 증착법(CVD법; Chemical Vapor Deposition)에 의해, 실리콘 질화막은 전체 표면상에 형성되어 게이트 절연막(26)을 형성한다. 도 12의 C에 도시된 바와 같이, 외부 입력 단자부(2e)가 형성된 곳에서, 주사선(2c)의 표면이 개구에 의해 노출된다.

그리고, 도핑되지 않은 비결정 실리콘 막(이하, a-Si) 및 도핑에 의해 n<sup>+</sup>형으로 이루어진 비결정 실리콘 막(이하, n<sup>+</sup>형 a-Si)이 CVD법에 의해 연속적으로 형성되고 패터닝되어 반도체 층(27)을 형성한다. 참고를 위해, n<sup>+</sup>형 a-Si막은 소스 전극(23) 및 드레인 전극(22)의 옴 콘택트를 유지하기 위해 a-Si층으로 형성된다.

그리고, 도 11의 E에 도시된 바와 같이, 크롬막이 스퍼터링 법에 의해 반도체 층(27)상에 형성되고, 상기 크롬막은 스퍼터링 법에 의해 소스 전극(23) 및 드레인 전극(22)을 형성한다.

동시에, 신호선(2d)이 크롬막을 사용하여 형성된다. 외부 입력 단자부(2e)가 형성된 곳에서, 신호선(2d)이 도전층(24a)상에 형성된다(도 10 참조).

그리고, n<sup>+</sup>형 a-Si를 에칭하기 위한 가스 시스템을 사용하여, 드라이 에칭이 수행되어 소스 전극(23) 및 드레인 전극(22) 사이의 n<sup>+</sup>형 a-Si를 제거한다. 참고를 위해, 상기 단계는 n<sup>+</sup>형 a-Si를 통해 소스 전극(26) 및 드레인 전극(27)을 직교하는 전류의 흐름을 방지하기 위해 수행된다.

그리고, 도 11의 F 및 도 12의 D에 도시된 바와 같이, 실리콘 질화막은 CVD법에 의해 형성되고, 실리콘 질화막은 패터닝되어 패시베이션 막(28)을 형성한다. 상기 패시베이션 막(28)은 반도체 층(27)에서 이온과 같은 불순물의 침범으로 인해 야기되는 TFT(2a)의 기능부전의 발생을 방지하기 위해 형성된다.

또한, 도 12의 D에 도시된 바와 같이, 외부 입력 단자부(2e)가 형성된 곳에서 도전층(24a)의 표면이 개구에 의해 노출된다.

그리고, 도 11의 G에 도시된 바와 같이, 감광성, 투명, 아크릴 폴리머는 포토리소그래피 법에 의해 패터닝되어 패시베이션 막(28)상에 보호막층(29)을 형성한다.

그리고, 패시베이션 막(28) 및 보호막층(29)은 에칭되어 소정의 부분에서 소스 전극(23)의 표면을 노출시키고, 콘택트홀(H<sub>1</sub>)이 형성된다. 그리고, ITO 막은 스퍼터링에 의해 보호막 층(29)상에 형성되고 패터닝되어 투명 픽셀 전극(2b)을 형성한다.

또한, 대향 기관(4)은 다음과 같이 형성된다.

우선, 블랙 레지스트는 포토리소그래피 단계를 통해 투명 절연 기관상에 패터닝되어 블랙 매트릭스(42)를 형성한다. 그리고, 투명 절연 기관(41)상에서, 3번의 포토리소그래피 단계를 통해, 감광성 아크릴 폴리머를 사용한 적(R), 녹(G), 및 청(B)의 안료를 분산하여 마련된 재료를 패터닝하여 컬러층(43; 컬러 필터)을 형성한다.

그리고, ITO 막은 대향 전극(43)으로서 스퍼터링에 의해 컬러층(43; 컬러 필터)상에 형성되어 대향 기관(4)을 형성한다.

그리고, 이러한 단계에 의해 형성된 TFT 기관(2) 및 대향 기관(4) 상에 폴리이미드로 이루어진 액정 배향막(31 및 45)이 형성된다.

그리고, 예를 들어, 소정의 각으로 트위스트에 의한 네마틱 액정을 배향하기 위해, 연마 공정이 수행되어 TFT 기관(2)의 액정 배향막(31) 및 대향 기관(4)의 액정 배향막(45)의 표면을 일정한 방향으로 연마하고, TFT 기관(2) 및 대향 기관(4) 사이의 공간에 대응하는 지름을 갖는 폴리머 비드로 구성된 스페이서가 전체 표면에 분산되고, 액정 배향막(31)과 액정 배향막(45)이 대향하도록 TFT 기관(2) 및 대향 기관(4)을 중첩 부착하고, TFT 기관(2) 및 대향 기관(4) 사이에 예를 들어, 네마틱 액정이 주입되어 액정 디스플레이 패널(1)을 완성한다.

그리고, 상기 액정 디스플레이 패널(1)의 외부 입력 단자부(2e) 및 외부 입력 단자부(2f)에서, 이방성 도전막을 통해, 예를 들어 액정 구동 IC가 형성되어 있는 TCP는 가열되고 크립핑되어, 예를 들어, 신호 처리 회로 및 제어 시스템 회로가 배치되어 있는 PCB(인쇄 회로 기판)에 접속되며, 백 라이트가 조립되어 액정 디스플레이 장치를 제조한다.

상술한 바와 같이, 상기 실시예의 형태에 따라서, 단 1개의 콘택트홀(H<sub>1</sub>)이 형성되고, 소스 전극(23)이 상기 콘택트홀(H<sub>1</sub>) 바로 아래에 전극층으로서 형성되며, 전극층은 서로 중첩되지 않는다. 따라서, 에칭시 부식액이 게이트 절연막(26)에 침투 하더라도, 전극 사이에 단락은 발생하지 않는다.

또한, 예를 들어, 신호선(2d) 및 투명 보조 캐패시터 형성 전극(24) 사이에 소정의 간격을 정하는 예방책이 구현되어 전극 간의 단락을 방지한다.

따라서, 수율이 향상되고, 고화질의 액정 디스플레이 패널이 제공될 수 있다.

또한, 투명 픽셀 전극(2b)이 형성된 영역에서, 예를 들어, 차광 영역으로서 구동되는 보조 캐패시터 공통 전극이 없기 때문에, 충분한 개구율을 유지할 수 있는 동시에, 투명 픽셀 전극(2b) 및 상기 투명 픽셀 전극(2b)과 거의 동일한 영역을 차지하는 투명 보조 캐패시터 형성 전극(24)이 보조 캐패시터의 양쪽 전극을 포함하므로, 따라서 비교적 큰 면적을 갖는 전극이 비교적 큰 용량을 유지할 수 있게 한다.

## 제 2 실시예

도 13은 본 발명의 제 2 실시예에 따른 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 형태를 도시한 평면도이고; 도 14는 도 13의 라인 E-E를 따라 취해진 단면도; 도 15는 도 13의 라인 F-F를 따라 취해진 단면도; 도 16은 도 13의 라인 G-G를 따라 취해진 단면도이며; 도 17은 동일한 액정 디스플레이 패널의 주사 신호를 입력하기 위한 외부 입력 단자부의 형태를 도시한 횡단면도이다.

상술한 제 1 실시예와 본 실시예의 차이점은 패널이 반사 패널이라는 것이며, 반사판(32)은 보조 캐패시터 형성 전극으로서 작용하고 상기 반사판(32)은 이전 단계의 주사선(2c)으로부터 확장된다.

이외의 점은 제 1 실시예에 기재된 형태와 동일하므로 그 명세를 간략히 소개한다.

TFT(2a)는 신호선(2d)과 주사선(2c)의 교차부에 근접한 부분 주위에 배치되고, 소스 전극(23)은 투명 픽셀 전극(2b)에 접속되어 대응하는 액정 셀에 신호 전하를 인가하는 스위칭 장치로서 사용된다. TFT(2a)는 주사선(2c)이 접속되어 있는 게이트 전극(21)에서의 주사선(2c)을 통한 주사 신호의 입력 및 신호선(2d)이 접속되어 있는 드레인 전극(22)에서의 디스플레이 신호(데이터 신호)의 입력에 의해 구동 및 제어된다.

본 실시예의 TFT 기관(2A)은 표면 측으로부터 입사광을 반사하는 반사판(32)을 구비하고, 상기 반사판(32)은 도 13에 도시된 바와 같이, 바로 이전 주사선(2c)으로부터 상기 픽셀의 투명 픽셀 전극(2b)으로 확장되어 형성된다.

반사판(32)은 투명 보조 캐패시터 형성 전극으로서 작용하고 투명 픽셀 전극(2b)과 함께 보조 캐패시터의 양쪽 전극을 구성한다.

또한, 대부분, 반사판(32)이 형성되어 있는 영역은 투명 픽셀 전극(2b)이 형성되어 있는 영역과 중복된다. 두개의 영역은 거의 동일한 면적을 갖는다. 다시 말해, 투명 픽셀 전극(2b) 및 반사판(32)은 비교적 넓은 면적을 가지며 비교적 큰 용량을 갖는 보조 캐패시터를 구성한다.

TFT 기관(2A)의 소스 전극(23)은 콘택트홀(H<sub>2</sub>)을 통해 투명 픽셀 전극(2b)에 접속된다. 콘택트홀(H<sub>2</sub>)은 게이트 전극(21) 및 반사판(32)이 형성되어 있는 영역의 외부에 형성된다.

본 실시예의 TFT 기관(2A)에서, 도 13 내지 도 16에 도시된 바와 같이, 게이트 전극(21) 및 반사판(32)은 투명 절연 기판(25)상의 동일한 층에서 형성되고, 게이트 전극(21) 및 반사판(32)은 게이트 절연막(26)으로 피복되고, 반도체 층(27)은 게이트 전극(21)의 상부에서 게이트 절연막(26)상에 형성되고, 소스 전극(23) 및 드레인 전극(22)은 게이트 절연막(26)상에서 반도체 층(27)에 접촉하여 형성된다. 게이트 절연막(26), 반도체 층(27), 소스 전극(23), 및 드레인 전극(22)은 패시베이션 막(28)으로 피복되고, 보호막층(29)은 패시베이션 막(28)상에 형성되며, 보호막층(29)은 투명 픽셀 전극(2b)으로 피복된다.

외부 입력 단자부(2e)에서, 도 17에 도시된 바와 같이, 알루미늄 또는 알루미늄 합금으로 이루어진 주사선(2c)의 표면은 게이트 절연막(26) 및 패시베이션 막(28)의 개구의 형성으로 인해 노출된다.

예를 들어, 액정 구동 IC가 형성되어 있는 TCP가 이방성 도전막 등을 통해 주사선과 접속된다. 주사선(2c)의 재료로서 사용되는 알루미늄 또는 알루미늄 합금에 대해서는, 크립핑시 이방성 도전막에 대한 콘택트 저항을 비교적 감소할 수 있다.

또한, 외부 입력 단자부(2e)에서, 알루미늄 및 알루미늄 합금으로 이루어진 신호선(2d)의 표면은 게이트 절연막(26) 및 패시베이션 막(28)의 개구의 형성으로 인해 노출된다.

본 실시예의 TFT 기관(2A)을 마련하기 위해, 우선, 알루미늄 및 그 합금의 막이 스퍼터링에 의해 투명 절연 기관(25)상에 형성되고, 리소그래피 기술에 의해 패터닝이 수행되어 게이트 전극(21) 및 반사판(32)을 동시에 형성한다. 또한, 이러한 경우, 주사선(2c; 게이트 배선)이 동시에 형성된다. 그리고, 비교적 높은 반사율로 인해 알루미늄 및 그 합금이 사용된다.

액정 디스플레이 패널(1)의 제조 방법의 다음 단계는 상술한 제 1 실시예와 동일하므로 그 설명은 생략한다.

본 실시예의 구성에 따라서, 제 1 실시예에 기재된 것과 거의 동일한 효과를 얻을 수 있다.

또한, 동일한 공정에서 게이트 전극(21) 및 반사판(32)을 동시에 형성하고, 투명 보조 캐패시터 형성 전극으로서 반사판(32)이 작용하는 것은 공정 단계를 간소화 할 수 있고, 비용을 감소할 수 있다.

또한, 주사선(2c)은 비교적 높은 소성의 알루미늄 또는 그 합금을 사용하여 형성되므로, 외부 입력 단자부(2e)에서, 예를 들어, 주사선(2c)의 재료로서 크롬을 사용한 경우와 비교하여, 이방성 도전막에 대한 컨택트 저항은 크롬핑시 감소될 수 있고, 주사선(2c)의 노출된 표면을 구비한 간단한 구성을 구현할 수 있다.

### 제 3 실시예

도 18은 본 발명의 제 3 실시예에 따른 액정 디스플레이 패널의 TFT 기관의 1개의 픽셀의 형태를 도시한 단면도이다.

상술한 제 2 실시예와 본 실시예와의 차이점은 대향 기관에서 컬러층(컬러 필터)을 구비한 제 2 실시예와는 달리, TFT 기관은 컬러층을 구비한다는 것이다. 상기에 따라, 대향 기관은 컬러층 및 블랙 매트릭스를 구비하지 않는다.

다른 점은 제 2 실시예에 기재된 형태와 동일하므로 그 명세를 간략히 소개한다.

본 실시예의 TFT 기관(2B)은 반사판(32), 컬러층(32; 컬러 필터), 및 블랙 매트릭스(33)를 구비한다. 반사판(32)에서, 투명 보조 캐패시터 형성 전극(24; 도시되지 않음)은 이전 단계의 주사선(2c; 도시되지 않음)으로부터 상기 픽셀의 투명 픽셀 전극(2b)의 하부로 확장되어 형성된다.

또한, TFT(2a)의 소스 전극(23)은 컨택트홀(H<sub>3</sub>)을 통해 투명 픽셀 전극(2b)에 접속된다. 컨택트홀(H<sub>3</sub>)은 게이트 전극(21) 및 반사판(32)이 형성되어 있는 영역의 외부에 형성된다.

본 실시예의 TFT 기관(2B)에서, 도 18에 도시된 바와 같이, 게이트 전극(21) 및 반사판(32)은 투명 절연 기관(25)상의 동일한 층에 형성되고, 게이트 전극(21) 및 반사판(32)은 게이트 절연막(26)으로 피복되고, 반도체 층(27)은 게이트 전극(21)의 상부의 게이트 절연막(26)상에 형성되고, 소스 전극(23) 및 드레인 전극(22)은 게이트 절연막(26)상에서 반도체 층(27)과 접촉하며 형성된다. 게이트 절연막(26), 반도체 층(27), 소스 전극(23), 및 드레인 전극(22)은 패시베이션 막(28)으로 피복되고, 블랙 매트릭스(33)는 패시베이션 막(28)상에 형성되어 TFT(2a)를 피복하고, 컬러층(34; 컬러 필터)은 반사판(32)과 대응하는 위치에 형성되고, 보호막층(29)은 블랙 매트릭스(33) 및 컬러층(34)상에 형성되고, 보호막층(29)은 투명 픽셀 전극(2b)으로 피복된다.

참고를 위해, 블랙 매트릭스(33) 및 보호막층(29)은 필요할 때 형성될 수 있으며, 필수적인 것은 아니다.

그리고, 본 실시예의 액정 디스플레이 패널의 TFT 기관(2)의 마련 방법을 이하에 기재한다.

알루미늄 막은 스퍼터링 법에 의해 투명 절연 기관(25)상에 형성되고; 포토리소그래피를 사용함으로써 인해 패터닝이 수행되어 게이트 전극(21) 및 반사판(32)을 형성한다.

그리고, 실리콘 질화막은 전체 표면에 형성되어 게이트 절연막(26)을 형성한다.

계속해서, 도핑되지 않은 a-Si막 및 n<sup>+</sup>형 a-Si막이 연속적으로 형성되고, 패터닝되어 반도체 층(27)을 형성한다.

그리고, 크롬막이 스퍼터링 법에 의해 반도체 층상에 형성되고, 상기 크롬막은 패터닝되어 소스 전극(23) 및 드레인 전극(22)을 형성한다.

그리고, n<sup>+</sup>형 a-Si를 에칭하기 위한 가스 시스템을 사용하여, 드라이 에칭이 수행되어 소스 전극(23) 및 드레인 전극(22) 사이의 n<sup>+</sup>형 a-Si를 제거한다.

그리고, 실리콘 질화막이 형성되고, 실리콘 질화막에 패터닝이 수행되어 패시베이션 막(28)을 형성한다.

그리고, 블랙 레지스트가 패시베이션 막(28)상에 패터닝되어 블랙 매트릭스(33)를 형성하는 포토리소그래피 단계를 통해 TFT(2a)를 피복한다.

그리고, 블랙 매트릭스(33)에 인접하고 반사판(32)에 대응하는 위치에서, 세번의 포토리소그래피 단계를 통해, 감광성 아크릴 폴리머를 사용한 적(R), 녹(G), 및 청(B)의 안료를 분산하여 마련된 재료를 패터닝하여 컬러층(34)을 형성한다.

그리고 블랙 매트릭스(33) 및 컬러층(34)상에서, 투명 아크릴 폴리머는 포토리소그래피 단계를 통해 패터닝되어 보호막층(29)을 형성한다.

그리고, 소정의 장소에서 소스 전극(23)의 표면을 노출하기 위해, 패시베이션 막(28), 블랙 매트릭스(33), 및 보호막층(29)이 에칭되어 컨택트홀(H<sub>3</sub>)을 형성하고, ITO 막은 스퍼터링에 의해 보호막층(29) 상에 형성되고 패터닝되어 투명 픽셀 전극(2b)을 형성한다.

본 실시예의 구성에 따라서, 제 2 실시예에 기재된 것과 거의 동일한 효과를 얻을 수 있다.

또한, 컬러층(34; 컬러 필터)이 TFT 기판(2B)상에 형성되므로 대향 기판의 구조가 단순해질 수 있고 그 공정 단계를 간소화할 수 있다.

**발명의 효과**

상술한 바와 같이, 본 발명의 실시예를 첨부한 도면을 참조하여 자세히 설명하였다. 그러나, 본 발명은 상기 실시예에 한정되는 것이 아니라 본 발명의 범위 및 본질에서 벗어나지 않는 범위 내에서 변형 및 수정될 수 있다.

예를 들어, 상술한 제 1 실시예에서, 도전층(24a)이 투명 보조 캐패시터 형성 전극(24)을 형성하기 위한 단계에서 동시에 형성되는 경우를 설명하였다. 그러나, 도 19에 도시된 바와 같이, 투명 픽셀 전극(2b)을 형성하기 위한 단계에서, 도전층(2h)은 투명 픽셀 전극(2b)에 사용된 것과 동일한 재료를 사용하여 마련된 ITO를 사용하여 형성될 수 있고, 이와 같은 경우에서도, 제 1 실시예와 유사하게, ITO를 사용하여 이방성 도전막과 접촉하는 최상위의 도전층을 형성하는 것은 접촉 저항을 낮은 수준으로 억제한다.

주사선(2c)을 형성하는 단계에서 크롬막을 형성함으로써 인해 외부 입력 단자부(2f)는 도 8에 도시된 외부 입력 단자부(2e)와 동일한 구성일 수 있고, 도전층(24a)은 상기 크롬막상에 형성되고, 게이트 절연막(26)이 형성되고 컨택트홀(H<sub>1</sub>)은 상기 크롬막이 신호선(2d)에 전기적으로 접속되도록 형성된다.

또한, 제 2 실시예에서, 외부 입력 단자부(2e 및 2f)에서, 이방성 도전막 등은 알루미늄 또는 알루미늄 합금으로 이루어진 주사선(2c)에 직접 접속한다고 기재하였다. 그러나, 도 20에 도시된 바와 같이, 예를 들어, 도전층(2h)은 크롬으로 이루어진 도전층(2g)을 통해 ITO를 사용하여 상기 도전층(2h)이 이방성 도전막 등에 직접적으로 접속하도록 형성될 수 있다. 예를 들어, 주사선(2c)이 알루미늄 또는 알루미늄 합금을 사용하여 형성되더라도, 크롬층을 적층함으로써 최상위 도전층이 ITO를 이용하여 형성될 수 있다.

또한, 제 3 실시예에서, 반사형의 경우를 기재하였다. 그러나, 다음 구성은 임의로 할 수 있다: 컬러층(컬러 필터)이 마련된 TFT 기판의 반사판을 대신하여, 투명 보조 캐패시터 형성 전극이 투과형용으로 배치될 수 있고, 또한 이러한 경우에, 대향 기판의 구조는 단순화될 수 있으며 준비 단계도 간소화될 수 있다.

본 발명은 상기 실시예에 한정되는 것이 아니라 본 발명의 범위 및 본질에서 벗어나지 않는 범위 내에서 변형되고 수정될 수 있다.

**(57) 청구의 범위**

**청구항 1.**

주사 신호를 공급하기 위한 복수의 주사선과,

표시 신호를 공급하기 위한 복수의 신호선과,

액정층에 전압을 인가하기 위한 복수의 픽셀 전극과,

상기 주사선과 상기 신호선과의 교차부 부근에 마련되고, 상기 주사선에 접속되어 게이트가 되는 제 1 전극과 상기 신호선에 접속되고 드레인 또는 소스가 되는 제 2 전극과 상기 픽셀 전극에 접속되어 소스 또는 드레인이 되는 제 3 전극을 포함하고, 대응하는 상기 픽셀 전극에 주는 표시 신호를 주사 신호에 의해 스위칭하기 위한 스위칭 소자와,

상기 픽셀 전극에 대향하여 배치되고 보조 용량을 구성하기 위한 보조 용량용 전극을 구비한 액정 표시 장치로서,

동일 화소 내에 있어서, 상기 제 2 및 제 3 전극은, 제 1 절연막을 통하여 상기 제 1 전극과 다른 층에 형성되고, 상기 픽셀 전극은 제 2 절연막을 통하여 상기 제 1, 제 2, 및 제 3 전극의 상부에 형성되고, 또한, 상기 제 2 절연막에 마련된 콘택트홀을 통하여, 상기 픽셀 전극과 상기 제 3 전극이 접속되고, 상기 보조 용량용 전극은, 상기 제 1 전극과 동일층에 의해 형성되어 있음과 함께 인접하는 상기 주사선과 전기적으로 접속되는 한편, 상기 신호선, 상기 제 2 전극 및 상기 제 3 전극과는 중첩하지 않도록 형성되고,

상기 픽셀 전극은, 대응하는 상기 신호선과 해당 신호선에 인접한 신호선과 중첩함과 함께, 대응하는 상기 주사선과 해당 주사선에 인접한 주사선에 중첩하는 양태로, 확대되는 제 1 영역을 가지며,

또한, 상기 보조 용량용 전극은, 상기 픽셀 전극이 점유하는 상기 제 1 영역중, 상기 픽셀 전극이, 상기 대응하는 신호선, 해당 신호선에 인접하는 신호선, 상기 대응하는 주사선, 상기 제 1 전극, 상기 제 2 전극 또는 상기 제 3 전극과 중첩하는 제 2 영역 및 해당 제 2 영역 부근의 영역을 제외한 제 3 영역에서, 상기 픽셀 전극과 중첩되어 있는 것을 특징으로 하는 액정 표시 장치.

## 청구항 2.

제 1 항에 있어서,

상기 보조 캐패시터용 전극은 투명 도전 재료로 이루어진 것을 특징으로 하는 액정 디스플레이 장치.

## 청구항 3.

제 1 항에 있어서,

상기 보조 캐패시터용 전극은 상기 제 1 전극과 동일한 재료로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

## 청구항 4.

삭제

## 청구항 5.

제 1 항에 있어서,

상기 주사선 및 상기 신호선은 알루미늄 또는 알루미늄 합금을 사용하여 형성하고, 상기 주사선 및 상기 신호선의 단자부는 신호 입력 단자로서 사용되는 것을 특징으로 하는 액정 디스플레이 장치.

## 청구항 6.

투명 절연 기판상에 도전막을 성막하여 패터닝함으로써 복수의 주사선과 상기 각 주사선에 접속되어 게이트가 되는 제 1 전극과 보조 용량용 전극을 형성하는 제 1 공정과,

상기 제 1 전극에 제 1 절연막을 통하여 대향하는 섬형상의 반도체층을 형성하는 제 2 공정과,

복수의 신호선을 형성함과 함께, 상기 반도체층상에 간극을 두고, 상기 각 신호선에 접속되어 드레인 또는 소스가 되는 제 2 전극과, 소스 또는 드레인이 되는 제 3 전극을 형성하는 제 3 공정과,

상기 반도체층, 제 2 전극, 및 제 3 전극의 상부에 제 2 절연막을 형성하는 제 4 공정과,

상기 제 2 절연막에 상기 제 3 전극에 달하는 개구를 형성하고, 상기 개구를 통하여 상기 제 3 전극과 접속하는 픽셀 전극을 형성하는 제 5 공정을 구비하고,

상기 픽셀 전극은, 대응하는 상기 신호선과 해당 신호선에 인접하는 신호선과 중첩함과 함께, 대응하는 상기 주사선과 해당 주사선에 인접하는 주사선에 중첩하는 양태로, 확대되는 제 1 영역을 갖도록 구성하며,

또한, 상기 보조 용량용 전극은, 상기 픽셀 전극이 점유하는 상기 제 1 영역 중, 상기 픽셀 전극이, 상기 대응하는 신호선, 해당 신호선에 인접한 신호선, 상기 대응하는 주사선, 상기 제 1 전극, 상기 제 2 전극 또는 상기 제 3 전극과 중첩하는 제 2 영역 및 해당 제 2 영역 부근의 영역을 제외한 제 3 영역에서, 상기 픽셀 전극과 중첩하는 한편, 상기 보조 용량용 전극과, 상기 신호선, 상기 제 2 전극 및 상기 제 3 전극과는 중첩하지 않도록 함으로써, 보조 캐패시터 전극을 형성하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

## 청구항 7.

제 6 항에 있어서,

상기 제 1 단계에서, 상기 제 1 전극 및 상기 보조 캐패시터용 전극은 동일한 종류의 도전 재료를 사용하여 형성되는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

### 청구항 8.

제 6 항에 있어서,

상기 제 1 단계는 도전 재료를 사용하여 상기 제 1 전극을 형성하는 단계 및 상기 투명 도전 재료를 사용하여 상기 보조 캐패시터용 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

### 청구항 9.

제 8 항에 있어서,

상기 제 1 단계에서, 상기 주사선 형성 후, 상기 보조 캐패시터용 전극은 상기 투명 도전 재료를 사용하여 형성되고 또한 상기 주사선의 단자부는 상기 투명 도전 재료를 사용한 상기 도전막에 의해 피복되며, 이에 의해 신호 입력 단자를 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

### 청구항 10.

제 9 항에 있어서,

상기 제 1 단계에서, 상기 보조 캐패시터용 전극은 상기 투명 도전 재료를 사용하여 형성되고, 상기 도전막은 상기 투명 도전 재료를 사용하여 상기 신호선이 형성되는 영역에 형성되며;

상기 제 3 단계에서, 상기 단자부에서, 상기 신호선의 단부는 상기 도전막에 접속하도록 형성되어 상기 신호 입력 단자를 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

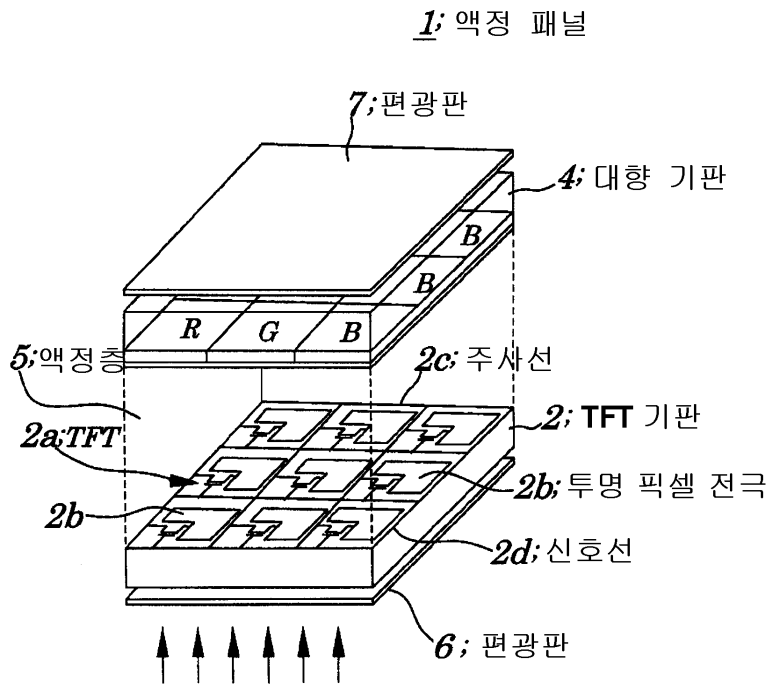
### 청구항 11.

제 9 항에 있어서,

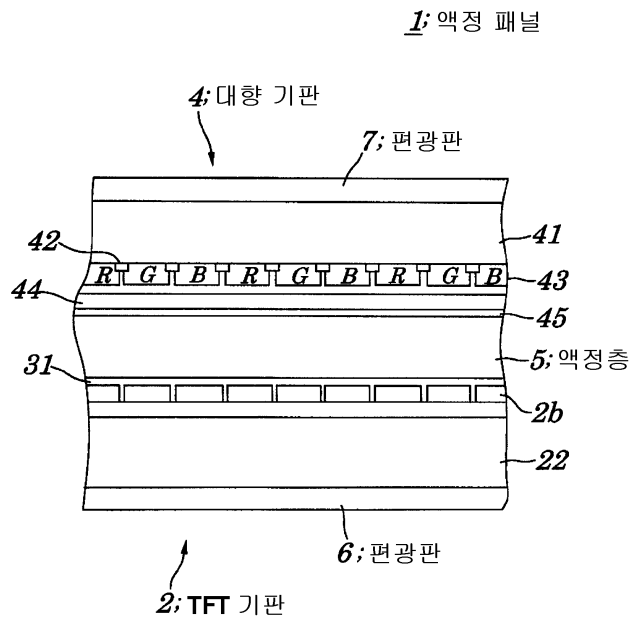
상기 제 1 단계 및 상기 제 3 단계에서, 상기 주사선 및 상기 신호선은 알루미늄 또는 알루미늄 합금을 사용하여 형성되고, 상기 주사선 및 상기 신호선의 단자의 표면은 노출되어 상기 신호 입력 단자를 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

도면

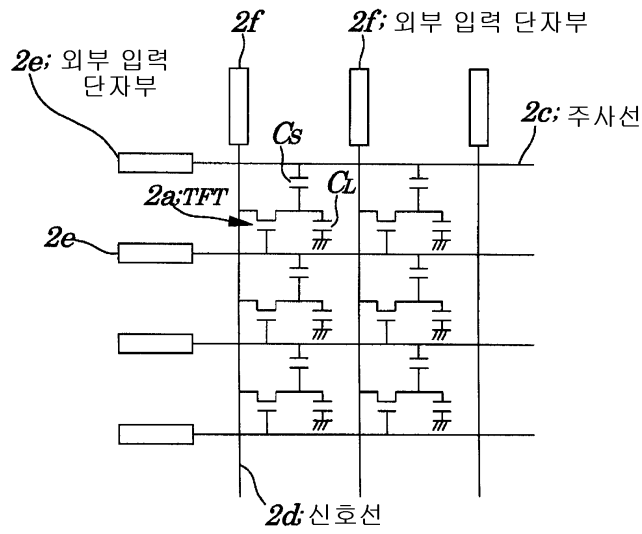
도면1



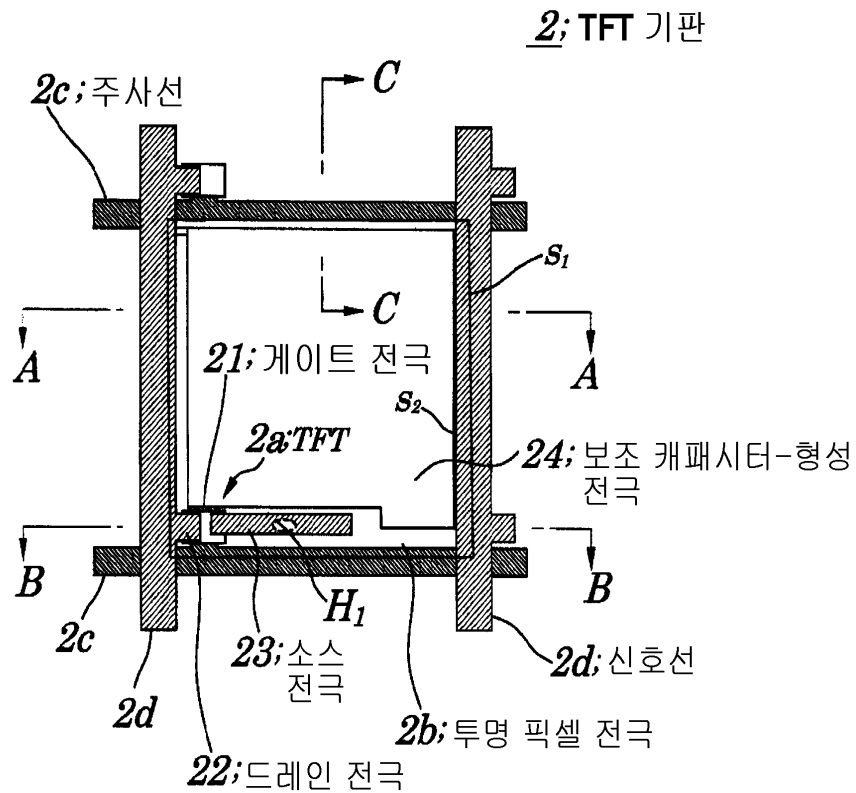
도면2



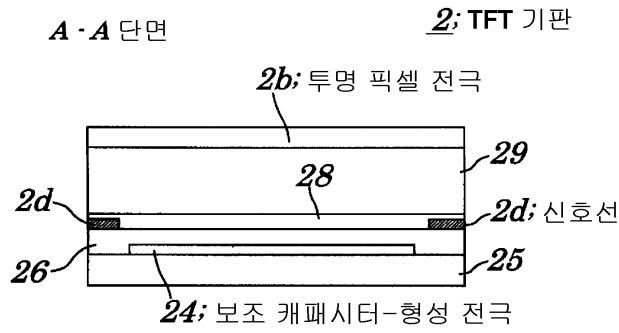
도면3



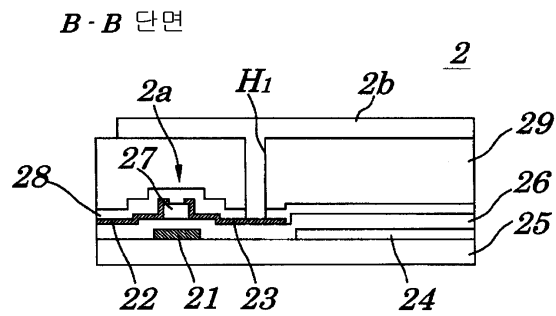
도면4



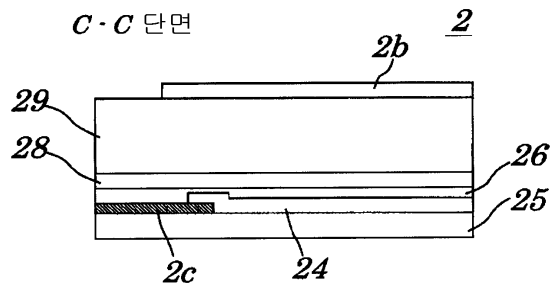
도면5



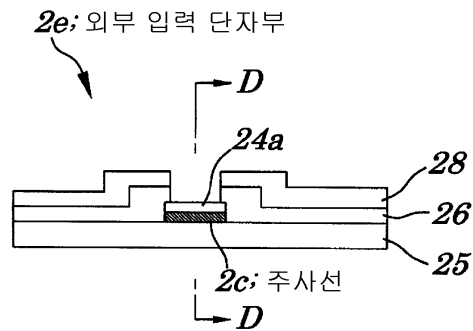
도면6



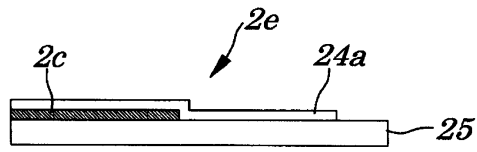
도면7



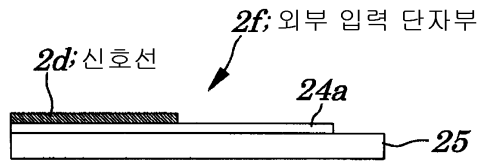
도면8



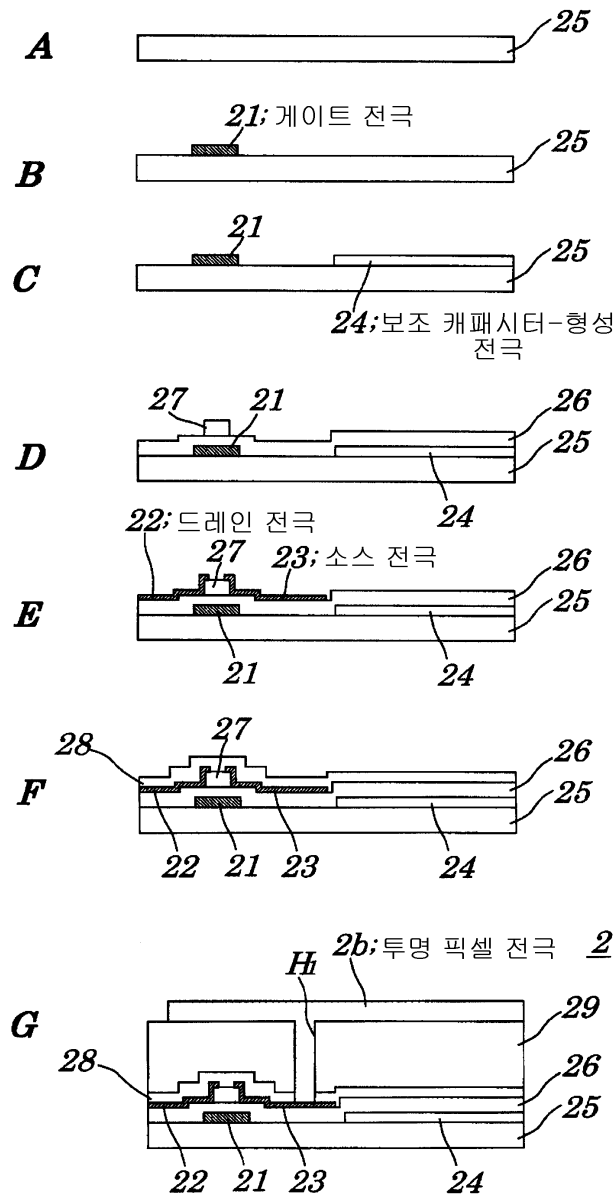
도면9



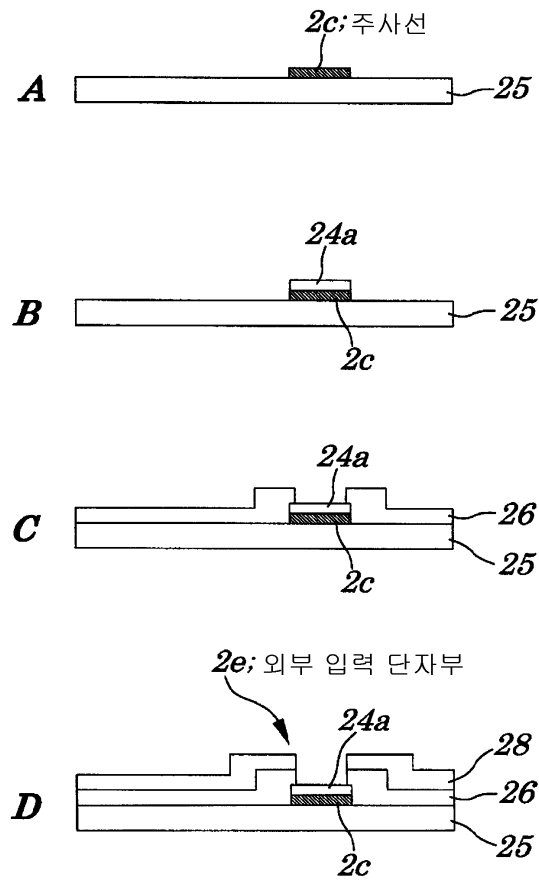
도면10



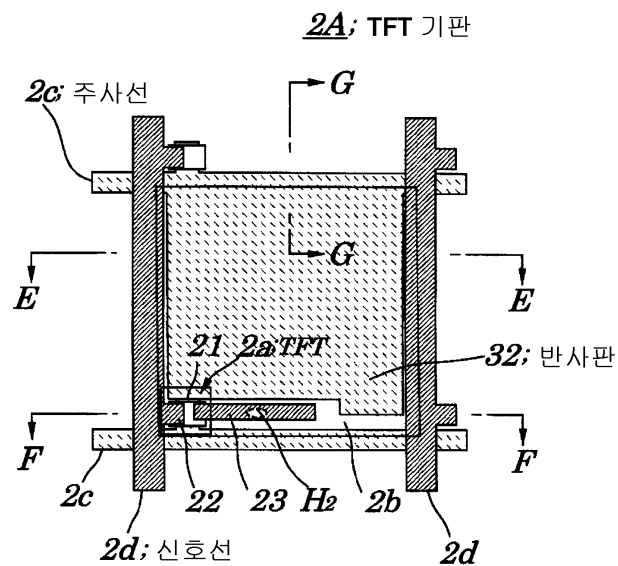
도면11



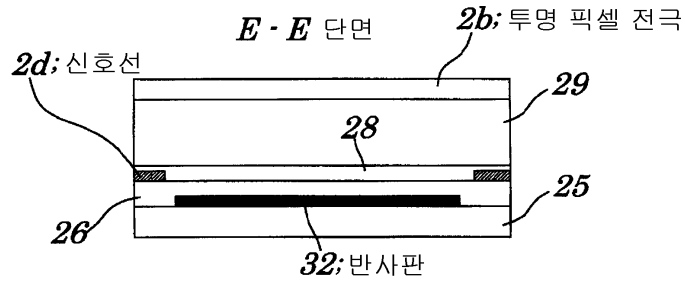
도면12



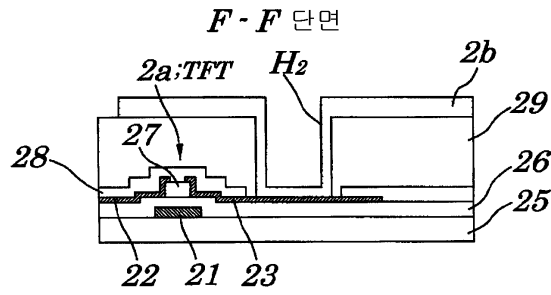
도면13



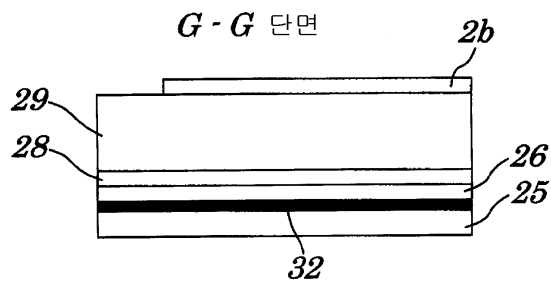
도면14



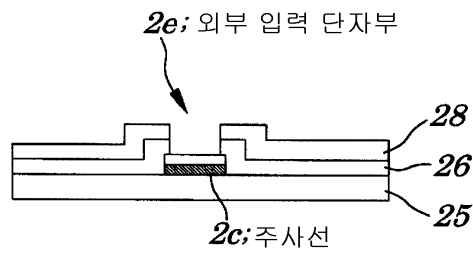
도면15



도면16

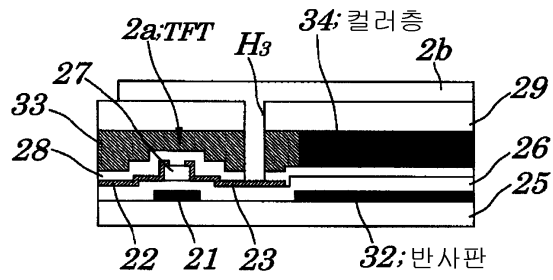


도면17

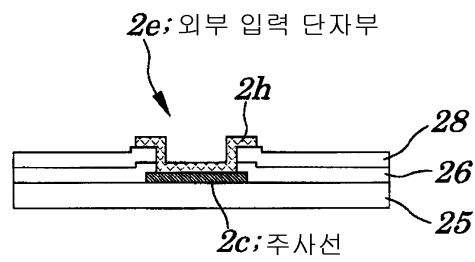


도면18

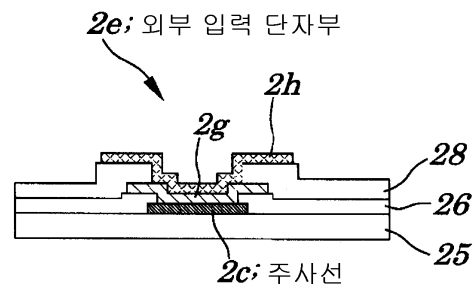
**2B: TFT 기판**



도면19



도면20

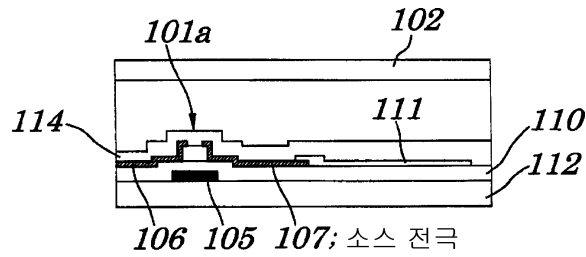




도면23

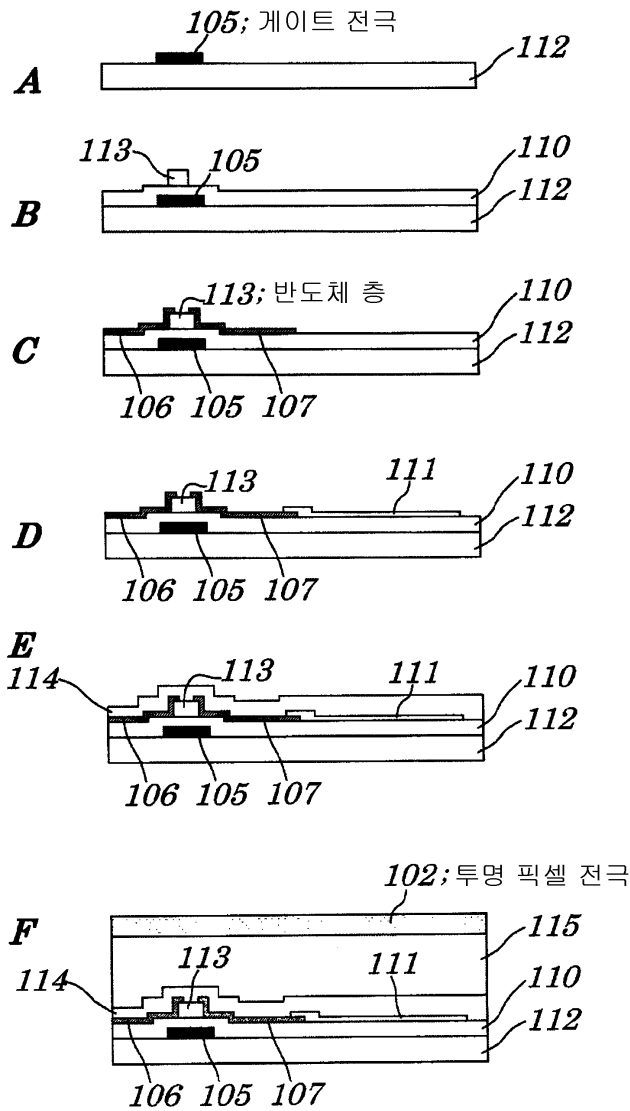
종래기술

Q-Q 단면



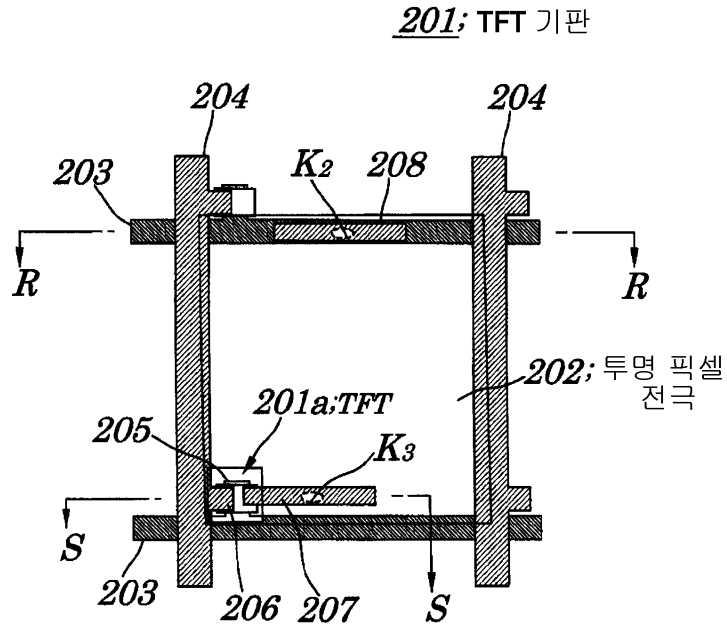
도면24

종래기술



도면25

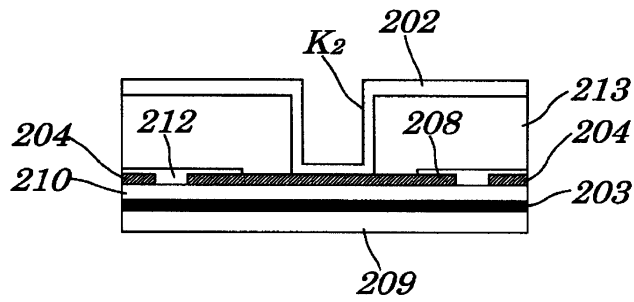
종래기술



도면26

종래기술

R - R 단면 201: TFT 기판

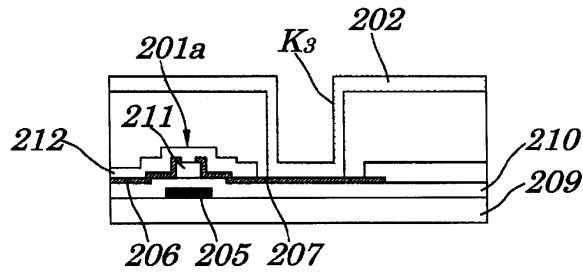


도면27

종래기술

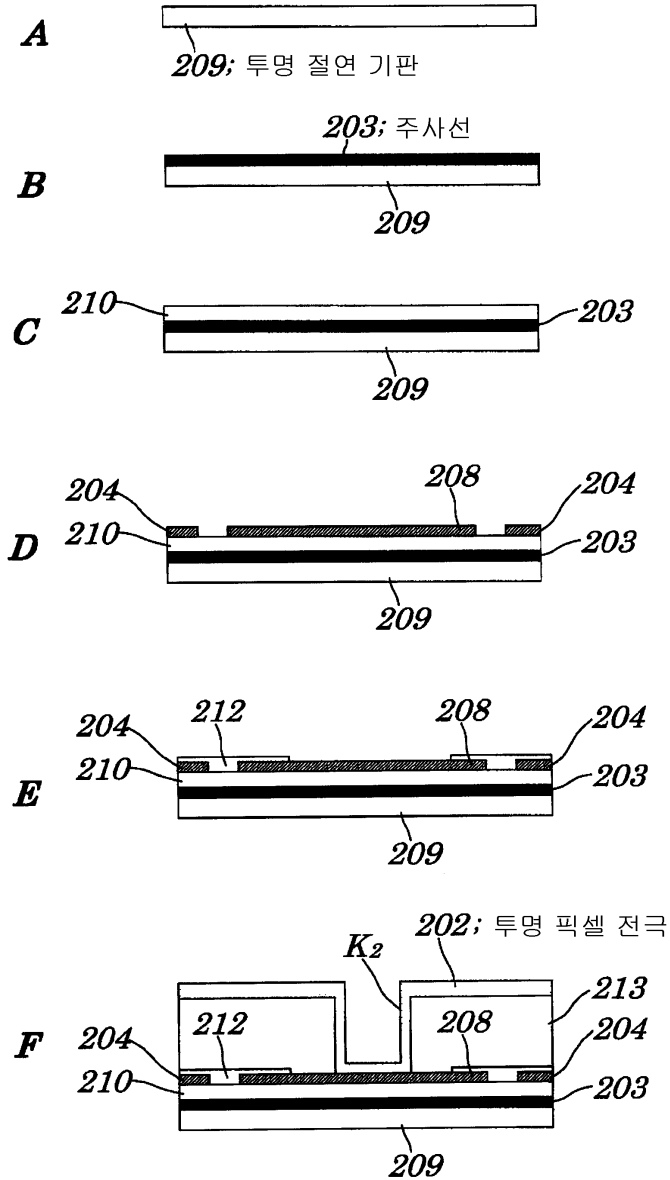
S-S 단면

201



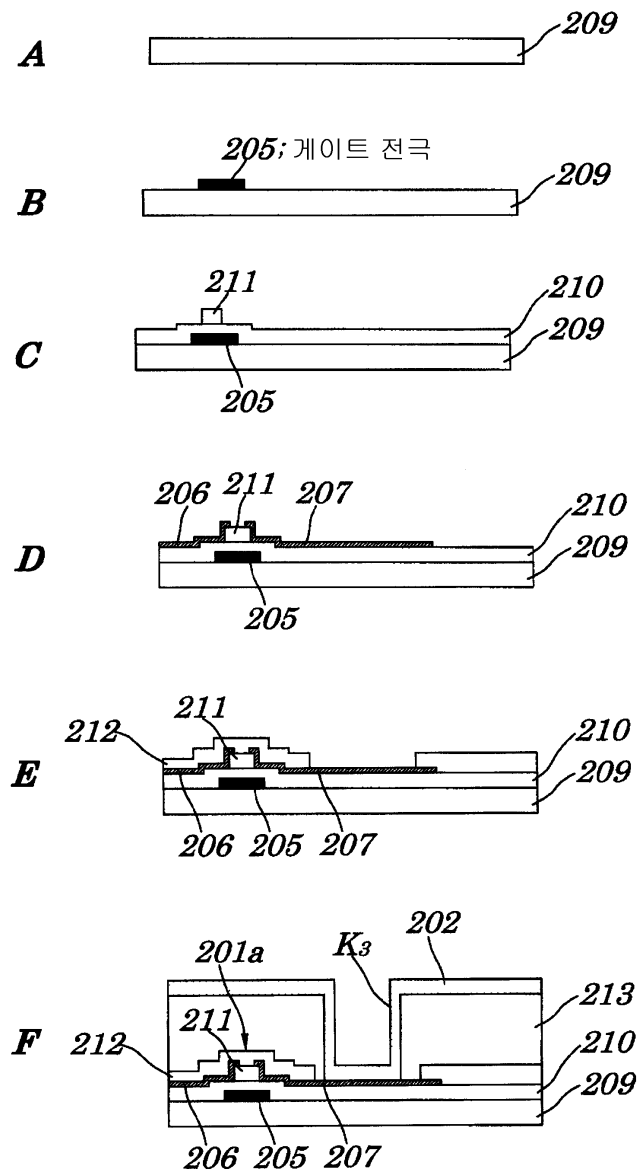
도면28

종래기술



도면29

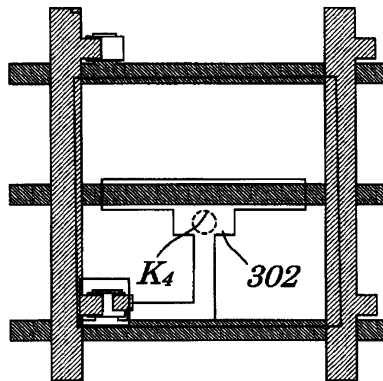
종래기술



도면30

종래기술

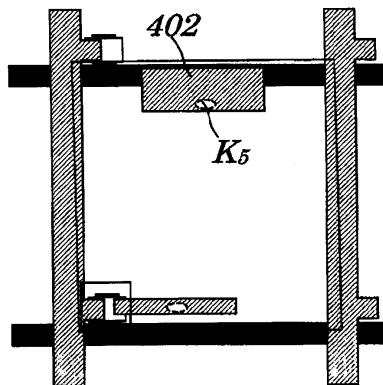
301: TFT 기판



도면31

종래기술

401: TFT 기판



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	<a href="#">KR100485506B1</a>	公开(公告)日	2005-04-28
申请号	KR1020010048360	申请日	2001-08-10
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	KIKKAWA HIRONORI 킁카와히로노리 MARUYAMA MUNEO 마루야마무네오 YAMAMOTO YUJI 야마모토유지 OKAMOTO MAMORU 오카모토마모루 SAKAMOTO MICHIAKI 사카모토미치아키		
发明人	킁카와히로노리 마루야마무네오 야마모토유지 오카모토마모루 사카모토미치아키		
IPC分类号	G02F1/1345 G02F1/1368 G02F1/1362 G09F9/30 G02F1/136		
CPC分类号	G02F1/136213 G02F1/136227		
优先权	2000245211 2000-08-11 JP		
其他公开文献	KR1020020013787A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

形成在液晶显示面板，其中相邻的扫描线和信号线的交叉点被连接到扫描线和所述第一电极，并且所述漏极或源极到栅极馈送到由第二电极和一个扫描信号所对应的像素电极连接到信号线一种开关装置，具有用于切换要施加的显示信号的第三电极；并且辅助电容器电极位于构成辅助电容器的像素电极的对面，其中在同一像素中，形成在第一电极上的第三电极和在所述第一绝缘膜不同的层，所述像素电极包括：第一，第二和通过第二绝缘膜形成在所述第三电极的顶部上，并用于辅助电容器的电极具有第一电极并且电连接到相邻的扫描线。4 指数方面 液晶显示装置，电容器，像素电极，溅射，源电极，接触孔，TFT基板，反射板，栅极绝缘膜，扫描线，钝化只是

