(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G02F 1/136

(45) 공고일자 2004년12월14일
(11) 등록번호 10-0461484
(24) 등록일자 2004년12월02일

(21) 출원번호 10-2001-0030946
(22) 출원일자 2001년06월02일

(65) 공개번호 10-2001-0110181
(43) 공개일자 2001년12월12일

(30) 우선권주장 2000-165449 2000년06월02일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 아시자와께이찌로
일본지바껭모바라시하야노3550

구리야마히데끼
일본지바껭모바라시시모나가요시460

다나까다께시
일본지바껭지바시미도리꾸아스미가오까8쪼메14-5

하시모또유이찌
일본지바껭모바라시하야노3550

나까따니미쯔오
일본지바껭모바라시미도리가오까3-16-4

(74) 대리인 장수길
구영창

심사관 : 임동재

(54) 액정 표시 장치

요약

화소 영역에 박막 트랜지스터를 갖는 액정 표시 장치에 있어서, 본 발명은 박막 트랜지스터의 소스 전극의 하측에 위치하는 반도체층을 게이트선(또는 박막 트랜지스터의 게이트 전극)의 윤곽 내에 형성함으로써 상기 반도체층에서의 광 전도 전류(a photo conductive current)를 억제하고, 상기 소스 전극이 상기 반도체층을 타고 넘는 위치에서 단선하는 것을 방지한다.

대표도

도 1

색인어

액정 표시 장치, 박막 트랜지스터, 게이트선, 드레인선, 광 전도 전류

명세서

도면의 간단한 설명

도 1은 본 발명에 따른 액정 표시 장치의 제1 실시예의 주요부 구성을 모식적으로 설명하는 평면도.
도 2는 본 발명에 따른 액정 표시 장치의 제2 실시예의 주요부 구성을 모식적으로 설명하는 평면도.
도 3의 (a)는 본 발명에 따른 액정 표시 장치의 제3 실시예의 주요부 구성을 모식적으로 설명하는 평면도이고, 도 3의 (b)는 도 3의 (a)의 A - A선으로부터 화살표 방향에서 본 단면도.
도 4의 (a)는 본 발명에 따른 액정 표시 장치의 제4 실시예의 주요부 구성을 모식적으로 설명하는 평면도이고, 도 4의 (b)는 도 4의 (a)의 B - B선으로부터 화살표 방향에서 본 단면도.
도 5는 본 발명에 따른 액정 표시 장치의 제5 실시예의 주요부 구성을 모식적으로 설명하는 평면도.
도 6은 본 발명의 액정 표시 장치의 한 화소의 구성을 설명하는 평면도.
도 7은 박막 트랜지스터 부분의 단면도.
도 8은 본 발명의 액정 표시 장치를 구성하는 상하 2장의 기판으로 협지되는 액정층에 접하여 각각 도포되는 배향막의 배향 방향의 설명도.
도 9는 상하의 유리 기판을 포함하는 표시 패널의 매트릭스 주변의 주요부를 나타내는 평면도.
도 10의 (a)는 표시 패널 PNL의 주사 회로가 접속되어야 하는 외부 접속 단자 GTM 부근의 단면을 나타내는 도면이고, 도 10의 (b)는 표시 패널 PNL의 외부 접속 단자가 없는 곳의 시일부 부근의 단면을 나타내는 도면.
도 11은 도 9에 있어서의 게이트선 GL로부터 그 외부 접속 단자(게이트 단자) GTM까지의 접속 구조의 설명도로서, 도 11의 (a)는 그 평면 구조를, 도 11의 (b)는 (a)의 B - B 절단선에 있어서의 단면을 각각 나타낸 도면.
도 12는 드레인선 DL로부터 그 외부 접속 단자(드레인 단자) DTM까지의 접속 구조의 설명도로서, 도 12의 (a)는 그 평면 구조를, 도 12의 (b)는 도 12의 (a)의 B - B 절단선에 있어서의 단면을 각각 나타낸 도면.
도 13은 공통선 CL로부터 그 외부 접속 단자 CTM까지의 접속 구조의 설명도로, 도 13의 (a)는 그 평면 구조를, 도 13의 (b)는 도 13의 (a)의 B - B 절단선에 있어서의 단면을 각각 나타낸 도면.
도 14는 표시 영역(매트릭스부)의 등가 회로와 그 주변 회로의 연결도의 설명도.
도 15는 도 14에 나타낸 액정 표시 장치의 구동 파형도.
도 16은 도 9에 나타낸 표시 패널에 드레인 드라이버(영상 신호 구동 회로)와 게이트 드라이버(수직 주사 회로)를 접속한 상태를 나타내는 평면도.
도 17은 IPS 방식의 액정 표시 장치의 일례에 있어서의 박막 트랜지스터 부 분을 확대하여 모식적으로 나타내는 주요부 평면도.
도 18은 IPS 방식의 액정 표시 장치의 다른 예에 있어서의 박막 트랜지스터 부분을 확대하여 모식적으로 나타내는 주요부 평면도.
<도면의 주요 부분에 대한 부호의 설명>
SUB1, SUB2 : 투명 유리 기판
GL : 게이트선
DL : 드레인선
CL : 공통선
PX : 화소 전극
CT : 공통 전극
GI : 게이트 절연막
GT : 게이트 전극
ASI : 반도체층
SD1, SD2 : 소스 전극 또는 드레인 전극
PSV : 보호막
BM : 차광막
LC : 액정
TFT : 박막 트랜지스터
TH : 관통홀
g, d : 도전막
ITO : 투명 도전막
GTM : 게이트측의 외부 접속 단자
DTM : 드레인측의 외부 접속 단자
CB : 공통 버스 라인
CTM : 공통층의 외부 접속 단자
SHD : 실드 케이스
PNL : 액정 표시 패널

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정 표시 장치에 관한 것으로, 특히, 화소마다 스위칭 소자를 배치한 소위 액티브 매트릭스형의 액정 표시 장치에 관한 것이다.
액정 표시 장치는, 한쌍의 기판 사이에 협지된 액정층의 액정 분자에 전계를 인가하여 액정의 배향 방향을 변화시킴으로써 발생하는 액정층의 광학 변화를 이용하여 표시를 행한다.
종래의 액티브 매트릭스형의 액정 표시 장치는, 액정층에 인가하는 전계의 방향이 액정층을 협지하는 기판면에 거의 수직인 방향으로 설정되어, 액정층의 광선광성을 이용하여 표시를 행하는 트위스티드 네마틱(TN) 표시 방식으로 대표된다.
한편, 빗살 무늬 전극을 이용하여, 액정에 인가하는 전계의 방향을 기판면에 거의 평행으로 하고, 액정의 복굴절성을 이용하여 표시를 행하는 인 플레인 스위칭 방식(In-Plane Switching : IPS)의 액정 표시 장치가, 일본특개소63-21907호 공보, 미국특허 제4345249호, WO91/10936, 일본특개평6-160878호 공보 등에 의해 제안되어 있다.
이 IPS 방식은 종래의 TN 방식에 비교하여, 광 시야각 · 저 부하 용량 등의 이점이 있어, TN 방식을 대체하는 새로운 액티브 매트릭스형 액정 표시 장치로서 최근 급속히 진보하고 있는 기술이다.
IPS 방식에 있어서는, M.Oh-e, M.Yoneda, K.Kondo의 Journal of Applied Physics, Vo1.82, No.2, 1997, pp. 528-535에 명시되어 있는 바와 같이, 액정이 마이너스의 유전 이방성을 갖는 경우에, 플러스의 유전 이방성의 액정에 비교해, 보다 완전한 인-플레인 스위칭을 실현할 수 있다.
상술의 IPS 방식에서는 상기 쌍을 이루는 기판의 한쪽의 표면 내에 설치된 스트라이프형의 불투명 금속 빗살 무늬 전극을 이용하고 있다.
그러나, 최근, 빗살 무늬 전극을 불투명 금속 전극 대신 ITO(Indium Tin Oxide) 등의 투명 도전 물질로 형성하고, 이 빗살 무늬 전극의 배치의 피치를 종래의 IPS 방식보다 짧은 피치로 배치하고, 유전률 이방성이 마이너스인 액정 재료를 이용함으로써, 빗살 무늬 전극의 가장자리 부분에 형성되는 전계만으로도 이 투명 빗살 무늬 전극 상부에 존재하는 액정의 전부를 배향 변화시킬 수 있도록 하여, 투과율 및 개구율을 개선하는 IPS 방식의 한 종류가 제안되어 있다.
상기 제안에 관한 문헌으로는,「S.H.Lee, S.L.Lee, H.Y.Kim, 'Asia Display', 1998, pp.371-374」및「S.H.Lee, S.L.Lee, H.Y.Kim, T.Y.Eom, 'SID Digest', 1999, pp.202-205」를 예로 들 수 있다.
상기 문헌에서는, 유전률 이방성이 마이너스인 액정 재료와 짧은 피치의 투명 빗살 무늬 전극을 조합한 IPS 방식에서는, IPS 방식과 동등한 광 시야각 특성을 유지한 채로 TN 방식에 가까운 투과율을 얻는 것이 가능한 것으로 보고되어 있다.
이러한 액정 표시 장치는, 기판 상에 형성한 복수의 게이트선(게이트 배선)과 복수의 드레인선(드레인 배선)의 교차부에 스위칭 소자(일반적으로, 박막 트랜지스터, 이하 박막 트랜지스터로서 설명)를 구비함과 동시에, 공통 전극과 상기 스위칭 소자로 구동되는 화소 전극을 근접시켜 배치하고 있다.
상기 박막 트랜지스터는, 게이트선을 게이트 전극으로 하고, 그 상층에 반도체층(a-Si 반도체층)을 통해 드레인선으로부터 연장되는 드레인 전극과 화소 전극에 접속하는 소스 전극으로 구성된다. 또, 드레인 전극과 소스 전극은 동작 중에 교대하여 변하지만, 이하에서는 도면에 도시한 바와 같이 고정하여 설명한다.
도 17은 IPS 방식의 액정 표시 장치의 일례에 있어서의 박막 트랜지스터 부분을 확대하여 모식적으로 나타내는 주요부 평면도이다. 도 17에 있어서, GL은 게이트선, DL은 드레인선, ASI는 반도체층(a-Si 층: a-Si(비정질 실리콘) 아일런드로도 칭함), PX는 화소 전극, CT는 공통 전극을 나타낸다. SD1은 소스 전극, SD2는 드레인 전극이다. 이 액정 표시 장치에서는, 박막 트랜지스터 기판 상에 화소 전극 PX와 공통 전극 CT를 인접시켜 배치하고 있다. 박막 트랜지스터의 소스 전극 SD1과 화소 전극 PX는 관통홀 TH에서 접속되어 있다.
또한, 도 18은 IPS 방식의 액정 표시 장치의 다른 예에 있어서의 박막 트랜 지스터 부분을 확대하여 모식적으로 나타내는 주요부 평면도이다. 도 18에 있어서, 도 17과 동일한 부호는 상호 동일한 기능 부분을 가리킨다. 이 액정 표시 장치에서는, 화소 전극 PX는 박막 트랜지스터 기판 상에 베타 형성되어 있고, 그 상층에 절연층을 통해 공통 전극 CT가 형성되어 있다. 소스 전극 SD1은 화소 전극 PX와 동일한 층에 형성되어 있다. 박막 트랜지스터의 소스 전극 SD1은 관통홀 TH에서 화소 전극 PX에 접속되어 있다.
또, 이 외에, 공통 전극 CT를 박막 트랜지스터 기판 상에 베타 형성하고, 그 위에 절연층을 통해 화소 전극 PX를 형성한 것도 있고, 화소 전극 PX, 공통 전극 CT의 형상을 세로 방향 또는 가로 방향으로 굴곡시킨 것도 생각되고 있다.

발명이 이루고자 하는 기술적 과제

도 17 및 도 18에 나타낸 어느 액정 표시 장치에서도, 게이트선 GL의 상층에 형성되는 반도체층 ASI는 소스 전극 SD1 아래에서 게이트선 GL로부터 벗어나 돌출되어 있다 (도 17 및 도 18에서 원 A로 둘러싸인 부분). 이 반도체층 ASI의 돌출 부분에 백라이트광이 조사되고, 이에 의해 야기된 소위 광 전도 전류(Photo Conduction Current, 또는 Photo Conductivity Current)가 발생하여, 박막 트랜지스터의 누설 전류 발생의 원인으로 되거나, 신호 유지 전압의 저하를 가져온다. 이 광 전도 전류는, 예를 들면, 반도체에 입사한 광이 반도체의 밴드갭(band gap)을 넘어 전하 운반체(chared carrier)를 그 내부에 발생시켰기 때문에 생기는 반도체의 전도도의 상승, 소위 반도체의 진성 광 전도도(Intrinsic Photoconductivity)로 야기된다.

또한, 소스 전극 SD1과 반도체층 ASI의 측벽의 컨택트부(도 17 및 도 18에서 원 B로 둘러싸인 부분)과 박막 트랜지스터의 채널부(도 17 및 도 18에서 C 부분)가 근접하여 있기 때문에 홀의 주입이 발생하고, 이에 의해서도 박막 트랜지스터의 누설 전류의 발생이나 신호 유지 전압의 저하를 가져온다.
또한, 반도체층 ASI의 상층에 형성되는 소스 전극(또는 화소 전극 PX의 소스 전극으로 되는 부분) SD1 또는 드레인 전극은, 반도체층 ASI을 타고 넘는 부분(도 17 및 도 18에 있어서의 원 A 또는 원 B로 둘러싸인 소스 전극 SD1의 가장자리)의 단차에 기인한 크랙의 발생에 의한 저항치의 상승이나 단선이 발생하기 쉽다.
또, 상기한 현상은, TN 방식에 있어서도 마찬가지이고, 광 전도 전류의 발생, 박막 트랜지스터의 누설 전류 발생, 및 신호 유지 전압의 저하는 액정 표시 장치에서의 휘도에 영향을 미쳐, 표시 품질을 열화시킨다. 또한, 드레인 전극이나 소스 전극의 크랙 또는 단선은 제품 수율을 저하시킨다. 그 때문에, 이들을 해소하는 것이 해결해야 할 과제로 되어 있었다.
본 발명의 목적은, 상기한 과제를 해소하여 고휘도로 신뢰성이 높은 액정 표시 장치를 제공하는 것에 있다.
상기한 과제를 해결하기 위해서, 액정 표시 장치에서, 본 발명은, 박막 트랜지스터의 소스 전극의 하층에 위치하는 반도체층이 게이트선으로부터 밀려 나오지 않도록 배치하거나, 박막 트랜지스터의 채널부와 그 소스 전극이 반도체층을 타고 넘는 부분의 측벽과의 거리를 확대한다. 이들의 특징 중 적어도 하나에 의해, 광 전도 전류의 발생이 억제되었다.
즉, 본 발명에 따른 액정 표시 장치의 일례는, 적어도 한쪽이 투명하고 그 사이에 액정층이 협지되는 한쌍의 기판과, 상기 한쌍의 기판의 한쪽의 내면에 형성한 복수의 게이트선 및 복수의 드레인선과, 상기 복수의 게이트선 중 하나와 상기 복수의 드레인선 중 하나의 교차 부분에 설치된 박막 트랜지스터와, 상기 박막 트랜지스터에 접속된 화소 전극과, 상기 화소 전극에 대향하여 배치된 대향 전극을 구비하고, 상기 박막 트랜지스터의 소스 전극의 아래에 위치하는 반도체층의 단부는 반도체층의 아래에 위치하는 게이트선의 에지 이내에 배치된다.
또한, 상술의 액정 표시 장치에서, 상기 소스 전극의 아래에 위치하는 상기 반도체층의 폭은 그 소스 전극의 폭보다 넓다.
또한, 상술의 액정 표시 장치에서, 박막 트랜지스터부에 설치되는 반도체층(박막 트랜지스터의 채널로서 이용되는 부분을 갖는 상술의 반도체층)과, 게이트선과 드레인선의 교차부에 설치되는 다른 반도체층(예를 들면, 드레인선에 따라 연장되는 상기 반도체층과는 다른 반도체층)을 분리함으로써, 후자의 반도체층에서 발생한 광 전도 전류가 그 게이트선과 드레인선과의 교차 부분에서 박막 트랜지스터에 유입하지 않도록 하였다.
상술의 박막 트랜지스터의 드레인 전극은, 이 박막 트랜지스터의 게이트 전극(예를 들면, 박막 트랜지스터의 채널에 이용되는 상술의 전자의 반도체층의 아래에 위치하는 게이트선)으로부터 떨어진 부분에서 상술의 복수의 드레인선 중 하나로부터 분기하여, 이 반도체층의 복수의 드레인선의 일측의 코너를 덮고, 반도체층 상에 연장시키면 좋다. 이 구조에 있어서, 박막 트랜지스터의 반도체층은 이 단부를 드레인 전극이 그 연장 방향에 대하여 2개의 다른 방향으로 타고 넘는 소위 2 방향 타고 넘는 부분을 갖는다.
또한, 박막 트랜지스터의 반도체층은, 이 박막 트랜지스터의 드레인 전극 및 소스 전극 중 적어도 하나의 하측에 2개 또는 3개의 다른 끝(에지)을 갖는 부분을 구비하면 좋다. 드레인 전극이나 소스 전극은, 그 연장 방향을 따라, 이들 2개 또는 3개의 다른 단부를 타고 넘기 때문에, 이 부분을 드레인 전극 또는 소스 전극의 하측에서의 해당 반도체층의 변의 수에 따라서 2 방향으로 타고 넘는 부분 또는 3 방향으로 타고 넘는 부분으로 칭한다. 이 2 방향 또는 3 방향으로 타고 넘는 부분은 드레인 전극 또는 소스 전극의 크랙이나 단선을 방지한다.
다른 관점에서 본 발명에 따른 액정 표시 장치를 적으면, 이 액정 표시 장치는, 적어도 한쪽이 투명하고 또한 그 사이에 액정층이 협지되는 한쌍의 기판과; 상기 한쌍의 기판의 한쪽의 내면에 제1 방향 및 제1 방향에 교차하는 제2 방향을 따라 매트릭스형으로 설치되고 그 각각이 게이트 전극, 그 게이트 전극 상부에 형성된 절연층, 그 절연층 상에 형성된 반도체층, 상기 반도체층 상에 상호 이격되어 형성된 소스 전극 및 드레인 전극, 및 그 소스 전극 및 드레인 전극의 한쪽에 접속된 화소 전극을 갖는 복수의 화소 영역과; 상기 제1 방향으로 배열된 화소 영역의 각각의 상기 게이트 전극에 각각이 접속되는 복수의 게이트 신호선과; 상기 제2 방향으로 배열된 화소 영역의 각각의 상기 소스 전극 및 드레인 전극의 다른 쪽에 각각이 접속되는 복수의 영상 신호선을 구비하고, 상기 화소 영역의 각각에 있어서, 상기 반도체층은 상기 게이트 전극의 윤곽 내에 형성되어 있다.
이러한 액정 표시 장치에서, 예를 들면, 상기 복수의 영상 신호선의 각각은 상기 화소 영역의 각각의 반도체층에서 이격되어 형성된 다른 반도체층 상에 형성되어 있다.
또한, 본 발명을 TN형(트위스티드 네마틱형 : Twisted Nematic-type)의 액정 표시 장치에 적용하여, 상기 한쌍의 기판의 다른 쪽의 내면에 대향 전극을 설치하고, 상기 화소 전극의 각각을 상기 액정층을 사이에 두고 이 대향 전극과 대향시켜도 좋다.
또, 본 발명은 상기한 구성 및 후술하는 실시예의 구성뿐만 아니라, 본 발명의 기술 사상을 벗어나지 않고 여러가지의 변형이 가능하다.
본 발명에 따른 이들 및 그 밖의 목적, 특징, 및 효과는 이후의 기재에 이것에 첨부된 도면을 관련시킴에 따라, 더욱 명확해진다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시예를 설명한다. 여기서는 IPS 방식의 액정 표시 장치에 본 발명을 적용한 실시예에 대하여 설명하지만, TN 방식의 액정 표시 장치에 대해서도 마찬가지이다. 또한, 이하의 도면에 있어서, 동일 기능을 갖는 부분에는 동일 부호를 부여하고, 그 반복의 설명은 생략한다.

도 1은 본 발명에 따른 액정 표시 장치의 제1 실시예의 주요부 구성을 모식적으로 설명하는 평면도로서, 박막 트랜지스터(TFT) 부분을 나타낸다. 도 1에 도시한 바와 같이, 게이트선(게이트 배선 : 주사 신호선 또는 수평 신호선) GL과, 드레인선(드레인 배선 : 신호선 또는 수직 신호선) DL과, 공통선(공통 배선 : 대향 전극 배선) CL이 기판 상에 설치되고, 박막 트랜지스터는 각각 인접하는 2개의 드 레인선 DL과 2개의 게이트선 GL의 교차 영역 내에 배치되어 있다.
게이트선 GL, 공통선 CL은 도 1의 좌우 방향으로 연장하고, 상하 방향으로 복수 라인 배치되어 있다. 영상 신호선 DL은 상하 방향으로 연장하고, 좌우 방향으로 복수 라인 배치되어 있다. 하나의 화소 내에서, 공통선 CL에서는 공통 전극 CT가 상하 방향으로 1 또는 복수 라인 분기 배치되어 있다. 이 공통선 CL은 도시한 바와 같이 게이트선 GL에 인접하여 배치하는 것에 한하지 않고, 화소의 중앙부에 배치한 것도 있다.
빗살 무늬형의 화소 전극 PX는 ITO 투명 도전막으로 형성되어, 소스 전극 SD1과 연속하거나 관통홀을 통해 박막 트랜지스터 TFT의 소스 전극 SD1과 전기적으로 접속되어 있다. SD2는 드레인 전극으로서, 드레인선 DL에서 가로 방향으로 분기하고 있다. ASI는 a-Si 반도체층이다.
각 화소 전극 PX와 공통 전극 CT 사이에서 발생한 전계에 의해 액정 조성물 LC의 광학적인 상태를 제어하여 표시를 행한다.
게이트선 GL은 각 화소의 박막 트랜지스터 TFT에 주사 전압 신호를 전파하기 위한 것이고, 드레인선 DL은 각 화소의 화소 전극 PX에 박막 트랜지스터 TFT의 드레인 전극 SD2를 통해 영상 신호 전압을 공급하기 위한 것이고, 공통선 CL은 각 화소의 공통 전극 CT에 공통 전압 신호를 공급하기 위한 것이다.
도 1에서는, 금속 전극으로 형성된 공통선 CL은 드레인선 DL의 옆부분을 둘러싸도록 형성되어 있고, 드레인 전극 DL에 인가되는 전압에 기인하는 전위차로 발생하는 전계의 영향으로 생기는 드레인선 옆부분의 불필요한 광 누설을 방지하는 차광층을 겸하고 있다.
빗살 무늬형의 화소 전극 PX의 전극 폭 W 및 전극 간격 L은, 이용하는 액정 재료에 따라 달라진다. 이것은, 액정 재료마다 최대 투과율을 달성하는 전계 강도가 다르기 때문에, 전극 간격을 액정 재료에 따라서 설정하여, 이용하는 드레인 신호 구동 회로(신호측 드라이버)의 내압으로 설정되는 신호 전압의 최대 진폭의 범위에서, 최대 투과율이 얻어지도록 하기 위한 것이다.
화소 전극 사이 거리는 1㎛ 15㎛이 되도록 설정되지만, 응답 속도 50msec를 실현하기 위해서, 본 실시예에서는 4㎛으로 하였다. 또한, 전극 간격 L은 1㎛ 1O㎛이 되도록 설정되지만, 구동 전압 1OV 이하를 실현하기 위해서, 본 실시예에서는 5㎛ 이상 10㎛ 이하로 하였다.
본 실시예에서는, 박막 트랜지스터 TFT를 구성하는 소스 전극 SD1의 하층에 위치하는 반도체층 ASI의 단부 E를 해당 반도체층 ASI의 하층에 위치하는 게이트선 GL의 에지 D 이내에 배치하였다. 즉, 반도체층 ASI가 게이트선 GL에서 돌출되어 나오지 않도록 하여 반도체층 ASI에 백라이트광이 닿지 않도록 함으로써, 광 전도 전류를 억제한다.
또한, 박막 트랜지스터 TFT의 소스 전극 SD1이 반도체층 ASI를 타고 넘는 부분에서의 소스 전극 SD1의 폭 w1보다 반도체층 ASI의 폭 w2를 크게 하였다.
이 구성에 의해, 박막 트랜지스터 TFT의 채널부 C와 소스 전극 SD1이 반도체층 ASI를 타고 넘는 측벽 E의 컨택트부간에 거리를 두고, 홀 주입을 억제하여 박막 트랜지스터의 누설 전류가 저감되어, 신호 유지의 저하가 방지된다.
도 2는 본 발명에 따른 액정 표시 장치의 제2 실시예의 주요부 구성을 모식적으로 설명하는 평면도로서, 도 1과 동일한 기능 부분에는 동일 부호를 부여하였다. 또, 공통선 CL의 도시는 생략하였다.
본 실시예에서는, 게이트선 GL과 드레인선 DL의 교차부의 반도체층과 박막 트랜지스터 TFT의 반도체층을 분리하여, 각각 반도체층 ASI1, ASI2로 하였다. 이 구성에 의해, 게이트선 GL과 드레인선 DL의 교차부에서 발생한 광 전도 전류가 박막 트랜지스터 TFT에 영향을 미치는 것을 방지할 수 있다.
도 3의 (a)는 본 발명에 따른 액정 표시 장치의 제3 실시예의 주요부 구성을 모식적으로 설명하는 평면도이고, 도 3의 (b)는 도 3의 (a)의 A-A 선으로부터 화살표 방향에서 본 단면도이다. 도 2와 동일한 기능 부분에는 동일 부호를 부여했다. 또, 공통선 CL의 도시는 생략하였다. 화살표 ①과 화살표 ②는 드레인 전극 SD2가 반도체층 ASI2을 타고 넘는 방향을 나타낸다.
게이트선 GL과 드레인선 DL의 교차부의 반도체층과 박막 트랜지스터 TFT의 반도체층을 분리하여, 각각 반도체층 ASI1, ASI2으로 한 점은 제2 실시예와 마찬가지이다. 이 때, 도 2의 구성에서는, 반도체층 ASI2에 드레인 전극 SD2이 타고 넘는 부분이 1 방향으로 타고 넘기 때문에, 크랙이 발생하기 쉽고, 단선의 원인이 된다.
본 실시예에서는, 드레인선 DL에서 분기하여 박막 트랜지스터 TFT의 반도체층 ASI2의 상층에 연장되는 드레인 SD2의 상기 분기부를, 게이트선 GL에서 떨어진 부분에 배치하였다. 또한, 드레인 전극 SD2를 박막 트랜지스터 TFT의 반도체층 ASI2의 드레인 전극 SD2측 코너를 덮도록 배치하여, 도 3의 (b)에 도시한 바와 같이 드레인 전극 SD2가 반도체층 ASI2를 타고 넘는 부분에 2 방향으로 타고 넘는 부분을 형성함으로써, 단선의 발생을 감소시켰다.
또한, 이 드레인 전극 SD2가 반도체층 ASI2를 타고 넘는 부분과 박막 트랜지스터 TFT의 채널부 C 간의 거리를 분리할 수 있어, 홀 주입에 의한 박막 트랜지스터 TFT의 신호 유지 특성의 열화를 억제할 수 있다.
또한, 도 2에서는, 게이트선 GL과 드레인 전극 SD2 사이에 반도체층이 없는 부분 F가 발생하여 해당 부분의 용량이 증가하지만, 도 3의 (a)에 나타난 것과 같이, 본 실시예의 구성에서는 해당 부분 F'의 면적이 감소하여 용량 증가가 억제된다.
도 4의 (a)는 본 발명에 따른 액정 표시 장치의 제4 실시예의 주요부 구성을 모식적으로 설명하는 평면도이고, 도 4의 (b)는 도 4의 (a)의 B - B 선으로부터 화살표 방향으로 본 단면도이다. 도 3의 (a) 및 도 3의 (b)와 동일한 기능 부분에는 동일 부호를 부여했다. 또, 공통선 CL의 도시는 생략하였다. 화살표 ①, ②, ③은 소스 전극 SD1이 반도체층 ASI2을 타고 넘는 방향을 각각 나타낸다.

본 실시예는, 소스 전극 SD1 및 드레인 전극 SD2가 반도체층 ASI2을 타고 넘는 부분에 3 방향으로 타고 넘는 부분을 형성하여 단선 발생을 감소시킨 것이다. 여기서는, 3 방향으로 타고 넘는 부분을, 게이트선 GL 상에서 소스 전극 SD1이 반도체층 ASI2를 타고 넘는 부분에 대하여 설명하지만, 드레인 전극 SD2가 반도체층 ASI2을 타고 넘는 부분에 대해서도 마찬가지다.

소스 전극 SD1은 도 4의 (b)에 단면으로 도시한 바와 같이, 게이트선 GL과 게이트 절연층 GI 및 반도체층 ASI2을 타고 넘어 형성된다. 이와 같이 다단으로 타고 넘는 부분에서는 소스 전극 SD1이 타고 넘는 부분에 크랙이 발생하여 쉽고, 그로 인해 단선을 일으키기 쉽다.

본 실시예에서는, 게이트선 GL을 화소 전극 PX측으로 돌출시키는 것과 함께, 반도체층 ASI2의 해당 부분에도 돌출부를 형성하여 해당 돌출부 상에 소스 전극 SD1을 배치함으로써, 소스 전극 SD1이 그 연장 방향(도 4의 (a)에서는 세로 방향)에 대하여 도 4의 (a) 및 (b)에 나타나는 화살표 ① ③의 3 방향으로 해당 돌출부를 타고 넘는 (즉, 해당 돌출부의 모서리에 중첩하는) 부분, 소위 3 방향으로 타고 넘는 부분을 설치하였다.

도 4의 (b)에 도시한 바와 같이, 소스 전극 SD1을 반도체층 ASI2에 대하여 3 방향으로 타고 넘도록 배치한 것에 의해, 소스 전극 SD1의 단선의 발생율이 경감된다.

도 5는 본 발명에 따른 액정 표시 장치의 제5 실시예의 주요부 구성을 모식적으로 설명하는 평면도이다. 본 실시예는, 박막 트랜지스터 TFT의 반도체층 ASI 2를 게이트선 GL과 드레인선 DL의 교차부의 반도체층 ASI1으로부터 분리하여 도 2에서 설명한 본 발명의 제2 실시예와 마찬가지의 효과를 발휘하는 것이다.

그리고, 드레인 전극 SD2가 반도체층 ASI1 및 ASI2를 타고 넘는 부분과 소스 전극 SD1이 게이트선과 반도체층 ASI 2을 타고 넘는 부분에 도 4의 (a)와 마찬가지의 3 방향으로 타고 넘는 부분을 형성하였다.

본 실시예에 따르면, 상기 제4 실시예와 마찬가지로 드레인 전극 SD2, 소스 전극 SD1이 반도체층 ASI1, ASI2을 타고 넘는 부분에서의 단선의 발생율이 경감할 수 있고, 저항치의 상승이나 단선의 발생을 방지할 수 있다.

다음에, 본 발명의 액정 표시 장치의 다른 구성예에 대하여 도 6 도 14를 참조하여 설명한다.

도 6은 본 발명의 액정 표시 장치의 한 화소의 구성을 설명하는 평면도이다. 도 6에 있어서, GL은 게이트선, DL은 드레인선, CL은 공통선, CT는 공통 전극, PX는 화소 전극, TH는 박막 트랜지스터 TFT의 소스 전극 SD1과 화소 전극 PX를 접속하는 관통홀, V는 세로(상하) 방향, H는 가로(좌우) 방향을 나타낸다.

이 액정 표시 장치에서는, 화소 전극 PX 및 대향 전극 CT를 지그재그 형상으로 형성하였다. 이에 따라, 방향이 다른 재배향 상태를 갖는 2개의 영역(도메인)이 형성되어, 경사 방향의 착색, 계조 반전을 각각 보상하여, 보다 넓은 시야각이 얻어진다.

즉, 각각의 전극은 각각의 주행 방향에서 복수의 굴곡부를 갖는 지그재그 형상으로 되고 있고, 그 굴곡부를 경계로 하여 한쪽은 도 6에 나타낸 세로 방향의 좌표축 V에 대하여 θ의 각도를, 다른쪽은 180° - θ의 각도를 갖고 있다.

이에 따라, 상술한 것과 같이 방향이 다른 재배향 상태를 갖는 2개의 영역(도메인)이 형성되어, 경사 방향의 착색 및 계조 반전을 각각 보상하여, 보다 넓은 시야각이 얻어진다.

또, 화소 전극 PX 및 대향 전극 CT의 사이에는 게이트 절연막 GI가 형성되어 있고, 화소 전극 PX와 대향 전극 CT의 사이에 액정 분자를 회전시키기 위한 가로 방향의 전계가 발생한다.

드레인선 DL에서 게이트선 GL과 오버랩하여 형성되는 드레인 전극 SD2와, 화소 전극 PX와 접속되어 화소 전극 PX에 유지 전압을 인가하는 소스 전극 SD1 사이에 비정질 반도체층 ASI가 배치되어, 박막 트랜지스터 TFT로서 기능한다.

도 7은 도 6의 I-I 선에 따른 박막 트랜지스터 부분의 단면도이다. 박막 트랜지스터 TFT는, 게이트 전극 GT에 정 바이어스를 인가하면 소스-드레인 사이의 채널 저항이 작아지고, 바이어스를 영으로 하면 채널 저항은 커지도록 동작한다.

박막 트랜지스터 TFT는, 게이트 전극 GT, 게이트 절연막 GI, i형(진성, intrinsic, 도전형 결정 불순물이 도핑되어 있지 않음) 비정질 실리콘(Si)으로 이루어지는 i형의 반도체층 ASI, 한쌍의 전극(소스 전극 SDI, 드레인 전극 SD2)을 갖는다.

또, 소스 전극 SD1과 드레인 전극 SD2는, 본래 그들 간의 바이어스 극성에 의해서 결정되는 것으로, 이 액정 표시 장치의 회로에서는 그 극성은 동작 중 반전하기 때문에, 소스 전극 SD1과 드레인 전극 SD2는 동작 중 교체하는 것은 상기한 바와 같다.

게이트 전극 GT는 게이트 신호선 GL과 연속하여 형성되어 있고, 게이트선 GL의 일부의 영역이 게이트 전극 GT가 되도록 구성되어 있다.

여기서는, 게이트 전극 GT는 단층의 도전막 g1으로 형성되어 있다. 이 도전막 g1으로서는, 예를 들면 스퍼터로 형성된 크롬-몰리브덴 합금(Cr-Mo)막이 이용되 지만, 그것으로 제한되지는 않는다. 또한, 다른 종류의 금속을 2층 형성해도 좋다.

게이트선 GL은 도전막 g1으로 구성되어 있다. 이 게이트선 GL의 도전막 g1은 게이트 전극 GT의 도전막 g1과 동일 제조 공정으로 형성되고, 일체로 구성되어 있다.

이 게이트선 GL에 의해, 외부 회로에서 게이트 전압을 게이트 전극 GT에 공급한다. 도전막 g1으로서는, 예를 들면 스퍼터로 형성된 크롬-몰리브덴 합금(Cr-Mo)막이 이용된다.

또한, 게이트선 GL 및 게이트 전극 GT의 재질은 크롬-몰리브덴 합금으로만 한정된 것이 아니고, 예를 들면, 저저항화를 위해 알루미늄 또는 알루미늄 합금을 크롬- 몰리브덴으로 감싼 2층 구조로 하여도 좋다.

공통선 CL은 도전막 g1으로 구성되어 있다. 이 공통선 CL의 도전막 g1은 게이트 전극 GT, 게이트선 GL 및 공통 전극 CT의 도전막 g1과 동일한 제조 공정으로 형성되고, 또한 공통 전극 CT와 일체 형성되어 있다. 이 공통 전압 신호선 CL에 의해, 외부 회로에서 공통 전압을 공통 전극 CT에 공급한다.

또한, 공통선 CL의 재질은 크롬-몰리브덴 합금으로만 한정된 것이 아니고, 예를 들면, 저저항화를 위해 알루미늄 또는 알루미늄 합금을 크롬-몰리브덴으로 감싼 2층 구조로 하여도 좋다.
게이트 절연막 GI는, 박막 트랜지스터 TFT에 있어서, 게이트 전극 GT와 같이 반도체층 ASI에 전계를 제공하기 위한 절연막으로서 사용된다. 게이트 절연막 GI 는 게이트 전극 GT 및 게이트선 GL의 상층에 형성되어 있다.
이 게이트 절연막 GI로서는, 예를 들면 플라즈마 CVD에서 형성된 질화 실리콘막이 선택되어, 100㎚ 4㎛의 두께(여기서는, 350㎚ 정도)로 형성된다. 또한, 게이트 절연막 GI는 게이트선 GL 및 공통선 CL과 드레인선 DL의 층간 절연막으로서도 기능하여, 이들의 전기적 절연에도 기여하고 있다.
반도체층 ASI는 비정질 실리콘 반도체로 이루어져, 150Å 2500Å의 두께(여기서는, 1200Å 정도의 막 두께)로 형성된다. 층 d0는 오믹 컨택트용의 인(P)을 도핑한 N(+)형 비정질 실리콘 반도체층이고, 하측에 i형 반도체층 ASI가 존재하고 상측에 도전층 d1이 존재하는 곳에만 남아있다.
반도체층 ASI 및 층 d0는, 게이트선 GL 및 공통선 CL과 드레인선 DL의 교차부(크로스오버부)의 양자 사이에도 설치되어 있다. 이 교차부의 반도체층 ASI는 해당 교차부에서의 게이트선 GL 및 공통선 CL과 드레인선 DL의 단락을 감소시킨다.
소스 전극 SDI, 드레인 전극 SD2의 각각은, N(+)형 반도체층 d0에 접촉하는 도전막 d1으로 구성되어 있다. Cr-Mo 막은 저 응력이기 때문에, 비교적 막 두께를 두껍게 형성할 수가 있어, 배선의 저저항화에 기여한다. 또한, Cr-Mo 막은 N(+)형 반도체층 d0와의 접착성도 양호하다.
드레인선 DL은 소스 전극 SDI, 드레인 전극 SD2와 동일한 층에서 구성되어 있다. 또한, 드레인선 DL은 드레인 전극 SD2와 일체로 형성되어 있다.
여기서는, 도전막 d1은 스퍼터로 형성한 크롬-몰리브덴 합금(Cr-Mo)막을 이용하여, 500Å 3000Å의 두께(여기서는, 2500Å 정도)로 형성된다. Cr-Mo 막은 저 응력이기 때문에, 비교적 막 두께를 두껍게 형성할 수가 있어, 배선의 저저항화에 기여한다.
또한, Cr-Mo 막은 N(+)형 반도체층 d0와의 접착성도 양호하다. 도전막 d1으로서, Cr-Mo 막 외에 고융점 금속(Mo, Ti, Ta, W)막, 고융점 금속 실리사이드($MoSi_2$, $TiSi_2$, $TaSi_2$, WSi_2)막을 이용하여도 좋고, 알루미늄 등과의 적층 구조로 하여도 좋다.
박막 트랜지스터 TFT 상에는 보호막 PSV가 설치되어 있다. 보호막 PSV는 주로 박막 트랜지스터 TFT를 습기 등으로부터 보호하기 위해서 설치되어 있고, 투명성이 높은 동시에 내습성이 좋은 것을 사용한다.
보호막 PSV는, 예를 들면 플라즈마 CVD 장치로 형성한 산화 실리콘막이나 질화 실리콘막으로 이루어지고, O.1㎛ 이상, 1㎛ 이하의 막 두께로 형성한다. 보호막 PSV는, 외부 접속 단자 DTM, GTM을 노출시키도록 제거되어 있다.
보호막 PSV와 게이트 절연막 GI의 두께 관계에 관해서는, 전자는 보호 효과를 생각하여 두껍게 되고, 후자는 트랜지스터의 상호 컨덕턴스 gm을 생각하여 얇게 된다. 또한, 보호막 PSV는, 폴리이미드 등의 유기막을 2㎛ 이상, 3㎛ 이하의 비교적 두꺼운 구성으로 하였지만 적층 구조로 하여도 좋다.
화소 전극 PX는, 투명 도전체인 ITO로 형성되어, 동일하게 ITO로 형성되는 공통 전극 CT와의 사이에서 축적 용량을 형성하고 있다. 여기서는 투명 도전체로서 ITO를 이용하여 설명하였지만, 인듐-아연-옥사이드(IZO)라도 마찬가지의 효과가 얻어지는 것은 물론이다.
대향 전극 CT는 ITO로 형성되고, 공통선 CL과 동일한 층에서 접속되어 있다. 대향 전극 CT에는 공통 전압이 인가되도록 구성되어 있다.
본 구성례에서는, 공통 전압은 드레인선 DL에 인가되는 최소 레벨의 구동 전압과 최대 레벨의 구동 전압과의 중간 직류 전위로부터, 박막 트랜지스터 TFT를 오프 상태로 할 때에 발생하는 관통(feedthrough) 전압만큼 낮은 전위로 설정된다.
도 8은 본 발명의 액정 표시 장치를 구성하는 상하 2장의 기판으로 협지되는 액정층에 접하여 각각 도포되는 배향막의 배향 방향의 설명도이다. 배향막으로서는 폴리이미드를 이용한다. 초기 배향 방향 RDR은 상하 기판에서 상호 평행하게 한다. 초기 배향 방향을 부여하는 방법으로서는, 러빙이 가장 일반적이지만, 그외에 경사진 방향 증착이 있다. 초기 배향 방향 RDR과 인가 전계 방향 EDR의 관계는 도 8에 나타내는 대로 이다. 여기서는, 초기 배향 방향 RDR는, 수평 방향에 대하여 약 75° 로 하였다. 또, 유전률 이방성이 플러스인 액정 조성물을 이용하는 구성에 있어서는, 초기 배향 방향 RDR과 인가 전계 방향 EDR의 각도는, 45° 이상 90° 미만이어야만 한다. 배향막은 20㎚ 300㎚의 두께로 형성된다(본 실시예에서는 1OOnm 정도).
2장의 기판의 각 표면에는 편광판이 적층된다. 도 10을 참조하여 후술되는 편광판 POL1, POL2로서는, 도전성을 갖는 편광판을 이용하여, 하측의 편광판 POL1의 편광 투과축 MAX1을 초기 배향 방향 RDR과 일치시키고, 상측의 편향판 POL2의 편광 투과축 MAX2을 그것에 직교시킨다.
이에 따라, 본 발명의 화소에 인가되는 전압(화소 전극 PX와 대향 전극 CT 사이의 전압)을 증가시킴에 따라, 투과율이 상승하는 노멀 클로즈 특성을 얻을 수 있다. 또한, 전압 무인가 시에는, 양질의 흑색 표시를 할 수 있다.
또, 편광판에 도전성을 갖게 하는 것에 의해, 외부로부터의 정전기에 의한 표시 불량 및 EMI 대책을 실시하고 있다. 도전성에 관해서는, 정전기에 의한 영향에 대한 대책을 위해서만 이라면, 시트 저항이 10^8 Ω/□ 이하, EMI에 대해서도 대책하는 것이면, $1O^4$ Ω/□ 이하로 하는 것이 바람직하다. 또한, 유리 기판의 액정 조성물의 협지면의 이면(편광판을 점착시키는 면)에 도전층을 설치하여도 좋다.
도 9는 상하의 유리 기판 SUBl, SUB2를 포함하는 액정 표시 장치의 표시 패널 PNL의 매트릭스(AR) 주변의 주요부를 나타내는 평면도이다. 도 10의 (a)는 표시 패널 PNL의 주사 회로가 접속되어야 하는 외부 접속 단자 GTM 부근의 단면을 나타내는 도면이고, 도 10의 (b)는 표시 패널 PNL의 외부 접속 단자가 없는 곳의 시일부 부근의 단면을 나타내는 도면이다.

이 액정 표시 장치의 제조에서는,작은 사이즈이면 처리량 향상을 위해 한 장의 유리 기판(마더 유리로도 칭함)으로 여러개 분량의 디바이스를 동시에 가공하고 나서 분할하고, 큰 사이즈이면 제조 설비의 공용을 위해, 어떤 품종이라도 표준화된 크기의 유리 기판을 가공하고 나서 각 품종에 맞은 사이즈에 작게 한다.
모든 경우에서 통상의 공정을 거치고 나서 유리를 절단한다. 도 9, 도 10은 후자의 예를 나타내는 것으로, 모든 상하 기판 SUBl, SUB2의 절단 후(상기 마더 유 리로부터 추출된 후)의 구조를 나타내고 있다. 도 9의 파선 LN은 양 기판의 절단 전의 모서리를 나타낸다.
모든 경우에서, 완성 상태에서는 외부 접속 단자군 Tg, Td 및 단자 CTM이 존재하는 (도 9로 윗변과 좌변의) 부분은 이들을 노출하도록 상측 기판 SUB2의 크기가 하측 기판 SUB1보다도 내측으로 제한되어 있다.
단자군 Tg, Td는, 각각 후술하는 주사 회로 접속용 단자 GTM, 드레인 신호 회로 접속용 단자 DTM과 이들의 인출 배선부를 집적 회로 칩 CHI(도 16 참조)가 탑재된 테이프 캐리어 패키지 TCP (도 16 참조)의 단위로 복수 라인 통합하고 명명한 것이다.
각군의 매트릭스부에서 외부 접속 단자부에 이르기까지의 인출 배선은 양단에 근접함에 따라서 경사지고 있다. 이것은, 패키지 TCP의 배열 피치 및 각 패키지 TCP에서의 접속 단자 피치에 표시 패널 PNL의 단자 DTM, GTM을 정합하기 위해서이다.
또한, 공통 단자 CTM은, 공통 전극 CT에 공통 전압을 외부 회로에서 제공하기 위한 단자이다. 매트릭스부의 공통선 CL은, 게이트용 단자 GTM의 반대측(도 9으로서는 우측)으로 인출하고, 각 공통선을 공통 버스 라인 CB에서 일괄로 하여, 공통 단자 CTM에 접속하고 있다.
투명 유리 기판 SUB1, SUB2의 사이에는, 그 모서리에 따라서 액정 봉입구 INJ를 제외하고, 액정 LC를 밀봉하도록 시일 패턴 SL이 형성된다. 시일재는 예를 들면 에폭시 수지로 이루어진다. 배향막 ORI1, ORI2의 층은, 시일 패턴 SL의 내측에 형성된다. 편광판 POL1, POL2는 각각 하부 투명 유리 기판 SUB1, 상부 투명 유리 기판 SUB2의 외측의 표면에 구성되어 있다. 액정 LC는 액정 분자의 방향을 설정하는 하부 배향막 ORI1과 상부 배향막 ORI2 사이에서 시일 패턴 SL로 구획된 영역에 봉입되어 있다. 하부 배향막 ORI1은, 하부 투명 유리 기판 SUB1측의 보호막 PSVI의 상부에 형성된다.
이 액정 표시 장치는, 하부 투명 유리 기판 SUB1측, 상부 투명 유리 기판 SUB2측에서 별개로 여러가지의 층을 중첩하여, 시일 패턴 SL을 기판 SUB2측에 형성하고, 하부 투명 유리 기판 SUB1과 상부 투명 유리 기판 SUB2을 정합시킨다. 그리고, 시일재 SL의 개구부 INJ에서 액정 LC을 주입하고, 주입구 INJ를 에폭시 수지 등으로 밀봉하여, 상하 기판을 절단함으로써 조립된다.
도 11은 도 9에 있어서의 게이트선 GL로부터 그 외부 접속 단자(게이트 단자) GTM까지의 접속 구조의 설명도이다. 도 11의 (a)는 평면도이고, 도 11의 (b)는 도 11의 (a)의 B-B 절단선에 있어서의 단면을 보이고 있다.
또, 도 11은 도 9의 기판 SUB1의 좌단에 나타난 단자군 Tg에 포함되는 한 단자에 대응하며, 그 경사 배선의 부분은 편의상 일직선형으로 나타내었다. 도 11의 (b)의 Cr-Mo층 g1은 알기 쉽게 하기 위해서 빗금 표시를 하였다.
게이트 단자 GTM은, Cr-Mo층 g1과, 그 표면을 보호하고 TCP (Tape Carrier Package)와의 접속 신뢰성을 향상시키기 위한 투명 도전층 ITO1으로 구성되어 있다.
이 투명 도전층 ITO1은 투명 도전막 ITO를 이용하고 있다. 도 11의 (b)에 도시한 바와 같이, 절연막 GI 및 보호막 PSV는 동일한 도면의 우측에 형성되어 있고, 좌단에 위치하는 단자부 GTM은 절연막 GI 및 보호막 PSV에서 노출하여 외부 회로와의 전기적 접촉을 할 수 있게 되어 있다.
도 11에는 게이트선 GL과 게이트 단자 GTM의 하나의 쌍만이 나타나고 있지만, 실제는 이러한 쌍이 상하로 복수 라인 배열되어 단자군이 구성되고, 게이트 단자 GTM의 좌단은, 제조 과정에서는 기판의 절단 영역을 넘어서 연장되어, 단락 배선 SHg(도시하지 않음)에 의해서 단락된다. 이 단락 배선에 의한 단락으로 제조 과정에서의 배향막 ORI1의 러빙 시간 등의 정전 파괴 방지에 도움이 된다.
도 12는 드레인선 DL로부터 그 외부 접속 단자 DTM까지의 접속 구조의 설명도이다. 도 12의 (a)는 그 평면을 나타내고, 도 12의 (b)는 도 12의 (a)의 B - B 절단선에 있어서의 단면을 나타낸다. 또, 도 12는 도 9의 기판 SUB1의 상단에 나타난 단자군 Td에 포함되는 한 단자에 대응한다.
외부 접속 단자 DTM은 도 16에 나타내는 것과 같이 액정 표시 패널 PNL의 수평 방향으로 배열되어 단자군 Td를 구성하고, 도 9에 있어서는 기판 SUB1의 절단선을 넘어서 더욱 연장되어 있다. 이 외부 접속 단자 DTM은 제조 과정에서는 기판의 절단 영역을 넘어서 연장되고, 제조 과정 중에서의 정전 파괴 방지를 위해 그 모든 상호 단락 배선(도시하지 않음)에 의해서 단락되어 있다.
외부 접속 단자 DTM은 투명 도전층 ITO1으로 형성되어 있고, 보호막 PSV1을 제거한 부분에서 드레인선 DL과 접속되어 있다. 이 투명 도전막 ITO1은 게이트측의 외부 접속 단자 GTM과 마찬가지의 투명 도전막 ITO를 이용하고 있다. 표시 영 역(매트릭스부)으로부터 외부 접속 단자 DTM까지의 인출 배선은, 드레인선 DL과 동일 레벨의 층 d1가 구성되어 있다.
도 13은 공통선 CL로부터 그 외부 접속 단자 CTM까지의 접속 구조의 설명도이다. 도 13의 (a)는 그 평면을 나타내고, 도 13의 (b)는 도 13의 (a)의 B - B 절단선에 있어서의 단면을 나타낸다. 또, 도 13의 (a)는 도 9의 좌측 상단에 나타나는 외부 접속 단자 CTM 부근에 대응한다.
각 공통선 CL은 공통 버스 라인 CB에서 일괄하여 외부 접속 단자 CTM에 인출되고 있다. 공통 버스 라인 CB는 도전층 g1의 상에 도전층 g3(도시하지 않음)을 적층하여, 투명 도전층 ITO1으로 이들을 전기적으로 접속한 구조로 되어 있다.
이것은, 공통 버스 라인 CB의 저항을 저감하여, 공통 전압이 외부 회로에서 각 공통선 CL에 충분히 공급되도록 하기 위한 것이다. 본 구조에서는, 특히 새롭게 도전층을 부가하지 않고, 공통 버스 라인의 저항을 감소시키는 것이 특징이

다.
외부 접속 단자 CTM은, 도전층 g1 상에 투명 도전층 ITO1이 적층된 구조로 되어 있다. 이 투명 도전막 ITO1은 다른 외부 접속 단자와 마찬가지로 투명 도전막 ITO를 이용하고 있다.
투명 도전층 ITO1에 의해, 그 표면을 보호하여, 전기 부식 등을 막기 위해서 내구성이 좋은 투명 도전층 ITO1으로 도전층 g1을 덮고 있다.
또한, 투명 도전층 ITO1과 도전층 g1 및 도전층 d1와의 접속은, 보호막 PSV 및 절연막 GI를 경유하는 관통홀을 형성하여 도통을 취하고 있다.
도 14는 표시 영역(매트릭스부)의 등가 회로와 그 주변 회로의 연결도의 설 명도이다. 도 14는 회로도이기는 하지만, 실제의 기하학적 배치에 대응하여 그려지고 있다.
표시 영역을 구성한 매트릭스부는 복수의 화소를 이차원형으로 배열한 매트릭스 어레이로 형성되어 있다. 도 14 중, X는 드레인선 DL을 의미하고, 첨자 G, B 및 R이 각각 녹, 청 및 적색 화소에 대응하여 부여되어 있다. Y는 게이트선 GL을 의미하고, 첨자 1, 2, 3, …는 주사 타이밍의 순서에 따라 부여되어 있다.
게이트선 Y(첨자 생략)는 게이트 드라이버(수직 주사 회로) V에 접속되어 있고, 드레인선 X(첨자 생략)는 드레인 드라이버(영상 신호 구동 회로) H에 접속되어 있다. SUP는 하나의 전압원에서 복수의 분압한 안정화된 전압원을 얻기 위한 전원 회로나 호스트(상위 연산 처리 장치)로부터의 CRT(음극선관)용의 표시 정보를 TFT 액정 표시 장치용의 표시 정보로 변환하는 회로를 포함하는 회로이다.
도 15는 도 14에 나타낸 액정 표시 장치의 구동 파형도이다. 게이트 신호 VG는 1 주사 기간마다 온 레벨을 취하고, 기타는 오프 레벨을 취한다. 드레인 신호 전압 VD는, 액정층에 인가하고 싶은 전압의 2배의 진폭으로 정극과 부극을 1 프레임마다 반전하여 하나의 화소에 전하도록 인가한다.
여기서, 드레인 신호 전압 VD는 화소 매트릭스의 1 열마다 극성을 반전하고, 2 행마다도 극성을 반전한다. 이에 따라, 극성이 반전한 화소가 상하 좌우에 인접하는 구성(도트 반전 구동)에 의해, 플리커 및 크로스토크(스미어)를 발생하기 어렵게 할 수 있다.
또한, 공통 전압 VC는 드레인 신호 전압 VD의 극성 반전의 센터 전압으로부터 일정량 내린 전압으로 설정한다. 이것은, 박막 트랜지스터 TFT가 온으로부터 오프에 변할 때에 발생하는 관통 전압을 보정하는 것으로, 액정에 직류 성분이 적은 교류 전압 VLC을 인가하기 위해서 행한다 (액정은 직류가 인가되면, 잔상이나 열화 등이 심해지기 때문임).
도 16은 도 9에 나타낸 표시 패널 PNL에 드레인 드라이버(영상 신호 구동 회로) H와 게이트 드라이버(수직 주사 회로) V를 접속한 상태를 나타내는 평면도이다.
CHI는 표시 패널 PNL을 구동시키는 구동 IC 칩(도 16의 하측의 5개는 수직 주사 회로측의 구동 IC칩, 좌측의 10개씩은 드레인 신호 구동 회로측의 구동 IC칩)이다.
TCP는 구동용 IC칩 CHI가 테이프 오토메이티드 본딩법(TAB)에 의해 실장된 테이프 캐리어 패키지, PCBI는 상기 TCP나 컨덴서 등이 실장된 구동 회로 기판으로, 드레인 신호 구동 회로용과 게이트 신호 구동 회로용의 2개로 분할되고 있다.
FGP는 프레임 접지 패드로서, 실드 케이스 SHD에 잘라서 끼워 설치된 스프링형의 파편이 납땜된다. FC는 하측의 구동 회로 기판 PCBI와 좌측의 구동 회로 기판 PCBI를 전기적으로 접속하는 플랫 케이블이다.
플랫 케이블 FC로서는 도 16에 도시한 바와 같이, 복수의 리드선(인-청동의 소재에 Sn 도금을 실시한 것)을 스트라이프형의 폴리에틸렌층과 폴리비닐 알콜층으로 협지하여 지지한 것을 사용한다.
상기 실시예의 구성에 의해, 광 전도 전류의 발생을 억제하여, 드레인 전극이나 소스 전극의 크랙 또는 단선을 방지할 수 있다.
본 발명에 따른 몇개의 실시예를 나타내어, 이들에 대하여 진술하였지만, 본 발명은 이들에 한정되지 않고 당업자가 알기 쉬운 범위에서 이들로 이루어지는 여러가지의 변형 및 개선도 허용하는 것으로 이해되므로, 본원 명세서에 첨부된 청구항의 범위는 여기에 나타나고 기재되는 상세한 설명에 구속되지 않고, 변형 및 개선도 전부 포함하는 것을 의도하는 것이다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따르면, 광 전도 전류가 발생이나 박막 트랜지스터의 누설 전류의 발생이나 신호 유지 전압의 저하를 억제하여, 드레인 전극이나 소스 전극의 크랙이나 단선을 방지하여 고품질로 높은 제품 수율을 실현한 신뢰성이 높은 액정 표시 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

액정 표시 장치에 있어서,
적어도 한쪽이 투명하고 그 사이에 액정층이 협지되는 한쌍의 기판;
상기 한쌍의 기판의 한쪽의 내측에 형성한 복수의 게이트선 및 복수의 드레인선;
상기 복수의 게이트선 중 하나와 상기 복수의 드레인선 중 하나의 교차 부분에 설치된 박막 트랜지스터;
상기 박막 트랜지스터에 접속된 화소 전극; 및
상기 화소 전극에 대향하여 배치된 대향 전극
을 포함하고,

상기 게이트선은, 인접하는 상기 드레인선 사이에서 거의 평행하며,
상기 박막 트랜지스터의 소스 전극의 아래에 위치하는 반도체층은, 그 단부가 상기 반도체층의 아래에 위치하는 게이트선의 에지 이내에 배치하고 있고,
상기 반도체층은, 제1 부분 및 제2 부분으로 구성되며, 상기 제1 부분의 드레인선이 신장하는 방향의 폭은, 상기 제2 부분의 드레인선이 신장하는 방향의 폭보다 좁고,
상기 소스 전극의 아래에는 상기 반도체층의 제2 부분이 배치되어 있고, 상기 반도체층의 제2 부분의 게이트선이 신장하는 방향의 폭은, 상기 소스 전극의 폭보다 넓은 액정 표시 장치.

청구항 2.

삭제

청구항 3.

제1항에 있어서, 상기 박막 트랜지스터의 상기 반도체층은 상기 게이트선과 드레인선의 교차 부분에 설치된 반도체층과 분리되어 있는 액정 표시 장치.

청구항 4.

제3항에 있어서, 상기 박막 트랜지스터는 상기 반도체층의 아래에 위치하는 상기 게이트선으로부터 떨어진 부분에서 상기 복수의 드레인선 중 하나로부터 분기하고 상기 반도체층의 상기 복수의 드레인선의 한쪽의 코너를 덮고 상기 반도체층 상으로 연장된 드레인 전극을 포함하고,
상기 반도체층은 그 단부를 상기 드레인 전극이 그 연장 방향에 대하여 2개의 다른 방향으로 타고 넘는 2 방향으로 타고 넘는 부분을 갖는 액정 표시 장치.

청구항 5.

제3항에 있어서, 상기 박막 트랜지스터의 상기 반도체층은, 상기 단부를 상기 드레인 전극측 및 상기 소스 전극이 각각의 연장 방향에 대하여 3개의 다른 방향으로 타고 넘는 3 방향으로 타고 넘는 부분을 갖는 액정 표시 장치.

청구항 6.

액정 표시 장치에 있어서,
적어도 한쪽이 투명하고 그 사이에 액정층이 협지되는 한쌍의 기판; 및
상기 한쌍의 기판의 한쪽의 내면에 배치된 게이트선 및 그 게이트선에 교차되도록 배치된 드레인선
을 포함하고,
상기 게이트선 및 드레인선에 의해 둘러싸인 영역에 대응하여 화소가 구성되어 있으며,
그 각각의 화소에는, 상기 게이트선에 접속된 게이트 전극과, 상기 게이트 전극 상부에 형성된 절연층과, 상기 절연층 상에 형성된 반도체층과, 상기 반도체층 상에 서로 이격되어 형성된 소스 전극 및 드레인 전극과, 상기 소스 전극 및 드레인 전극 중 한쪽에 접속된 화소 전극을 포함하고,
상기 게이트선은, 인접하는 상기 드레인선 사이에서 거의 평행하며,
상기 화소 영역의 각각에 있어서, 상기 반도체층은 상기 게이트 전극의 윤곽 내에 형성되어 있고,
상기 반도체층은, 제1 부분 및 제2 부분으로 구성되며, 상기 제1 부분의 드레인선이 신장하는 방향의 폭은, 상기 제2 부분의 드레인선이 신장하는 방향의 폭보다 좁고,
상기 소스 전극의 아래에는 상기 반도체층의 제2 부분이 배치되어 있고, 상기 반도체층의 제2 부분의 게이트선이 신장하는 방향의 폭은, 상기 소스 전극의 폭보다 넓은 액정 표시 장치.

청구항 7.

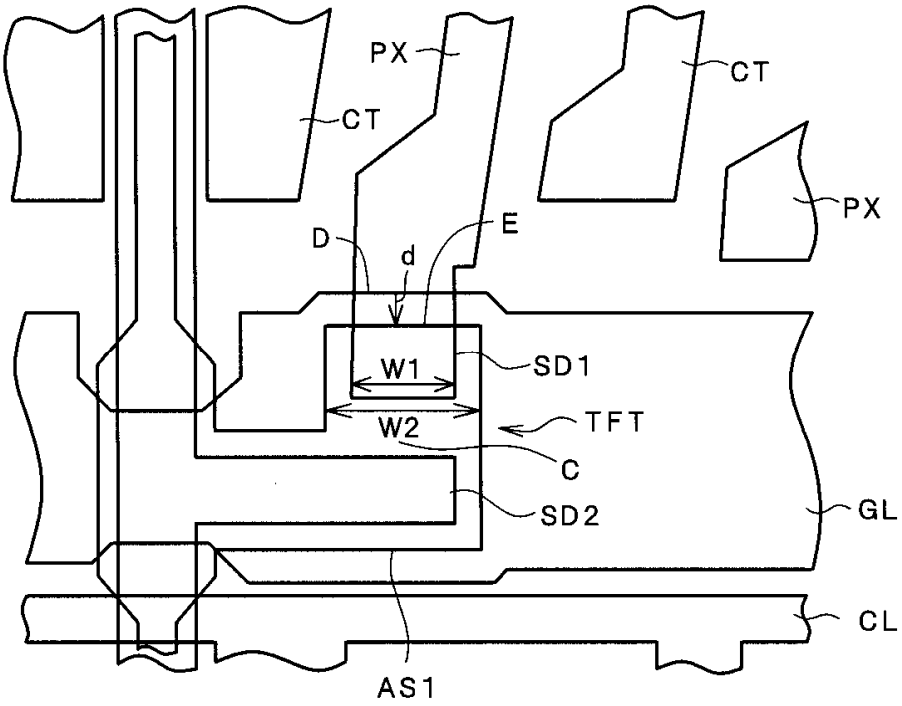
제6항에 있어서, 상기 드레인선 각각은 상기 화소 영역의 각각의 반도체층에서 이격되어 형성된 다른 반도체층 상에 형성되어 있는 액정 표시 장치.

청구항 8.

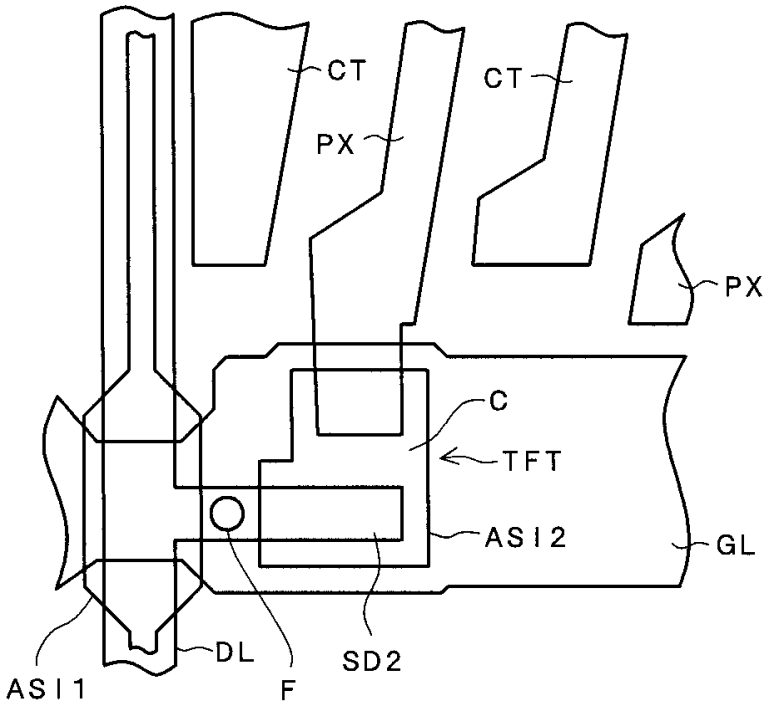
제6항에 있어서, 상기 액정 표시 장치는 상기 한쌍의 기판의 다른 쪽의 내면에 형성된 대향 전극을 더 구비하고, 상기 화소 전극의 각각은 상기 액정층을 사이에 두고 상기 대향 전극과 대향하고 있는 액정 표시 장치.

도면

도면1

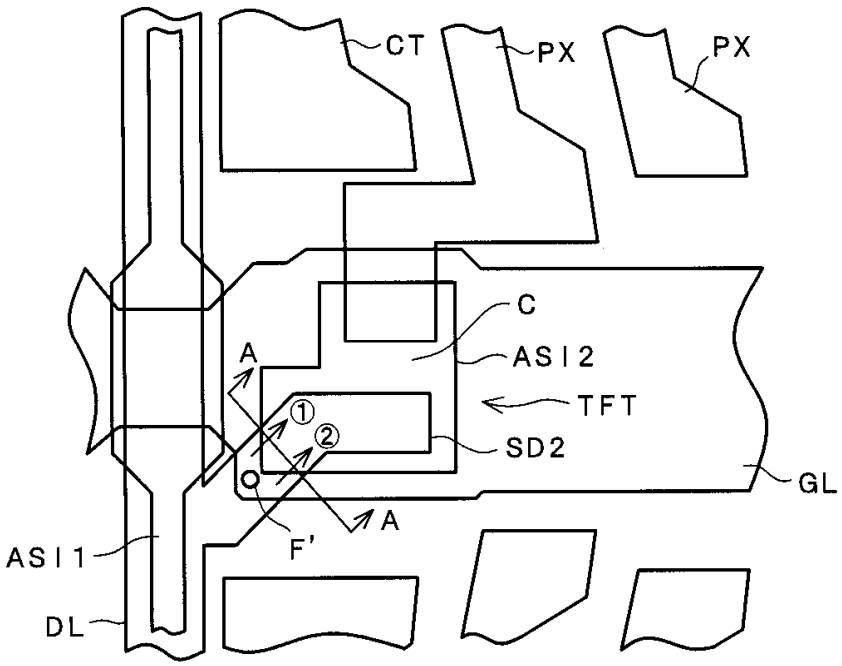

PX
CT
CT
PX
D
d
E
W1
SD1
W2
TFT
C
SD2
GL
CL
AS1

도면2

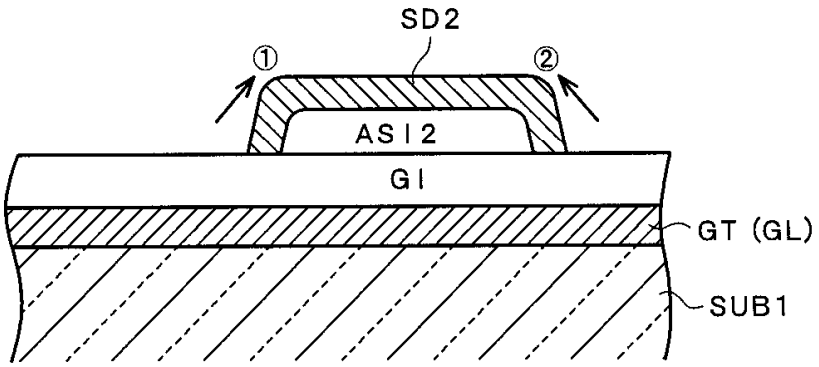

CT
CT
PX
PX
C
TFT
AS12
GL
DL
SD2
AS11
F

도면3

(a)

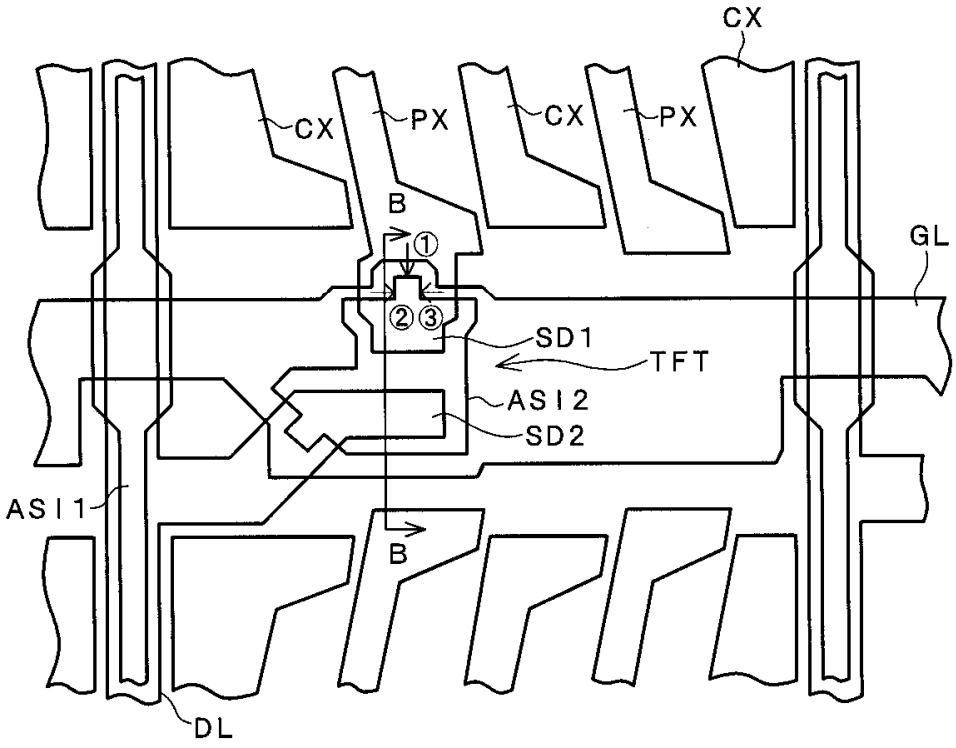


(b)

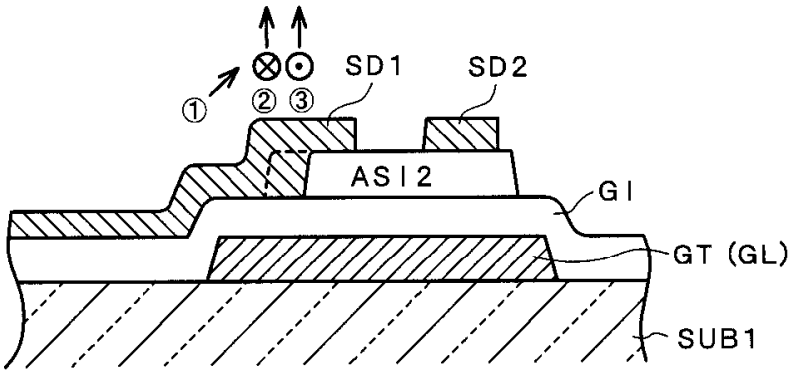


도면4

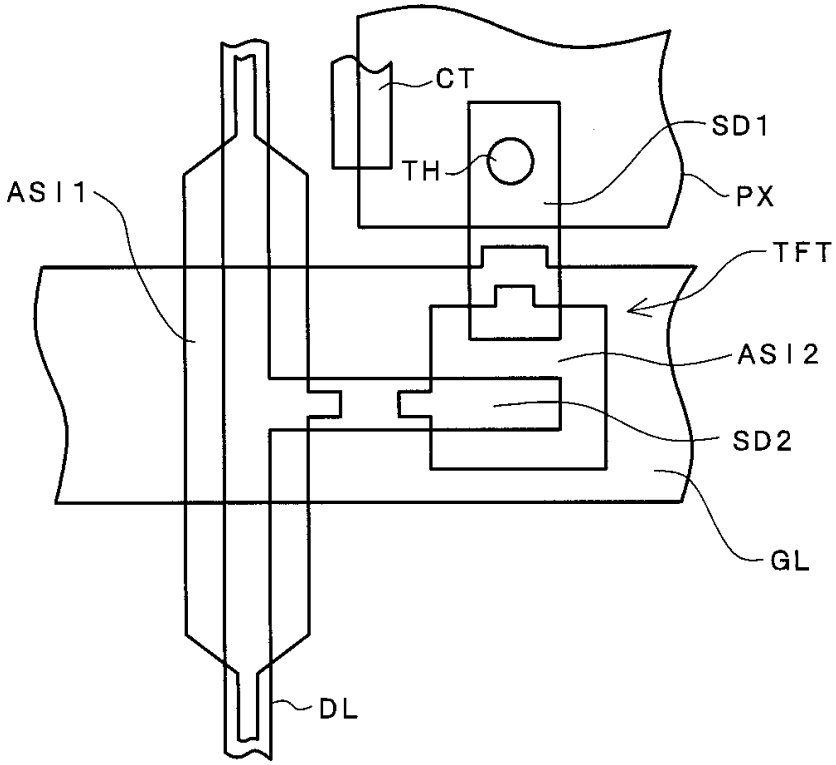
(a)


CX
CX
PX
CX
PX
B
①
②③
GL
SD1
TFT
ASI2
SD2
ASI1
B
DL

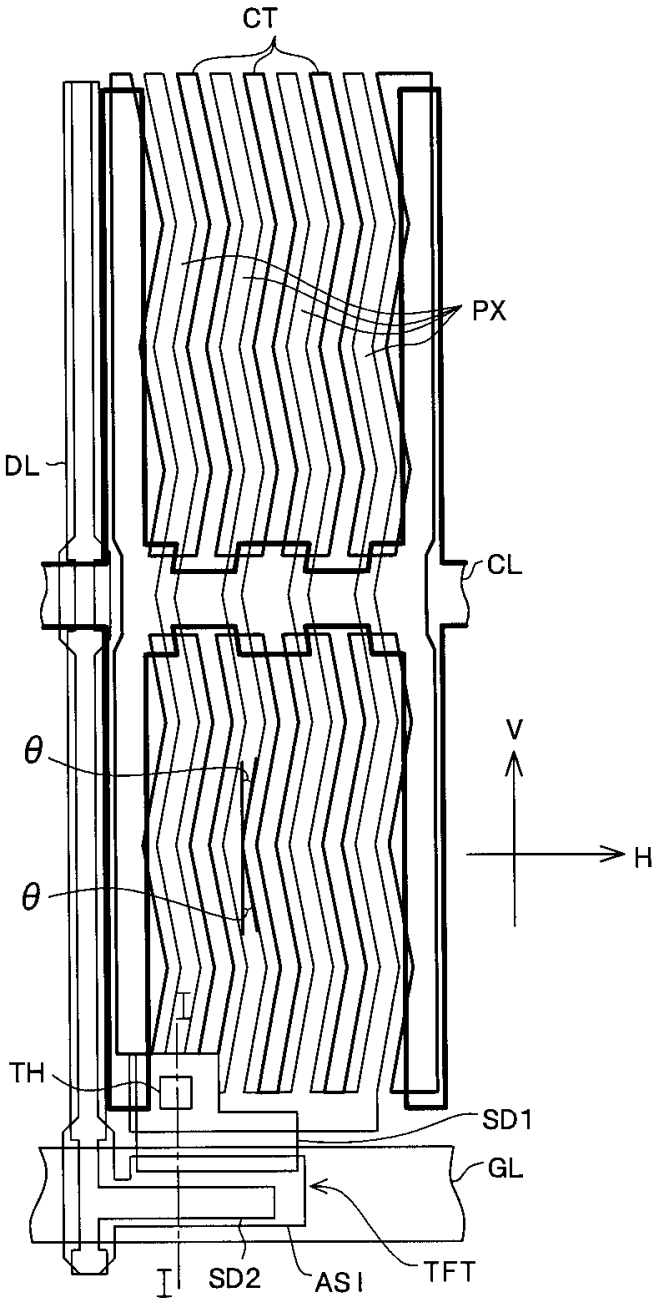
(b)


①
②③
SD1
SD2
ASI2
GI
GT (GL)
SUB1

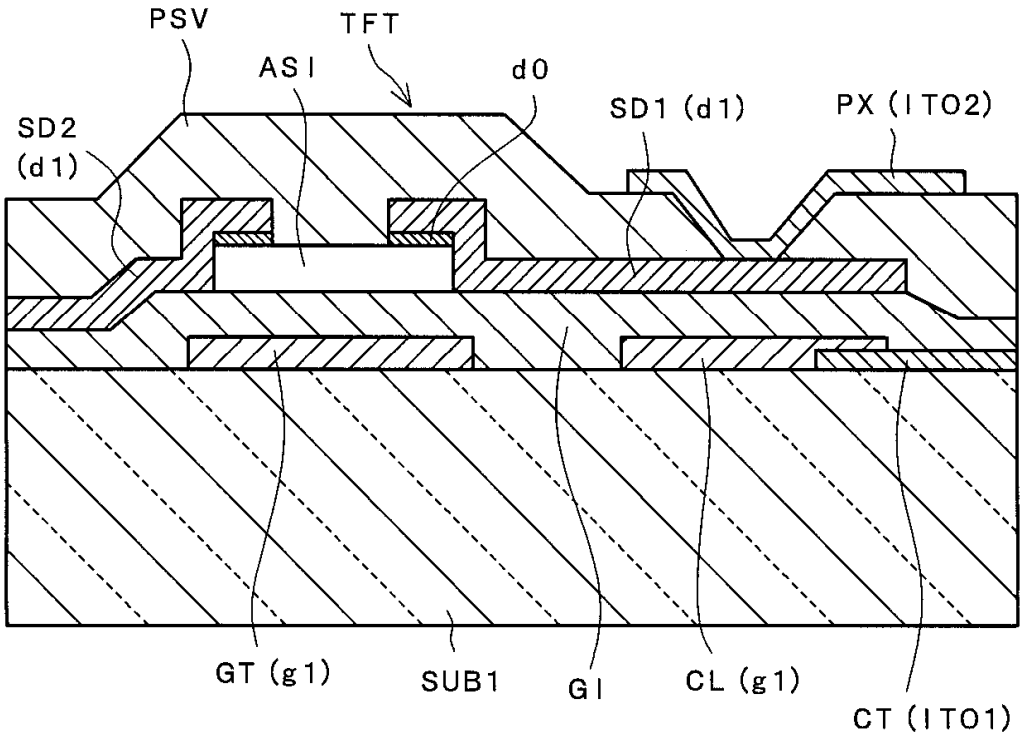
도면5



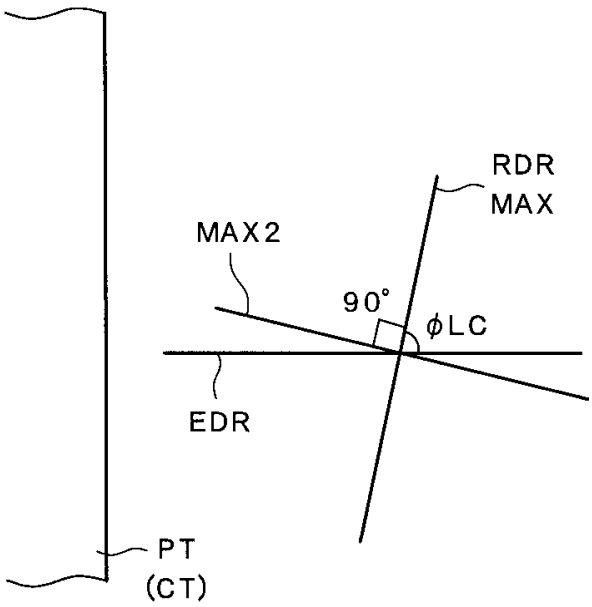
도면6



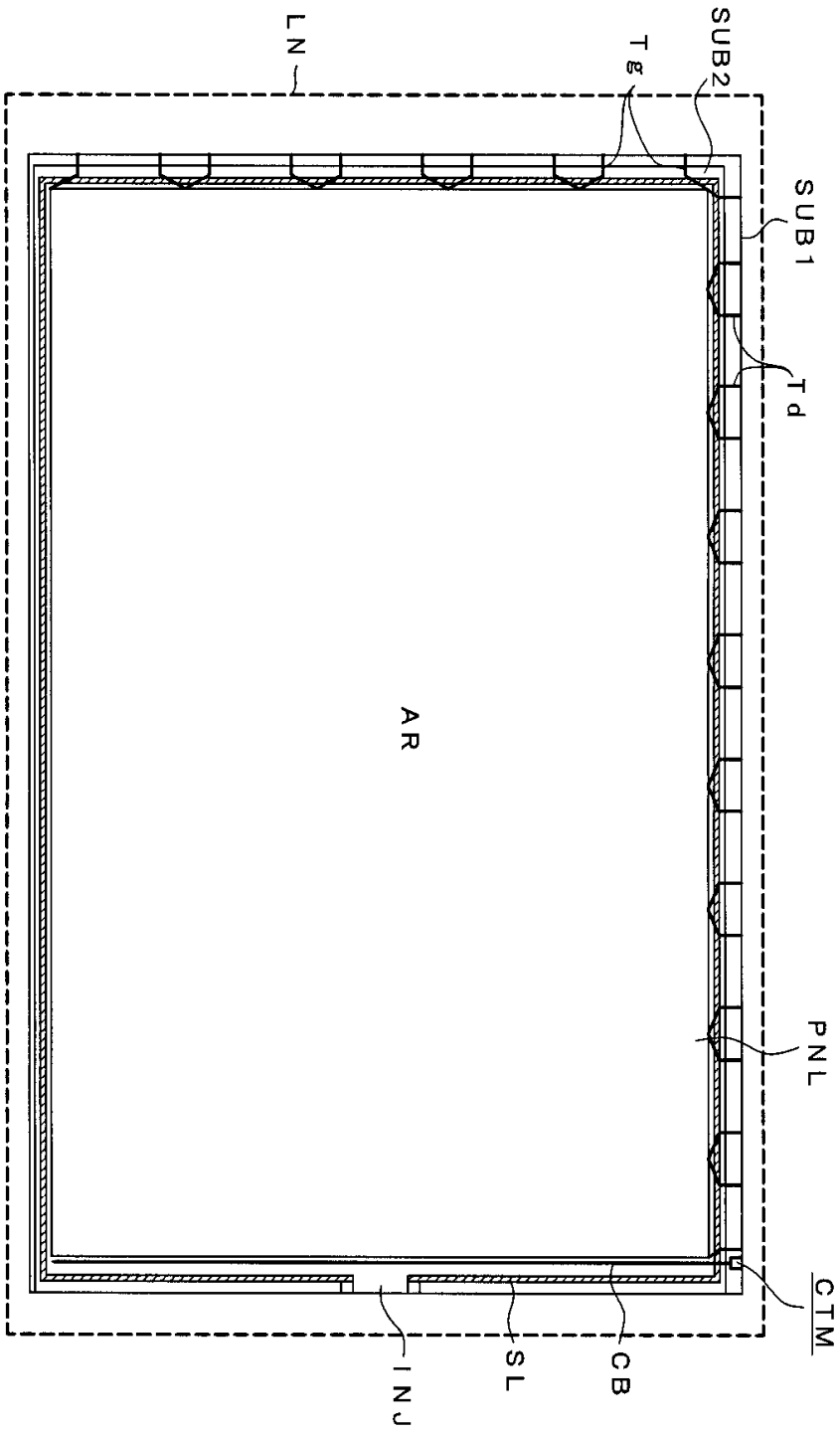
도면7


PSV
TFT
ASI
d0
SD2
(d1)
SD1 (d1)
PX (ITO2)
GT (g1)
SUB1
GI
CL (g1)
CT (ITO1)

도면8

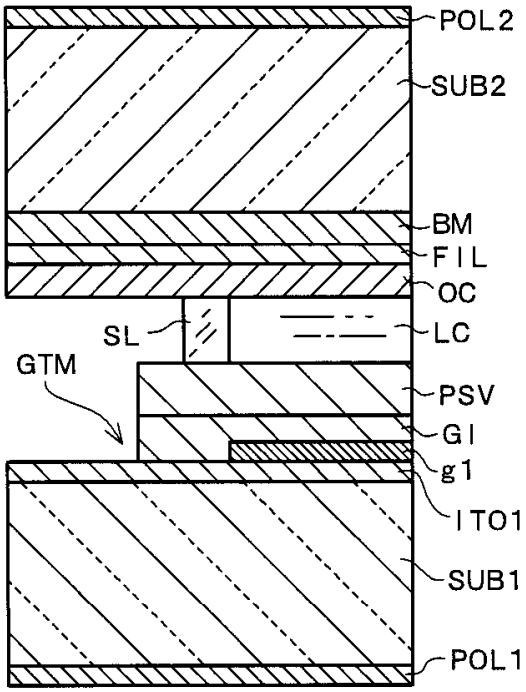

RDR
MAX
MAX2
90°
ϕLC
EDR
PT
(CT)

도면9

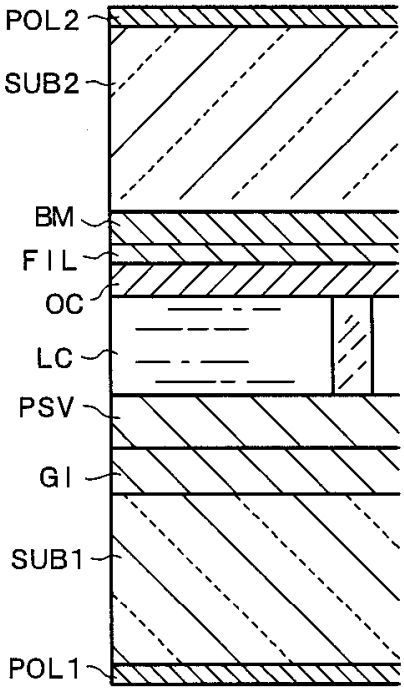


도면10

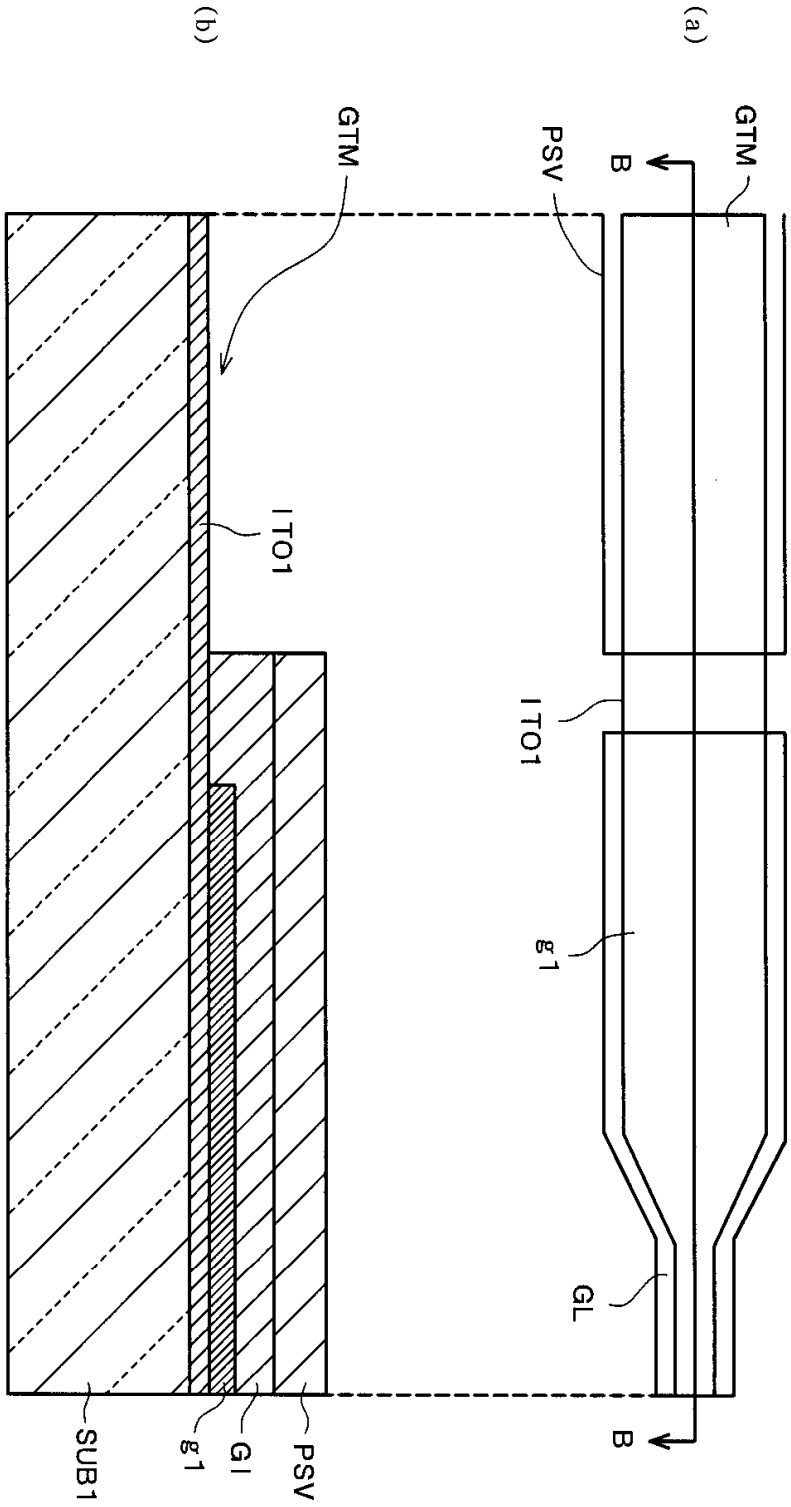
(a)


POL2
SUB2
BM
FIL
OC
SL
LC
GTM
PSV
GI
g1
ITO1
SUB1
POL1

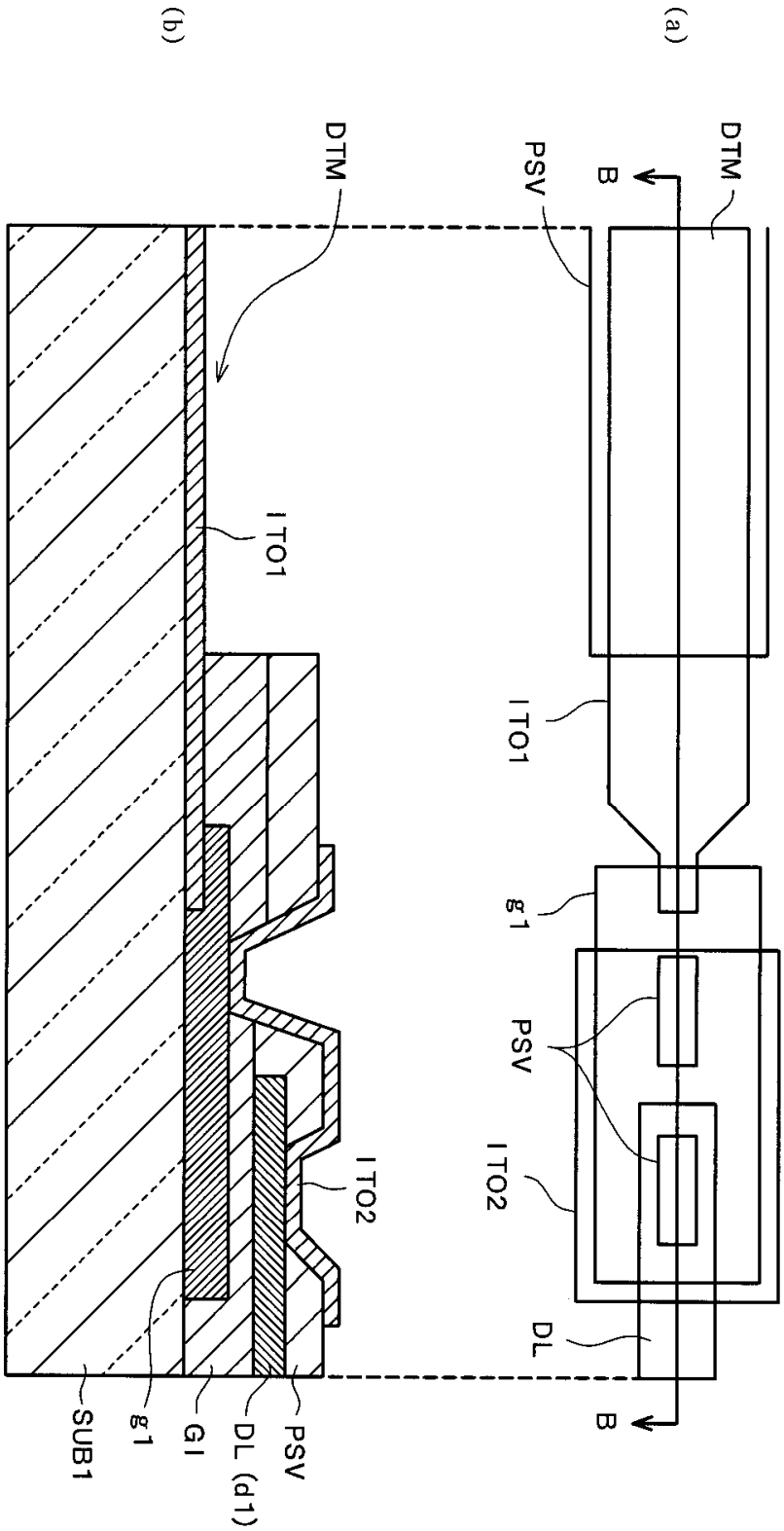
(b)


POL2
SUB2
BM
FIL
OC
LC
PSV
GI
SUB1
POL1

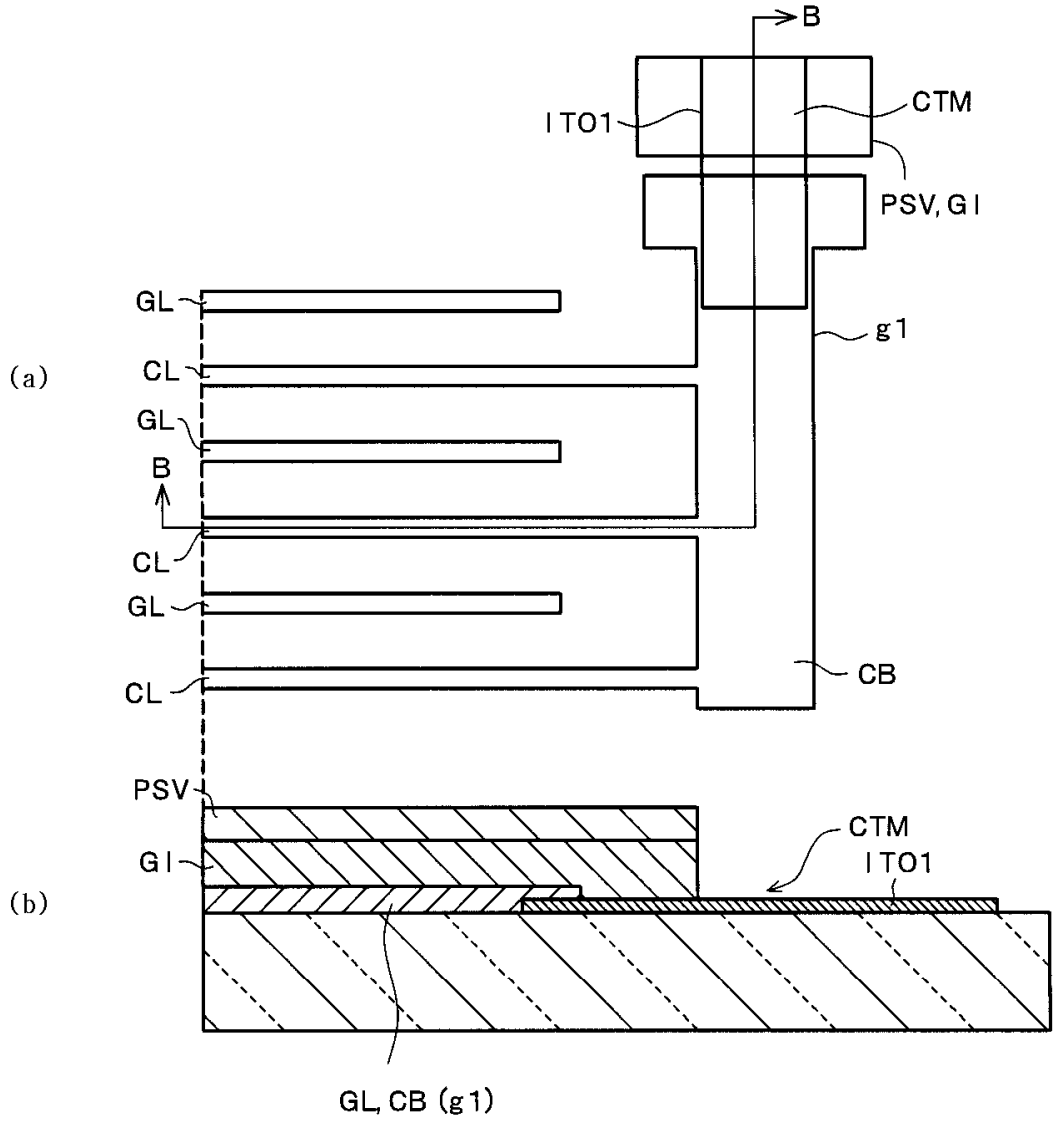
도면11



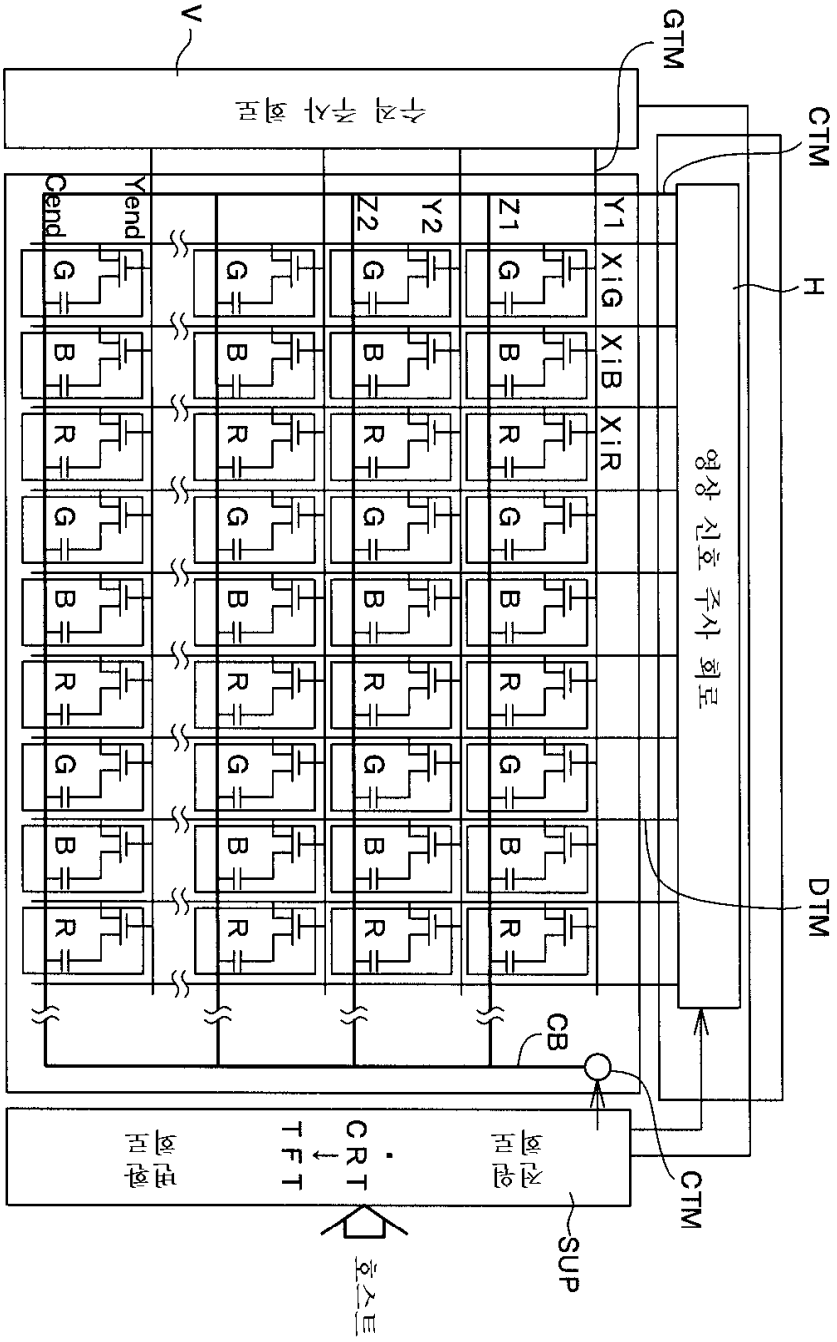
도면12


(a)
(b)
DTM
PSV
B
ITO1
g1
PSV
ITO2
DL
B
DTM
ITO1
ITO2
SUB1
g1
GI
DL (d1)
PSV

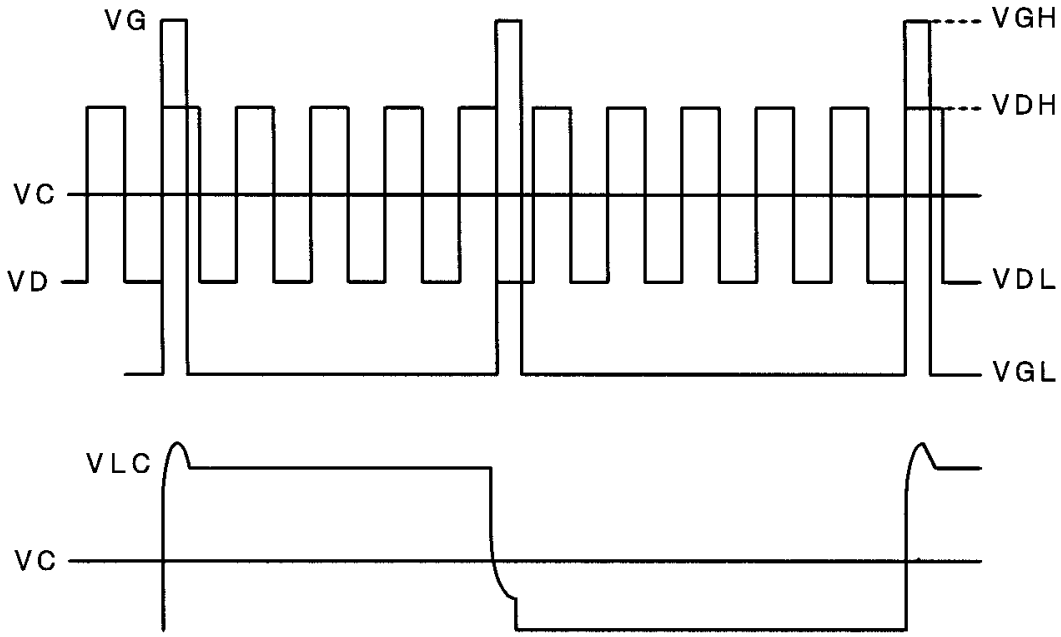
도면13


(a)
B
ITO1
CTM
PSV, GI
GL
g1
CL
GL
B
CL
GL
CB
CL
(b)
PSV
GI
CTM
ITO1
GL, CB (g1)

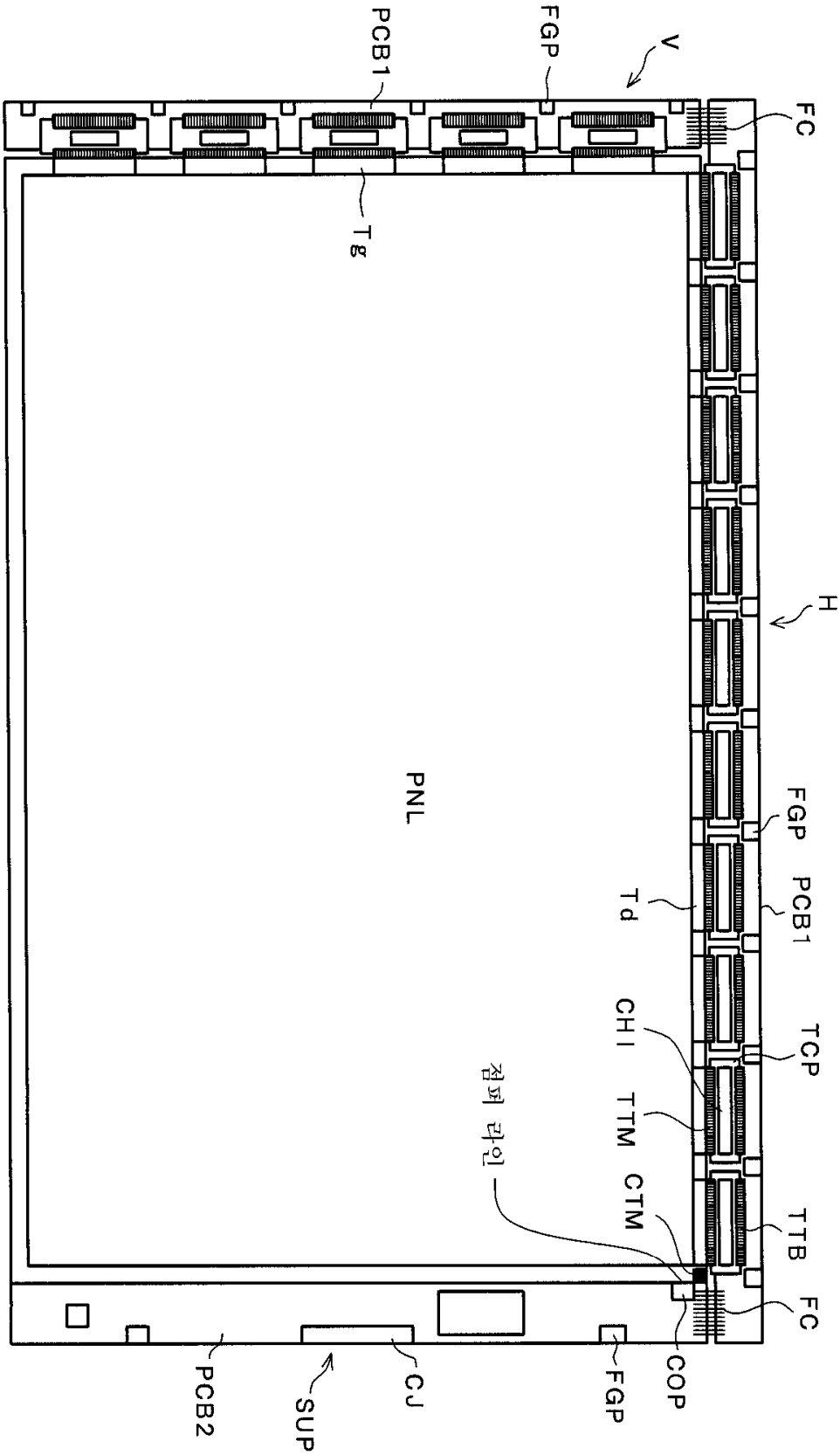
도면14


V
GTM
CTM
H
DTM
CB
CTM
SUP
수직 주사 회로
영상 신호 주사 회로
전원 회로
변환 회로
CRT ↔ TFT
호스트
Y1
XiG
XiB
XiR
Z1
Y2
Z2
Yend
Cend
G
B
R

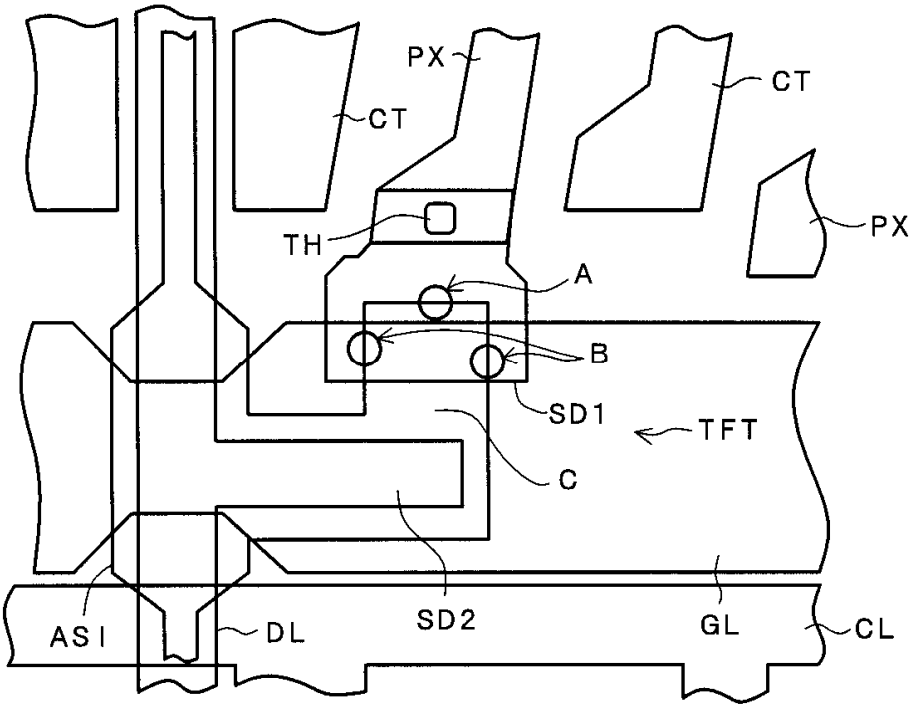
도면15



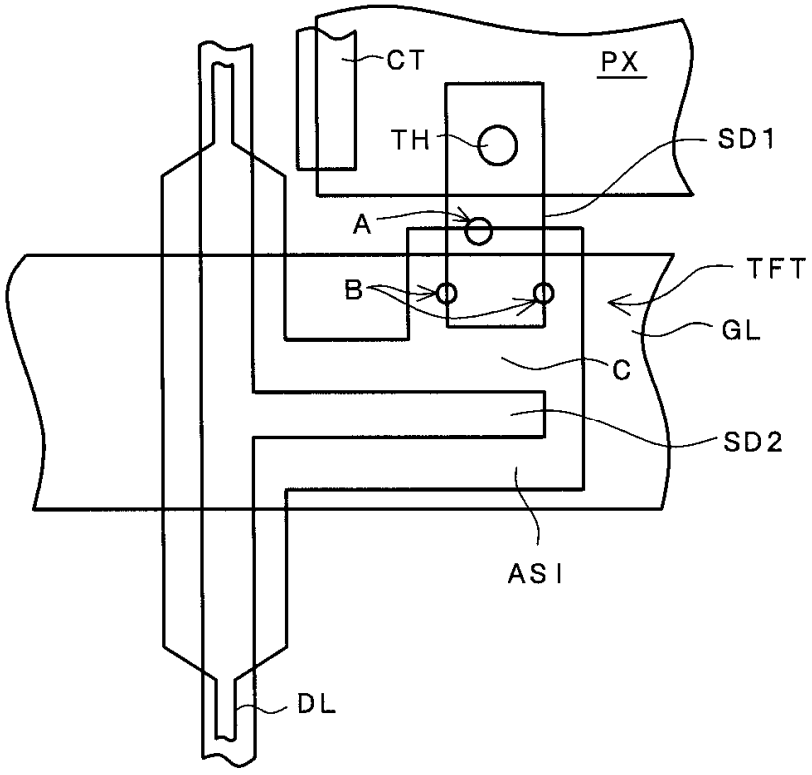
도면16


PCB1
FGP
V
FC
Tg
H
PNL
FGP
PCB1
Td
CH I
TCP
TTM
CTM
점퍼 라인
TTB
FC
COP
FGP
CJ
SUP
PCB2

도면17


PX
CT
CT
PX
TH
A
B
SD1
TFT
C
ASI
DL
SD2
GL
CL

도면18


CT
PX
TH
SD1
A
TFT
B
GL
C
SD2
ASI
DL

专利名称(译)	液晶显示器		
公开(公告)号	KR100461484B1	公开(公告)日	2004-12-14
申请号	KR1020010030946	申请日	2001-06-02
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	ASHIZAWAKE ICHIRO 아시자와께이찌로 KURIYAMA HIDEKI 구리야마히데끼 TANAKA TAKESHI 다나까다께시 HASHIMOTO YUICHI 하시모또유이찌 NAKATANI MITSUO 나까따니미쯔오		
发明人	아시자와께이찌로 구리야마히데끼 다나까다께시 하시모또유이찌 나까따니미쯔오		
IPC分类号	G02F1/1343 G09F9/30 H01L21/336 H01L29/786 G02F1/136 G02F1/1368		
CPC分类号	G02F1/134363 G02F1/1368		
代理人(译)	CHANG, SOO KIL		
优先权	2000165449 2000-06-02 JP		
其他公开文献	KR1020010110181A		
外部链接	Espacenet		

摘要(译)

在其像素区域中具有薄膜晶体管的液晶显示装置中，本发明在栅极线（或薄的栅极）的轮廓内将位于薄膜晶体管中的源电极下方的半导体层布置在 膜晶体管）以抑制半导体层中的光导电流，或防止源电极在源电极越过半导体层的位置处破裂。