

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷
G02F 1/1343

(45) 공고일자 2003년01월24일
(11) 등록번호 10 - 0368777
(24) 등록일자 2003년01월08일

(21) 출원번호 10 - 2001 - 0024426
(22) 출원일자 2001년05월04일

(65) 공개번호 특2001 - 0104221
(43) 공개일자 2001년11월24일

(30) 우선권주장 2000 - 143410 2000년05월11일 일본(JP)

(73) 특허권자 알프스 덴키 가부시키키가이사
일본국 도쿄도 오타구 유키가야 오츠카초 1반 7고

(72) 발명자 기구찌고지
일본미야기켄센다이시이즈미쑤이즈미쑤오1 - 25 - 8

(74) 대리인 특허법인코리아나

심사관 : 박제현

(54) 액티브 매트릭스형 액정표시장치

요약

본 발명은 액티브 매트릭스형 액정표시장치에 있어서, 게이트 배선의 신호지연에 의해, 게이트 배선의 신호원에 가까운 부분과 먼 부분에서 화소에 인가되는 전압이 다른 경우에도 플리커나 잔상이 나타나지 않도록 하는 것에 관한 것이다.

TFT 어레이 기판 (4) 의 액정층 측표면에는 복수의 게이트 배선 (1) 과 복수의 데이터 배선 (21 내지 30) 이 매트릭스 형상으로 교차하여 형성되고, 게이트 배선 (1) 과 데이터 배선 (21 내지 30) 이 형성하는 교차부 근방에, 게이트 배선 (1) 에 접속된 게이트 전극과 데이터 배선 (21 내지 30) 에 접속된 소스 전극을 가지는 박막 트랜지스터 (3) 와, 박막 트랜지스터 (3) 의 드레인 전극에 접속된 화소 전극 (7) 이 각각 형성되어 있다. 대향 전극 기판 (6) 의 액정층 측 표면에는, TFT 어레이 기판 (4) 의 게이트 배선 (1) 과 직교하는 방향으로 분할된 복수의 대향 전극 (11 내지 15) 이 형성되어 있으며, 대향 전극 (11 내지 15) 의 각각이 화소 전극 (7) 의 적어도 1 열과 대향 배치되어 있다.

대표도

도 1

색인어

대향 전극, 박막 트랜지스터, 화소 전극

명세서

도면의 간단한 설명

도 1 은 본 발명의 액티브 매트릭스형 액정표시장치의 제 1 실시형태의 주요부분의 전개도.

도 2 는 도 1 에 나타난 액티브 매트릭스형 액정표시장치의 다른 주요부분의 전개도.

도 3 은 도 1 에 나타난 액티브 매트릭스형 액정표시장치의 동작 설명도.

도 4 는 본 발명의 액티브 매트릭스형 액정표시장치의 제 2 실시형태의 주요부분의 전개도.

도 5 는 종래의 액정표시장치를 나타내는 주요부분의 전개도.

도 6 은 도 5 에 나타난 액정표시장치의 다른 주요부분의 전개도.

도 7 은 도 5 에 나타난 액정표시장치의 동작 설명도.

도 8 은 도 5 에 나타난 액정표시장치의 다른 동작 설명도.

※ 도면의 주요부분에 대한 부호의 설명 ※

1 : 게이트 배선

21, 22, 23, 24, 25, 26, 27, 28, 29, 30 : 데이터 배선

3 박막 트랜지스터 4 TFT 어레이 기판

11, 12, 13, 14, 15 : 대향 전극 6 대향 전극 기판

7 : 화소 전극

11a, 12a, 13a, 14a, 15a : 접속단자

16, 17, 18, 19, 20, 49 : 전원 50 : 전압강하부

R1, R2, R3, R4, R5 : 저항기 50a, 50b, 50c, 50d, 50e : 출력단자

V1, V2, V3, V4, V5 : 대향 전극 전압

A1, A2, A3, A4, A5 : 액정 인가 전압

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액티브 매트릭스형 액정표시장치에 관한 것이다. 보다 상세하게는, 액정층을 사이에 두고 화소 전극과 대향하는 대향 전극의 구성에 관한 것이다.

종래의 액정표시장치는, 도 5에 나타난 박막 트랜지스터 및 화소 전극 등을 가지는 TFT 어레이 기판 (54) 과, 도 6에 나타난 화소 전극과 대향하는 대향 전극을 가지는 대향 전극 기판 (56) 이 액정층 (도시 생략) 을 사이에 두고 대향 배치하여 구성되어 있다.

TFT 어레이 기판 (54) 은, 복수의 게이트 배선 (51), 복수의 데이터 배선 (52), 게이트 배선 (51) 과 데이터 배선 (52) 의 교차부 근방에 형성된 복수의 박막 트랜지스터 (53), 및 복수의 박막 트랜지스터 (53) 에 각각 접속된 화소 전극 (57) 을 갖는다.

한편, TFT 어레이 기판 (54) 과 대향하는 대향 전극 기판 (56) 에는, 모든 화소 전극 (57) 에 대하여 공통인 1 개의 대향 전극 (55) 이 설치되어 있을 뿐이다.

TFT 어레이 기판 (54) 상에 형성된 화소 전극 (57) 에는, 박막 트랜지스터 (53) 를 통하여 데이터 배선 (52) 으로부터의 신호전압이 공급되고, 대향 전극 기판 (56) 에 형성된 대향 전극 (55) 에는, 복수의 접속단자 (58) 를 통하여 1 개의 전원 (59) 이 접속되어 있다. 도 5에서는, 2 개의 접속단자 (58) 를 나타내지만, 접속단자 (58) 의 수는 적어도 1 개이면 되고, 배치하는 위치도 임의이다. 이와 같이 하여 액정층 (도시 생략) 은, 화소 전극 (57) 의 전압과 공통전극 (55) 의 전압의 전압차에 의해 구동된다.

상술한 것과 같은 액정표시장치에서, 구동시에 플리커나 잔상에 의한 표시불량이 나타나지 않도록 하기 위해, 대향 전극 (55) 에 인가되는 전압은, 도 7에 나타내는 바와 같이, 액정층에 양극성과 음극성이 대칭으로 인가되도록 V_0 로 선택되어 있다.

발명이 이루고자 하는 기술적 과제

최근, 이와 같은 액정표시장치에서, 표시의 고정세화가 급속히 진행되고, 그에 따라 게이트 배선 (51) 과 데이터 배선 (52) 의 교차부와 게이트 배선 (51) 에 접속되는 박막 트랜지스터 (53) 의 수가 급격히 증대되고 있다. 그런데, 게이트 배선 (51) 은, 데이터 배선 (52) 과의 교차부의 용량 및 교차부 근처에 접속되는 박막 트랜지스터 (53) 의 게이트 전극부 등에 기생용량을 각각 형성하고 있다.

따라서, 표시의 고정세화가 진행되면, 게이트 배선 (51) 에서의 이들의 용량이 증대함으로써 게이트 배선 (51) 의 신호지연이 증대한다.

게이트 배선 (51) 에 신호지연이 발생하면 게이트 전극의 신호파형이 무뎌지고, 박막 트랜지스터 (53) 는, 오프상태로 전환되는 타이밍에서 전하 리크가 생긴다.

박막 트랜지스터 (53) 에서의 전하 리크는, 게이트 배선 (51) 에서의 신호지연이 게이트 배선 (51) 의 게이트 신호원에서 먼 부분일수록 커지기 때문에, 게이트 신호원에서 먼 것일수록 커진다.

따라서, 박막 트랜지스터 (53) 에서의 전하 리크에 의한 화소 (57) 에 인가되는 전압의 변동량도, 게이트 배선 (51) 의 게이트 신호원에서 먼 것일수록 커진다. 도 5의 게이트 배선 (51) 에서, 게이트 신호원에서 멀어지는 부분에 순서대로 부호 (51a, 51b, 51c, 51d, 51e) 를 부여한다.

화소 (57) 에 인가되는 전압의 변동량이 게이트 배선 (51) 의 게이트 신호원으로부터의 거리에 따라 달라지면, 액정층에 인가되는 전압은, 도 8 의 B1 ~ B5 에 나타내는 바와 같이, 게이트 배선 (51) 의 게이트 신호원에서 먼 것일수록 ($|B1a| - |B1b|$) 내지 ($|B5a| - |B5b|$) 가 증대하고, 양극성과 음극성의 대칭성이 소실된다.

양극성과 음극성의 대칭성이 소실됨으로써, 플리커나 잔상에 의한 표시불량이 나타난다는 문제가 있었다.

본 발명은, 게이트 배선에서의 신호지연에 의해, 게이트 배선의 신호원에 가까운 부분과 먼 부분에서 화소에 인가되는 전압이 다른 경우에도, 표시상 플리커나 잔상이 나타나지 않는, 액티브 매트릭스형 액정표시장치를 제공하는 것을 목적으로 하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 액티브 매트릭스형 액정표시장치는, 대향 배치된 한 쌍의 기판 사이에 액정층이 끼워진 액정표시장치로서, 상기 한쪽의 기판의 액정층 측표면에는 복수의 게이트 배선과 복수의 데이터 배선이 매트릭스 형상으로 교차하여 형성되고, 상기 게이트 배선과 상기 데이터 배선이 형성하는 교차부의 근방에, 상기 게이트 배선에 접속된 게이트 전극을 가지는 박막 트랜지스터와, 이 박막 트랜지스터에 접속된 화소 전극이 각각 형성되어 있고, 상기 다른 쪽의 기판의 액정층 측표면에는, 상기 한쪽의 기판의 상기 게이트 배선과 직교하는 방향으로 분할된 복수의 대향 전극이 형성되어 있고, 이 대향 전극의 각각이 상기 화소 전극의 적어도 1 열과 대향 배치되어 있는 것을 특징으로 하는 것이다.

이 구성에 의해, 복수의 대향 전극에 게이트 전극의 신호원으로부터의 거리에 따라 다른 전압을 인가할 수 있게 되어, 게이트 배선의 신호원에 가까운 부분과 먼 부분에서, 화소 전극에 인가되는 전압 변동이 다른 경우에도, 표시상 플리커나 잔상이 나타나지 않도록 할 수 있다.

복수의 대향 전극은, 서로 다른 전압을 발생하는 전원에 각각 접속되어 있는 것이, 대향 전극에 인가하는 전압을 각각 독립적으로 설정하는데 바람직하다.

복수의 대향 전극은, 1 개의 전원에 접속된 전압 조정부이며, 복수의 서로 다른 크기의 전압을 발생하는 전압 조정부의 출력단자에 각각 접속되어 있는 것이, 전원의 수를 삭감하는데 바람직하다.

(발명의 실시형태)

이하, 본 발명의 액티브 매트릭스형 액정표시장치의 실시 형태를 도면을 참조하여 설명한다. 도 1 및 도 2 는, 본 발명의 액티브 매트릭스형 액정표시장치의 제 1 실시형태의 요부를 나타내는 전개도이며, 도 1 및 도 2 에서 액정표시장치는, 복수의 게이트 배선 (1), 복수의 데이터 배선 (21, 22, 23, 24, 25, 26, 27, 28, 29, 30), 게이트 배선 (1) 과 데이터 배선 (21 내지 30) 의 교차부 근방에 형성된 복수의 박막 트랜지스터 (3) 및 박막 트랜지스터 (3) 에 각각 접속된 화소 전극 (7) 을 가지는 TFT 어레이 기판 (4) 과, 데이터 배선 (21, 22), 데이터 배선 (23, 24), 데이터 배선 (25, 26), 데이터 배선 (27, 28), 데이터 배선 (29, 30)이 형성하는 화소 전극 (7) 의 각 열과 대향하는 대향 전극 (11, 12, 13, 14, 15) 을 가지는 대향 전극 기판 (6) 을 서로 대향시켜서 액정층 (도시 생략) 을 끼워 구성되어 있다.

TFT 어레이 기판 (4) 상에 형성된 화소 전극 (7) 의 각각에는 박막 트랜지스터 (3) 를 통하여 대응하는 데이터 배선 (21 내지 30) 으로부터 신호전압이 공급된다. 대향 전극 기판 (6) 에 형성된 복수의 대향 전극 (11, 12, 13, 14, 15) 에는, 접속단자 (11a, 12a, 13a, 14a, 15a) 를 통하여 전원 (16, 17, 18, 19, 20) 에서 각각 다른 전원이 공급된다.

대향 전극 (11, 12, 13, 14, 15) 에 인가되는 이들 전압은, 도 3 에 나타내듯이, ($|A1a| = |A1b|$) 내지 ($|A5a| = |A5b|$) 와, 액정층에 양극성과 음극성의 전압이 대칭으로 인가되도록 V1, V2, V3, V4, V5 가 화소 전극 (7) 의 각 열에 대하여 게이트 배선 (1) 의 신호원으로부터의 거리에 따라 선택되고 있다.

이상과 같은 구성에 의해, 게이트 배선 (1) 에서의 신호지연에 의해, 게이트 배선 (1) 의 신호원에 가까운 부분과 먼 부분에서 화소 (7) 에 인가되는 전압이 다른 경우에도, 액정층에는 양극성과 음극성의 전압이 대칭으로 인가된다. 따라서, 구동시에 플리커나 잔상에 의한 표시불량이 나타나는 일이 없어진다.

제 1 실시형태에서, 도 1 및 도 2 에 나타난 대향 전극 (11, 12, 13, 14, 15) 은, 5 개로 분할되어 있지만, 대향 전극의 분할수는 이 수로 한정되는 것은 아니다. 분할의 수는 많으면 많을수록 액정층에 양극성과 음극성의 전압을 대칭으로 인가할 수 있다.

또한, 표시의 고정세화가 SVGA 클래스 이상이 되면, 이 효과가 현저해진다.

다음으로, 본 발명의 액정표시장치의 제 2 실시형태를 도 4 에서 설명한다. 이 실시형태의 액정표시장치의 제 1 실시형태와 다른 점은, 대향 전극 (11, 12, 13, 14, 15) 각각에, 1 개의 전원 (49) 에 접속되며, 다른 전압을 발생하는 전압강하부 (50) 의 출력단자 (50a, 50b, 50c, 50d, 50e) 를 통하여 다른 크기의 전압을 인가하도록 한 것이다.

도 4 에 나타난 제 2 실시형태의 액정표시장치에서, 제 1 실시형태의 액정표시장치와 동일한 구성에 대해서는 동일 부호를 부여하고, 그 설명을 생략한다.

도 4 에 나타난 액정표시장치의 대향 전극 기관 (6) 에 형성된 복수의 대향 전극 (11, 12, 13, 14, 15) 은, 각각 접속단자 (11a, 12a, 13a, 14a, 15a) 를 통하여 전압강하부 (50) 의 출력단자 (50a, 50b, 50c, 50d, 50e) 에 전기적으로 접속되어 있다.

전압강하부 (50) 는, 일단이 전원 (49) 에 접속됨과 동시에 타단이 접지접속되어 있으며, 양단간에 저항기 (R1, R2, R3, R4, R5) 가 직렬 접속된 구성으로 되어 있다. 도 4 에서는, 전압강하부 (50) 의 타단은 접지접속되어 있지만, 다른 전압에 접속되어 있어도 된다.

또한, 전원 (49) 으로부터 복수의 대향 전극 (11, 12, 13, 14, 15) 에 공급되는 전압은, 전압강하부 (50) 를 통하여 다른 크기로 설정되어 있다. 도 4 에 나타내는 바와 같이, 복수의 저항기 (R1, R2, R3, R4, R5) 에서 다른 크기의 전압강하를 발생시킨다. 이 때의 저항기 (R1, R2, R3, R4, R5) 의 저항값은, 도 3 에 나타난 것과 마찬가지로, 1 개의 전원 (49) 에 의해 액정층에 양극성과 음극성의 전압이 대칭으로 인가되도록, V1, V2, V3, V4, V5 와 화소 전극 (7) 의 각 열에 대하여 게이트 배선 (1) 의 신호원으로부터의 거리에 따라 선택되고 있다.

이상과 같은 구성으로, 복수의 대향 전극 (11, 12, 13, 14, 15) 에는, 구동시에 플리커나 잔상에 의한 표시불량이 나타나지 않도록, 원하는 전압이 인가되고, 액정은 화소 전극 (7) 의 전압과 복수의 대향 전극 (11, 12, 13, 14, 15) 의 전압차로 구동된다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 액티브 매트릭스형 액정표시장치에 의하면, 게이트 배선에서의 신호지연에 의해, 표시부의 게이트 배선의 신호원에 가까운 부분과 먼 부분에서 화소 전극에 인가되는 전압이 다른 경우에도, 액정층에 양극성과 음극성의 전압이 대칭으로 인가되도록, 복수의 대향 전극에 각각 다른 전압을 인가하는 것이 가능해져, 표시상 플리커나 잔상이 발생하지 않는 효과를 얻을 수 있다.

(57) 청구의 범위

청구항 1.

대향 배치된 한 쌍의 기관 사이에 액정층이 끼워진 액정표시장치로서, 상기 기관중 한쪽 기관의 액정층 측표면에는 복

수의 게이트 배선과 복수의 데이터 배선이 매트릭스 형상으로 교차하여 형성되고, 상기 게이트 배선과 상기 데이터 배선이 형성하는 교차부 근방에, 상기 게이트 배선에 접속된 게이트 전극과 상기 데이터 배선에 접속된 소스 전극을 가지는 박막 트랜지스터와, 이 박막 트랜지스터의 드레인 전극에 접속된 화소 전극이 각각 형성되어 있으며, 상기 기판중 다른쪽 기판의 액정층 측 표면에는, 상기 한쪽 기판의 상기 게이트 배선과 직교하는 방향으로 분할된 복수의 대향 전극이 형성되어 있으며, 이 대향 전극의 각각이 상기 화소 전극의 적어도 1 열과 대향 배치되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

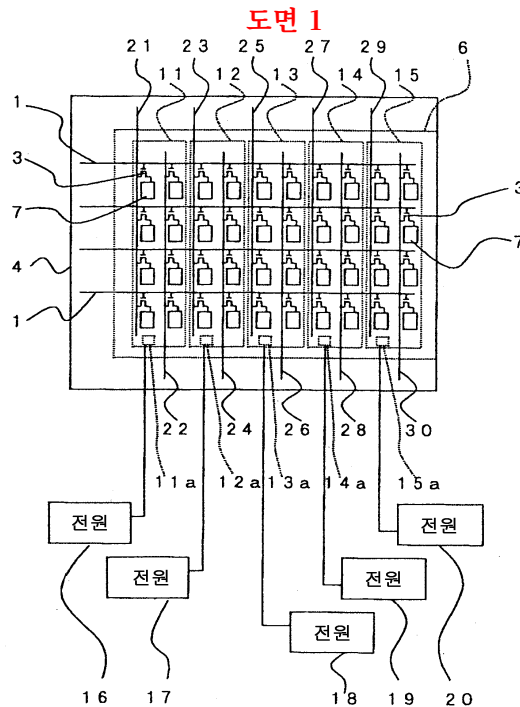
청구항 2.

제 1 항에 있어서, 상기 복수의 대향 전극이, 서로 다른 전압을 발생하는 전원에 각각 접속되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

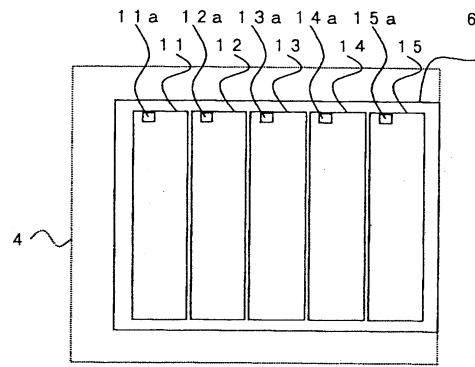
청구항 3.

제 1 항에 있어서, 상기 복수의 대향 전극이, 1 개의 전원에 접속된 전압조정부로서, 복수의 서로 다른 크기의 것을 발생하는 상기 전압 조정부의 출력단자에 각각 접속되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치.

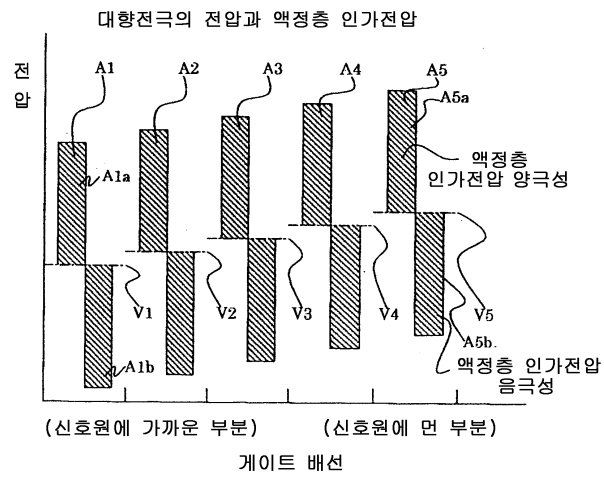
도면



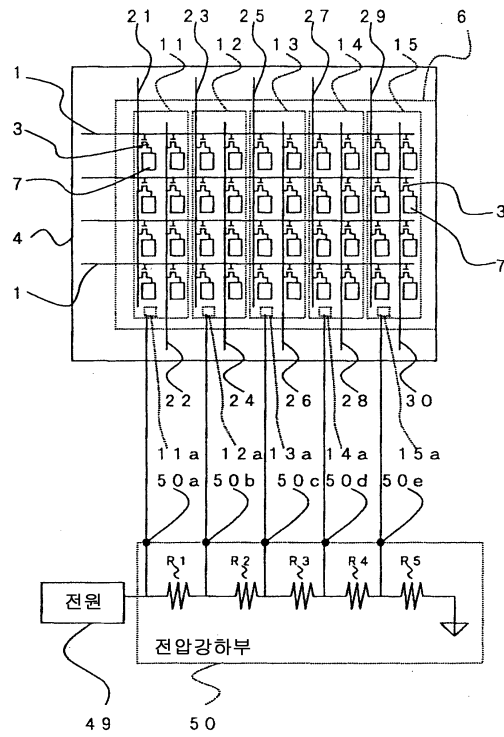
도면 2



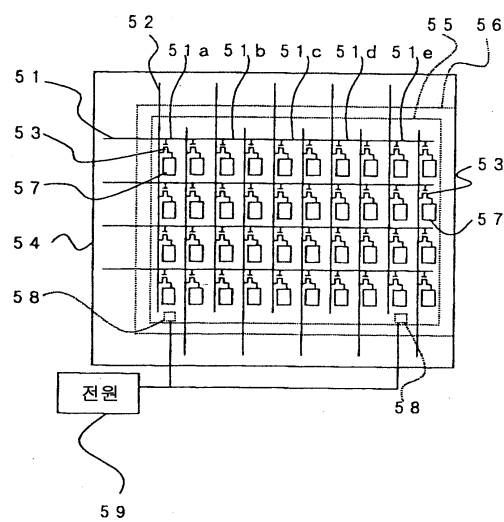
도면 3



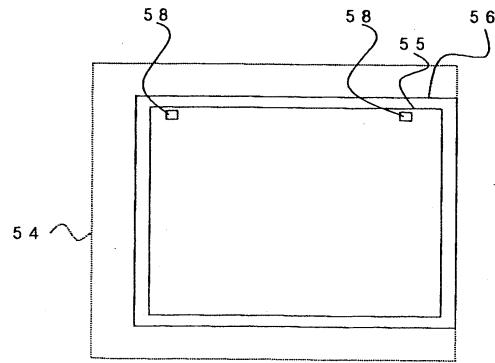
도면 4



도면 5

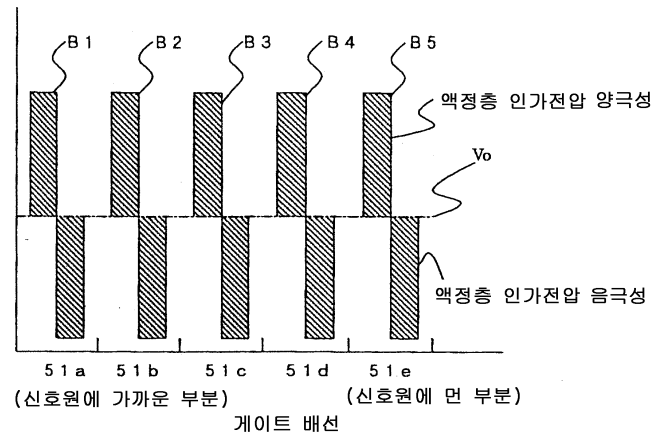


도면 6



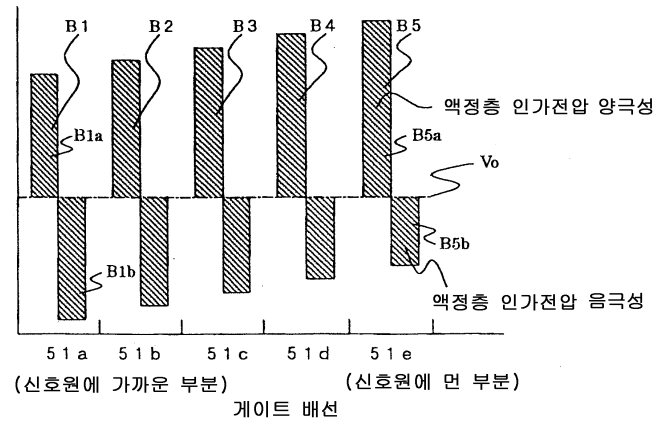
도면 7

대향전극의 전위와 액정층 인가전압



도면 8

대향전극의 전위와 액정층 인가전압



专利名称(译)	有源矩阵型液晶显示器		
公开(公告)号	KR100368777B1	公开(公告)日	2003-01-24
申请号	KR1020010024426	申请日	2001-05-04
[标]申请(专利权)人(译)	阿尔卑斯电气株式会社		
申请(专利权)人(译)	阿尔卑斯电气有限公司		
当前申请(专利权)人(译)	阿尔卑斯电气有限公司		
[标]发明人	KIGUCHI KOUJI		
发明人	KIGUCHI,KOUJI		
IPC分类号	G09G3/36 G02F1/133 G02F1/1343 G09F9/30 G09G3/20		
CPC分类号	G09G2320/0247 G09G2320/0204 G09G2320/0257 G09G3/3655 G09G2320/0223		
代理人(译)	韩国专利公司		
优先权	2000143410 2000-05-11 JP		
其他公开文献	KR1020010104221A		
外部链接	Espacenet		

摘要(译)

对于本发明的有源矩阵液晶显示器，利用栅极布线的信号延迟，即使在像素中施加的电压不同的情况下，在与该部分相距较远的部分中也没有显示出闪烁或余像。它靠近与之相关的栅极布线的信号源。在TFT阵列基板（4）的液晶层侧表面中，分别形成连接到薄膜晶体管（3）的漏电极的像素电极（7），该薄膜晶体管具有连接到栅极的栅电极。布线（1）形成栅电极，它与栅电极相交，连接到栅极布线（1）和交叉邻域形成，源电极连接到数据线（21到30），薄膜晶体管（3）连接到栅极电极多个栅极布线（1）和多个数据线（21到30）这种矩阵形状。在相应的电极板（6）的液晶层侧表面中，它们被分成栅极布线（1）和形成有多个相对电极（11至15）的TFT阵列基板（4）的正交方向。并且，相对电极（11至15）中的每一个面对像素电极（7）的至少一个热量。对电极，薄膜晶体管和像素电极。

