



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0059688
(43) 공개일자 2008년06월30일

- | | |
|--|---|
| <p>(51) Int. Cl. <i>G02F 1/136</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7015251(분할)</p> <p>(22) 출원일자 2008년06월23일 심사청구일자 2008년06월23일</p> <p>(62) 원출원 특허 10-2002-7011658 원출원일자 2002년09월06일 심사청구일자 2006년09월18일 번역문제출일자 2008년06월23일</p> <p>(86) 국제출원번호 PCT/IB2001/002533 국제출원일자 2001년12월12일</p> <p>(87) 국제공개번호 WO 2002/56380 국제공개일자 2002년07월18일</p> <p>(30) 우선권주장 0100733.5 2001년01월11일 영국(GB)</p> | <p>(71) 출원인 티피오 홍콩 홀딩 리미티드 중국 홍콩 사탄 싸이언스 파크 이스트 에비뉴 필립스 일렉트로닉스 빌딩 5, 2층</p> <p>(72) 발명자 트라이노르, 미셸, 예이 네덜란드, 아아 아인드호펜 5656, 프로프 홀스트란 6 아이레스, 존, 예르.,아. 네덜란드, 아아 아인드호펜 5656, 프로프 홀스트란 6</p> <p>(74) 대리인 문경진</p> |
|--|---|

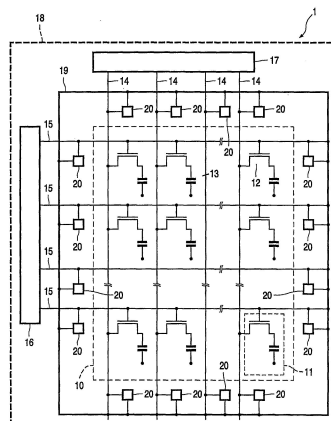
전체 청구항 수 : 총 13 항

(54) 액티브 매트릭스 기판을 제작하는 방법, 액티브 매트릭스기판, 및 액티브 매트릭스 액정 디스플레이

(57) 요약

본 발명은, 대응하는 행 전도체(15)에 연결된 게이트 전극(306)과 대응하는 열 전도체(14)에 연결된 소스(320) 및 드레인(321) 전극을 구비하는 TFT(13)와 각각 연관된 액티브 소자(11)의 행 및 열 어레이와; 정전기 방전(ESD : electrostatic discharge)으로부터 TFT를 보호하기 위해 상기 행 전도체들 중 적어도 하나에 연결된 ESD 보호 회로(20)를 포함하는 액티브 매트릭스 기판(1)을 제작하는 방법에 관한 것이다. 본 방법은 상기 TFT(302) 및 상기 ESD 보호 회로(303)의 반도체 영역을 형성하는 단계와; 상기 TFT의 게이트 전극(306) 및 대응하는 행 전도체(15)를 증착시키는 단계와; 상기 TFT의 소스(320) 및 드레인(321) 전극과, 대응하는 열 전도체(14)를 증착시키는 단계를 포함하고, 상기 ESD 보호 회로(20)는 상기 열 전도체(14)의 증착에 앞서 ESD를 제어하도록 동작한다.

대표도 - 도1



특허청구의 범위

청구항 1

대응하는 행 전도체에 연결된 게이트 전극 및 대응하는 열 전도체에 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터(TFT)와 각각 연관된 액티브 소자의 행 및 열 어레이와; 반대방향으로 병렬 연결되어 상기 행 전도체 중 하나에 연결된 다이오드 쌍 또는 TFT 쌍을 포함하는 ESD 보호 회로를 포함하는 액티브 매트릭스 기판을 제작하는 방법으로서,

상기 액티브 소자와 연관된 상기 TFT 및 상기 ESD 보호 회로의 반도체 영역을 형성하는 단계와;

상기 액티브 소자와 연관된 상기 TFT의 게이트 전극 및 대응하는 행 전도체를 증착시키는 단계와;

상기 액티브 소자와 연관된 상기 TFT의 소스 전극 및 드레인 전극과, 대응하는 열 전도체를 증착시키는 단계를 포함하고,

여기서, 상기 ESD 보호 회로의 반도체 영역은 도핑된 영역을 포함하고,

상기 게이트 전극 및 행 전도체를 증착시키는 단계 이후에, 상기 열 전도체의 증착에 앞서, 상기 ESD 보호 회로는 상기 액티브 소자와 연관된 TFT의 게이트 전극에 축적된 전하를 접지로 소산하는, 액티브 매트릭스 기판을 제작하는 방법.

청구항 2

제1항에 있어서, 상기 열 전도체의 증착에 앞서, 상기 ESD 보호 회로의 반도체 영역은, 행 전도체에 연결된 상기 반도체 영역의 일부로부터 상기 반도체 영역을 통해 상기 기판의 상기 외부 주변으로의 적절한 전도성 경로를 제공하고 상기 반도체 영역을 통해 정반대 방향으로 흐르는 전류를 저지하기 위해서 도핑되는, 액티브 매트릭스 기판을 제작하는 방법.

청구항 3

제1항에 있어서, 상기 열 전도체의 증착에 앞서, 상기 ESD 보호 회로의 반도체 영역은 상기 기판의 외부 주변으로부터 상기 반도체 영역을 통해 행 전도체에 연결된 상기 반도체 영역의 일부로의 적절한 전도성 경로를 제공하고 상기 반도체 영역을 통해 정반대 방향으로 흐르는 전류를 저지하기 위해서 도핑되는, 액티브 매트릭스 기판을 제작하는 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 ESD 보호 회로의 다이오드 또는 게이트 단락형 TFT 중 하나는 행 및 열 전도체 사이에서 연결되는, 액티브 매트릭스 기판을 제작하는 방법.

청구항 5

제4항에 있어서, 상기 ESD 보호 회로의 다이오드 또는 게이트 단락형 TFT는 행 및 열 전도체 사이에서 병렬로 연결되는, 액티브 매트릭스 기판을 제작하는 방법.

청구항 6

제4항에 있어서, 행 및 열 전도체 사이에 연결되는 래터럴 다이오드나 래터럴 게이트 단락형 TFT 중 하나의 반도체 영역은 두 부분, 즉 상기 행 전도체에 연결된 제 1 부분과, 상기 제 1 부분의 크기의 두 배인 상기 액티브 영역의 다른 측면 상에 있는 제 2 부분을 포함하는, 액티브 매트릭스 기판을 제작하는 방법.

청구항 7

제6항에 있어서, 상기 제 2 부분은 상기 제 1 부분의 크기의 10 배인, 액티브 매트릭스 기판을 제작하는 방법.

청구항 8

제7항에 있어서, 상기 ESD 보호 회로는 상기 열 전도체의 증착에 앞서 상기 기판과 상기 기판을 둘러싼 외부 요소 사이의 ESD를 보호하기 위해 한쪽 방향으로 선택적인 전류 흐름을 허용하도록 동작하고, 상기 액티브 매트릭스

스 기관의 제작이 완료되었을 때 행 및 열 전도체 사이의 ESD를 보호하기 위해 한쪽 방향으로 선택적인 전류 흐름을 허용하도록 동작하는, 액티브 매트릭스 기관을 제작하는 방법.

청구항 9

제1항 내지 제3항 중 어느 한 항의 방법에 의해 제작되는, 액티브 매트릭스 기관.

청구항 10

대응하는 행 전도체에 연결된 게이트 전극과 대응하는 열 전도체에 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터(TFT)와 각각 연관된 액티브 소자의 행 및 열 어레이와;

반대방향으로 병렬 연결되어 상기 행 전도체들 중 하나에 연결된 다이오드 쌍 또는 TFT 쌍을 포함하는 ESD 보호 회로

를 포함하는 액티브 매트릭스 기관으로서,

상기 ESD 보호 회로는 행 및 열 전도체 사이에 연결되는 래터럴 다이오드나 래터럴 게이트 단락형 TFT 중 하나를 포함하고,

상기 ESD 보호 회로의 래터럴 다이오드나 래터럴 게이트 단락형 TFT 중 하나의 반도체 영역은 상기 다이오드나 TFT의 상기 액티브 영역의 어느 한 측면에 위치한 두 부분, 즉 상기 행 전도체에 연결된 제 1 부분과 상기 제 1 부분의 크기의 적어도 두 배인 상기 액티브 영역의 다른 측면 상에 있는 제 2 부분을 포함하는, 액티브 매트릭스 기관.

청구항 11

제10항에 있어서, 상기 제 2 부분은 상기 제 1 부분의 크기의 10 배인, 액티브 매트릭스 기관.

청구항 12

제10항 또는 제11항에 있어서, 상기 ESD 보호 회로의 다이오드 또는 게이트 단락형 TFT 중 하나는 행 및 열 전도체 사이에서 연결되는, 액티브 매트릭스 기관.

청구항 13

액티브 매트릭스 액정 디스플레이(AMLCD)로서,

제10항 또는 제11항에 따른 액티브 매트릭스 기관을 포함하는, 액티브 매트릭스 액정 디스플레이.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액티브 매트릭스 기관을 제작하는 방법에 관한 것으로, 상기 액티브 매트릭스 기관은 스위칭 박막 트랜지스터(TFT)와 각각 연관되는 액티브 소자의 행 및 열 어레이와, 정전기 방전(ESD)으로부터 보호하기 위해 TFT에 연결되는 ESD 보호 회로를 포함한다. 특히, 본 발명은 보완적인 금속 산화물 반도체(CMOS) 기술을 사용하여 액티브 매트릭스 기관, 일례로 CMOS에 기초하는 TFT 스위칭 TFT나 CMOS에 기초하는 통합된 행 및 열 구동기 회로를 구비하는 액티브 매트릭스 액정 디스플레이(AMLCD)를 제작하는 것에 관한 것이지만, 반드시 그러한 것으로 제한되지는 않는다.

배경기술

<2> 본 발명은 이후로 AMLCD를 참조하여 설명되지만, 본 발명은 단순히 AMLCD로 제한되지 않고 박막 데이터 저장부나 이미지 센서와 같은 다른 타입의 대형 전자 디바이스에 응용된다는 것을 알게 될 것이다.

<3> 잘 알려진 바와 같이, 정전기는 얇은 유전 층을 포함하고 있는 박막 디바이스를 훼손시킬 정도의 전위를 갖고, 손상에 특히 민감한 것은 MOS TFT의 게이트 영역이다. TFT 게이트 전극이 대응하는 행 전도체에 연결되고 TFT 소스 및 드레인 전극이 대응하는 열 전도체에 연결되는 AMLCD에 대해서, 행 전도체와 열 전도체 사이의 전류

흐름을 통제하기 위해 보호 회로를 제공함으로써 ESD로부터 보호는 것이 알려져 있다. 일례로, 이것은 병렬로 연결되어 있는 정반대 방향의 부분 저항적인 다이오드 쌍을 통해 행 및 열 전도체 모두를 접지 링(ground ring)에 연결함으로써 달성될 수 있다. 그러한 배열은 PCT 공개 특허 출원인 WO 97/13177호와 또한 미국 특허인 US5585949호 및 US5930607호에 개시되어 있다.

발명의 내용

해결 하고자하는 과제

<4> 본 발명의 목적은 ESD 보호 회로의 성능이 향상되어진 상술된 타입의 액티브 매트릭스 기관을 제작하는 방법을 제공하는데 있다.

과제 해결수단

- <5> 본 발명에 따라, 액티브 매트릭스 기관을 제작하는 방법이 제공되는데, 상기 액티브 매트릭스 기관은,
- <6> 대응하는 행 전도체에 연결된 게이트 전극과 대응하는 열 전도체에 연결된 소스 및 드레인 전극을 구비하는 박막 트랜지스터(TFT)와 각각 연관된 액티브 소자의 행 및 열 어레이와;
- <7> 정전기 방전(ESD : electrostatic discharge)으로부터 TFT를 보호하기 위해 행 전도체들 중 적어도 하나에 연결된 ESD 보호 회로를 포함한다. 상기 방법은 TFT 및 ESD 보호 회로의 반도체 영역을 형성하는 단계와; TFT의 게이트 전극 및 대응하는 행 전도체를 증착시키는 단계와; TFT의 소스 및 드레인 전극과, 대응하는 열 전도체를 증착시키는 단계를 포함하고, 여기서, 상기 ESD 보호 회로는 열 전도체의 증착에 앞서 ESD를 제어하도록 동작한다.
- <8> 비록 종래의 ESD 보호 회로는 동작 동안에 ESD로부터의 보호를 AMLCD에 확실히 제공하지만, 본 발명자는, ESD 보호 회로가 제작 동안에 가능한 일찍 동작하는 것이 바람직할 것이고 이것은 열 전도체의 증착에 앞서 이루어질 수 있다는 것을 깨달았다.
- <9> 열 전도체의 증착에 앞서, ESD 보호 회로는 기관과 그것의 외부 주변 사이의 ESD를 제어하도록 동작할 수 있고, 특히 행 전도체를 증착할 때 동작할 수 있다.
- <10> 이것은 행 전도에 연결된 반도체 영역의 일부로부터 상기 반도체 영역을 통해 기관의 외부 주변으로의 적절한 전도성 경로를 제공하고 정반대 방향으로 반도체 영역을 흐르는 전류를 저지한다.
- <11> 대안적으로, 기관 상에서 음 전하의 증강을 소산시키기 위해, ESD 보호 회로의 반도체 영역은 기관의 외부 주변으로부터 상기 반도체 영역을 통해 행 전도체에 연결된 반도체 영역의 일부로의 적절한 전도성 경로를 제공하고 정반대 방향으로 반도체 영역을 흐르는 전류를 저지시키기 위해 도핑될 수 있다.
- <12> 액티브 매트릭스 기관의 제작이 완료되었을 때, ESD 보호 회로는 열 전도체의 증착에 앞서 ESD를 제어하기 위해 사용된 것과는 다른 방식으로 ESD를 제어하도록 동작할 수 있다. 일례로, ESD 보호 회로는 열 전도체의 증착에 앞서 기관과 그것의 외부 주변 사이의 ESD를 제어하도록 동작할 수 있고, 액티브 매트릭스 기관의 제작이 완료되었을 때 행 및 열 전도체 사이의 ESD를 제어하도록 동작할 수 있다.
- <13> ESD 보호 회로는 행 및 열 전도체 사이에 연결된 래터럴 다이오드나 래터럴 게이트 단락형 TFT 중 어느 하나를 편리하게 포함하는데, 바람직하게는 행 및 열 전도체 사이에 적어도 하나는 병렬 연결되는 상기 다이오드나 TFT로 이루어진 적어도 하나의 쌍을 포함하고, 특히, 상기 다이오드나 TFT 중 적어도 하나의 반도체 영역은 상기 다이오드나 TFT의 액티브 영역의 어느 한 측면에 위치하는 두 부분, 즉 행 전도체에 연결되는 제 1 부분과 상기 제 1 부분의 크기에 적어도 두 배 및 어찌면 열 배이면서 액티브 영역의 다른 측면 상에 있는 제 2 부분을 포함할 수 있다.
- <14> 본 발명에 따른 방법에 의해서 제작되는 액티브 매트릭스 기관, 청구항 13 내지 청구항 15 중 어느 한 항에 따른 액티브 매트릭스 기관 및 그러한 액티브 매트릭스 기관을 포함하는 AMLCD가 본 발명에 따라 또한 제공된다.
- <15> 본 발명은 이제 다음의 도면을 참조하여 일례만을 통해 설명될 것이다.

효 과

<16> 상술된 바와 같이, 본 발명은 액티브 매트릭스 기관을 제작하는 방법에 이용가능하다.

발명의 실시를 위한 구체적인 내용

- <17> 도면들은 단면도 일부의 개략적이면서 상대적인 치수 및 비율로 도시되고, 회로 배치는 명확성을 위해 크기가 과장되었거나 감소되었다는 것이 주시되어야 한다. 동일한 참조 부호는 다른 실시예에서 대응하거나 유사한 특징을 지칭하기 위해 일반적으로 사용된다.
- <18> 도 1에서, 본 발명에 따른 방법에 의해 제작된 AMLCD(active matrix liquid crystal display)(1)는 디스플레이 패널(18) 상의 디스플레이 영역(10)을 포함하는데, 상기 디스플레이 영역은 동일한 화소(11)로 이루어진 m 개의 행(1 내지 m) 및 n 개의 열(1 내지 n)로 구성된다. 간략성을 위해 화소들 중 수 개만이 도시되었지만 실제로 디스플레이 영역(10)에 있는 화소의 총 수(m × n)는 200,000개나 그 이상일 수 있다. 각각의 화소(11)는 화상 전극(12) 및 도 3a 내지 3e에 도시된 방법에 의해 제작된 타입의 그와 연관된 스위칭 TFT(13)를 구비하고, 스위칭 TFT(13)는 화상 전극에 데이터 신호 전압을 인가하는 것을 제어하는 기능을 한다. 스위칭 TFT(13)는 공통적인 동작 특성을 갖고, 화상 전극에 연결되는 각각의 드레인을 구비하며 관련 화소에 인접하여 각각 배열된다. 화소의 한 열과 연관된 모든 스위칭 TFT의 소스는 평행한 열 전도체(14) 세트의 각각에 연결되고, 화소의 한 행과 연관된 모든 스위칭 TFT의 게이트는 평행한 행 전도체(15) 세트의 각각에 연결된다. TFT(13)는 디스플레이 패널(18) 상에 위치하는 CMOS(complementary metal oxide semiconductor)에 기초한 행 구동기 회로(16)에 의해서 행 전도체를 통해 제공되는 게이팅 신호에 의해 제어된다. 마찬가지로, 동일한 열에 있는 화소와 연관된 TFT에는 디스플레이 패널 상에 역시 위치하는 CMOS에 기초한 열 구동기 회로(17)에 의해 화상 전극을 위한 데이터 신호 전압이 제공된다. 물론, 그러한 AMLCD에서 화소의 동작은 잘 알려져 있기 때문에 여기서는 더 이상 설명되지 않을 것이다.
- <19> AMLCD 패널(18) 상에서는, 통합된 ESD(electrostatic discharge) 보호 회로(20)가 행 전도체(15) 및 열 전도체(14) 모두의 양 종단에 제공되는데, ESD 보호 회로 각각은 공통 전력 레일(19)을 통해 행 및 열 전도체를 연결한다. 하나의 그러한 보호 회로(20)가 도 2에서 더 상세히 도시되어 있는데, 여기서는 정반대의 래터럴(lateral) p-i-n 접합 다이오드(21, 21') 쌍이 병렬로 연결됨으로써 행 및 열 전도체에 걸리는 전압은 어느 한 방향으로 선택적인 전류 흐름을 허용함으로써 통제된다.
- <20> 도 1의 액티브 매트릭스 기관을 제작하는 방법은 픽셀 소자나 통합된 행 및 열 구동기 회로 중 어느 하나를 위한 CMOS p-타입(영역 R1) 및 n-타입(영역 R2) 트랜지스터, 및 ESD 보호 회로를 위한 p-i-n 다이오드(영역 R3)의 형성을 포함해서 도 3a 내지 3e에 도시되어 있다.
- <21> 도 3a를 참조하면, 유리 기관(301) 상에는, p-타입 및 n-타입의 트랜지스터를 위한 반도체 디바이스 아일랜드(302, 302')를 각각 제공하고, 또한 p-i-n 다이오드의 액티브 영역을 포함하면서 그것이 기관의 외부에 있는 접지에 전기적으로 연결되는 패널(18)의 주변으로 확장하는 확장된 폴리실리콘 영역(303)을 제공하도록 폴리실리콘 층이 형성되고 패터닝된다. 그러한 전기적인 연결은 일예로 제작 처리 동안에 유리 기관을 고정시키기 위해 사용되는 클램프(clamp)(미도시)를 통해 주변과의 우연적인 전기적 접촉일 수 있거나, 외부의 전기적인 접지 커넥터에 접촉하기 위해 확장된 폴리실리콘 영역(303)에 형성되는 접촉 패드(미도시)를 통한 주변과의 의도적인 전기적 접촉일 수 있다.
- <22> 종래의 제작 방법 및 재료를 사용하면, 후속하는 마스크(306, 311) 및 도핑 단계가 p-i-p 트랜지스터(R1)의 p-타입 도핑 영역(307), LDD 영역(314)을 포함하는 n-i-n 트랜지스터(R2)의 n-타입 도핑 영역(313), 및 p-i-n 다이오드(R3)의 p-타입 및 n-타입 도핑 영역(309, 312)을 형성하기 위해서 도 3b 및 3c에 도시된 바와 같이 이루어진다.
- <23> 다음으로, 도 3d에 도시된 바와 같이, 편의상 도시된 바와 같이 행 전도체에 연결되는 많이 도핑된 실리콘 층으로서 트랜지스터(R1, R2)의 게이트 전극(315)이 제공되거나, 대안적으로는 행 전도체와 통합적인 금속 영역으로 제공된다. 행 전도체(15)는 p-i-n 다이오드(R3)의 p-타입 영역(309)에 게이트 전극을 연결하기 위해서 증착된다. 게이트 전극(315) 및 행 전도체(15)의 증착 이후에, TFT 게이트 전극에 모인 전하는 화살표(317)로 표시된 바와 같이 p-i-n 다이오드를 통해 접지로 소산될 수 있다. 마찬가지로, 다이오드 접합의 극성은 예컨대 기관을 처리함으로써 야기되는 외부 주변으로부터 발생하는 ESD로부터 TFT를 보호한다.
- <24> 그런 이후에는, 도 3e에 도시된 바와 같이, 트랜지스터(R1 및 R2)를 위한 소스(320) 및 드레인(321) 전극, 열 전도체(322), 및 행 및 열 전도체를 연결하는 접지 링(미도시)이 적층된다. 일단 열 전도체가 형성되면, ESD 보호 회로는 행 및 열 전도체 사이의 전류 흐름을 제어하는 기능을 하고, 그로 인해 TFT 게이트 전극에 모인 전하는 화살표(318)로 표시된 바와 같이 p-i-n 다이오드를 통해 접지로 소산될 수 있다. p-i-n 다이오드(R3)는 병렬

로 연결되는 정반대의 부분 저항적인 다이오드 쌍 중 하나이고, 그로 인해 행 및 열 전도체에 걸리는 전압은 선택적인 전류 흐름을 어느 한 방향으로 허용함으로써 통제된다.

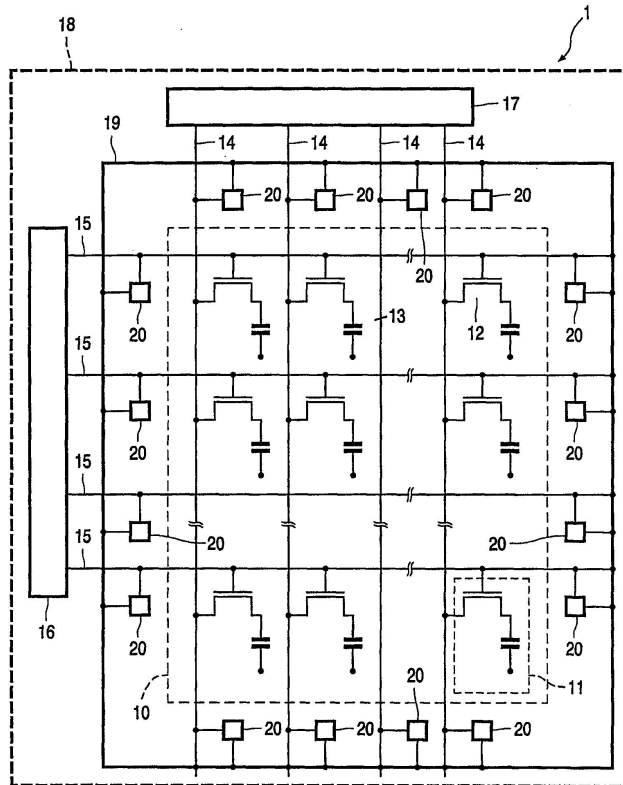
- <25> 도 4a 내지 4c는 ESD 보호 회로의 대안적인 구성을 나타낸다. 특히, 도 4a는 도 3a 내지 3e에 도시된 p-i-n 다이오드(R3)의 방식으로 동작할 수 있는 n-i-n 게이트 단락형 TFT 구조를 나타내고 있다. 즉, n-i-n 게이트 단락형 TFT 구조는 전하로 하여금 제작 처리에 있어 확장된 실리콘 영역을 통해 초기에 소산될 수 있게 하고, 열 전도체의 증착 이후에 행 및 열 전도체 사이의 전하 흐름을 제어할 수 있다. 마찬가지로, 음의 전하는 도 4b 및 4c에 각각 도시된 바와 같은 n-i-p 다이오드 구조나 p-i-p 게이트 단락형 TFT 구조를 통해 소산될 수 있다(실제로, 전류는 주변으로부터 플레이트 위로 흐른다).
- <26> ESD 보호 회로의 이중 역할, 즉 제작 처리에 있어 플레이트와 외부 주변 사이의 전하 흐름을 초기에 제어하는 것과 열 전도체의 증착 이후에 행 및 열 전도체 사이의 전하 흐름을 제어하는 것은 그러한 ESD 보호 회로에서 액티브 층의 기하학적인 형태를 어느 정도 규정할 수 있다. 일례로, 도 3e에 도시된 바와 같은 p-i-n 구조에 대해서, 기관의 주변을 향해 확장하는 다이오드 구조의 n-타입 부분(312)은 다이오드 구조의 p-타입 부분(309) 보다 크기에 있어 예컨대 2배, 5배 또는 심지어 10배 더 클 수 있다. 그 반대의 상황이 도 4b에 도시된 n-i-p 구조에 적용될 것인데, 여기서는 다이오드 구조의 n-타입 부분(312)이 p-타입 부분(309) 보다 훨씬 더 작고, 전하 흐름은 화살표(400)로 표시된 바와 같이 반대이다. 마찬가지로, n-타입(312) 및 p-타입(309) 부분을 구비하는 n-i-n 및 p-i-p 게이트 단락형 TFT 구조는, 도 4a 및 4c에 각각 도시된 바와 같이, 다른 도핑 부분(309, 312) 보다 크기에 있어 훨씬 더 큰 하나의 도핑 부분(309', 312')을 갖는다.
- <27> 완전히 인습적이기 때문에, 간결성과 명확성을 위해서, 일례로 컬러 및 편광 필터 층, 액정 물질, 스페이서 및 물리적인 보호 층을 구비하는 AMLCD의 나머지 부분의 제작에 대한 추가적인 논의 및 예시는 생략된다. 물론, 박막 트랜지스터 및 그 박막 트랜지스터를 포함하고 있는 액티브 매트릭스 디바이스의 실질적인 제작을 위한 특정의 고려사항이 당업자에게는 자명해 질 것이고, 액티브 매트릭스 기관 설계에 적용되어야 하는 그런 고려사항이 또한 본 발명에 따른 액티브 매트릭스 기관의 설계에 적용되어야 한다. 적절할 수 있는 정확한 처리 조건은 본문에서 설명되지 않았는데, 그것은 당업자에게 일반적인 설계 절차의 문제이기 때문이다.

도면의 간단한 설명

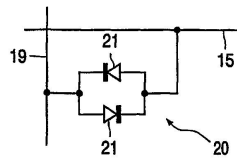
- <28> 도 1은 ESD 보호 회로를 구비하고 본 발명에 따라 제작된 AMLCD의 액티브 매트릭스 기관을 개략적으로 나타내는 도면.
- <29> 도 2는 도 1의 액티브 매트릭스 기관의 ESD 보호 회로를 더 상세히 개략적으로 나타내는 도면.
- <30> 도 3a 내지 3e는 도 1의 액티브 매트릭스 기관을 제작하는 방법을 도시하는 도면.
- <31> 도 4a 내지 4c는 액티브 매트릭스 기관의 ESD 보호 회로에 대한 대안적인 구성을 나타내는 도면.

도면

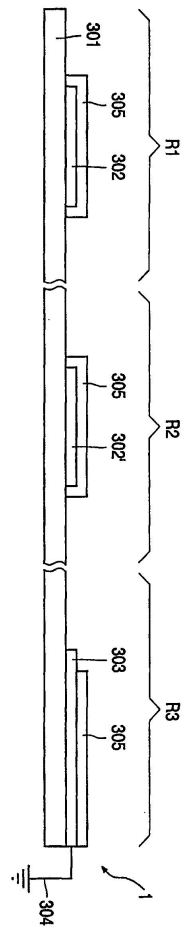
도면1



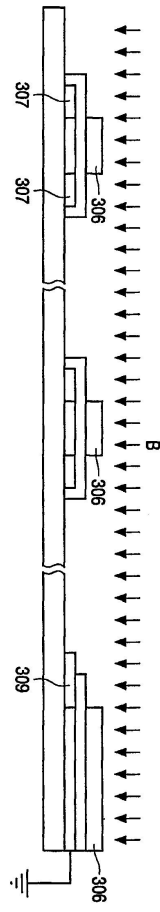
도면2



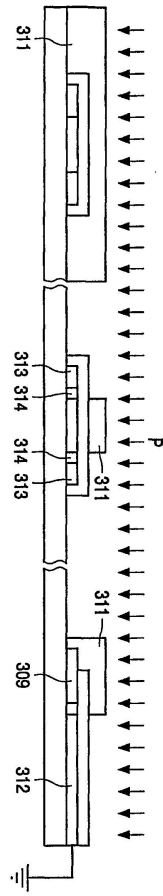
도면3a



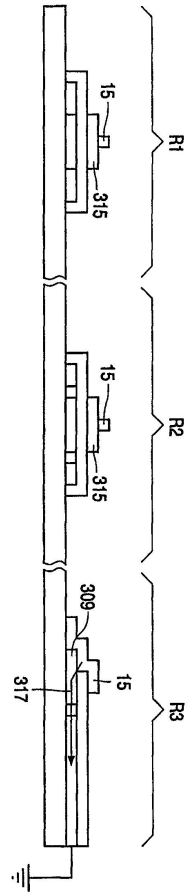
도면3b



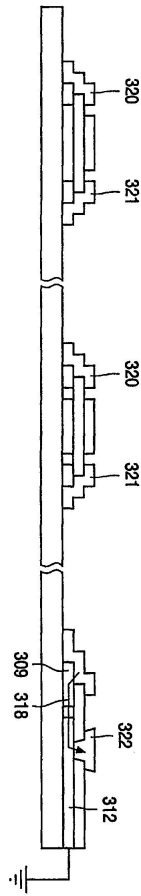
도면3c



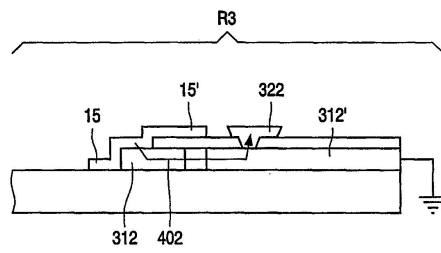
도면3d



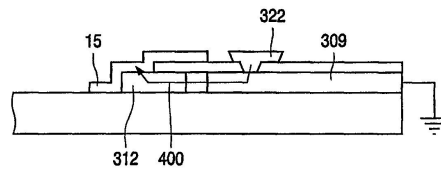
도면3e



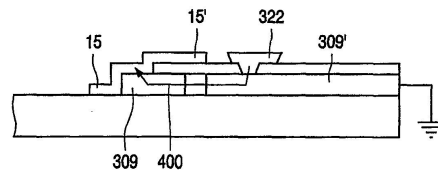
도면4a



도면4b



도면4c



| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 一种制造有源矩阵衬底，有源矩阵衬底和有源矩阵液晶显示器的方法 | | |
| 公开(公告)号 | KR1020080059688A | 公开(公告)日 | 2008-06-30 |
| 申请号 | KR1020087015251 | 申请日 | 2001-12-12 |
| [标]申请(专利权)人(译) | 统宝香港控股有限公司 | | |
| 申请(专利权)人(译) | 血来香港控股的品牌 | | |
| 当前申请(专利权)人(译) | 血来香港控股的品牌 | | |
| [标]发明人 | TRAINOR MICHAEL J 트라이노르미셀에이 AYRES JOHN R A 아이레스존에르아 | | |
| 发明人 | 트라이노르,미셀,에이 아이레스,존,에르.,아. | | |
| IPC分类号 | G02F1/136 H01L27/04 G02F1/1362 H01L21/822 H01L21/8238 H01L27/02 H01L27/06 H01L27/08 H01L27/092 H01L27/12 H01L29/786 | | |
| CPC分类号 | G02F1/136204 H01L27/0255 H01L27/12 | | |
| 代理人(译) | MOON , KYOUNG金 | | |
| 优先权 | 2001000733 2001-01-11 GB | | |
| 外部链接 | Espacenet | | |

摘要(译)

本发明涉及制造有源矩阵基板(1)的方法，该有源矩阵基板(1)包括在至少一行中连接的ESD保护电路(20)，保护列阵列和行导体TFT免受静电放电(ESD：静电放电)TFT(13)和相应的有源元件(11)的相关部分包括连接到对应的行导体(15)的源极(320)和漏极(321)电极到对应于连接的栅极的热导体(14)电极(306)。形成该方法的步骤是TFT(302)和ESD保护电路(303)的半导体区域，以及蒸发步骤的源极(320)的步骤：TFT蒸发和漏极(321)电极，以及相应的热量导体(14)包括与TFT的栅电极(306)对应的行导体(15)；并且ESD保护电路(20)工作以便在热导体(14)的沉积之前控制ESD。

