



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0028079  
(43) 공개일자 2008년03월31일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0093412

(22) 출원일자 2006년09월26일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

전진

경기도 수원시 장안구 천천동 삼성래미안아파트  
107동 204호

이기한

경기도 용인시 수지구 상현동 금호베스트빌 155동  
801호

(74) 대리인

팬코리아특허법인

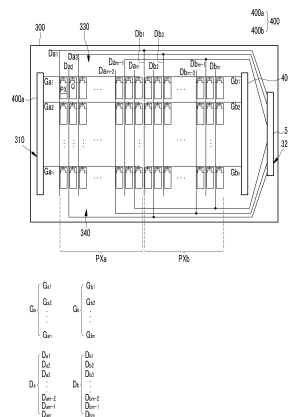
전체 청구항 수 : 총 16 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 본 발명의 한 실시예에 따른 액정 표시 장치는 기판, 상기 기판 위에 각각 행렬로 배열되어 있는 복수의 화소를 포함하는 제1 및 제2 화소군, 상기 제1 화소군의 화소에 연결되어 있으며 행 방향으로 뻗어 있는 복수의 게이트선을 포함하는 제1 게이트선군, 그리고 상기 제2 화소군의 화소에 연결되어 있으며 행 방향으로 뻗어 있는 복수의 게이트선을 포함하는 제2 게이트선군을 포함하고, 상기 제1 및 제2 화소군은 행 방향으로 이웃한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

기관,

상기 기관 위에 각각 행렬로 배열되어 있는 복수의 화소를 포함하는 제1 및 제2 화소군,

상기 제1 화소군의 화소에 연결되어 있으며 행 방향으로 뻗어 있는 복수의 게이트선을 포함하는 제1 게이트선군, 그리고

상기 제2 화소군의 화소에 연결되어 있으며 행 방향으로 뻗어 있는 복수의 게이트선을 포함하는 제2 게이트선군을 포함하고,

상기 제1 및 제2 화소군은 행 방향으로 이웃하는 액정 표시 장치.

### 청구항 2

제1항에서,

상기 제1 게이트선군에 연결되어 있으며, 상기 제1 게이트선군에 게이트 신호를 전달하는 제1 게이트 구동부, 그리고

상기 제2 게이트선군에 연결되어 있으며, 상기 제2 게이트선군에 게이트 신호를 전달하는 제2 게이트 구동부를 더 포함하는 액정 표시 장치.

### 청구항 3

제1항에서,

상기 제1 화소군의 화소에 연결되어 있으며 열 방향으로 뻗어 있는 복수의 데이터선을 포함하는 제1 데이터선군, 그리고

상기 제2 화소군의 화소에 연결되어 있으며 열 방향으로 뻗어 있는 복수의 데이터선군을 포함하는 제2 데이터선군

을 더 포함하는 액정 표시 장치.

### 청구항 4

제3항에서,

상기 제1 데이터선군의 각 데이터선과 상기 제2 데이터선군의 각 데이터선은 하나씩 서로 연결되어 있는 액정 표시 장치.

### 청구항 5

제4항에서,

상기 제1 데이터선군의 각 데이터선과 상기 제2 데이터선군의 각 데이터선은 차례로 연결되어 있는 액정 표시 장치.

### 청구항 6

제4항에서,

상기 제1 데이터선군의 각 데이터선과 상기 제2 데이터선군의 각 데이터선은 가까운 데이터선끼리 연결되어 있는 액정 표시 장치.

### 청구항 7

제4항에서,

상기 제1 데이터선군 및 상기 제2 데이터선군과 연결되어 있으며 상기 제1 및 제2 데이터선군에 데이터 전압을 전달하는 데이터 구동부를 더 포함하는 액정 표시 장치.

**청구항 8**

제7항에서,

상기 데이터 구동부는 상기 제1 및 제2 화소군을 기준으로 측면에 배치되어 있는 액정 표시 장치.

**청구항 9**

제7항에서,

상기 데이터 구동부는 상기 제1 또는 제2 게이트 구동부와 같은 쪽에 위치하는 액정 표시 장치.

**청구항 10**

제1항에서,

상기 게이트 신호는 상기 제1 게이트선군의 게이트선 및 제2 게이트선군의 게이트선에 번갈아 가며 차례로 인가 되는 액정 표시 장치.

**청구항 11**

제2항에서,

상기 제1 및 제2 게이트 구동부는 상기 기판 위에 집적되어 있는 액정 표시 장치.

**청구항 12**

제3항에서,

상기 제1 및 제2 게이트 구동부는 상기 제1 및 제2 화소군을 사이에 두고 마주하는 액정 표시 장치.

**청구항 13**

제1항에서,

상기 게이트 신호는 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)로 이루어져 있으며, 상기 게이트 온 전압(Von)의 지속 시간은 1 수평 주기 이상인 액정 표시 장치.

**청구항 14**

제13항에서,

상기 게이트 온 전압(Von)의 지속 시간은 2 수평 주기인 액정 표시 장치.

**청구항 15**

제13항에서,

상기 제1 및 제2 게이트선군 각각의 게이트선 중 같은 행에 배열되어 있는 두 개의 게이트선에 인가되는 게이트 신호의 게이트 온 전압(Von)은 소정 시간 서로 중첩하는 액정 표시 장치.

**청구항 16**

제15항에서,

상기 소정 시간은 1 수평 주기인 액정 표시 장치.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <16> 본 발명은 액정 표시 장치에 관한 것이다.
- <17> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- <18> 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다. 게이트선은 게이트 구동 회로가 생성한 게이트 신호를 생성하며, 데이터선은 데이터 구동 회로가 생성한 데이터 전압을 전달하며, 스위칭 소자는 게이트 신호에 따라 데이터 전압을 화소 전극에 전달한다.

**발명이 이루고자 하는 기술적 과제**

- <19> 이러한 게이트 구동 회로 및 데이터 구동 회로는 다수의 집적 회로 칩의 형태로 표시판에 직접 장착되거나 가요성 회로막 등에 장착되어 표시판에 부착되는데, 이러한 집적 회로 칩은 액정 표시 장치의 제조 비용에 높은 비용을 차지한다. 특히 데이터 구동 집적 회로 칩의 경우 게이트 구동 회로 칩에 비하여 그 가격이 매우 높기 때문에 고해상도, 대면적 액정 표시 장치의 경우 그 수효를 줄일 필요가 있다. 게이트 구동 회로의 경우 게이트선, 데이터선 및 스위칭 소자와 함께 표시판에 집적함으로써 그 가격을 줄일 수 있으나, 데이터 구동 회로는 그 구조가 다소 복잡하여 표시판에 집적하기 어려워 더욱 더 그 수효를 줄일 필요가 있다.
- <20> 본 발명이 이루고자 하는 기술적 과제는 데이터 구동 회로 칩의 수효를 줄이면서도 표시판의 개구율 저하가 없는 액정 표시 장치를 제공하는 것이다.

**발명의 구성 및 작용**

- <21> 본 발명의 한 실시예에 따른 기관, 상기 기관 위에 각각 행렬로 배열되어 있는 복수의 화소를 포함하는 제1 및 제2 화소군, 상기 제1 화소군의 화소에 연결되어 있으며 행 방향으로 뻗어 있는 복수의 게이트선을 포함하는 제1 게이트선군, 그리고 상기 제2 화소군의 화소에 연결되어 있으며 행 방향으로 뻗어 있는 복수의 게이트선을 포함하는 제2 게이트선군을 포함하고, 상기 제1 및 제2 화소군은 행 방향으로 이웃한다.
- <22> 상기 제1 게이트선군에 연결되어 있으며, 상기 제1 게이트선군에 게이트 신호를 전달하는 제1 게이트 구동부, 그리고 상기 제2 게이트선군에 연결되어 있으며, 상기 제2 게이트선군에 게이트 신호를 전달하는 제2 게이트 구동부를 더 포함할 수 있다.
- <23> 상기 제1 화소군의 화소에 연결되어 있으며 열 방향으로 뻗어 있는 복수의 데이터선을 포함하는 제1 데이터선군, 그리고 상기 제2 화소군의 화소에 연결되어 있으며 열 방향으로 뻗어 있는 복수의 데이터선군을 포함하는 제2 데이터선군을 더 포함할 수 있다.
- <24> 상기 제1 데이터선군의 각 데이터선과 상기 제2 데이터선군의 각 데이터선은 하나씩 서로 연결되어 있을 수 있다.
- <25> 상기 제1 데이터선군의 각 데이터선과 상기 제2 데이터선군의 각 데이터선은 차례로 연결되어 있을 수 있다.
- <26> 상기 제1 데이터선군의 각 데이터선과 상기 제2 데이터선군의 각 데이터선은 가까운 데이터선끼리 연결되어 있을 수 있다.
- <27> 상기 제1 데이터선군 및 상기 제2 데이터선군과 연결되어 있으며 상기 제1 및 제2 데이터선군에 데이터 전압을 전달하는 데이터 구동부를 더 포함할 수 있다.
- <28> 상기 데이터 구동부는 상기 제1 및 제2 화소군을 기준으로 측면에 배치되어 있을 수 있다.
- <29> 상기 데이터 구동부는 상기 제1 또는 제2 게이트 구동부와 같은 쪽에 위치할 수 있다.
- <30> 상기 게이트 신호는 상기 제1 게이트선군의 게이트선 및 제2 게이트선군의 게이트선에 번갈아 가며 차례로 인가

될 수 있다.

- <31> 상기 제1 및 제2 게이트 구동부는 상기 기판 위에 집적될 수 있다.
- <32> 상기 제1 및 제2 게이트 구동부는 상기 제1 및 제2 화소군을 사이에 두고 마주할 수 있다.
- <33> 상기 게이트 신호는 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)로 이루어져 있으며, 상기 게이트 온 전압(Von)의 지속 시간은 1 수평 주기 이상일 수 있다.
- <34> 상기 게이트 온 전압(Von)의 지속 시간은 2 수평 주기일 수 있다.
- <35> 상기 제1 및 제2 게이트선군 각각의 게이트선 중 같은 행에 배열되어 있는 두 개의 게이트선에 인가되는 게이트 신호의 게이트 온 전압(Von)은 소정 시간 서로 중첩할 수 있다.
- <36> 상기 소정 시간은 1 수평 주기일 수 있다.
- <37> 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <38> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <39> 그러면 도 1, 도 2, 도 3 및 도 4를 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 설명한다.
- <40> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이며, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 화소, 신호선 및 구동부의 공간적인 배열을 나타내는 도면이고, 도 4는 본 발명의 다른 실시예에 따른 액정 표시 장치의 화소, 신호선 및 구동부의 공간적인 배열을 나타내는 도면이다.
- <41> 도 1 및 도 2를 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300)와 이에 연결된 한 쌍의 게이트 구동부(400a, 400b) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- <42> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선( $G_i, G_{i+1}, D_j$ )과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- <43> 먼저 도 1 및 도 2를 참고하면, 신호선( $G_i, G_{i+1}, D_j$ )은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선( $G_i, G_{i+1}$ )과 데이터 신호를 전달하는 복수의 데이터선( $D_j$ )을 포함한다. 게이트선( $G_i, G_{i+1}$ )은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선( $D_j$ )은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- <44> 각 화소(PX)는 신호선( $G_i, D_j$ )에 연결된 스위칭 소자(Q)와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기(Cst)는 필요에 따라 생략할 수 있다.
- <45> 스위칭 소자(Q)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선( $G_i$ )과 연결되어 있고, 입력 단자는 데이터선( $D_j$ )과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기(Cst)와 연결되어 있다.
- <46> 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자(Q)와 연결되며 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- <47> 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기(Cst)는 하부 표시판(100)에 구비된 별개의 신호선(도시

하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기(Cst)는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선( $G_{i-1}$ )과 중첩되어 이루어질 수 있다.

- <48> 도 3에 도시한 바와 같이, 화소(PX)는 행 방향으로 이웃하는 제1 화소군(PXa) 및 제2 화소군(PXb)으로 나뉘어진다. 복수의 게이트선( $G_{a1}, G_{a2} \dots G_{an}, G_{b1}, G_{b2} \dots G_{bn}$ )은 제1 화소군(PXa)에 연결되어 있는 제1 게이트선군( $G_a$ ) 및 제2 화소군(PXb)에 연결되어 있는 제2 게이트선군( $G_b$ )으로 나뉜다. 즉, 하나의 화소행에 배열되어 있는 게이트선( $G_{a1}/G_{b1}, G_{a2}/G_{b2} \dots G_{an}/G_{bn}$ )은 서로 분리되어 각각 제1 및 제2 게이트선군( $G_a, G_b$ )에 포함된다.
- <49> 복수의 데이터선 역시 제1 화소군(PXa)에 연결되어 있는 제1 데이터선군( $D_a$ ) 및 제2 화소군(PXb)에 연결되어 있는 제2 데이터선군( $D_b$ )으로 나뉜다. 제1 데이터선군( $D_a$ )의 데이터선( $D_{a1}, D_{a2}, D_{a3} \dots D_{am-2}, D_{am-1}, D_{am}$ )과 제2 데이터선군( $D_b$ )의 데이터선( $D_{b1}, D_{b2}, D_{b3} \dots D_{bm-2}, D_{bm-1}, D_{bm}$ )은 각각 차례로 서로 연결되어 있다. 이 때 각 데이터선( $D_{a1}, D_{a2}, D_{a3} \dots D_{am-2}, D_{am-1}, D_{am}, D_{b1}, D_{b2}, D_{b3} \dots D_{bm-2}, D_{bm-1}, D_{bm}$ )을 연결하는 연장선은 화소(PX)를 기준으로 상부 또는 하부 영역(330, 340)에 번갈아 형성되어 있다. 즉, 제1 데이터선군( $D_a$ ) 및 제2 데이터선군( $D_b$ )의 홀수 번째 데이터선 ( $D_{a1}, D_{a3}, D_{am-1}, D_{b1}, D_{b3}, D_{bm-1}$ )은 화소(PX)를 기준으로 상부 영역(330)에서 연결되어 있으며, 제1 데이터선군( $D_a$ ) 및 제2 데이터선군( $D_b$ )의 짝수 번째 데이터선 ( $D_{a2}, D_{am-2}, D_{am}, D_{b2}, D_{bm-2}, D_{bm}$ )은 화소(PX)를 기준으로 하부 영역(340)에서 연결되어 있다.
- <50> 이와는 달리 도 4와 같이, 제1 데이터선군( $D_a$ )의 데이터선( $D_{a1}, D_{a2}, D_{a3} \dots D_{am-2}, D_{am-1}, D_{am}$ )과 제2 데이터선군( $D_b$ )의 데이터선( $D_{b1}, D_{b2}, D_{b3} \dots D_{bm-2}, D_{bm-1}, D_{bm}$ ) 각각은 가까운 것끼리 서로 연결되어 있을 수 있다. 이 때에도 각 데이터선( $D_{a1}, D_{a2}, D_{a3} \dots D_{am-2}, D_{am-1}, D_{am}, D_{b1}, D_{b2}, D_{b3} \dots D_{bm-2}, D_{bm-1}, D_{bm}$ )을 연결하는 연장선은 화소(PX)를 기준으로 상부 또는 하부 영역(330, 340)에 번갈아 형성되어 있다.
- <51> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(230)는 하부 표시판(100)의 화소 전극(191) 위 또는 아래에 형성할 수도 있다.
- <52> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.
- <53> 다시, 도 1 및 도 3을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 두 별개의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성한다. 두 별 중 한 별은 공통 전압(Vcom)에 대하여 양의 값을 가지고 다른 한 별은 음의 값을 가진다.
- <54> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선( $G_i$ )과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선( $G_i$ )에 인가한다.
- <55> 게이트 구동부(400)는 각각 액정 표시판(300)의 오른쪽과 왼쪽에 배치되는 제1 및 제2 게이트 구동부(400a, 400b)를 포함한다. 제1 게이트 구동부(400a)는 제1 게이트선군( $G_a$ )에 연결되어 있으며, 제2 게이트 구동부(400b)는 제2 게이트선군( $G_b$ )에 연결되어 있다. 제1 및 제2 게이트 구동부(400a, 400b)는 화소(PX)를 중심으로 마주하며 좌우 영역(310, 320)에 위치한다.
- <56> 게이트 구동부(400a, 400b)는 실질적으로 시프트 레지스터로서 일렬로 배열된 복수의 스테이지(stage)를 포함하며, 신호선( $G_{1a}-G_{na}, G_{1b}-G_{nb}, D_{1a}-D_{ma}, D_{1b}-D_{mb}$ ) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 동일한 공정으로 형성되어 집적되어 있다. 게이트 구동부(400a, 400b)는 또한 게이트 구동부(400a, 400b)는 집적 회로 칩의 형태로 조립체(300) 위에 직접 장착될 수도 있고, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다.

- <57> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D<sub>1a</sub>-D<sub>ma</sub>, D<sub>1b</sub>-D<sub>mb</sub>)에 연결되어 있으며, 화소(PX)를 기준으로 우측 영역(320)에 제2 게이트 구동부(400b)와 이웃하여 위치한다. 그러나 데이터 구동부(500)는 제1 게이트 구동부(400a)와 이웃하여 위치할 수도 있다. 데이터 구동부(500)는 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D<sub>1a</sub>-D<sub>ma</sub>, D<sub>1b</sub>-D<sub>mb</sub>)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- <58> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <59> 이러한 구동 장치(500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(500, 600, 800)가 신호선(G<sub>1a</sub>-G<sub>na</sub>, G<sub>1b</sub>-G<sub>nb</sub>, D<sub>1a</sub>-D<sub>ma</sub>, D<sub>1b</sub>-D<sub>mb</sub>) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <60> 이와 같이, 복수의 데이터선(D<sub>1a</sub>-D<sub>ma</sub>, D<sub>1b</sub>-D<sub>mb</sub>)을 두 개씩 연결하면, 액정 표시 장치에 설치되는 데이터 구동 회로 칩과 같은 데이터 구동부의 수효를 줄일 수 있다. 또한 모든 화소에 동일하게 데이터선을 배치함으로써 데이터선과 화소 전극 간에 생기는 기생 용량에 의한 화소 전극 전압의 변동량이 화소 마다 변화하는 것을 방지할 수 있다. 따라서 각 화소의 휘도를 일정하게 유지할 수 있다. 또한 각 화소간 개구율의 차이가 발생하는 것을 방지할 수 있다.
- <61> 데이터선(D<sub>1a</sub>-D<sub>ma</sub>, D<sub>1b</sub>-D<sub>mb</sub>)을 두 개씩 연결하면, 데이터 구동부(500)와 연결되는 선의 숫자가 반으로 줄어들므로 공간적으로 유리하다. 따라서 공간적인 제약을 받지 않고 데이터 구동부(500)를 액정 표시판 조립체(300)의 측면에 배치할 수 있다.
- <62> 앞서 설명한 바와 같이 게이트선(G<sub>1a</sub>-G<sub>na</sub>, G<sub>1b</sub>-G<sub>nb</sub>)은 각 화소행에서 두 부분으로 분리되어 각각 다른 게이트 구동부(400a, 400b)와 연결되어 있다. 이로써 두 개의 데이터선이 연결되어 있는 구조에서 하나의 화소행 당 한 행의 게이트선만이 포함될 수 있으므로, 표시판 조립체(300)의 개구율을 감소시키지 않는다.
- <63> 그러면 이러한 액정 표시 장치의 동작에 대하여 상세하게 설명한다.
- <64> 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <65> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다.
- <66> 게이트 제어 신호(CONT1)는 주사 시작을 지시하는 주사 시작 신호(STV)와 게이트 온 전압(Von)의 출력 주기를 제어하는 적어도 하나의 클럭 신호를 포함한다.
- <67> 데이터 제어 신호(CONT2)는 한 행[묶음]의 화소(PX)에 대한 영상 데이터의 전송 시작을 알리는 수평 동기 시작 신호(STH)와 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 데이터 신호를 인가하라는 로드 신호(LOAD) 및 데이터 클럭 신호(HCLK)를 포함한다. 데이터 제어 신호(CONT2)는 또한 공통 전압(Vcom)에 대한 데이터 신호의 전압 극성(이하 "공통 전압에 대한 데이터 신호의 전압 극성"을 줄여 "데이터 신호의 극성"이라 함)을 반전시키는 반전 신호(RVS)를 더 포함할 수 있다.
- <68> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행[묶음]의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 신호로 변환한 다음, 이를 해당 데이터선(D<sub>1</sub>-D<sub>m</sub>)에 인가한다.

- <69> 게이트 구동부(400a, 400b)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G<sub>1a</sub>-G<sub>na</sub>, G<sub>1b</sub>-G<sub>nb</sub>)에 인가하여 이 게이트선(G<sub>1a</sub>-G<sub>na</sub>, G<sub>1b</sub>-G<sub>nb</sub>)에 연결된 스위칭 소자(Q)를 턴온시킨다. 그러면, 데이터선(D<sub>1a</sub>-D<sub>ma</sub>, D<sub>1b</sub>-D<sub>mb</sub>)에 인가된 데이터 신호가 턴온된 스위칭 소자(Q)를 통하여 해당 화소(PX)에 인가된다. 이 때 게이트 온 전압(Von)은 제1 게이트선군(G<sub>a</sub>) 및 제2 게이트선군(G<sub>b</sub>)을 번갈아가며 차례로 인가된다. 즉 제1 게이트선군(G<sub>a</sub>)의 첫 번째 게이트선(G<sub>1a</sub>), 제2 게이트선군(G<sub>b</sub>)의 첫 번째 게이트선(G<sub>1b</sub>), 제1 게이트선군(G<sub>a</sub>)의 두 번째 게이트선(G<sub>2a</sub>), 제2 게이트선군(G<sub>b</sub>)의 두 번째 게이트선(G<sub>2b</sub>) 등의 순서로 게이트 온 전압(Von)이 인가된다.
- <70> 화소(PX)에 인가된 데이터 신호의 전압과 공통 전압(Vcom)의 차이는 액정 축전기(C1c)의 충전 전압, 즉 화소 전압으로서 나타난다. 액정 분자들은 화소 전압의 크기에 따라 그 배열을 달리하며 이에 따라 액정층(3)을 통과하는 빛의 편광이 변화한다. 이러한 편광의 변화는 표시판 조립체(300)에 부착된 편광자에 의하여 빛의 투과율 변화로 나타난다.
- <71> 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 게이트선(G<sub>1</sub>-G<sub>2n</sub>)에 대하여 차례로 게이트 온 전압(Von)을 인가하여 모든 화소(PX)에 데이터 신호를 인가하여 한 프레임(frame)의 영상을 표시한다.
- <72> 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 신호의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다("프레임 반전"). 이 때, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 신호의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 화소행에 인가되는 데이터 신호의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- <73> 그러면 본 발명의 한 실시예에 따른 게이트 구동부에 대하여 도 5 내지 도 8을 참고로 하여 설명한다.
- <74> 도 5는 본 발명의 한 실시예에 따른 게이트 구동부의 블록도이고, 도 6은 본 발명의 한 실시예에 따른 게이트 구동부용 시프트 레지스터의 j번째 스테이지의 회로도이며, 도 7은 도 5에 도시한 게이트 구동부 중 첫 번째 및 두 번째 스테이지의 개략적인 배치도이며, 도 8은 도 5에 도시한 게이트 구동부의 신호 파형도이다.
- <75> 도 5 및 도 7을 참고하면, 게이트 구동부(400)인 시프트 레지스터(400a, 400b)에는 제1 및 제2 주사 시작 신호(LSTV, RSTV), 제1 내지 제4 클록 신호(LCLK1, LCLK2, RCLK1, RCLK2)가 입력된다. 각 시프트 레지스터(400a, 400b)는 각각 일렬로 배열되어 있으며 게이트선에 각각 연결되어 있는 복수의 스테이지(410a, 410b)를 포함한다.
- <76> 도 8에 도시한 바와 같이, 왼쪽 시프트 레지스터(400a)에 입력되는 제1 주사 시작 신호(LSTV)와 오른쪽 시프트 레지스터(400b)에 입력되는 제2 주사 시작 신호(RSTV)는 폭이 2H인 복수의 펄스를 1 프레임에 1개 포함하는 1 프레임 주기의 신호이다.
- <77> 왼쪽 시프트 레지스터(400a)의 첫 번째 스테이지(410a)에 입력되는 제1 수직 동기 시작 신호(LSTV)의 하이 구간은 제1 클록 신호(LCLK1)의 로우 구간에 위치하고 제1 클록 신호(LCLK1)가 하이가 됨과 동시에 로우가 되며, 오른쪽 시프트 레지스터(400b)의 첫 번째 스테이지(410b)에 입력되는 제2 수직 동기 시작 신호(RSTV)의 하이 구간은 역시 제3 클록 신호(RCLK1)의 로우 구간에 위치하고 제3 클록 신호(RCLK1)가 하이가 됨과 동시에 로우가 된다.
- <78> 각 시프트 레지스터(400a, 400b)에서 인접한 두 스테이지(410a, 410b)에는 서로 다른 클록 신호(LCLK1, LCLK2, RCLK1, RCLK2)가 입력된다. 예를 들면, 왼쪽 시프트 레지스터(400a)의 첫 번째 스테이지에는 제1 클록 신호(LCLK1), 두 번째 스테이지에는 제2 클록 신호(LCLK2)가 입력되며, 오른쪽 시프트 레지스터(400b)의 첫 번째 스테이지에는 제3 클록 신호(RCLK1), 두 번째 스테이지에는 제4 클록 신호(RCLK2)가 입력된다.
- <79> 각 클록 신호(LCLK1, LCLK2, RCLK1, RCLK2) 역시 화소의 스위칭 소자(Q)를 구동할 수 있도록 하이인 경우는 게이트 온 전압(V<sub>on</sub>)이고 로우인 경우는 게이트 오프 전압(V<sub>off</sub>)인 것이 바람직하다.
- <80> 각 스테이지(410a, 410b)는 세트 단자(S), 게이트 전압 단자(GV), 한 쌍의 클록 단자(CK1, CK2), 리세트 단자(R), 프레임 리세트 단자(FR), 그리고 게이트 출력 단자(OUT1) 및 캐리 출력 단자(OUT2)를 가지고 있다.
- <81> 각 스테이지, 예를 들면 j번째 스테이지(STj)의 세트 단자(S)에는 전단 스테이지[ST(j-2)]의 캐리 출력, 즉 전

단 캐리 출력[Cout(j-2)]이, 리세트 단자(R)에는 후단 스테이지[ST(j+2)]의 게이트 출력, 즉 후단 게이트 출력[Gout(j+2)]이 입력되고, 클록 단자(CK1, CK2)에는 클록 신호(LCLK1, LCLK2)가 입력되며, 게이트 전압 단자(GV)에는 게이트 오프 전압(V<sub>off</sub>)이 입력된다. 게이트 출력 단자(OUT1)는 게이트 출력[Gout(j)]을 내보내고 캐리 출력 단자(OUT2)는 캐리 출력[Cout(j)]을 내보낸다.

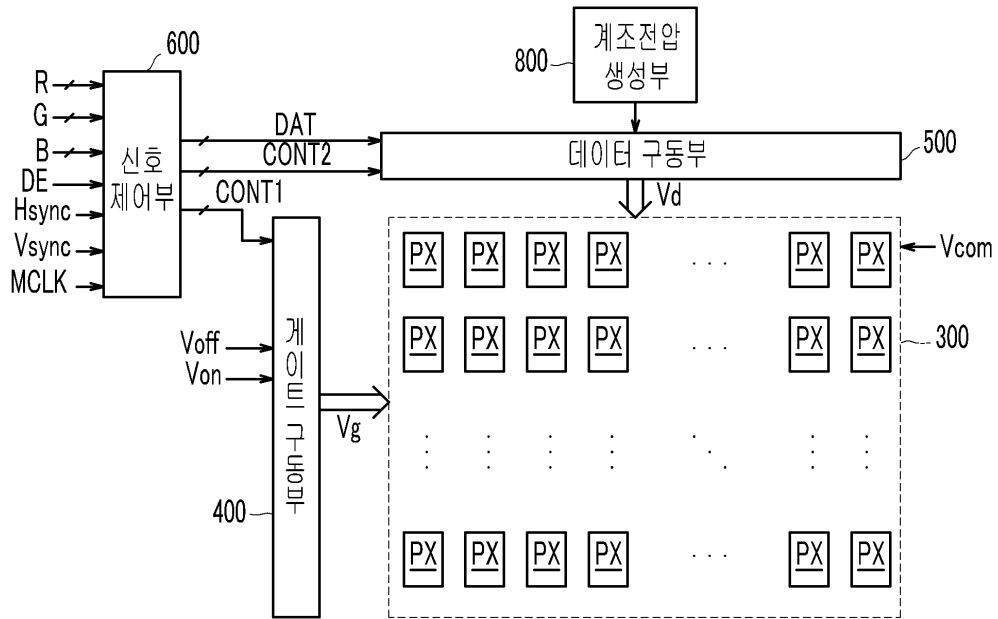
- <82> 단, 각 시프트 레지스터(400a, 400b)의 첫 번째 스테이지에는 전단 캐리 출력 대신 주사 시작 신호(LSTV, RSTV)가 입력된다. 또한, j 번째 스테이지(ST<sub>j</sub>)의 클록 단자(CK1)에 클록 신호(LCLK1)가, 클록 단자(CK2)에 클록 신호(LCLK2)가 입력되는 경우, 이에 인접한 (j-2)번째 및 (j+2)번째 스테이지[ST(j-2), ST(j+2)]의 클록 단자(CK1)에는 클록 신호(LCLK2)가, 클록 단자(CK2)에는 클록 신호(LCLK1)가 입력된다.
- <83> 도 5를 참고하면, 본 발명의 한 실시예에 따른 게이트 구동부(400)의 각 스테이지, 예를 들면 j번째 스테이지는, 입력부(420), 풀업 구동부(430), 풀다운 구동부(440) 및 출력부(450)를 포함한다. 이들은 적어도 하나의 NMOS 트랜지스터(T1-T14)를 포함하며, 풀업 구동부(430)와 출력부(450)는 축전기(C1-C3)를 더 포함한다. 그러나 NMOS 트랜지스터 대신 PMOS 트랜지스터를 사용할 수도 있다. 또한, 축전기(C1-C3)는 실제로, 공정시에 형성되는 게이트와 드레인/소스간 기생 용량(parasitic capacitance)일 수 있다.
- <84> 입력부(420)는 세트 단자(S)와 게이트 전압 단자(GV)에 차례로 직렬로 연결되어 있는 세 개의 트랜지스터(T11, T10, T5)를 포함한다. 트랜지스터(T11, T5)의 게이트는 클록 단자(CK2)에 연결되어 있으며 트랜지스터(T10)의 게이트는 클록 단자(CK1)에 연결되어 있다. 트랜지스터(T11)와 트랜지스터(T10) 사이의 접점은 접점(J1)에 연결되어 있고, 트랜지스터(T10)와 트랜지스터(T5) 사이의 접점은 접점(J2)에 연결되어 있다.
- <85> 풀업 구동부(430)는 세트 단자(S)와 접점(J1) 사이에 연결되어 있는 트랜지스터(T4)와 클록 단자(CK1)와 접점(J3) 사이에 연결되어 있는 트랜지스터(T12), 그리고 클록 단자(CK1)와 접점(J4) 사이에 연결되어 있는 트랜지스터(T7)를 포함한다. 트랜지스터(T4)의 게이트와 드레인은 세트 단자(S)에 공통으로 연결되어 있으며 소스는 접점(J1)에 연결되어 있고, 트랜지스터(T12)의 게이트와 드레인은 클록 단자(CK1)에 공통으로 연결되어 있고 소스는 접점(J3)에 연결되어 있다. 트랜지스터(T7)의 게이트는 접점(J3)에 연결됨과 동시에 축전기(C1)를 통하여 클록 단자(CK1)에 연결되어 있고, 드레인은 클록 단자(CK1)에, 소스는 접점(J4)에 연결되어 있으며, 접점(J3)과 접점(J4) 사이에 축전기(C2)가 연결되어 있다.
- <86> 풀다운 구동부(440)는 소스를 통하여 게이트 오프 전압(V<sub>off</sub>)을 입력받아 드레인을 통하여 접점(J1, J2, J3, J4)으로 출력하는 복수의 트랜지스터(T6, T9, T13, T8, T3, T2)를 포함한다. 트랜지스터(T6)의 게이트는 프레임 리세트 단자(FR)에, 드레인은 접점(J1)에 연결되어 있고, 트랜지스터(T9)의 게이트는 리세트 단자(R)에, 드레인은 접점(J1)에 연결되어 있으며, 트랜지스터(T13, T8)의 게이트는 접점(J2)에 공통으로 연결되어 있고, 드레인은 각각 접점(J3, J4)에 연결되어 있다. 트랜지스터(T3)의 게이트는 접점(J4)에, 트랜지스터(T2)의 게이트는 리세트 단자(R)에 연결되어 있으며, 두 트랜지스터(T3, T2)의 드레인은 접점(J2)에 연결되어 있다.
- <87> 출력부(450)는 드레인과 소스가 각각 클록 단자(CK1)와 출력 단자(OUT1, OUT2) 사이에 연결되어 있고 게이트가 접점(J1)에 연결되어 있는 한 쌍의 트랜지스터(T1, T14)와 트랜지스터(T1)의 게이트와 드레인 사이, 즉 접점(J1)과 접점(J2) 사이에 연결되어 있는 축전기(C3)를 포함한다. 트랜지스터(T1)의 소스는 또한 접점(J2)에 연결되어 있다.
- <88> 그러면 이러한 스테이지의 동작에 대하여 설명한다.
- <89> 설명의 편의를 위하여 클록 신호(LCLK1, LCLK2, RCLK1, RCLK2)의 하이 레벨에 해당하는 전압을 고전압이라고 하고, 클록 신호(LCLK1, LCLK2, RCLK1, RCLK2)의 로우 레벨에 해당하는 전압의 크기는 게이트 오프 전압(V<sub>off</sub>)과 동일하고 이를 저전압이라 한다.
- <90> 먼저, 클록 신호(LCLK2) 및 전단 캐리 출력[Cout(j-2)]이 하이가 되면, 트랜지스터(T11, T5)와 트랜지스터(T4)가 턴온된다. 그러면 두 트랜지스터(T11, T4)는 고전압을 접점(J1)으로 전달하고, 트랜지스터(T5)는 저전압을 접점(J2)으로 전달한다. 이로 인해, 트랜지스터(T1, T14)가 턴온되어 클록 신호(CLK1)가 출력단(OUT1, OUT2)으로 출력되는데, 이 때 접점(J2)의 전압과 클록 신호(LCLK1)가 모두 저전압이므로, 출력 전압[Gout(j), Cout(j)]은 저전압이 된다. 이와 동시에, 축전기(C3)는 고전압과 저전압의 차에 해당하는 크기의 전압을 충전한다.
- <91> 이 때, 클록 신호(LCLK1) 및 후단 게이트 출력[Gout(j+2)]은 로우이고 접점(J2) 또한 로우이므로, 이에 게이트가 연결되어 있는 트랜지스터(T10, T9, T12, T13, T8, T2)는 모두 오프 상태이다.

- <92> 이어, 클록 신호(LCLK2)가 로우가 되면 트랜지스터(T11, T5)가 턴오프되고, 이와 동시에 클록 신호(LCLK1)가 하이가 되면 트랜지스터(T1)의 출력 전압 및 접점(J2)의 전압이 고전압이 된다. 이 때, 트랜지스터(T10)의 게이트에는 고전압이 인가되지만 접점(J2)에 연결되어 있는 소스의 전위가 또한 동일한 고전압이므로, 게이트 소스 간 전위차가 0이 되어 트랜지스터(T10)는 턴오프 상태를 유지한다. 따라서, 접점(J1)은 부유 상태가 되고 이에 따라 축전기(C3)에 의하여 고전압만큼 전위가 더 상승한다.
- <93> 한편, 클록 신호(LCLK1) 및 접점(J2)의 전위가 고전압이므로 트랜지스터(T12, T13, T8)가 턴온된다. 이 상태에서 트랜지스터(T12)와 트랜지스터(T13)가 고전압과 저전압 사이에서 직렬로 연결되며, 이에 따라 접점(J3)의 전위는 두 트랜지스터(T12, T13)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 가진다. 그런데, 두 트랜지스터(T13)의 턴온시 저항 상태의 저항값이 트랜지스터(T12)의 턴온시 저항 상태의 저항값에 비하여 매우 크게, 이를테면 약 10,000배 정도로 설정되어 있다고 하면 접점(J3)의 전압은 고전압과 거의 동일하다. 따라서, 트랜지스터(T7)가 턴온되어 트랜지스터(T8)와 직렬로 연결되고, 이에 따라 접점(J4)의 전위는 두 트랜지스터(T7, T8)의 턴온시 저항 상태의 저항값에 의하여 분압된 전압값을 갖는다. 이 때, 두 트랜지스터(T7, T8)의 저항 상태의 저항값이 거의 동일하게 설정되어 있으면, 접점(J4)의 전위는 고전압과 저전압의 중간값을 가지고 이에 따라 트랜지스터(T3)는 턴오프 상태를 유지한다. 이 때, 후단 게이트 출력[Gout(j+2)]이 여전히 로우이므로 트랜지스터(T9, T2) 또한 턴오프 상태를 유지한다. 따라서, 출력단(OUT1, OUT2)은 클록 신호(CLK1)에만 연결되고 저전압과는 차단되어 고전압을 내보낸다.
- <94> 한편, 축전기(C1)와 축전기(C2)는 양단의 전위차에 해당하는 전압을 각각 충전하는데, 접점(J3)의 전압이 접점(J5)의 전압보다 낮다.
- <95> 이어, 후단 게이트 출력[Gout(j+1)] 및 클록 신호(CLK2)가 하이가 되고 클록 신호(CLK1)가 로우가 되면, 트랜지스터(T9, T2)가 턴온되어 접점(J1, J2)으로 저전압을 전달한다. 이 때, 접점(J1)의 전압은 축전기(C3)가 방전하면서 저전압으로 떨어지는데, 축전기(C3)의 방전 시간으로 인하여 저전압으로 완전히 내려가는 데는 어느 정도 시간을 필요로 한다. 따라서, 두 트랜지스터(T1, T14)는 후단 게이트 출력[Gout(j+1)]이 하이가 되고도 잠시동안 턴온 상태를 유지하게 되고 이에 따라 출력단(OUT1, OUT2)이 클록 신호(CLK1)와 연결되어 저전압을 내보낸다. 이어, 축전기(C3)가 완전히 방전되어 접점(J1)의 전위가 저전압에 이르면 트랜지스터(T14)가 턴오프되어 출력단(OUT2)이 클록 신호(CLK1)와 차단되므로, 캐리 출력[Cout(j)]은 부유 상태가 되어 저전압을 유지한다. 이와 동시에, 출력단(OUT1)은 트랜지스터(T1)가 턴오프되더라도 트랜지스터(T2)를 통하여 저전압과 연결되므로 계속해서 저전압을 내보낸다.
- <96> 한편, 트랜지스터(T12, T13)가 턴오프되므로, 접점(J3)이 부유 상태가 된다. 또한 접점(J5)의 전압이 접점(J4)의 전압보다 낮아지는데 축전기(C1)에 의하여 접점(J3)의 전압이 접점(J5)의 전압보다 낮은 상태를 유지하므로 트랜지스터(T7)는 턴오프된다. 이와 동시에 트랜지스터(T8)도 턴오프 상태가 되므로 접점(J4)의 전압도 그만큼 낮아져 트랜지스터(T3) 또한 턴오프 상태를 유지한다. 또한, 트랜지스터(T10)는 게이트가 클록 신호(CLK1)의 저전압에 연결되고 접점(J2)의 전압도 로우이므로 턴오프 상태를 유지한다.
- <97> 다음, 클록 신호(CLK1)가 하이가 되면, 트랜지스터(T12, T7)가 턴온되고, 접점(J4)의 전압이 상승하여 트랜지스터(T3)를 턴온시켜 저전압을 접점(J2)으로 전달하므로 출력단(OUT1)은 계속해서 저전압을 내보낸다. 즉, 비록 후단 게이트 출력[Gout(j+1)]이 출력이 로우라 하더라도 접점(J2)의 전압이 저전압이 될 수 있도록 한다.
- <98> 한편, 트랜지스터(T10)의 게이트가 클록 신호(CLK1)의 고전압에 연결되고 접점(J2)의 전압이 저전압이므로 턴온되어 접점(J2)의 저전압을 접점(J1)으로 전달한다. 한편, 두 트랜지스터(T1, T14)의 드레인에는 클록 단자(CLK1)가 연결되어 있어 클록 신호(CLK1)가 계속해서 인가된다. 특히, 트랜지스터(T1)는 나머지 트랜지스터들에 비하여 상대적으로 크게 만드는데, 이로 인해 게이트 드레인간 기생 용량이 커져 드레인의 전압 변화가 게이트 전압에 영향을 미칠 수 있다. 따라서, 클록 신호(CLK1)가 하이가 될 때 게이트 드레인간 기생 용량 때문에 게이트 전압이 올라가 트랜지스터(T1)가 턴온될 수도 있다. 따라서, 접점(J2)의 저전압을 접점(J1)으로 전달함으로써 트랜지스터(T1)의 게이트 전압을 저전압으로 유지하여 트랜지스터(T1)가 턴온되는 것을 방지한다.
- <99> 이후에는 전단 캐리 출력[Cout(j-2)]이 하이가 될 때까지 접점(J1)의 전압은 저전압을 유지하며, 접점(J2)의 전압은 클록 신호(CLK1)가 하이이고 클록 신호(CLK2)가 로우일 때는 트랜지스터(T3)를 통하여 저전압이 되고, 그 반대의 경우에는 트랜지스터(T5)를 통하여 저전압을 유지한다.
- <100> 한편, 트랜지스터(T6)는 마지막 더미 스테이지(도시하지 않음)에서 발생하는 초기화 신호(INT)를 입력받아 게이트 오프 전압(V<sub>off</sub>)을 접점(J1)으로 전달하여 접점(J1)의 전압을 한번 더 저전압으로 설정한다.

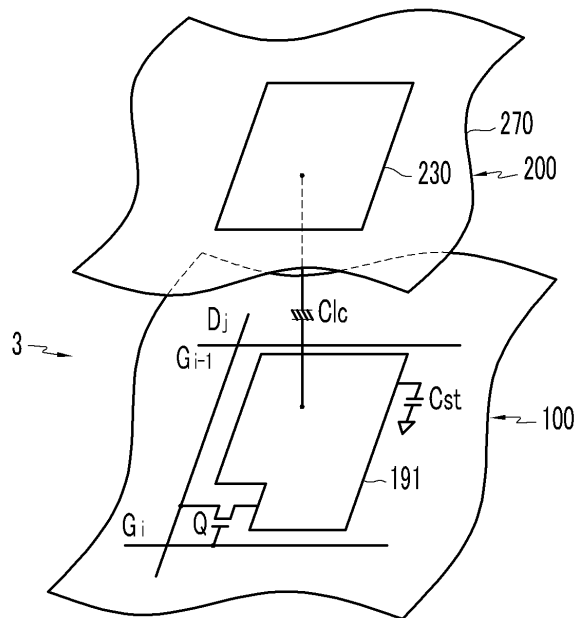


도면

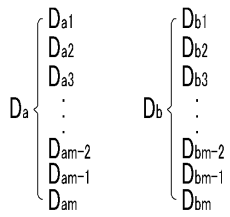
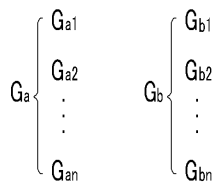
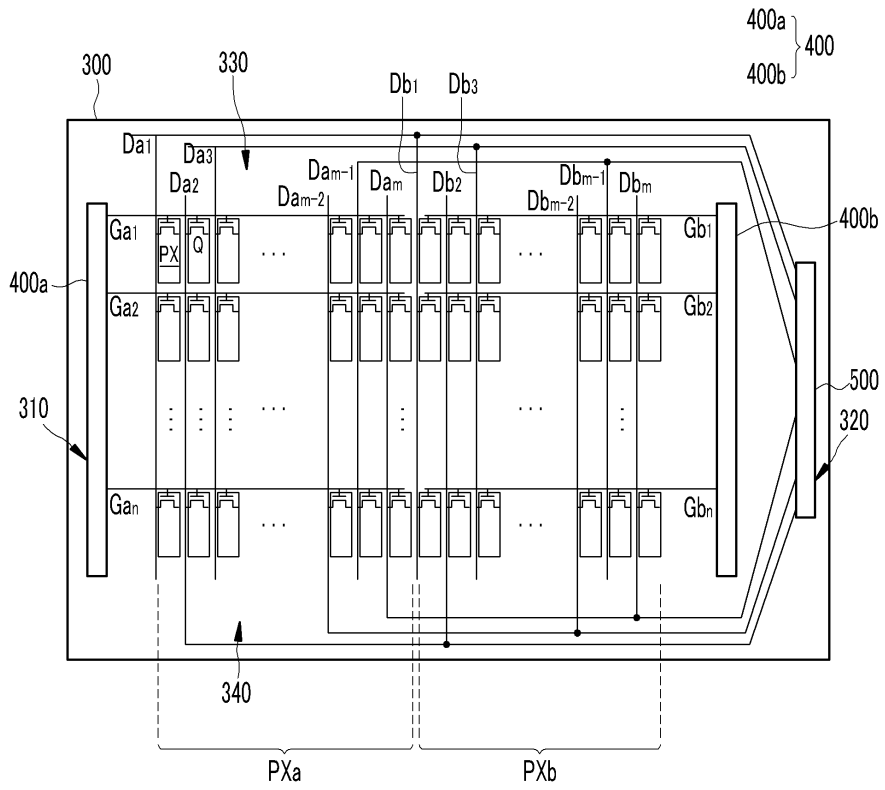
도면1



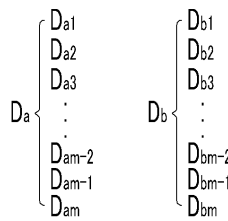
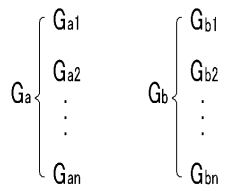
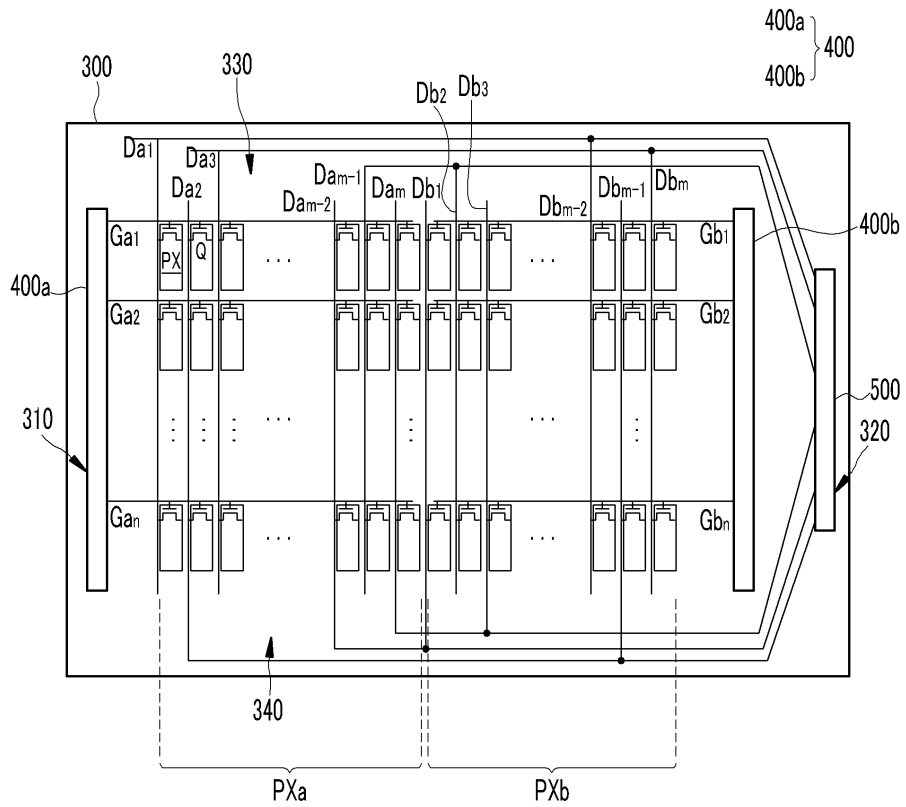
도면2



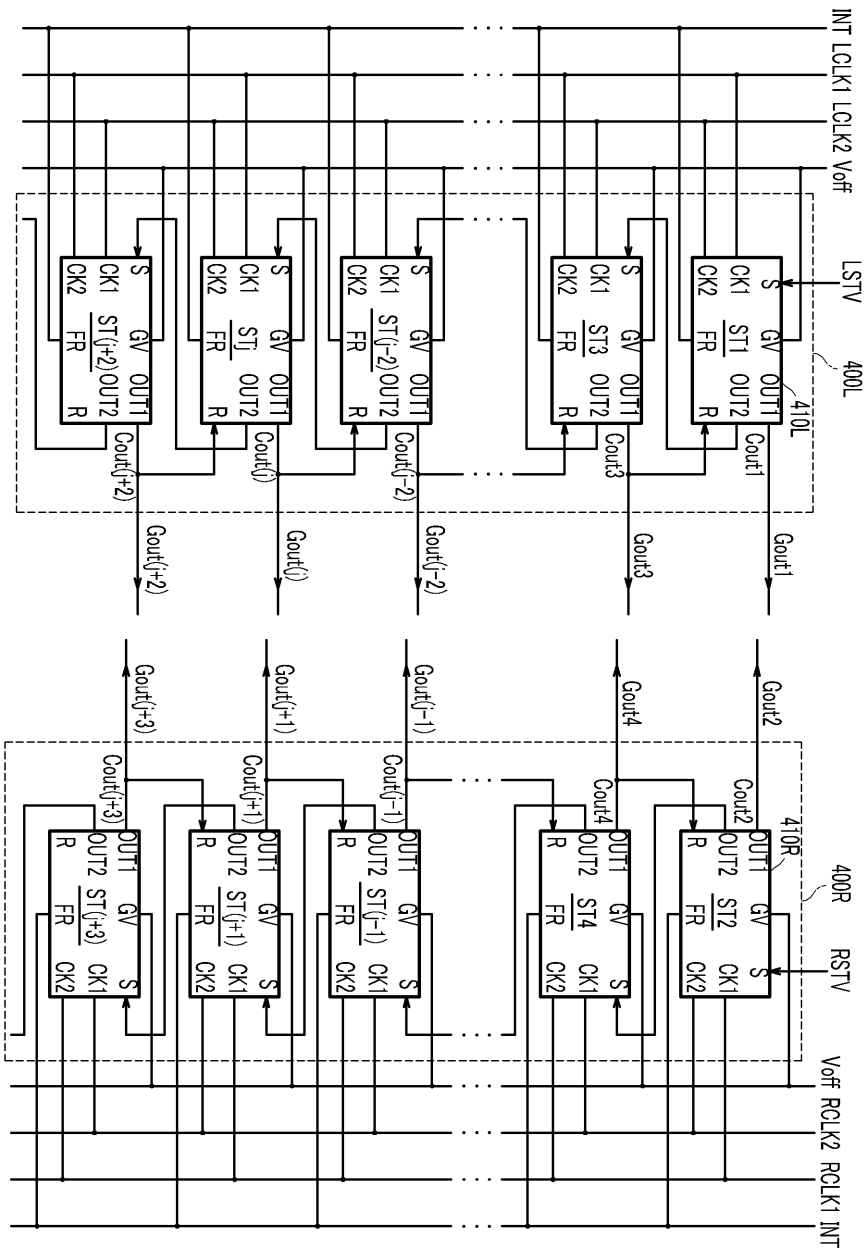
도면3



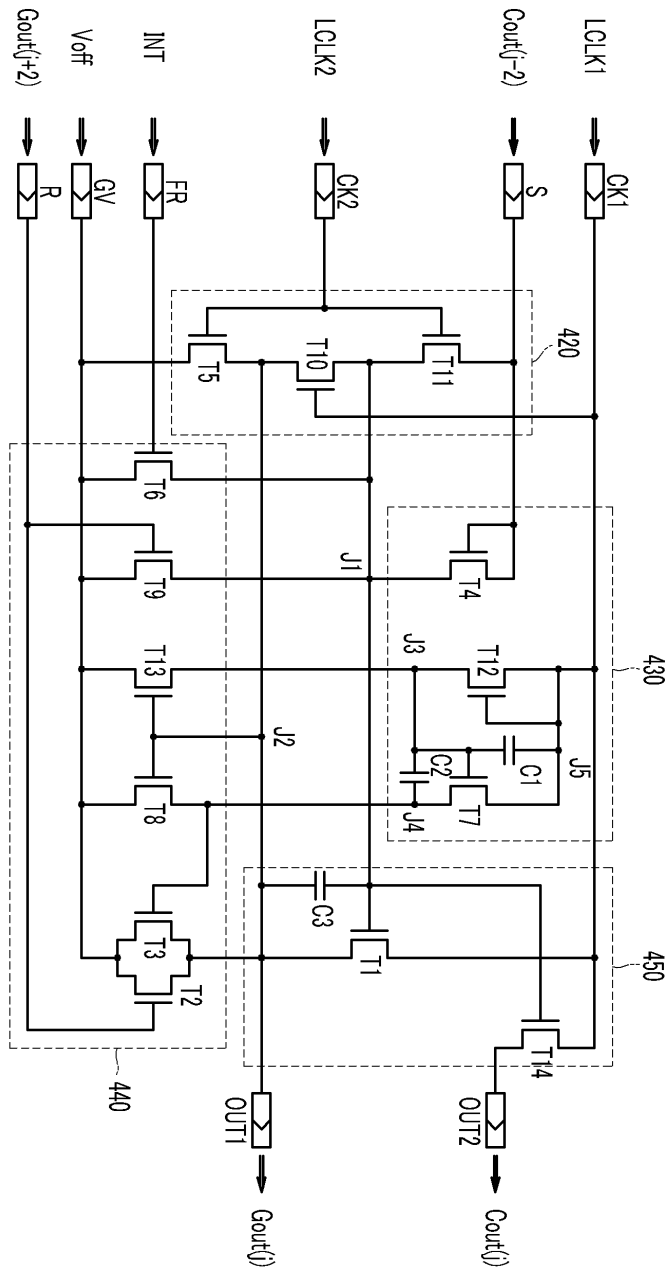
도면4



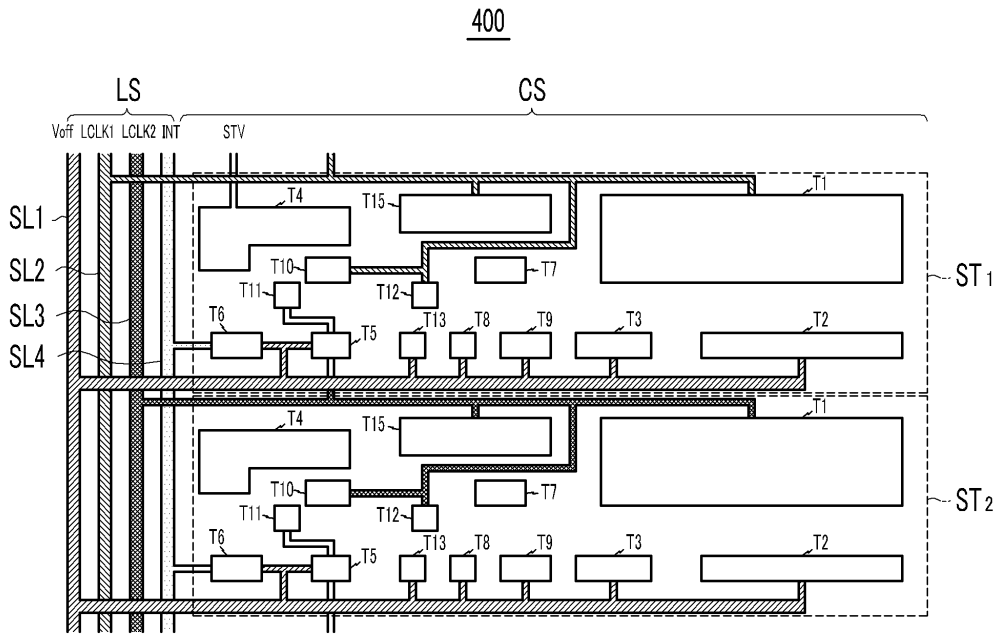
도면5



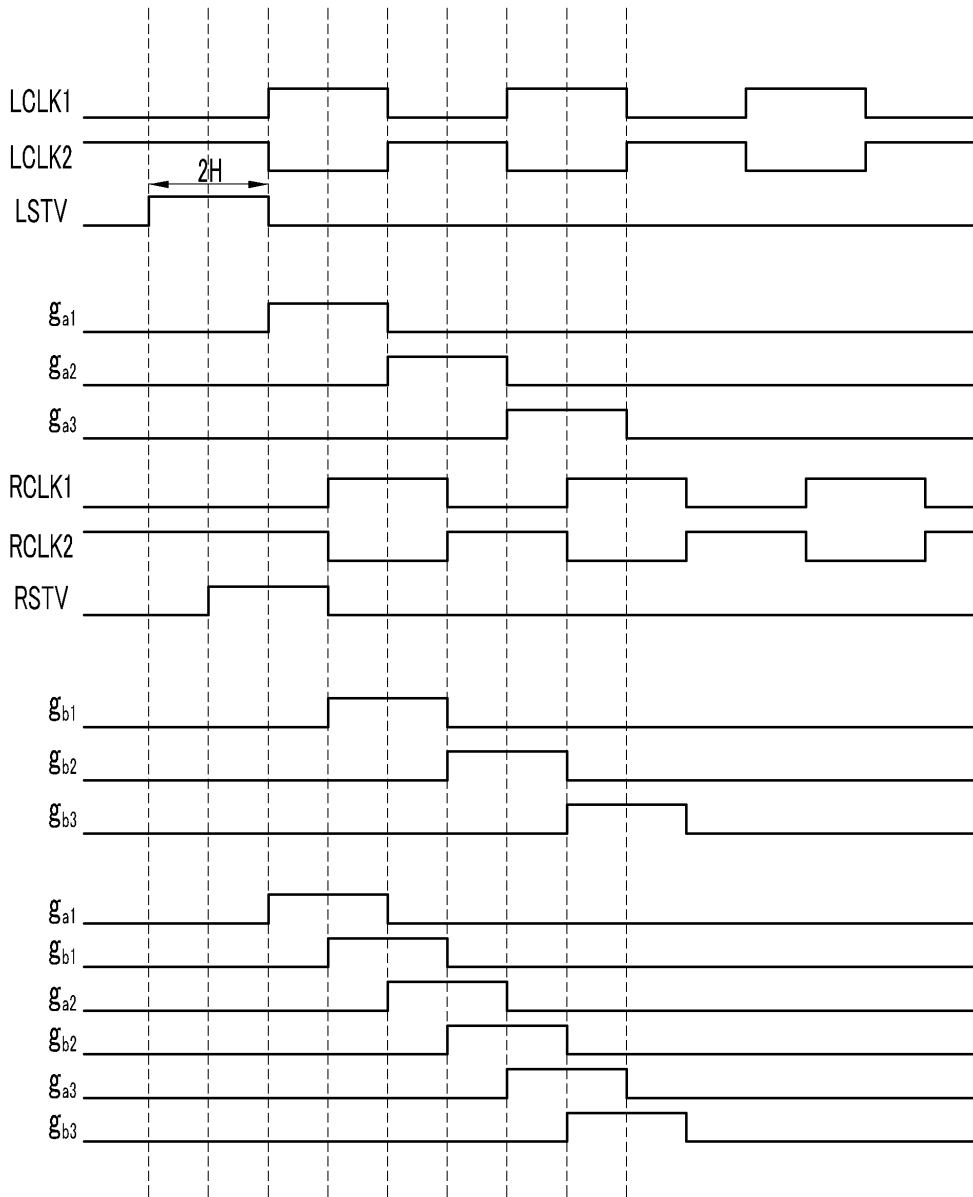
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020080028079A</a>	公开(公告)日	2008-03-31
申请号	KR1020060093412	申请日	2006-09-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JEON JIN 전진 UH KEE HAN 어기한		
发明人	전진 어기한		
IPC分类号	G02F1/133		
CPC分类号	G02F1/1345 G02F2001/13456 G09G3/3666 G09G3/3677 G09G2300/0426 G09G2310/0205 G09G2310/08 G09G2320/0233		
其他公开文献	KR101282401B1		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。根据本发明实施例的液晶显示装置包括基板，第一和第二像素组，每个像素组包括在基板上以矩阵排列的多个像素，第一和第二像素组连接到第一像素组的像素，并且第二栅极线组连接到第二像素组的像素并且包括沿行方向延伸的多条栅极线，第一栅极线组包括延伸到第一像素组的多条栅极线，并且第二像素组在行方向上相邻。

