



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0078008

(43) 공개일자 2007년07월30일

(21) 출원번호 10-2006-0007957

(22) 출원일자 2006년01월25일

심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 이기창  
서울 서초구 반포4동 미도아파트 309-803  
김철민  
서울 강남구 대치동 은마 아파트 27-607  
김일곤  
서울 동작구 상도동 431번지 래미안 상도3차 327-803  
박태형  
경기 용인시 풍덕천2동 성우현대아파트 신정마을 807-1802  
김철호  
경기 용인시 기흥구 농서동 삼성전자(주)기흥공장 LCD 총괄 MD공정개발팀

(74) 대리인 남승희

전체 청구항 수 : 총 11 항

(54) 액정 표시 장치 및 그 구동 방법

(57) 요약

프레임 반전을 수행하면서 라인 반전 및 도트 반전 효과를 얻을 수 있는 액정 표시 장치 및 이의 구동 방법이 개시된다. 단위 화소를 두개의 서브 화소로 분리하고 두 서브화소에 인가되는 구동 전압을 다르게 인가하여 구동한다. 이를 위해 공통 전압을 인가 받는 제 1 및 제 2 서브 화소를 포함하는 복수의 단위 화소와, 상기 제 1 서브 화소에 상기 공통 전압에 대해 정극성 또는 부극성의 데이터 전압을 인가하는 데이터 구동부와, 상기 제 2 서브 화소에 상기 데이터 전압에 대해 반대 극성의 반전 전압을 인가하는 반전 제어부를 포함하여 제 1 및 제 2 서브 화소에 각기 다른 구동 전압을 인가할 수 있어 소비 전력이 적은 프레임 반전 구동을 하면서 라인 반전 또는 도트 반전의 효과를 얻을 수 있다.

대표도

도 4

특허청구의 범위

### 청구항 1.

공통 전압을 인가 받는 제 1 및 제 2 서브 화소를 포함하는 복수의 단위 화소;

상기 제 1 서브 화소에 상기 공통 전압에 대해 정극성 또는 부극성의 데이터 전압을 인가하는 데이터 구동부;

상기 제 2 서브 화소에 상기 데이터 전압에 대해 반대 극성의 반전 전압을 인가하는 반전 제어부를 포함하는 액정 표시 장치.

### 청구항 2.

청구항 1에 있어서, 상기 반전 제어부는,

제 1 제어 신호에 따라 상기 데이터 전압 또는 접지 전압을 제 1 노드에 공급하는 인버터부;

제 2 제어신호에 따라 반전 제어 전압을 제 2 노드에 공급하는 제 1 PMOS 트랜지스터;

상기 제 1 노드 및 상기 제 2 노드 사이에 접속된 커패시터를 포함하고, 상기 제 2 노드를 통해 반전 전압을 공급하는 액정 표시 장치.

### 청구항 3.

청구항 2에 있어서, 상기 인버터부는 상기 제 1 제어 신호에 따라 상기 데이터 전압을 상기 제 1 노드에 인가하는 제 2 PMOS 트랜지스터와, 상기 제 1 제어 신호에 따라 상기 접지 전압을 상기 제 1 노드에 인가하는 NMOS 트랜지스터를 포함하는 액정 표시 장치.

### 청구항 4.

청구항 2에 있어서,

상기 제 1 및 제 2 제어신호는 로직 로우 상태와 로직 하이 상태가 주기적으로 반복되며, 상기 제 1 제어 신호의 로직 로우 상태가 상기 제 2 제어 신호보다 먼저 인가되고, 상기 제 2 제어 신호의 로직 하이 상태가 상기 제 1 클럭 신호 보다 먼저 인가되는 액정 표시 장치.

### 청구항 5.

청구항 1에 있어서,

상기 제 1 및 제 2 서브 화소는 각기 제 1 및 제 2 액정 커패시터를 포함하고,

상기 제 1 액정 커패시터의 일단은 상기 공통 전압을 인가받고, 타 단은 제 1 박막 트랜지스터를 통해 상기 데이터 전압을 인가 받고,

상기 제 2 액정 커패시터의 일단은 공통 전압을 인가 받고, 타 단은 제 2 박막 트랜지스터를 통해 반전 전압을 인가 받는 액정 표시 장치.

## 청구항 6.

청구항 5에 있어서,

상기 제 1 액정 커패시터에 인가되는 상기 공통 전압과 상기 데이터 전압의 전압차와, 상기 제 2 액정 커패시터에 인가되는 상기 공통 전압과 상기 반전 전압의 전압차의 절대값이 다른 액정 표시 장치.

## 청구항 7.

청구항 1에 있어서,

상기 제 1 서브 화소는 투과부로 작용하고, 상기 제 2 서브 화소는 반사부로 작용하는 액정 표시 장치.

## 청구항 8.

청구항 1에 있어서,

인접한 단위 화소간의 극성이 서로 같거나 서로 다른 액정 표시 장치.

## 청구항 9.

제 1 액정 커패시터를 갖는 제 1 서브 화소와, 제 2 액정 커패시터를 갖는 제 2 서브 화소를 포함하는 복수의 단위 화소를 갖는 액정 표시 장치의 구동 방법에 있어서,

상기 제 1 및 제 2 액정 커패시터의 일 단에 공통 전압을 인가하는 단계;

상기 공통 전압에 대하여 정극성 또는 부극성의 제 1 전압을 생성하는 단계;

상기 제 1 전압과 반대 극성의 제 2 전압을 생성하는 단계;

상기 제 1 전압을 상기 제 1 서브 화소의 상기 제 1 액정 커패시터의 타 단에 공급하고, 상기 제 2 전압을 상기 제 2 서브 화소의 상기 제 2 액정 커패시터의 타 단에 공급하는 단계를 포함하는 액정 표시 장치의 구동 방법.

## 청구항 10.

청구항 9에 있어서,

상기 제 1 액정 커패시터의 양단에 인가되는 전압차와, 상기 제 2 액정 커패시터의 양단에 인가되는 전압차의 절대값이 다른 액정 표시 장치의 구동 방법.

## 청구항 11.

청구항 9에 있어서,

상기 액정 표시 장치는 프레임 반전을 하는 액정 표시 장치의 구동 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치 및 그 구동 방법에 관한 것으로, 단일 화소를 복수의 서브 픽셀로 분리하고, 서브 픽셀 별로 반전 구동시켜 저 소비 전력에서 구동이 가능하고, 플리커 발생을 예방할 수 있는 액정 표시 장치 및 그 구동 방법에 관한 것이다.

액정 표시 장치는 각기 전극이 형성된 두 기관을 두 전극이 서로 마주보도록 배치하고, 두 기관 사이에 액정 물질을 주입한 다음 두 전극 사이에 전기장을 인가하여 전기장에 의해 액정 분자들을 움직이게 함으로써 빛의 투과율을 달리하여 화상을 표시하는 장치이다.

하지만, 액정의 물질 특성상 한 방향으로 전압을 계속 인가해주면 액정 열화가 발생하여 잔상(image sticking) 현상이 발생하는 문제가 있다. 종래에는 이러한 문제를 해결하기 위해 액정 양단에 걸리는 전압의 방향을 일정 주기로 바꾸어 주는 방법을 사용하고 있다.

이러한 액정 표시 장치의 구동 방법으로는 프레임 반전 방식(Frame Inversion System), 라인 반전 방식(Line Inversion System) 및 도트 반전 방식(Dot Inversion System)과 같은 반전 구동방법이 사용된다.

프레임 반전 방식은 전력 소모가 작은 반면에 플리커(flicker)가 발생하는 문제가 있다. 반면에 라인 반전 방식 또는 도트 반전 방식은 플리커 발생을 줄일 수 있지만 전력 소모가 큰 단점이 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기의 문제점을 해결하기 위해 도출된 것으로서, 액정 표시 패널의 일 화소를 두개의 서브 화소로 분리하고, 두 서브 화소가 반전 구동하도록 하여 소비 전력이 적은 프레임 반전 구동을 하면서 라인 반전 또는 도트 반전의 효과를 얻을 수 있는 액정 표시 장치 및 이의 구동 방법을 제공하는 것을 그 목적으로 한다.

### 발명의 구성

본 발명에 따른 공통 전압을 인가 받는 제 1 및 제 2 서브 화소를 포함하는 복수의 단위 화소와, 상기 제 1 서브 화소에 상기 공통 전압에 대해 정극성 또는 부극성의 데이터 전압을 인가하는 데이터 구동부와, 상기 제 2 서브 화소에 상기 데이터 전압에 대해 반대 극성의 반전 전압을 인가하는 반전 제어부를 포함하는 액정 표시 장치를 제공한다.

이때, 상기 반전 제어부는, 제 1 제어 신호에 따라 상기 데이터 전압 또는 접지 전압을 제 1 노드에 공급하는 인버터부와, 제 2 제어신호에 따라 반전 제어 전압을 제 2 노드에 공급하는 제 1 PMOS 트랜지스터와, 상기 제 1 노드 및 상기 제 2 노드 사이에 접속된 커패시터를 포함하고, 상기 제 2 노드를 통해 반전 전압을 공급하는 것이 바람직하다.

상기의 인버터부는 상기 제 1 제어 신호에 따라 상기 데이터 전압을 상기 제 1 노드에 인가하는 제 2 PMOS 트랜지스터와, 상기 제 1 제어 신호에 따라 상기 접지 전압을 상기 제 1 노드에 인가하는 NMOS 트랜지스터를 포함하는 것이 효과적이다.

그리고, 상기 제 1 및 제 2 제어신호는 로직 로우 상태와 로직 하이 상태가 주기적으로 반복되며, 상기 제 1 제어 신호의 로직 로우 상태가 상기 제 2 제어 신호보다 먼저 인가되고, 상기 제 2 제어 신호의 로직 하이 상태가 상기 제 1 클럭 신호보다 먼저 인가되는 것이 바람직하다.

상술한 상기 제 1 및 제 2 서브 화소는 각기 제 1 및 제 2 액정 커패시터를 포함하고, 상기 제 1 액정 커패시터의 일단은 상기 공통 전압을 인가받고, 타 단은 제 1 박막 트랜지스터를 통해 상기 데이터 전압을 인가 받고, 상기 제 2 액정 커패시터의 일단은 공통 전압을 인가 받고, 타 단은 제 2 박막 트랜지스터를 통해 반전 전압을 인가 받는 것이 바람직하다. 여기서, 상기 제 1 액정 커패시터에 인가되는 상기 공통 전압과 상기 데이터 전압의 전압차와, 상기 제 2 액정 커패시터에 인가되는 상기 공통 전압과 상기 반전 전압의 전압차의 절대값이 다른 것이 효과적이다.

상술한 상기 제 1 서브 화소는 투과부로 작용하고, 상기 제 2 서브 화소는 반사부로 작용하는 것이 바람직하다. 그리고, 인접한 단위 화소간의 극성이 서로 같거나 서로 다른 것이 효과적이다.

또한, 본 발명에 따른 제 1 액정 커패시터를 갖는 제 1 서브 화소와, 제 2 액정 커패시터를 갖는 제 2 서브 화소를 포함하는 복수의 단위 화소를 갖는 액정 표시 장치의 구동 방법에 있어서, 상기 제 1 및 제 2 액정 커패시터의 일 단에 공통 전압을 인가하는 단계와, 상기 공통 전압에 대하여 정극성 또는 부극성의 제 1 전압을 생성하는 단계와, 상기 제 1 전압과 반대 극성의 제 2 전압을 생성하는 단계와, 상기 제 1 전압을 상기 제 1 서브 화소의 상기 제 1 액정 커패시터의 타 단에 공급하고, 상기 제 2 전압을 상기 제 2 서브 화소의 상기 제 2 액정 커패시터의 타 단에 공급하는 단계를 포함하는 액정 표시 장치의 구동 방법을 제공한다.

이때, 상기 제 1 액정 커패시터의 양단에 인가되는 전압차와, 상기 제 2 액정 커패시터의 양단에 인가되는 전압차의 절대값이 다른 것이 바람직하다. 그리고, 상기 액정 표시 장치는 프레임 반전을 하는 것이 효과적이다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.

도 1을 참조하면, 본 실시예에 따른 액정 표시 장치는 액정 커패시터(Clc1, Clc2)가 마련된 제 1 및 제 2 서브 화소를 포함하는 복수의 화소와, 상기 액정 커패시터(Clc1, Clc2)의 일단에 각기 접속되어 상기 제 1 및 제 2 서브 화소의 동작을 제어하는 복수의 제 1 및 제 2 박막 트랜지스터(T1, T2)와, 상기 제 1 및 제 2 박막 트랜지스터(T1, T2)에 접속된 복수의 게이트 라인(G1, G2)과, 상기 제 1 박막 트랜지스터(T1)에 접속된 데이터 라인(D1, D2)과, 상기 제 2 박막 트랜지스터(T2)에 접속된 반전 라인(ID)을 포함하는 액정 패널(100)과, 상기 게이트 라인(G1, G2)에 접속되어 복수의 제 1 및 제 2 박막 트랜지스터(T1, T2)의 동작을 제어하는 게이트 구동부(200)와, 상기 데이터 라인(D1, D2)에 접속되어 상기 제 1 박막 트랜지스터(T1)를 통해 데이터 전압을 인가하는 데이터 구동부(300)와, 상기 반전 라인(ID)에 접속되어 상기 제 2 박막 트랜지스터(T2)를 통해 반전 전압을 인가하는 반전 제어부(400)와, 게이트 제어전압(Von, Voff), 계조 전압(AVDD), 공통 전압(Vcom) 및 반전 제어 전압(Vc)을 생성하여 각기 게이트 구동부(200), 데이터 구동부(300), 액정패널(100)의 액정 커패시터(Clc)의 타단 및 반전 제어부(400)에 공급하는 전압 생성부(500)와, 상기 각 부의 동작을 제어하는 신호 제어부(600)를 포함한다.

상기의 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터의 입력 영상 신호 즉, 화소 데이터(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭(CLK), 데이터 인에이블 신호(DE) 등을 제공받는다. 이러한 데이터를 액정 패널(100)의 동작 조건에 맞게 처리하고, 게이트 제어신호 및 데이터 제어신호를 생성하고, 게이트 제어 신호를 전송한다. 그리고, 두개의 클럭 신호(CLK1, CLK2)를 생성하여 반전 제어부(400)에 인가한다.

상술한 전압 생성부(500)는 신호 제어부(600)로부터 제어 신호를 입력받아 게이트 온 전압(Von) 및 게이트 오프 전압(Voff)을 게이트 구동부(200)에 인가하고, 액정 소자를 구동하는 계조 전압의 기준이 되는 계조 전압(AVDD)을 생성하여 데이터 구동부(300)에 인가하고, 반전 제어 전압(Vc)을 반전 제어부(400)에 인가하며, 공통 전압(Vcom)을 생성하여 액정 패널(100)에 인가한다.

상술한 게이트 구동부(200)는 외부의 제어 신호에 따라 전압 생성부(500)의 게이트 온/오프 전압(Von/Voff)을 게이트 라인(G1, G2)에 인가한다. 데이터 구동부(300)는 신호 제어부(600)의 제어 신호와, 구동 전압 생성부(500)의 액정 구동 전압을 이용하여 데이터 전압을 생성하여 각 데이터 라인(D1, D2)에 인가한다. 반전 제어부(400)는 신호 제어부(600)의 제 1 및 제 2 클럭 신호(CLK1, CLK2)와 데이터 구동부(300)의 데이터 전압 그리고 전압 생성부(500)의 반전 제어 전압(Vc)을 이용하여 반전 전압을 생성하여 반전 라인(ID)에 인가한다.

액정 패널(100)은 액정 커패시터(Clc1, Clc2)의 일 전극 단자인 화소 전극(미도시)과 박막 트랜지스터(T1, T2)가 마련되고, 이와 접속된 게이트 라인(G1, G2), 데이터 라인(D1, D2) 및 반전 라인(ID)이 형성된 박막 트랜지스터 기관(미도시)과, 타 전극 단자인 공통 전극(미도시)과 칼라 필터(미도시)가 형성된 공통 전극 기관(미도시)과, 두 기관 사이에 마련된 액정

을 포함한다. 이러한 액정 패널(100)은 복수의 화소가 매트릭스 형태로 배열되어 있고, 상기 화소 각각은 제 1 및 제 2 서브 화소를 포함하며, 상기 제 1 및 제 2 서브 화소 각각은 박막 트랜지스터(T1, T2)와 액정 커패시터(Clc1, Clc2)를 포함한다. 또한, 도시된 바와 같이 유지 커패시터를 더 포함한다.

상술한 액정 패널(100)은 데이터 구동부(300)의 데이터 전압 및 반전 제어부(400)의 반전 전압을 인가 받고, 게이트 구동부(200)의 게이트 제어 전압(Von, Voff)을 인가 받아 화소 내의 액정 커패시터(Clc1, Clc2) 양단의 전계를 변화시켜 액정 커패시터(Clc1, Clc2) 사이에 마련된 액정의 배열을 변화시키고, 이러한 액정 배열의 변화를 통해 광 투과율을 조정하여 목표로 하는 화상을 표시한다.

본 실시예에서는 상기 제 1 서브 화소는 하부 백라이트의 광을 인가 받아 화상을 표시 하는 투과부로 동작하고, 제 2 서브 화소는 외부 광을 반사시켜 화상을 표시 하는 반사부로 동작한다. 물론 이에 한정되지 않고, 제 1 서브 화소가 로우 계조 신호를 처리하는 로우 픽셀일 수 있고, 제 2 화소가 하이 계조 신호를 처리 하는 하이 픽셀일 수도 있다.

이때, 일 화소의 제 1 서브 화소와 제 2 서브 화소의 두 액정 커패시터(Clc1, Clc2)에 인가되는 전압의 차가 서로 다른 극성이 되도록 한다. 즉, 제 1 서브 화소의 액정 커패시터(Clc1)의 일단에는 데이터 전압이 인가되고 타 단에는 공통 전압(Vcom)이 인가되며, 제 2 서브 화소의 액정 커패시터(Clc2)의 일단에는 반전 전압이 인가되고 타 단에는 공통 전압(Vcom)이 인가된다. 따라서, 상기 데이터 전압과 공통 전압(Vcom)의 전압 차가 정극성(+)일 경우에는 상기 반전 전압의 전압 레벨을 조절하여 반전 전압과 공통 전압(Vcom)의 전압 차는 부극성(-)이 되도록 하고, 부극성(-)일 경우에는 반전 전압의 전압 레벨을 조절하여 정극성(+)이 되도록 한다.

상기 정극성(+)과 부극성(-)은 액정 커패시터(Clc1, Clc2)의 타단에 인가되는 공통 전압(Vcom)을 기준으로 액정 커패시터(Clc1, Clc2)의 일단에 인가되는 전압이 공통 전압(Vcom) 보다 높을 경우에는 정극성(+)이 되고, 공통 전압(Vcom) 보다 낮을 경우에는 부극성(-)으로 지칭한다. 예를 들어 제 1 및 제 2 서브 화소의 액정 커패시터(Clc1, Clc2)에 인가되는 공통 전압(Vcom)이 0V일 경우, 만일 데이터 전압이 2V가 되면 제 1 서브 화소는 정극성(+)이 되고, 반전 전압이 -2V가 되어 제 2 서브 화소는 부극성(-)이 된다. 물론 상기의 정극성(+)과 부극성(-)의 기준은 서로 바뀔 수 있다.

한편, 상기 제 1 서브 화소가 투과부로서 작용하고, 제 2 서브 화소가 반사부로 작용할 경우 두 서브 화소의 액정 커패시터(Clc1, Clc2)에 인가되는 전압을 다르게 하는 것이 바람직하다. 이는 반투과형 모드의 액정 표시 장치에 있어서, 이의 투과도는 액정 분자의 굴절율 이방성과 셀 갭 그리고 액정의 회전 각도에 따라 그 특성이 크게 변화 한다. 이때, 투과부와 반사부의 액정은 동일한 액정을 사용하기 때문에 액정 분자의 굴절율 이방성은 동일하다. 따라서, 반투과형 모드 액정 표시 장치의 투과도를 결정하는 중요인자는 셀 갭과 액정의 회전 각도가 될 수 있다. 그러나, 본 실시예에서는 상기 셀 갭이 제 1 및 제 2 서브 화소 모두에 동일한 값을 갖는 것이 바람직하다. 이로 인해 투과부에서는 광의 이동 거리가 셀 갭과 같은 거리가 되지만, 반사부의 경우에는 외부의 입사광이 다시 반사하여 나가기 때문에 광의 이동 거리가 셀 갭의 두배가 된다. 이를 보상하기 위해 본 실시예에서는 상기 제 1 및 제 2 서브 화소의 액정 커패시터(Clc1, Clc2)에 서로 다른 전압을 인가하여 액정의 회전 각도를 다르게 함으로써, 반사부와 투과부를 갖는 일 화소내의 투과도를 균일하게 할 수 있다.

상술한 액정 표시 장치의 액정 패널(100)은 앞서 설명한 투과성 유리 기판으로 제작된 박막 트랜지스터 기판과 공통 전극 기판에 마련된다. 그리고 신호 제어부(600) 및 전압 생성부(500)는 별도의 PCB 기판 상에 마련된다. 그리고, 게이트 구동부(200)는 칩 형태로 상기 박막 트랜지스터 기판 상에 실장될 수 있고, 연성 인쇄 회로 기판 상에 실장되어 박막 트랜지스터 기판에 전기적으로 연결될 수도 있다. 또한, 상기 데이터 구동부(300) 및 반전 제어부(400)는 단일 칩 또는 각기 서로 다른 칩 형태로 상기 박막 트랜지스터 기판 상에 실장될 수 있고, 연성 인쇄 회로 기판 상에 실장될 수도 있다. 상기 반전 제어부(400)가 박막 트랜지스터 기판 상에 칩 형태로 실장될 경우, 게이트 구동부(200)를 기준으로 상측 및 하측 중 어느 한 영역에 실장될 수 있다.

본 실시예에 따른 액정 표시 장치는 일 화소내의 제 1 및 제 2 서브 화소의 극성이 서로 반대가 되도록 한다. 이를 통해 단일 프레임동안 복수의 데이터 라인 전체에 동일한 레벨의 전압을 인가하는 프레임 반전 구동을 실시할 경우, 라인 반전과 같은 효과를 얻을 수 있게 된다. 이에 관해 도면을 참조하여 간략히 설명하면 다음과 같다.

도 2 및 도 3은 본 실시예에 따른 액정 표시 장치의 구동을 설명하기 위한 개념도이다.

도 2 및 도 3을 참조하면, 본 실시예의 액정 표시 장치는 프레임 반전 즉, 제 1 프레임에서는 정극성(+)을 갖도록 하고, 제 2 프레임에서는 음극성(-)을 갖도록 프레임 별로 데이터 전압과 공통 전압을 변화시켜 구동한다.

이때, 본 실시예에서는 복수의 화소(Px) 각각은 서로 반대되는 극성으로 동작하는 제 1 및 제 2 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)를 포함하고 있기 때문에 프레임 반전을 하더라도 화소(Px) 내에서 도트 반전 또는 라인 반전과 같은 동작을 하게 된다. 즉, 도 2 및 도 3에 도시된 바와 같이 제 1 프레임에 정극성(+)의 신호가 인가될 경우, 일 화소(Px) 중 제 1 서브 화소(SP<sub>x1</sub>)는 정극성(+)이 되고, 제 2 서브 화소(SP<sub>x2</sub>)는 부극성(-)이 된다. 제 2 프레임에 부극성(-)의 신호가 인가될 경우, 제 1 서브 화소(SP<sub>x1</sub>)는 부극성(-)이 되고, 제 2 서브 화소(SP<sub>x2</sub>)는 정극성(+)이 된다.

그리고, 상기 도 2에서는 복수 화소(Px)의 상측에 제 1 서브 화소(SP<sub>x1</sub>)가 마련되고, 하측에 제 2 서브 화소(SP<sub>x2</sub>)가 마련된다. 그리고, 도 3에는 인접한 화소(Px)간 제 1 및 제 2 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)의 상하 위치가 반전되도록 배치되어 있다. 이를 통해 도 2와 같이 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)가 마련된 경우는 프레임 반전을 하더라도 라인 반전 효과를 얻을 수 있고, 도 3과 같이 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)가 마련된 경우에는 프레임 반전을 하더라도 도트 반전 효과를 얻을 수 있다.

이러한 일 화소에서 서로 반대되는 극성으로 동작하는 제 1 및 제 2 서브 화소를 갖는 본 실시예의 액정 표시 장치와 이의 동작에 관해 일 화소와 이와 접속된 반전 제어부의 회로도를 참조하여 설명한다.

도 4는 본 실시예에 따른 일 화소와 이와 접속된 반전 제어부의 회로도이다.

도 4를 참조하면, 본 실시예에 따른 액정 표시 장치는 데이터 전압(V<sub>d</sub>)과 반전 제어 전압(V<sub>c</sub>)에 따라 반전 전압(V<sub>i</sub>)을 생성하는 반전 제어부(400)와, 제 1 및 제 2 박막 트랜지스터(T<sub>1</sub>, T<sub>2</sub>)와 제 1 및 제 2 액정 커패시터(C<sub>1c1</sub>, C<sub>1c2</sub>)를 각기 포함하는 제 1 및 제 2 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)를 포함하는 화소(Px)와, 제 1 및 제 2 박막 트랜지스터(T<sub>1</sub>, T<sub>2</sub>)의 게이트 단자에 게이트 전압(V<sub>g</sub>)을 인가하는 게이트 라인(G/L)과, 제 1 박막 트랜지스터(T<sub>1</sub>)를 통해 상기 제 1 액정 커패시터(C<sub>1c1</sub>)에 데이터 전압(V<sub>d</sub>)을 인가하는 데이터 라인(D/L)과, 제 2 박막 트랜지스터(T<sub>2</sub>)를 통해 상기 제 2 액정 커패시터(C<sub>1c2</sub>)에 반전 전압(V<sub>i</sub>)을 인가하는 반전 라인(ID/L)을 포함한다.

상기의 반전 제어부(400)는 제 1 클럭 신호(CLK1)에 따라 데이터 전압(V<sub>g</sub>) 또는 접지 전압(V<sub>ss</sub>)을 제 1 노드(A)에 출력하는 인버터부(I1)와, 제 2 클럭 신호(CLK2)에 따라 반전 제어 전압(V<sub>c</sub>)을 제 2 노드(B)에 전송하는 제 1 PMOS 트랜지스터(TP1)와, 제 1 및 제 2 노드(A, B) 사이에 접속된 커패시터를 포함한다. 이때, 상기 제 2 노드(B)는 반전 라인(ID/L)에 접속된다.

도 5는 본 실시예의 인버터부의 회로도이다.

도 5를 참조하면, 상기 인버터부는 제 1 클럭 신호(CLK1)에 따라 데이터 전압(V<sub>g</sub>)을 상기 제 1 노드(A)에 인가하는 제 2 PMOS 트랜지스터(TP2)와, 제 1 클럭 신호(CLK1)에 따라 접지 전압(V<sub>ss</sub>)을 상기 제 1 노드(A)에 인가하는 NMOS 트랜지스터(TN1)를 포함한다.

하기에서는 상술한 구조의 본 실시예의 액정 표시 장치의 구동 방법을 설명한다.

도 6 내지 도 9는 본 실시예에 따른 액정 표시 장치의 구동 방법을 설명하기 위한 도면이다.

도 6 내지 도 9를 참조하면, 본 실시예에 따른 액정 표시 장치는 프레임별 극성이 바뀌는 프레임 반전을 실시한다. 한편, 상기 화소(Px)는 제 1 및 제 2 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)를 포함하고, 제 1 서브 화소(SP<sub>x1</sub>)는 프레임에 인가되는 극성과 동일한 극성으로 동작하고, 상기 제 2 서브 화소(SP<sub>x2</sub>)는 이와 반대되는 극성으로 동작한다.

즉, 반전 제어부(400)에 의해 제 2 서브 화소(SP<sub>x2</sub>)는 제 1 서브 화소(SP<sub>x1</sub>)에 대해 반대 극성으로 동작할 수 있다.

예를 들어, 도 6 및 도 7에 도시된 바와 같이 데이터 전압(V<sub>d</sub>)으로 2V의 전압을 사용하고, 공통 전압(V<sub>com</sub>)으로 0V의 전압을 사용하며, 반전 제어 전압(V<sub>c</sub>)로 0V의 전압을 사용할 경우를 살펴보면 다음과 같다.

먼저, 도 6에 도시된 바와 같이 제 1 클럭 신호(CLK1)가 로직 로우가 되면 인버터부(I1)의 제 2 PMOS 트랜지스터(TP2)가 동작하여 데이터 전압(V<sub>d</sub>)이 제 1 노드(A)에 인가된다. 한편, 제 2 클럭 신호(CLK2)가 로우가 되면 제 1 PMOS 트랜지스터(TP1)가 동작하여 반전 제어 전압(V<sub>c</sub>)이 제 2 노드(B)에 인가된다. 이를 통해 제 1 노드(A)는 2V의 전위를 유지하고, 제 2 노드(B)는 0V 전위를 유지한다.

이후, 제 1 클럭 신호(CLK1)가 로직 하이가 되면 인버터부(I1)의 NMOS 트랜지스터(TN)가 동작하여 접지 전압( $V_{SS}$ )이 제 1 노드(A)에 인가된다. 제 2 클럭 신호(CLK2)가 로직 하이가 되면 제 1 PMOS 트랜지스터(TP1)가 오프되어 제 2 노드(B)는 플로팅된다. 이때, 커패시터의 일 전극이 플로팅된 경우 커패시터의 타 전극의 전위가 변화되면 플로팅된 전극의 전위는 타 전극의 변화된 전위값 만큼 함께 변화된다. 이러한 특성으로 인해 제 1 노드(A)의 전위는 2V에서 0V로 -2V하강하게 되면 플로팅된 제 2 노드(B)의 전위도 -2V하강하게 된다. 따라서, 제 1 노드(A)의 전위는 0V가 되고 제 2 노드(B)의 전위는 -2V를 유지하게 된다.

도 7에 도시된 바와 같이 게이트 전압( $V_g$ )으로 게이트 온 전압( $V_{on}$ )이 인가되면 제 1 및 제 2 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)의 제 1 및 제 2 박막 트랜지스터(T1, T2)가 턴온된다. 턴온된 제 1 박막 트랜지스터(T1)에 의해 데이터 전압( $V_d=2V$ )이 제 1 서브 화소(SP<sub>x1</sub>)의 액정 커패시터(Clc1)의 일단자에 인가되고, 턴온된 제 2 박막 트랜지스터(T2)에 의해 제 2 노드(B)의 반전 전압( $V_i=-2V$ )이 제 2 서브 화소(SP<sub>x2</sub>)의 액정 커패시터(Clc2)의 일단자에 인가된다. 여기서, 상기 액정 커패시터(Clc1, Clc2)들의 타 단자는 공통 전압( $V_{com}=0V$ )이 인가되어 있다.

따라서, 제 1 서브 화소(SP<sub>x1</sub>)의 액정 커패시터(Clc1)는 +2V의 정극성의 특성을 갖게 되고, 제 2 서브 화소(SP<sub>x2</sub>)의 액정 커패시터(Clc2)는 -2V의 부극성의 특성을 갖게 된다.

또한, 도 8 및 도 9에 도시된 바와 같이 데이터 전압( $V_d$ )으로 3V의 전압을 사용하고, 공통 전압( $V_{com}$ )으로 5V의 전압을 사용하며, 반전 제어 전압( $V_c$ )로 10V의 전압을 사용할 경우를 살펴보면 다음과 같다.

먼저, 도 8에 도시된 바와 같이 제 1 클럭 신호(CLK1)가 로직 로우가 되면 인버터부(I1)의 제 2 PMOS 트랜지스터(TP2)가 동작하여 데이터 전압( $V_d$ )이 제 1 노드(A)에 인가된다. 한편, 제 2 클럭 신호(CLK2)가 로우가 되면 제 1 PMOS 트랜지스터(TP1)가 동작하여 반전 제어 전압( $V_c$ )이 제 2 노드(B)에 인가된다. 이를 통해 제 1 노드(A)는 3V의 전위를 유지하고, 제 2 노드(B)는 10V 전위를 유지한다. 이때, 제 1 클럭 신호(Clc1)의 로직 로우 상태 보다 제 2 클럭 신호(Clc2)의 로직 로우 상태가 더 빨리 인가되는 것이 바람직하다. 물론 이에 한정되지 않고, 두 신호가 동시에 인가될 수도 있고, 상기 제 1 클럭 신호(Clc1)의 로직 로우 상태가 더 빨리 인가될 수도 있다.

이후, 제 1 클럭 신호(CLK1)가 로직 하이가 되면 인버터부(I1)의 NMOS 트랜지스터(TN)가 동작하여 접지 전압( $V_{SS}$ )이 제 1 노드(A)에 인가된다. 제 2 클럭 신호(CLK2)가 로직 하이가 되면 제 1 PMOS 트랜지스터(TP1)가 오프되어 제 2 노드(B)는 플로팅된다. 이때, 제 1 클럭 신호(Clc1)의 로직 하이 상태 보다 제 2 클럭 신호(Clc2)의 로직 하이 상태가 더 빨리 인가되는 것이 바람직하다.

이를 통해 제 1 노드(A)의 전위는 3V에서 0V로 -3V하강하게 되고, 이에 따라 플로팅된 제 2 노드(B)의 전위도 10V에서 7V로 -3V하강하게 된다.

다음으로, 도 9에 도시된 바와 같이 게이트 전압( $V_g$ )으로 게이트 온 전압( $V_{on}$ )이 인가되면 제 1 및 제 2 서브 화소(SP<sub>x1</sub>, SP<sub>x2</sub>)의 제 1 및 제 2 박막 트랜지스터(T1, T2)가 턴온된다. 턴온된 제 1 박막 트랜지스터(T1)에 의해 데이터 전압( $V_d=3V$ )이 제 1 서브 화소(SP<sub>x1</sub>)의 액정 커패시터(Clc1)의 일단자에 인가되고, 턴온된 제 2 박막 트랜지스터(T2)에 의해 제 2 노드(B)의 반전 전압( $V_i=7V$ )이 제 2 서브 화소(SP<sub>x2</sub>)의 액정 커패시터(Clc2)의 일단자에 인가된다. 여기서, 상기 액정 커패시터(Clc1, Clc2)들의 타 단자는 공통 전압( $V_{com}=5V$ )이 인가되어 있다.

따라서, 제 1 서브 화소(SP<sub>x1</sub>)의 액정 커패시터(Clc1)는 -2V의 부극성의 특성을 갖게 되고, 제 2 서브 화소(SP<sub>x2</sub>)의 액정 커패시터(Clc2)는 +2V의 정극성의 특성을 갖게 된다.

상기의 설명에서는 공통 전압과 데이터 전압의 전압차와, 공통 전압과 반전 전압의 전압차의 절대값이 동일함에 관해 설명하였다. 하지만 본 발명은 이에 한정되지 않고, 상기 제 1 서브 화소가 투과부로, 제 2 서브 화소가 반사부로 작용할 경우, 공통 전압과 데이터 전압의 전압차와 공통 전압과 반전 전압의 전압차의 절대값이 동일하지 않을 수도 있다. 예를 들어 제 1 서브 화소의 액정 커패시터 양단에는 +2V의 전압이 인가되고, 제 2 서브 화소의 액정 커패시터는 -1V의 전압이 인가되어 그 사이의 전계를 다르게 조절할 수 있다.

상술한 바와 같이 본 실시예에서는 일 화소 내에 마련된 제 1 및 제 2 서브 화소의 액정 커패시터에 각기 다른 극성의 전압 및 그 절대값이 다른 전압을 인가할 수 있게 되어 전력소모가 낮은 프레임 반전 구동시 라인 반전 또는 토트 반전 효과를 얻을 수 있어 플리커 현상을 방지할 수 있게 된다.

## 발명의 효과

상술한 바와 같이, 본 발명은 액정 표시 장치의 단위 화소를 두개의 서브화소로 분리하여 두 서브 화소 각각에 인가되는 전압을 달리하여 구동 시킬 수 있다.

또한, 상기 두 서브 화소를 반전 구동시켜 소비 전력이 적은 프레임 반전 구동을 하면서 라인 반전 또는 도트 반전의 효과를 얻을 수 있다.

본 발명을 첨부 도면과 전술된 바람직한 실시예를 참조하여 설명하였으나, 본 발명은 그에 한정되지 않으며, 후술되는 특허청구범위에 의해 한정된다. 따라서, 본 기술분야의 통상의 지식을 가진 자라면 후술되는 특허청구범위의 기술적 사상에서 벗어나지 않는 범위 내에서 본 발명을 다양하게 변형 및 수정할 수 있다.

## 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도.

도 2 및 도 3은 본 실시예에 따른 액정 표시 장치의 구동을 설명하기 위한 개념도.

도 4는 본 실시예에 따른 일 화소와 이와 접속된 반전 제어부의 회로도.

도 5는 본 실시예의 인버터부의 회로도.

도 6 내지 도 9는 본 실시예에 따른 액정 표시 장치의 구동 방법을 설명하기 위한 도면.

<도면의 주요 부분에 대한 부호의 설명>

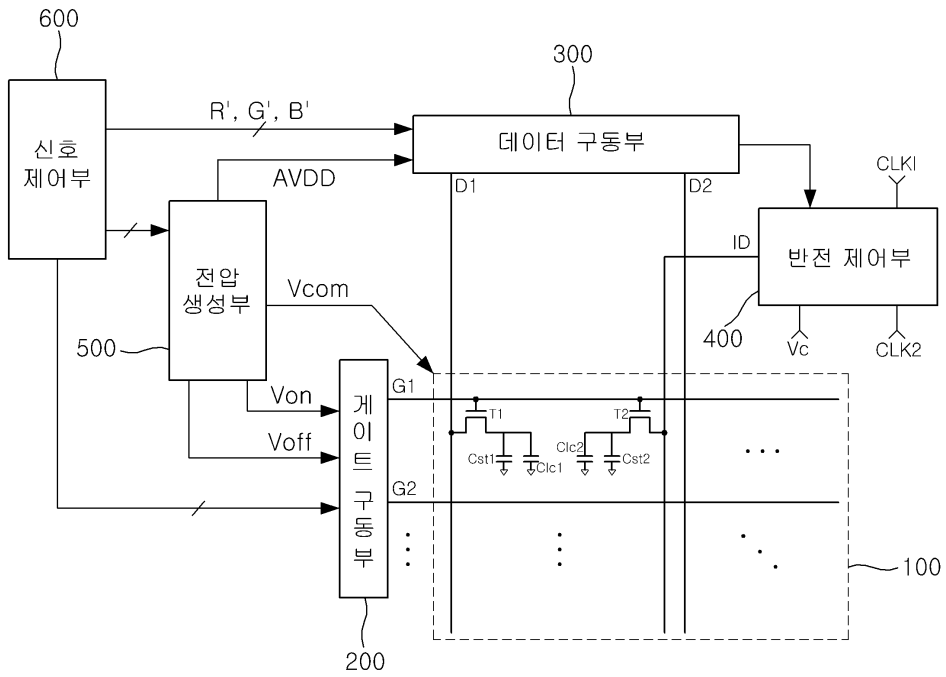
100 : 액정 패널 200 : 게이트 구동부

300 : 데이터 구동부 400 : 반전 제어부

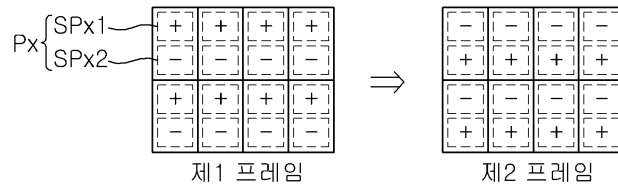
500 : 전압 생성부 600 : 신호 제어부

## 도면

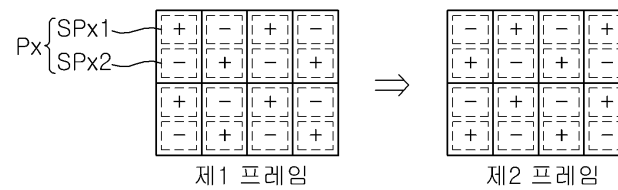
도면1



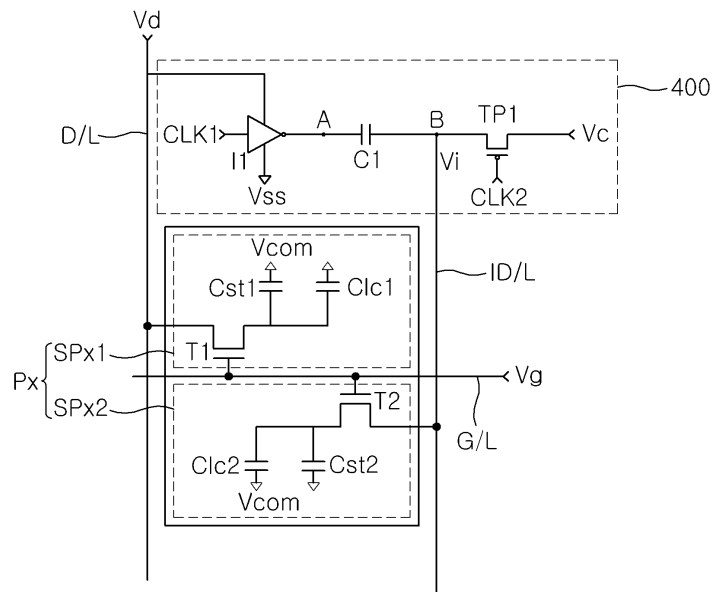
도면2



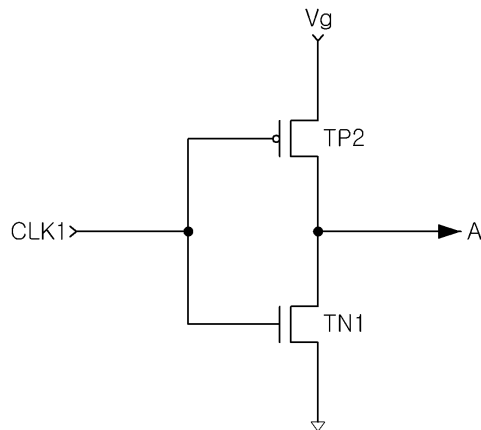
도면3



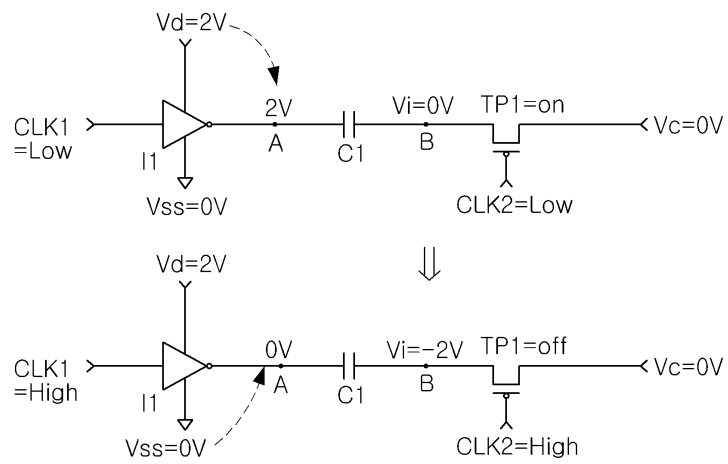
도면4



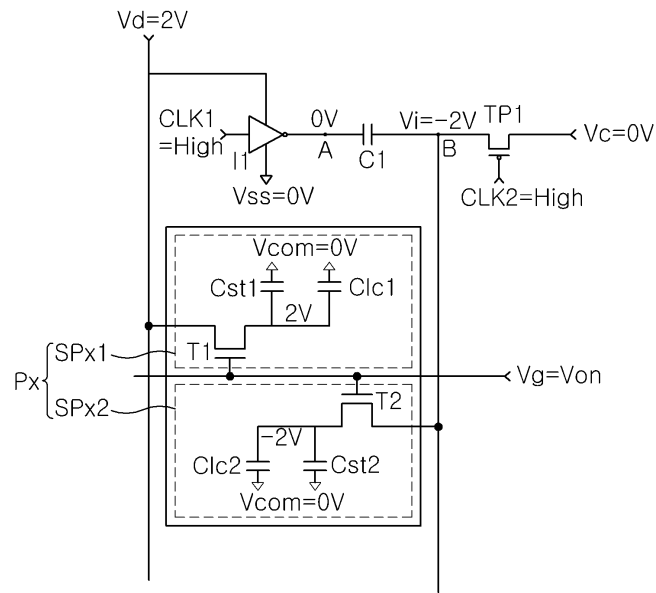
도면5



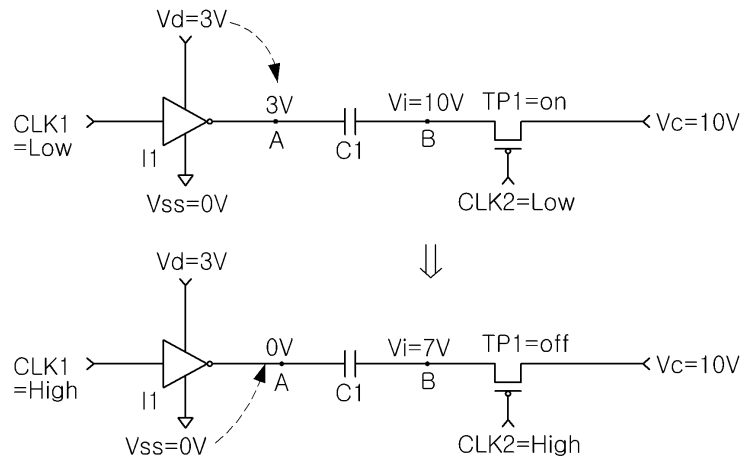
도면6



도면7



도면8





专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	<a href="#">KR1020070078008A</a>	公开(公告)日	2007-07-30
申请号	KR1020060007957	申请日	2006-01-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	LEE GI CHANG 이기창 KIM CHEOL MIN 김철민 KIM IL GON 김일곤 PARK TAE HYEONG 박태형 KIM CHUL HO 김철호		
发明人	이기창 김철민 김일곤 박태형 김철호		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02B6/443 G02B6/4439 G02B6/4482 G02B6/4486		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

公开了一种液晶显示器及其驱动方法，用于在执行帧反转的同时获得线反转和点反转效果。根据两个子像素分离单位像素并且施加在两个子像素中的驱动电压被不同地授权并被驱动。为此，线性反转或点反转的效果包括围绕公共电压和数据驱动器施加的第一和第二子像素的多个单位像素，授权第一子像素中的直极性或负极性的数据电压。公共电压和反转控制部分包括授权第二子像素中相反极性的电压反转的数据电压，并且可以在第一和第二子像素中授权不同的相应驱动电压，并且在帧反转驱动中使用功率可以获得消耗较少的消费。液晶显示器，液晶面板，反转驱动器，帧反转，反转控制部分，子像素。

