



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2007-0051004
G02F 1/136 (2006.01) (43) 공개일자 2007년05월17일

(21) 출원번호 10-2005-0108334
(22) 출원일자 2005년11월14일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지
(72) 발명자 이보현
서울 성북구 보문동6가 441번지 아남아파트 103-1102
채기성
인천 연수구 동춘동 한양1차APT 111-607
(74) 대리인 허용록

전체 청구항 수 : 총 31 항

(54) 스탬프 제조 방법, 그를 이용한 박막트랜지스터 및 액정표시장치의 제조 방법

(57) 요약

본 발명은 스탬프 제조 방법, 그를 이용한 박막트랜지스터 및 액정표시장치의 제조 방법을 개시한다.

개시된 본 발명은 기관과의 접촉성이 향상된 스탬프(Stamp)의 제조 방법을 제공하고, 상기 스탬프를 이용하여 기관 상에 대전된 영역을 만든 후 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질을 도포 또는 도금시켜 자기-조립(self-assembled)을 통해 자기조립 단층막(SAM:self-assembled monolayer)을 형성함으로써 정밀한 나노 패턴을 갖는 박막 트랜지스터 및 액정표시장치의 제조 방법을 제공하고, 이를 통해 소자의 성능을 향상시킬 수 있다.

대표도

도 2b

특허청구의 범위

청구항 1.

기관;

상기 기관 상에 형성된 볼록부(凸)를 갖는 금속층; 및

상기 금속층 상에 형성된 고분자막을 포함하는 것을 특징으로 하는 스탬프.

청구항 2.

제 1 항에 있어서,

상기 고분자막은 폴리다이메틸실록산(PDMS; Polydimethylsiloxane) 또는 폴리메틸메타크릴레이트(PMMA; Poly Methyl Meta Acrylate)로 형성되는 것을 특징으로 하는 스탬프.

청구항 3.

기판 상에 금속층을 적층하는 단계;

상기 금속층을 볼록부(凸)를 갖도록 패터닝하는 단계;

상기 금속층 상에 고분자물질층을 형성하는 단계; 및

상기 고분자물질층을 경화하여 고분자막을 형성하는 단계를 포함하는 것을 특징으로 하는 스탬프 제조 방법.

청구항 4.

제 3 항에 있어서,

상기 금속층을 패터닝하는 방법은 포토공정 후 에칭을 통해 형성하는 것을 특징으로 하는 스탬프 제조 방법.

청구항 5.

제 3 항에 있어서,

상기 고분자물질층은 스펀 코팅법, 슬릿 코팅법, 스프레이 증착법, 랑뮤어 블라젯(Langmuir Bodgett) 방법 중 선택되는 어느 하나의 방법을 사용하여 형성하는 것을 특징으로 하는 스탬프 제조 방법.

청구항 6.

제 3 항에 있어서,

상기 경화는 빛이나 열로 수행하는 것을 특징으로 하는 스탬프 제조 방법.

청구항 7.

기판 상에 대전막을 형성하고;

상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고;

상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고;

상기 대전 영역 상에 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질을 도포 또는 도금하여 자기조립된 나노 패턴을 형성하는 것을 포함하는 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 8.

제 7 항에 있어서,

상기 대전막은 폴리다이메틸실록산(PDMS:Polydimethylsiloxane) 또는 폴리메틸메타크릴레이트(PMMA:Poly Methyl Meta Acrylate)로 형성하는 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 9.

제 7 항에 있어서,

상기 대전막은 스핀 코팅법, 슬릿 코팅법, 스프레이 증착법, 랑뮤어 블라젯(Langmuir Bodgett) 방법 중 선택되는 어느 하나의 방법을 사용하여 형성하는 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 10.

제 7 항에 있어서,

상기 스탬프는, 기관, 상기 기관 상에 형성된 볼록부(凸)를 갖는 금속층, 및 상기 금속층 상에 형성된 고분자막을 포함하는 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 11.

제 7 항에 있어서,

상기 대전 영역은 음(-)전하 또는 양(+)전하인 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 12.

제 7 항에 있어서,

상기 나노 물질은 나노 파우더, 나노 선 또는 나노 튜브 중 선택되는 1종인 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 13.

제 7 항에 있어서,

상기 나노 물질은 실리콘(Si), 금(Au), 은(Ag), 구리(Cu)로 이루어진 군에서 선택되는 1종인 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 14.

제 7 항에 있어서,

상기 나노 패턴은 프린터 토너 방식으로 도포하여 형성하는 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 15.

제 7 항에 있어서,

상기 나노 패턴은 기관을 나노 분자가 분산된 용액에 삽입하여 도금법에 의해 형성하는 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 16.

제 15 항에 있어서,

상기 용액은 에탄올(ethanol), 메탄올(methanol) 또는 이소프로필알콜(IPA;isopropyl alcohol) 중 선택되는 1종의 용매를 포함하는 것을 특징으로 하는 나노 패턴 형성 방법.

청구항 17.

기관 상에 대전막을 형성하고;

상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고;

상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고;

상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질이 자기조립된 나노 패턴의 반도체층을 형성하고;

상기 대전막 상에 일정 간격 이격되며 상기 반도체층과 접촉하는 소스 및 드레인 전극을 형성하고;

상기 소스 및 드레인 전극을 포함한 기관 전면에 게이트 절연막을 형성하고;

상기 게이트 절연막 상에 상기 반도체층과 대응되는 게이트 전극을 형성하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 18.

기관 상에 대전막을 형성하고;

상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고;

상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고;

상기 대전 영역 상에 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질이 자기조립된 나노 패턴의 게이트 전극을 형성하고;

상기 게이트 전극을 포함한 기관 전면에 게이트 절연막을 형성하고;

상기 게이트 절연막 상에 상기 게이트 전극과 대응되는 반도체층을 형성하고;

상기 게이트 절연막 상에 일정 간격 이격되며 상기 반도체층과 접속하는 소스 및 드레인 전극을 형성하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 19.

기판 상에 대전막을 형성하고;

상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고;

상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고;

상기 대전 영역 상에 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질이 자기조립된 나노 패턴의 소스 및 드레인 전극을 형성하고;

상기 대전막 상에 상기 소스 및 드레인 전극과 접속하는 반도체층을 형성하고;

상기 반도체층을 포함한 기판 전면에 게이트 절연막을 형성하고;

상기 게이트 절연막 상에 상기 반도체층과 대응되는 게이트 전극을 형성하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 20.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 기판은 투명 또는 불투명한 재질로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 21.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 기판은 전도성 또는 비전도성인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 22.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 대전막은 폴리다이메틸실록산(PDMS:Polydimethylsiloxane) 또는 폴리메틸메타크릴레이트(PMMA:Poly Methyl Meta Acrylate)로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 23.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 대전막은 스핀 코팅법, 슬릿 코팅법, 스프레이 증착법, 랭뮤어 블라젯(Langmuir Bodgett) 방법 중 선택되는 어느 하나의 방법을 사용하여 형성하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 24.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 스텝프는, 기관, 상기 기관 상에 형성된 블록부(凸)를 갖는 금속층, 및 상기 금속층 상에 형성된 고분자막을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 25.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 대전 영역은 음(-)전하 또는 양(+)전하인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 26.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 반도체층, 게이트 전극, 소스 및 드레인 전극 중 어느 한 층은 상기 스텝프를 이용한 나노 패턴으로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 27.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 나노 물질은 나노 파우더, 나노 선 또는 나노 튜브 중 선택되는 1종인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 28.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 나노 물질은 실리콘(Si), 금(Au), 은(Ag), 구리(Cu)로 이루어진 군에서 선택되는 1종인 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 29.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 나노 패턴은 프린터 토너 방식으로 도포하여 형성하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 30.

제 17 항 내지 제 19 항 중 어느 한 항에 있어서,

상기 나노 패턴은 기판을 나노 분자가 분산된 용액에 삽입하여 도금법에 의해 형성하는 것을 특징으로 하는 박막트랜지스터의 제조 방법.

청구항 31.

기판 상에 게이트 전극, 반도체층, 소스 및 드레인 전극 및 화소전극을 형성하는 것을 포함하는 액정표시장치의 제조 방법에 있어서,

상기 게이트 전극, 상기 반도체층, 상기 소스 및 드레인 전극 중 어느 하나는 제 17 항 내지 제 19 항 중 적어도 어느 한 항에 의해 형성하는 것을 특징으로 하는 액정표시장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 스탬프 제조 방법, 그를 이용한 박막트랜지스터 및 액정표시장치의 제조 방법에 관한 것으로, 특히 기판과의 접촉성이 향상된 스탬프 제조 방법을 제공하고, 그를 이용하여 정밀한 나노 패턴을 갖는 박막트랜지스터 및 액정표시장치의 제조 방법에 관한 것이다.

반도체 제품들이 소형화, 고집적화됨에 따라 소자의 새로운 기능을 향상시키기 위해 패턴(Pattern)을 형성하는 패터닝(Patterning) 기술에 대한 관심이 높아지고 있다.

특히, 마이크로전자회로, 디지털 기억 장치, 디스플레이, 센서 등에 100 nm 이하의 구조 사이즈를 갖는 나노 디바이스(nano device)가 극소량의 나노 재료를 이용하여 소자의 우수한 특성을 얻을 수 있기 때문에 첨단 산업계의 요구에 부응할 수 있는 신소재로 산업 여러 분야에서 각광받고 있다. 그러한 나노 디바이스의 개발에서 우선 가장 중요한 핵심기술 중 하나가 나노 패터닝 기술이다.

그러나 현재의 높은 집적도를 갖는 패터닝 기술은 반도체 제조의 핵심 기술로 발전해 왔으며, 일반적으로 광(optics) 또는 빔(Beam)을 이용한 리소그래피(lithography) 기술로서, 포토 리소그래피(Photo lithography), 전자-빔 리소그래피(electron-beam lithography) 및 X-선 리소그래피(X-ray lithography) 등이 여기에 해당한다. 이러한 리소그래피 공정은 빛의 조사 여부에 따라 감응하는 화학 물질인 포토레지스트(Photoresist)를 이용하고 에칭(Etching) 기술을 동반하여 패턴을 형성시킨다. 따라서, 종래의 리소그래피 기술들은 장치나 공정에서 기술 비용이 크고, 복잡한 공정을 포함하므로 시간 소모가 많다.

또한, 종래의 포토레지스트로 이용하는 고분자 소재의 물리적 한계에 도달했으며, 패터닝 속도 및 해상도, 곡면에서의 적용하기 힘든 문제점을 가지고 있다.

최근에는 이전의 광 리소그래피 기법과는 다른 새로운 개념의 패터닝 기술인 소프트 리소그래피(Soft-lithography) 기법이 제안되고 있다.

상기 소프트 리소그래피 기법은 마이크로콘택트 프린팅(μ CP; MicroContact Printing)과 나노 임프린팅 리소그래피(Nano-imprinting lithography) 등으로 대표되며, 빛이나 큰 에너지의 입자를 사용하지 않고 유연한 고분자 스탬프에 유기물을 묻혀 반복적으로 패턴이나 구조물을 제조하는 기술이다.

특히, 물질의 자기-조립(Self-assembled)을 이용한 마이크로콘택트 프린팅(μ CP)은 미크론 단위의 패턴을 지닌 폴리다이메틸실록산(Polydimethylsiloxane-이하 PDMS로 칭함)으로 만든 탄성 중합체(elastomer) 스탬프에 잉크(자기조립 단층막(SAM; Self-Assembled Monolayer)을 이루는 유기화합물)를 묻혀 접촉에 의해 기질 표면에 패턴을 전사시켜 평면상에 국부적으로 원하는 박막 패턴을 형성한다.

또한, 반도체 소자나 디스플레이 소자의 도전성 패턴을 형성할 경우에는 볼록부(凸)를 갖는 PDMS와 같은 고분자 물질 상부에 원하는 금속을 코팅하여 스탬프를 형성시킨 후 상기 스탬프를 전도성 기판에 위치시켜 외부 전압을 인가함으로써 금속이 코팅된 스탬프의 볼록부(凸)와 접촉하는 기판에 전하를 갖는 대전 영역(Charged Zone)을 형성하고, 상기 기판의 대전된 영역에 반대 전하로 대전된 입자나 분자를 도포하여 자기조립 단층막(SAM)을 평면상에 국부적으로 패터닝함으로써 직접 원하는 박막 패턴을 형성한다.

그러나, PDMS와 같이 유연한 물질에 금속이 코팅되어 형성된 스탬프는 상기 금속으로 인해 딱딱한 스탬프가 형성되므로 도전성 패턴을 형성하기 위해 대면적 기판에 스탬프를 접촉시켜 대전 영역을 형성할 경우 기판과 스탬프의 정확한 접촉이 불가능해진다.

이로 인해 형성된 대전 영역이 원하는 패턴 영역과 정확하게 일치하지 않으므로 대면적에 정밀한 도전성 패턴형성이 어려워질 뿐만 아니라 후속 공정의 각 단계에서 단선을 초래할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 기판과의 접촉성을 향상시킬 수 있는 스탬프 제조 방법을 제공하는데 그 목적이 있다.

본 발명은 상기 스탬프를 이용한 나노 패턴 형성 방법을 제공하는데 다른 목적이 있다.

본 발명은 상기 스탬프를 이용하여 정밀한 나노 패턴을 갖는 박막트랜지스터 및 액정표시장치의 제조 방법을 제공하는데 또 다른 목적이 있다.

발명의 구성

상기한 목적을 달성하기 위한, 본 발명의 스탬프는, 기판, 상기 기판 상에 형성된 볼록부(凸)를 갖는 금속층, 및 상기 금속층 상에 형성된 고분자막을 포함한다.

상기한 목적을 달성하기 위한, 본 발명의 스탬프 제조 방법은, 기판 상에 금속층을 형성하는 단계, 상기 금속층을 볼록부(凸)를 갖도록 패터닝하는 단계, 상기 금속층 상에 고분자물질층을 형성하는 단계, 및 상기 고분자물질층을 경화하여 고분자막을 형성하는 단계를 포함한다.

상기한 목적을 달성하기 위한, 본 발명의 나노 패턴 형성 방법은, 기판 상에 대전막을 형성하고, 상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고, 상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고, 상기 대전 영역 상에 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질을 도포 또는 도금하여 자기조립된 나노 패턴을 형성하는 것을 포함한다.

상기한 목적을 달성하기 위한, 본 발명의 스탬프를 이용한 제 1 실시예에 따른 박막트랜지스터의 제조 방법은, 기판 상에 대전막을 형성하고, 상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고, 상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고, 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질이 자기조립된 나노 패턴의 반도체층을 형성하고, 상기 대전막 상에 일정 간격 이격되며 상기 반도체층과 접촉하는 소스 및 드레인 전극을 형성하고, 상기 소스 및 드레인 전극을 포함한 기판 전면에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 반도체층과 대응되는 게이트 전극을 형성하는 것을 포함한다.

상기한 목적을 달성하기 위한, 본 발명의 스탬프를 이용한 제 2 실시예에 따른 박막트랜지스터의 제조 방법은, 기판 상에 대전막을 형성하고, 상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고, 상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고, 상기 대전 영역 상에 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질이 자기조립된 나노

패턴의 게이트 전극을 형성하고, 상기 게이트 전극을 포함한 기판 전면에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 게이트 전극과 대응되는 반도체층을 형성하고, 상기 게이트 절연막 상에 일정 간격 이격되며 상기 반도체층과 접촉하는 소스 및 드레인 전극을 형성하는 것을 포함한다.

상기한 목적을 달성하기 위한, 본 발명의 스탬프를 이용한 제 3 실시예에 따른 박막트랜지스터의 제조 방법은, 기판 상에 대전막을 형성하고, 상기 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고, 상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고, 상기 대전 영역 상에 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질이 자기조립된 나노 패턴의 소스 및 드레인 전극을 형성하고, 상기 대전막 상에 상기 소스 및 드레인 전극과 접촉하는 반도체층을 형성하고, 상기 반도체층을 포함한 기판 전면에 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 반도체층과 대응되는 게이트 전극을 형성하는 것을 포함한다.

상기한 목적을 달성하기 위한, 본 발명에 따른 액정표시장치의 제조 방법은, 기판 상에 게이트 전극, 반도체층, 소스 및 드레인 전극 및 화소전극을 형성하는 것을 포함하는 액정표시장치의 제조 방법에 있어서,

상기 게이트 전극, 상기 반도체층, 상기 소스 및 드레인 전극 중 어느 하나는 기판 상에 대전막을 형성하고, 상기 기판의 대전막 상에 스탬프를 접촉시킨 후 외부 전압을 인가하고, 상기 스탬프를 탈착시켜 상기 대전막에 대전 영역을 형성하고, 상기 대전 영역 상에 상기 대전 영역의 성분과 반대 전하로 대전된 나노 물질이 자기조립된 나노 패턴을 형성하는 것을 포함한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세하게 설명한다.

도 1a 내지 도 1g는 본 발명에 따른 스탬프 및 그 제조 방법을 설명하기 위한 공정단면도이다.

도 1g를 참조하면, 본 발명에 따른 스탬프(10)는 유리 기판(11) 상에 형성된 블록부(16)를 갖는 금속층(12)과, 상기 금속층(12) 상에 형성된 고분자막(18)을 포함한다.

상기 금속층(12)은 도전성 금속으로 형성되며, 알루미늄(Al), 구리(Cu), 크롬(Cr), 텅스텐(W), 니켈(Ni), 티타늄(Ti), 알루미늄합금(AlNd) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 고분자막(18)은 폴리다이메틸실록산(PDMS; Polydimethylsiloxane) 또는 폴리메틸메타크릴레이트(PMMA; Poly Methyl Meta Acrylate) 등으로 이루어진 고분자 물질 중에서 선택되는 1종으로 형성된다.

상기 금속층(12) 상에 형성되는 블록부(16)는 동일 크기 또는 다양한 크기를 갖도록 형성될 수 있으며, 원하는 패턴 형상에 따라 변형 가능하다.

도 1a 내지 도 1g를 참조하여, 본 발명에 따른 스탬프 제조 방법을 설명하면, 기판(11) 상의 전면에 걸쳐 플라즈마화학기상증착(PECVD; Plasma Enhanced Chemical Vapor Deposition) 방법, 저압화학기상증착(LPCVD; Low Pressure Chemical Vapor Deposition) 방법 또는 스퍼터링(Sputtering) 방법으로 금속을 증착하여 금속층(12)을 형성한다(도 1a).

상기 금속층(12) 상의 기판(11) 전면에 감광성 물질인 포토레지스트(PR; Photo Resist)(13)를 스핀 코팅(Spin Coating) 방식을 수행하여 도포한다(도 1b). 상기 포토레지스트(13)는 포지티브형(Positive Type) 포토레지스트 또는 네거티브형(Negative Type) 포토레지스트로 형성될 수 있으며, 본 발명의 실시예에 따른 포토레지스트(13)는 자외선(UV)이 조사된 부분만 현상(Develop) 공정에서 현상액에 의해 제거되는 포지티브형 포토레지스트로 설명한다.

상기 포토레지스트(13)가 도포된 상기 기판(11) 상에 광 차단부(14a)와 광 투과부(14b)를 구비한 마스크(14)를 위치시킨 후 상기 마스크(14) 상에 자외선(UV)을 조사한다(도 1c).

상기 마스크(14)의 광 투과부(14b)로 상기 자외선(UV)이 통과되면 현상 후 상기 마스크(14)의 광 투과부(14b)와 대응된 부분의 포토레지스트(13)를 제거하여 상기 마스크(14)의 광 차단부(14a)와 대응된 부분에 포토레지스트 패턴(15)을 형성한다(도 1d).

상기 금속층(12) 상에 형성된 상기 포토레지스트 패턴(15)을 마스크로 하여 건식 식각(Dry Etching)으로 상기 금속층(12)을 식각한 후 에싱(Ashing) 또는 포토레지스트 스트립(PR Strip)으로 포토레지스트 패턴(15)을 제거하여 블록부(16)를 갖는 금속층(12)을 형성한다(도 1e).

이어서, 상기 볼록부(16)를 갖는 금속층(12) 상에 액상의 PMMA 또는 PDMS를 스핀 코팅법, 슬릿 코팅(Slit Coating)법, 스프레이 증착법, 랑뮤어 블라젯(LB;Langmuir Bodgett) 방법 중 선택되는 어느 하나의 방법으로 고분자물질층(17)을 형성한 후 빛(UV)이나 열로 경화한다(도 1f).

이로써, 상기 기판(11) 상의 볼록부(16)를 갖는 금속층(12) 상에 고분자막(18)으로 이루어진 스탬프(10)를 완성한다(도 1g).

본 발명에 의해 제조된 상기 스탬프(10)는 볼록부(16)의 표면이 유연성이 있는 PDMS 또는 PMMA와 같은 고분자막으로 형성됨으로써, 후속 공정에서 대면적 기판과 접촉하여 대전 영역(Charged Zone)을 형성할 경우에 기판과의 접촉성이 우수하여 기판 상에 초기 증착시 원하는 패턴과 동일한 정밀한 대전 영역을 형성할 수 있다.

도 2a 내지 도 2e는 본 발명의 스탬프를 이용한 제 1 실시예에 따른 나노 패턴 형성 방법을 나타낸 공정단면도이고, 도 3a 내지 도 3f는 본 발명의 스탬프를 이용한 제 2 실시예에 따른 나노 패턴 형성 방법을 나타낸 공정단면도이다.

도 2a 내지 도 2e를 참조하면, 본 발명의 스탬프를 이용한 제 1 실시예에 따른 나노 패턴 형성 방법은 기판(21) 상에 대전막(22)을 형성한다(도 2a).

상기 기판(21)은 투명 또는 불투명 재질일 수 있으며, 전도성 또는 비전도성 기판일 수 있다. 상기 기판(21)은 유리 또는 실리콘(Si)으로 형성한다.

상기 대전막(22)은 유전 물질로 형성되며, 폴리다이메틸실록산(PDMS;Polydimethylsiloxane) 또는 폴리메틸메타크릴레이트(PMMA;Poly Methyl Meta Acrylate)로 형성된다.

상기 대전막(22)은 액상의 유전 물질을 스핀 코팅법, 슬릿 코팅법, 스프레이 증착법, 랑뮤어 블라젯(LB;Langmuir Bodgett) 방법 중 선택되는 어느 하나의 방법으로 도포 또는 증착한 후 빛(UV)이나 열로 경화하여 형성한다.

이어서, 상기 대전막(22) 상에 본 발명에 의해 제조되며 유리 기판(11), 볼록부(16)를 갖는 금속층(12) 및 고분자막(18)으로 이루어진 스탬프(10)를 접촉시킨 후 상기 스탬프(10)의 금속층(12)과 상기 기판(21) 상에 외부 전압(27)을 인가한다(도 2b). 이때, 상기 기판(21)은 전도성 기판이다.

도면으로 도시하지는 않았지만, 상기 기판(21)이 비전도성 기판일 경우에는 상기 기판(21) 하부에 전도성 기판을 위치시키거나 진공으로 잡아준 후 상기 스탬프(10)의 금속층(12)과 전도성 기판에 외부 전압을 인가하거나 스퍼터링 챔버 내부에 상기 기판(21)을 삽입한 후 상기 스탬프(10)의 금속층(12)과 기판 지지대에 전압을 인가하여 대전막(22)으로 전하가 이동되게 함으로써 대전 영역을 형성한다.

이어서, 상기 스탬프(10)를 탈착하여 상기 스탬프(10)의 볼록부(16)의 고분자막(18)과 대전막(22)이 접촉된 영역에 음(-)전하 또는 양(+)전하로 대전된 대전 영역(23)을 형성한다(도 2c). 이때, 상기 대전 영역(23)을 양(+)전하로 대전하여 설명한다.

이어서, 상기 대전 영역(23)의 성분과 반대 전하인 음(-)전하로 대전된 나노 물질(24)을 프린터 토너 방식으로 노즐(25)을 이용하여 도포한다(도 2d).

상기 프린터 토너 방식은 상온 상태에서 수행하며, 상기 프린터 토너 방식은 일반적으로 공지된 기술을 이용하며 본 발명에서는 이에 대한 구체적인 설명은 생략하기로 한다.

이때, 상기 나노 물질(24)은 나노 파우더(nano powder)이며, 실리콘(Si), 금(Au), 은(Ag) 및 구리(Cu) 등으로 이루어진 군에서 선택되는 1종으로 형성된다.

상기 도포된 나노 파우더(24)는 상기 대전 영역(23) 상에 인력에 의해서 자기-조립된 자기조립 단층막(SAM)을 형성함으로써 나노 패턴(26)을 형성한다(도 2e).

이때, 상기 나노 패턴(26)은 반도체층, 게이트 전극, 소스 및 드레인 전극 패턴일 수 있으며, 상기 나노 패턴(26)은 본 발명에 의해 제조된 유연성이 있는 스탬프(10)를 사용하여 대전막(22)과의 접촉성을 향상시켜 대전막(22) 내에 패터닝성이 우수한 대전 영역(23)을 형성함으로써, 초기 증착 시 원하는 패턴의 형상과 동일한 우수한 나노 박막 패턴으로 형성된다.

도 3a 내지 도 3f를 참조하면, 본 발명의 스탬프를 이용한 제 2 실시예에 따른 나노 패턴 형성 방법은 기관(31) 상에 대전막(32)을 형성한다(도 3a). 상기 기관(31) 및 대전막(32) 형성 물질과 대전막(32) 형성 방법은 상기 제 1 실시예에 따른 나노 패턴 형성 방법과 동일하다.

이어서, 상기 대전막(32) 상에 본 발명에 의해 제조되며 유리기관(11), 블록부(16)를 갖는 금속층(12) 및 고분자막(18)으로 이루어진 스탬프(10)를 접촉시킨 후 상기 스탬프(10)의 금속층(12)과 상기 기관(31) 상에 외부 전압(38)을 인가한다(도 3b). 이때, 상기 기관(31)은 전도성 기관이다.

도면으로 도시하지는 않았지만, 상기 기관(31)이 비전도성 기관일 경우에는 상기 제 1 실시예에 따른 나노 패턴 형성 방법과 동일하게 외부 전압을 인가한다.

이어서, 상기 스탬프(10)를 탈착하여 상기 스탬프(10)의 블록부(16)의 고분자막(18)과 대전막(32)이 접촉된 영역에 양(+)전하 또는 음(-)전하로 대전된 대전 영역(33)을 형성한다(도 3c). 이때, 상기 대전 영역(33)을 양(+)전하로 대전하여 설명한다.

이어서, 상기 대전 영역(33)과 반대 전하인 음(-)전하로 대전된 나노 물질(34)을 용매에 혼합하여 음(-)전하를 띠는 나노 물질(24)이 분산된 용액(35)을 제조한다.

이때, 상기 나노 물질(34)은 나노 선(nano wire) 또는 나노 튜브(nano tube)이며, 실리콘(Si), 금(Au), 은(Ag) 및 구리(Cu) 등으로 이루어진 군에서 선택되는 1종으로 형성한다.

상기 나노 선 또는 나노 튜브(34)를 분산시키기 위한 용매는 유기용매로서 특별히 제한되지는 않으며, 에탄올(ethanol), 메탄올(methanol) 또는 이소프로필알콜(IPA;isopropyl alcohol) 중 선택되는 1종으로 형성한다.

상기 대전 영역(33)이 형성된 기관(31)을 상기 용액(35)이 담긴 용기(36) 속에 삽입하여(도 3d), 상기 대전 영역(33) 상에 나노 선 또는 나노 튜브(34)가 인력에 의해서 자기-조립된 자기조립 단층막(SAM)을 형성함으로써 나노 패턴(37)을 형성한다(도 3e). 즉, 상기 나노 패턴(37)은 도금법에 의해 형성한다.

상기 나노 패턴(37)이 형성된 기관(31)은 용액 속에서 반출하여 빛(UV)이나 열로 건조시킨다(도 3f).

이때, 상기 나노 패턴(37)은 반도체층, 게이트 전극, 소스 및 드레인 전극 패턴일 수 있으며, 상기 나노 패턴(37)은 본 발명에 의해 제조된 유연성이 있는 스탬프(10)를 사용하여 대전막(32)과의 접촉성을 향상시켜 대전막(32) 내에 패터닝성이 우수한 대전 영역(33)을 형성함으로써, 초기 증착 시 원하는 패턴의 형상과 동일한 우수한 나노 박막 패턴으로 형성된다.

도 4a 내지 도 4f는 본 발명의 스탬프를 이용한 제 1 실시예에 따른 박막트랜지스터의 제조 방법을 나타낸 공정단면도이다.

도 4a를 참조하면, 기관(41) 상에 소정 영역의 대전 영역(43)을 갖는 대전막(42)을 형성한다.

상기 기관(41)은 투명 또는 불투명한 재질일 수 있으며, 상기 기관(41)은 전도성 기관 또는 비전도성 기관으로 형성된다. 상기 기관(41)은 유리 또는 실리콘(Si)으로 형성된다.

상기 대전막(42)은 유전 물질로 형성하며, 폴리다이메틸실록산(PDMS;Polydimethylsiloxane) 또는 폴리메틸메타크릴레이트(PMMA;Poly Methyl Meta Acrylate)로 형성한다.

상기 대전막(42)은 액상의 유전 물질을 스핀 코팅법, 슬릿 코팅법, 스프레이 증착법, 랑뮤어 블라젯(LB) 방법 중 선택되는 어느 하나의 방법으로 도포 또는 증착한 후 빛(UV)이나 열로 경화하여 형성한다.

도 4b를 참조하면, 상기 대전막(42) 상의 소정 영역에 본 발명에 의해 제조되며 유리 기관(11), 볼록부(♣)(16)를 갖는 금속층(12) 및 고분자막(18)으로 이루어진 스템프(10)를 접촉시킨 후 상기 스템프의 금속층(12)과 기관(41)에 외부 전압(49)을 인가한다. 이때, 상기 스템프(10)의 볼록부(♣)(16)의 고분자막(18)만이 상기 대전막(42)에 접촉되며, 상기 기관(41)은 전도성 기관이다.

도면으로 도시하지는 않았지만, 상기 기관(41)이 비전도성 기관일 경우에는 상기 기관(41) 하부에 전도성 기관을 위치시키거나 진공으로 잡아준 후 상기 스템프(10)의 금속층(12)과 전도성 기관에 외부 전압을 인가하거나 스퍼터링 챔버 내부에 상기 기관(41)을 삽입한 후 상기 스템프(10)의 금속층(12)과 기관 지지대에 전압을 인가하여 대전막(42)으로 전하가 이동되게 함으로써 대전 영역을 형성한다.

도 4c를 참조하면, 상기 스템프(10)를 대전막(42)과 탈착시켜 상기 스템프(10)의 볼록부(♣)의 고분자막(18)과 대전막(42)의 접촉 영역에 음(-)전하 또는 양(+)전하로 대전되어 형성된 대전 영역(43)을 형성한다. 이때, 상기 대전 영역(43)을 양(+)전하로 대전하여 설명한다.

도 4d를 참조하면, 상기 대전 영역(43) 상에 상기 대전 영역(43)의 성분과 반대 전하인 음(-)전하로 대전된 나노 파우더를 프린터 토너 방식을 수행하여 도포하거나 상기 대전 영역(43)이 형성된 기관(41)을 상기 대전 영역(43)과 반대 전하인(-)전하로 대전된 나노 선 또는 나노 튜브가 분산된 용액에 삽입하여 상기 대전 영역(43) 상에 인력에 의해서 자기-조립되어 자기조립 단층막(SAM)으로 형성되는 반도체층(44)을 형성한다. 이때, 상기 반도체층(44)은 도포 또는 도금법에 의해 형성한다.

즉, 상기 본 발명의 스템프를 이용한 제 1 실시예 또는 제 2 실시예에 따른 나노 패턴 형성 방법에 의해 상기 반도체층(44)을 형성한다.

상기 반도체층(44)은 나노 파우더, 나노 선 또는 나노 튜브 중에서 선택되는 1종으로 형성하며, 실리콘(Si)으로 형성한다.

상기 용액은 나노 선 또는 나노 튜브를 분산시키기 위한 용매를 포함하여, 상기 용매는 유기용매로서 특별히 제한되지는 않으며, 에탄올, 메탄올 또는 이소프로필알콜 등을 사용한다.

나노 선 또는 나노 튜브가 분산된 용액에 삽입되어 상기 반도체층(44)이 형성된 기관(41)은 용액 속에서 반출하여 건조시킨 후속 공정을 진행한다. 이때, 상기 기관(41)을 건조하는 방법은 빛(UV)이나 열로 수행한다.

이때, 상기 반도체층(44)은 자기조립에 의해 정밀한 나노 패턴으로 형성되며, 초기 증착 시 원하는 반도체층 패턴과 동일한 패턴으로 형성된다.

도 4e를 참조하면, 상기 반도체층(44)을 포함한 대전막(42) 상에는 도전성 금속을 PECVD 방법, LPCVD 방법 또는 스퍼터링 방법 중 어느 하나를 수행하여 적층 후 마스크를 이용하여 패터닝하여 일정 간격 이격되며 상기 반도체층(44)과 접촉하는 소스 및 드레인 전극(45, 46)을 형성한다.

상기 소스 및 드레인 전극(45, 46)은 알루미늄(Al), 구리(Cu), 크롬(Cr), 텅스텐(W), 니켈(Ni), 티타늄(Ti), 알루미늄합금(AlNd) 등으로 이루어진 군에서 선택되는 1종 이상으로 형성한다.

상기 소스 및 드레인 전극(45, 46)이 서로 이격되고 반도체층(44)이 노출된 구간에는 상기 소스 및 드레인 전극(45, 46)을 도통시키는 채널(CH:Channel)이 형성된다.

도 4f를 참조하면, 상기 소스 및 드레인 전극(45, 46)을 포함한 기관(41) 전면에 걸쳐 실리콘 산화막(SiO_2) 또는 실리콘 질화막(SiN_x)을 PECVD 방법 또는 LPCVD 방법을 수행하여 증착하여 게이트 절연막(47)을 형성한다.

상기 게이트 절연막(47) 상에는 도전성 금속을 PECVD 방법, LPCVD 방법 또는 스퍼터링 방법 중 선택되는 어느 하나의 방법으로 적층 후 마스크를 이용하여 패터닝하여 상기 반도체층(44)과 대응된 게이트 전극(48)을 형성한다. 상기 게이트 전극(48)은 알루미늄(Al), 구리(Cu), 크롬(Cr), 텅스텐(W), 니켈(Ni), 티타늄(Ti), 알루미늄합금(AlNd) 등으로 이루어진 군에서 선택되는 1종으로 형성한다.

이로써, 반도체층(44), 소스 및 드레인 전극(45, 46) 및 게이트 전극(48)을 포함하는 탑 게이트형(top gate type) 박막트랜지스터를 완성한다.

여기서, 상기 박막트랜지스터는 본 발명에 따른 스탬프(10)를 이용한 정밀한 나노 박막 패턴으로 형성된 반도체층(44)을 포함한다.

상기 박막트랜지스터는 유연성이 있는 스탬프(10)를 사용하여 스탬프(10)와 대전막(42)과의 접촉성을 향상시켜 대전막(42) 내에 패터닝성이 우수한 대전 영역(43)을 형성함으로써, 후속 공정에서 초기 증착 시 원하는 패턴의 형상과 동일한 우수한 나노 박막 패턴인 반도체층(44)을 형성할 수 있고, 이를 통해 박막트랜지스터 소자의 성능을 향상시킬 수 있다.

도 5a 내지 도 5f는 본 발명의 스탬프를 이용한 제 2 실시예에 따른 박막트랜지스터의 제조 방법을 나타낸 공정단면도이다.

도 5a를 참조하면, 기판(51) 상에 대전막(52)을 형성한다.

상기 기판(51) 및 대전막(52) 형성 물질과 형성 방법은 본 발명의 제 1 실시예에 따른 박막트랜지스터와 동일하다.

도 5b를 참조하면, 상기 대전막(52) 상에 본 발명의 제조 방법에 의해 제조되며 유리 기판(11), 블록부(△)(16)를 갖는 금속층(12) 및 고분자막(18)으로 이루어진 스탬프(10)를 접촉시킨 후 상기 스탬프(10)의 금속층(12)과 기판(51)에 외부 전압(59)을 인가한다. 이때, 상기 기판(51)은 전도성 기판이다.

도면으로 도시하지는 않았지만, 상기 기판(51)이 비전도성 기판일 경우에는 본 발명의 제 1 실시예에 따른 박막트랜지스터에서와 동일한 방법으로 외부 전압을 인가한다.

도 5c를 참조하면, 상기 스탬프(10)를 대전막(52)에서 탈착하여 상기 스탬프(10)의 블록부(△)(16)의 고분자막(18)과 대전막(52)이 접촉하는 영역에 음(-)전하 또는 양(+)전하로 대전된 대전 영역(53)을 형성한다. 이때, 상기 대전 영역(53)은 양(+)전하로 대전하여 설명한다.

도 5d를 참조하면, 상기 대전 영역(53) 상에 상기 대전 영역(53) 성분과 반대 전하인 음(-)전하로 대전된 나노 파우더를 프린터 토너 방식으로 도포하거나 상기 대전 영역(53)의 성분과 반대 전하인 음(-)전하로 대전된 나노 선 또는 나노 튜브가 분산된 용액 속에 상기 기판(51)을 삽입하여 상기 대전 영역(53) 상에 인력에 의해 자기-조립된 자기조립 단층막(SAM)으로 형성되는 게이트 전극(54)을 형성한다. 즉, 상기 게이트 전극(54)은 도포 또는 도금법에 의해 형성한다.

이때, 상기 자기조립된 나노 패턴의 게이트 전극(54)을 형성하는 방법은 본 발명의 제 1 실시예 또는 제 2 실시예에 따른 나노 패턴의 제조 방법과 동일하다.

상기 게이트 전극(54)은 나노 파우더, 나노 선 또는 나노 튜브 중 선택되는 1종으로 형성하며, 금(Au), 은(Ag) 및 구리(Cu) 등으로 이루어진 군에서 선택되는 1종으로 형성한다.

도 5e를 참조하면, 상기 게이트 전극(54)을 포함한 기판(51) 전면에 걸쳐 실리콘 산화막, 실리콘 질화막을 PECVD 방법 또는 LPCVD 방법을 수행하여 증착하여 게이트 절연막(55)을 형성한다.

상기 게이트 절연막(55) 상에는 전면에 걸쳐 순수한 비정질실리콘 및 불순물이 도핑된 비정질실리콘을 PECVD 방법 또는 LPCVD 방법을 수행하여 차례대로 적층한 후 마스크를 이용하여 패터닝하여 상기 게이트 전극(54)과 대응되는 영역에 반도체층(56)을 형성한다.

도 5f를 참조하면, 상기 반도체층(56)을 포함한 게이트 절연막(55) 상의 전면에 걸쳐 도전성 금속을 PECVD 방법, LPCVD 방법 또는 스퍼터링 방법 중 선택되는 어느 하나의 방법을 수행하여 증착 후 마스크로 패터닝하여 상기 반도체층(56)과 접촉되며 일정 간격 이격되는 소스 및 드레인 전극(57, 58)을 형성한다.

상기 소스 및 드레인 전극(57, 58)은 알루미늄(Al), 구리(Cu), 크롬(Cr), 텅스텐(W), 니켈(Ni), 티타늄(Ti), 알루미늄합금(AlNd) 등으로 이루어진 군에서 선택되는 1종 이상으로 형성한다.

상기 소스 및 드레인 전극(57, 58)이 서로 이격되고 반도체층(56)이 노출된 구간에는 상기 소스 및 드레인 전극(57, 58)을 도통시키는 채널(CH)이 형성된다.

이로써, 게이트 전극(54), 반도체층(56) 및 소스 및 드레인 전극(57, 58)을 포함하는 바텀 게이트형(bottom gate type) 박막트랜지스터를 완성한다.

상기 박막트랜지스터는 본 발명에 따른 유연성이 있는 스탬프(10)를 사용하여 대전막(52)과의 접촉성을 향상시켜 대전막(52) 내에 패터닝성이 우수한 대전 영역(53)을 형성하고 이를 통해 초기 증착 시 원하는 게이트 패턴의 형성과 동일한 게이트 전극(54)을 형성함으로써 박막트랜지스터 소자의 성능을 향상시킬 수 있다.

도 6a 내지 도 6f는 본 발명의 스탬프를 이용한 제 3 실시예에 따른 박막트랜지스터의 제조 방법을 나타낸 공정단면도이다.

도 6a를 참조하면, 기판(61) 상에 대전막(62)을 형성한다.

상기 기판(61) 및 대전막(62) 형성 물질과 형성 방법은 본 발명의 제 1, 2 실시예에 따른 박막트랜지스터와 동일하다.

도 6b를 참조하면, 상기 대전막(62) 상에 본 발명의 제조 방법의 의해 제조되며 유리 기판(11), 블록부(△)(16)를 갖는 금속층(12) 및 고분자막(18)으로 이루어진 스탬프(10)를 접촉시킨 후 상기 스탬프(10)의 금속층(12)과 기판(61)에 외부 전압(69)을 인가한다. 이때, 상기 기판(61)은 전도성 기판이다.

도면으로 도시하지는 않았지만, 상기 기판(61)이 비전도성 기판일 경우에는 본 발명의 제 1 실시예에 따른 박막트랜지스터에서와 동일한 방법으로 외부 전압을 인가한다.

도 6c를 참조하면, 상기 스탬프(10)를 대전막(62)에서 탈착하여 상기 스탬프(10)의 블록부(△)(16)의 고분자막(18)과 대전막(62)이 접촉하는 영역에 음(-)전하 또는 양(+)전하로 대전된 대전 영역(63)을 형성한다. 이때, 상기 대전 영역(63)은 양(+)전하로 대전하여 설명한다.

도 6d를 참조하면, 상기 대전 영역(63) 상에 상기 대전 영역(63)의 성분과 반대 전하인 음(-)전하로 대전된 나노 파우더를 프린터 토너 방식으로 도포하거나 용매에 상기 대전 영역(63)과 반대 전하인 음(-)전하로 대전된 나노 선 또는 나노 튜브가 분산된 용액 속에 상기 기판(61)을 삽입하여 상기 대전 영역(63) 상에 인력에 의해 자기-조립되어 자기조립 단층막(SAM)으로 형성되는 소스 및 드레인 전극(64, 65)을 형성한다. 즉, 상기 소스 및 드레인 전극(64, 65)은 도포 또는 도금법에 의해 형성하며, 이때, 상기 소스 및 드레인 전극(64, 65)은 일정 간격 이격되어 형성된다.

상기 자기조립 단층막인 나노 패턴의 소스 및 드레인 전극(64, 65)을 형성하는 방법은 본 발명의 제 1 실시예 또는 제 2 실시예에 따른 나노 패턴의 제조 방법과 동일하다.

상기 소스 및 드레인 전극(64, 65)은 나노 파우더, 나노 선 또는 나노 튜브 중 선택되는 1종으로 형성하며, 금(Au), 은(Ag) 및 구리(Cu) 등으로 이루어진 군에서 선택되는 1종으로 형성한다.

이때, 상기 소스 및 드레인 전극(64, 65)은 초기 증착 시 원하는 소스 및 드레인 전극 패턴과 동일하게 정밀한 나노 패턴으로 형성된다.

도 6e를 참조하면, 상기 대전막(62) 상에 상기 소스 및 드레인 전극(64, 65) 사이에 상기 소스 및 드레인 전극(64, 65)과 접촉하도록 패터닝하여 반도체층(66)을 형성한다. 상기 반도체층(66)을 사이에 두고 소스 및 드레인 전극(64, 65)이 이격되는 구간에는 상기 소스 및 드레인 전극(64, 65)을 도통시키는 채널(CH)이 형성된다.

상기 반도체층(66)을 형성물질 및 형성 방법은 본 발명의 제 2 실시예에 따른 박막트랜지스터와 동일하다.

도 6f를 참조하면, 상기 반도체층(66)을 포함한 기판(61) 전면에서 걸쳐 게이트 절연막(67)을 형성한 후 상기 게이트 절연막(67) 상에 도전성 금속을 적층 후 패터닝하여 상기 반도체층(66)과 대응되는 게이트 전극(68)을 형성한다.

상기 게이트 절연막(67)과 게이트 전극(68)의 형성 물질 및 형성 방법은 본 발명의 제 1 실시예에 따른 박막트랜지스터와 동일하다.

이로써, 소스 및 드레인 전극(64, 65), 반도체층(66) 및 게이트 전극(68)을 포함하는 탑 게이트형 박막트랜지스터를 완성한다.

상기 언급한 바와 같이 반도체층, 게이트 전극 및 소스 및 드레인 전극 중 어느 하나의 층을 본 발명의 제조 방법에 의해 제조된 스탬프를 이용하여 정밀한 나노 패턴으로 형성한다.

보다 자세하게는 본 발명에 따른 유연성이 있는 스탬프를 사용하여 대전막과의 접촉성을 향상시켜 대전막 내에 패터닝성이 우수한 대전 영역을 형성함으로써 초기 증착 시 원하는 반도체층, 게이트 전극, 소스 및 드레인 전극 등의 패턴 형상과 동일한 우수한 나노 박막 패턴의 박막트랜지스터를 형성할 수 있고, 이를 통해 박막트랜지스터 소자의 성능을 향상시킬 수 있다.

본 발명에서의 제 1 실시예 내지 제 3 실시예에 따른 박막트랜지스터의 제조 방법은 스탬프를 이용한 나노 패턴을 형성하기 위하여 대전 영역을 형성하기 위한 대전막을 필요로 하므로 박막트랜지스터 형성 시 전극 사이에 형성되는 대전막에 의한 소자의 성능 저하를 방지하기 위해 반도체층, 게이트 전극 및 소스 및 드레인 전극 중 어느 하나의 층만 스탬프를 이용한 나노 패턴 제조 방법으로 형성한다.

도 7a 내지 도 7h는 본 발명의 제 1 실시예에 따른 박막트랜지스터 제조 방법을 이용한 액정표시장치의 어레이 기판의 제조 방법을 설명하기 위한 공정단면도이다.

첨부한 도면을 참조하여 본 발명의 제 1 실시예에 따른 박막트랜지스터 제조 방법을 이용한 액정표시장치의 어레이 기판의 제조 방법을 간략히 설명한다.

유리 기판(71) 상에 대전막(72)을 형성하고(도 7a), 상기 대전막(72) 상에 본 발명에 의해 제조되며 유리 기판(11), 블록부(凸)(16)를 갖는 금속층(12), 고분자막(18)을 포함하는 스탬프(10)를 접착시킨다. 이때, 상기 스탬프(10)의 블록부(凸)(16)의 고분자막(18)만 대전막(72)에 접촉된다.

상기 유리 기판(71)은 비전도성이므로 상기 유리 기판(71) 하부에 전도성 기질의 금속 기판(73)을 위치시키거나 진공으로 잡아준 후 상기 스탬프(10)의 금속층(12)과 금속 기판(73)에 외부 전압(83)을 인가한다(도 7b).

또한, 도면으로 도시하지는 않았지만 스퍼터링 챔버 내부에 상기 기판(71)을 삽입한 후 상기 스탬프(10)의 금속층(12)과 기판 지지대에 전압을 인가할 수도 있다.

상기 스탬프(10)를 대전막(72)에서 탈착하고, 상기 금속 기판(73)을 제거하여 상기 대전막(72)의 스탬프(10)의 블록부(凸)(16)의 고분자막(18)과 접촉된 영역에 음(-)전하 또는 양(+)전하로 대전된 대전 영역(74)을 형성한다(도 7c).

이어서, 상기 대전 영역(74) 상에 상기 대전 영역(74)의 성분과 반대 전하로 대전된 나노 파우더를 프린터 토너 방식을 수행하여 도포하거나 상기 대전 영역(74)이 형성된 기판(71)을 용매에 상기 대전 영역(74)과 반대 전하로 대전된 나노 선 또는 나노 튜브가 분산된 용액 속에 삽입하여 상기 대전 영역(74) 상에 인력에 의해서 자기-조립되어 자기조립 단층막(SAM)으로 형성되는 반도체층(75)을 형성한다.(도 7d) 이때, 용액 속에 삽입하여 반도체층(75)이 형성된 기판(71)은 반출하여 빛이나 열로 건조한 후 후속 공정을 진행한다.

상기 반도체층(75)을 포함한 기판(71) 전면에서 걸쳐 도전성 금속을 적층 후 마스크로 패터닝하여 상기 대전막(72) 상에 일정 간격 이격되며 상기 반도체층(75)과 접속하는 소스 및 드레인 전극(76, 77)을 형성한다. 이때, 상기 소스 및 드레인 전극(76, 77)이 서로 이격되고 반도체층(75)이 노출된 구간에는 상기 소스 및 드레인 전극(76, 77)을 도통시키는 채널(CH)이 형성된다(도 7e).

상기 소스 및 드레인 전극(76, 77)을 포함한 기판(71) 전면에서 걸쳐 게이트 절연막(78)을 형성하고, 상기 게이트 절연막(78) 상에 도전성 금속을 상기 반도체층(75)과 대응되도록 패터닝하여 게이트 전극(79)을 형성한다(도 7f).

상기 대전막(72), 반도체층(75), 소스 및 드레인 전극(76, 77), 게이트 절연막(78) 및 게이트 전극(79) 형성 물질 및 방법은 본 발명에 따른 스템프를 이용한 제 1 실시예에 따른 박막트랜지스터의 제조 방법과 동일하다.

이로써, 반도체층(75), 소스 및 드레인 전극(76, 77), 게이트 전극(79)을 포함하는 박막트랜지스터를 완성한다.

이어서, 상기 게이트 전극(79)을 포함한 기판(71) 전면에 걸쳐 보호층(80)을 형성하고, 상기 드레인 전극(77)의 표면 일부가 노출되도록 보호층(80) 및 게이트 절연막(78)을 건식식각 또는 습식식각으로 식각하여 콘택홀(81)을 형성한다(도 7g). 상기 보호층(80)은 실리콘 산화막 또는 실리콘 질화막을 PECVD 방법 또는 LPCVD 방법을 수행하여 증착한다.

상기 콘택홀(81)을 포함한 보호층(80) 상에는 투명 도전성 물질을 스퍼터링 방법으로 적층 후 패터닝하여 상기 콘택홀(81)을 통해 상기 드레인 전극(77)과 전기적으로 접속하는 화소전극(82)을 형성한다. 상기 투명 도전성 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)로 형성한다.

이로써, 본 발명의 스템프를 이용한 제 1 실시예에 따른 박막트랜지스터의 제조 방법을 통한 액정표시장치의 어레이 기판을 완성한다.

상기한 바와 같이 본 발명에 따른 유연성이 있는 스템프를 사용하여 대면적기판에 있어서 대전막과의 접촉성을 향상시켜 대전막 내에 자기-조립을 통해 패터닝성이 우수한 대전 영역을 형성함으로써 초기 증착 시 원하는 반도체층 패턴과 동일한 우수한 나노 패턴으로 형성된 반도체층을 형성하여 액정표시장치에서 소자의 성능을 향상시킬 수 있다.

본 발명에서는 설명의 편의를 위하여 본 발명의 제 1 실시예에 따른 박막트랜지스터의 제조 방법을 통한 액정표시장치의 제조 방법에 한해 설명하였으나, 상기 액정표시장치의 어레이 기판의 제조 방법은 본 발명에 따른 스템프를 이용한 제 2, 3 실시예에 따른 박막트랜지스터의 제조 방법을 통해서도 형성될 수 있다.

즉, 액정표시장치에서 상기 기판 상의 대전막 내에 형성된 대전 영역 상에 반도체층, 게이트 전극 및 소스 및 드레인 전극 중 어느 한 층은 본 발명에 따른 스템프를 이용한 나노 패턴 형성 방법에 의한 박막트랜지스터의 제조 방법에 의해 형성될 수 있다.

상기 언급한 바와 같이, 상기 액정표시장치에서도 박막트랜지스터의 전극 사이에 형성되는 대전막에 의한 소자의 성능 저하를 방지하기 위해 대전막을 이용한 나노 패턴의 형성 방법은 반도체층, 게이트 전극 및 소스 및 드레인 전극 중 어느 한 층에 제한한다.

도면으로 도시하지는 않았지만, 상기 액정표시장치의 어레이 기판 상부에는 블랙매트릭스, 컬러필터층 및 공통전극 등을 구비한 컬러필터 기판이 주입구를 제외하고 씰재(Sealant)에 의해 합착되며, 상기 어레이 기판과 컬러필터 기판 사이에는 주입구를 통해 액정이 주입되어 액정층을 형성함으로써 액정표시장치가 완성된다.

이상을 통해 본 발명의 바람직한 실시예들에 대하여 설명하였지만, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자라면 특허청구범위와 발명의 상세한 설명 및 첨부한 도면의 범위 안에서 여러 가지로 변형하여 실시하는 것이 가능하고 이 또한 본 발명의 범위에 속하는 것은 당연하다.

발명의 효과

본 발명은 유연한 스템프를 제조하여 기판과의 접촉성을 향상시킴으로써 기판 상에 원하는 대전 영역을 양호하게 형성할 수 있는 효과가 있다.

본 발명은 상기 스템프를 이용한 자기조립 단층막을 형성함으로써 초기 증착 시 원하는 형상과 동일한 나노 패턴을 형성할 수 있는 효과가 있다.

본 발명은 상기 스템프를 이용한 정밀한 나노 패턴 형성 방법을 통한 박막트랜지스터 및 액정표시장치의 제조 방법을 제공하고, 이를 통해 소자의 성능을 향상시킬 수 있는 또 다른 효과가 있다.

도면의 간단한 설명

도 1a 내지 도 1g는 본 발명에 따른 스탬프 및 그 제조 방법을 설명하기 위한 공정단면도.

도 2a 내지 도 2e는 본 발명의 스탬프를 이용한 제 1 실시예에 따른 나노 패턴 형성 방법을 나타낸 공정단면도.

도 3a 내지 도 3f는 본 발명의 스탬프를 이용한 제 2 실시예에 따른 나노 패턴 형성 방법을 나타낸 공정단면도.

도 4a 내지 도 4f는 본 발명의 스탬프를 이용한 제 1 실시예에 따른 박막트랜지스터의 제조 방법을 나타낸 공정단면도.

도 5a 내지 도 5f는 본 발명의 스탬프를 이용한 제 2 실시예에 따른 박막트랜지스터의 제조 방법을 나타낸 공정단면도.

도 6a 내지 도 6f는 본 발명의 스탬프를 이용한 제 3 실시예에 따른 박막트랜지스터의 제조 방법을 나타낸 공정단면도.

도 7a 내지 도 7h는 본 발명의 제 1 실시예에 따른 박막트랜지스터 제조 방법을 이용한 액정표시장치의 어레이 기판의 제조 방법을 설명하기 위한 공정단면도.

<도면의 주요부분에 대한 부호의 설명>

10 : 스탬프 11, 21, 31, 41, 51, 61, 71 : 기판

12 : 금속층 13 : 포토레지스트

14 : 마스크 15 : 포토레지스트 패턴

16 : 블록부(凸) 17 : 고분자물질층

18 : 고분자막 22, 32, 42, 52, 62, 72 : 대전막

23, 33, 43, 53, 63, 74 : 대전 영역 24 : 나노 파우더

25 : 노즐 26, 37 : 나노 패턴

27, 38, 49, 59, 69, 83 : 외부 전압

34 : 나노 선 또는 나노 튜브 35 : 나노 분산 용액

36 : 용기 44, 56, 66, 75 : 반도체층

45, 57, 64, 76 : 소스 전극 46, 58, 65, 77 : 드레인 전극

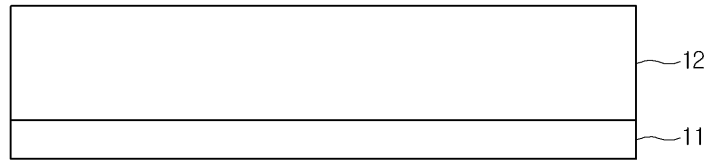
47, 55, 67, 78 : 게이트 절연막 48, 54, 68, 79 : 게이트 전극

73 : 금속 기판 80 : 보호층

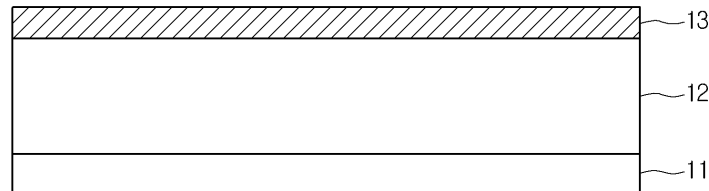
81 : 콘택홀 82 : 화소전극

도면

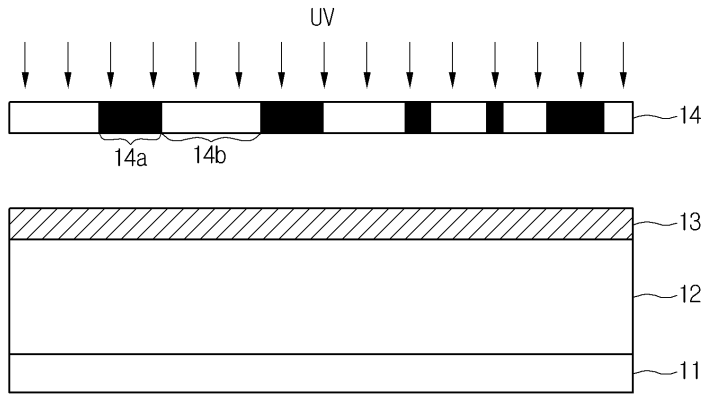
도면1a



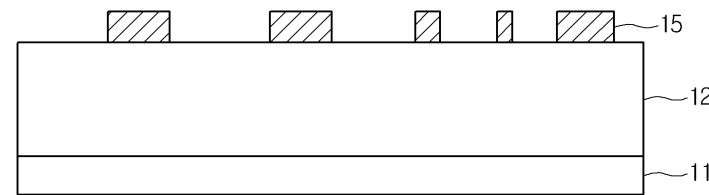
도면1b



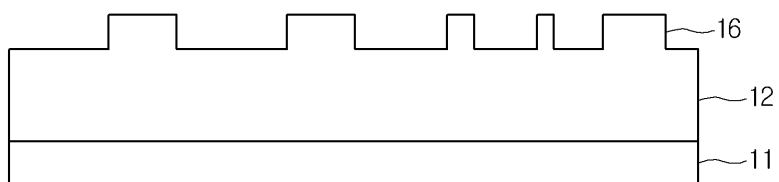
도면1c



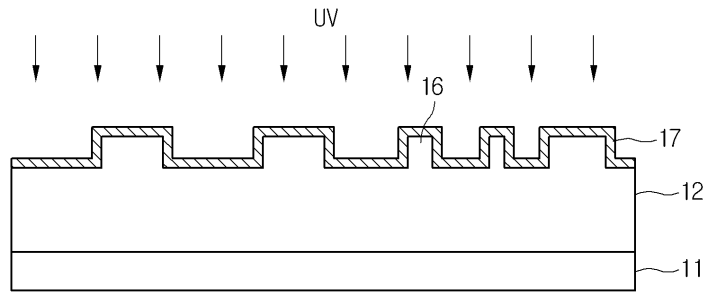
도면1d



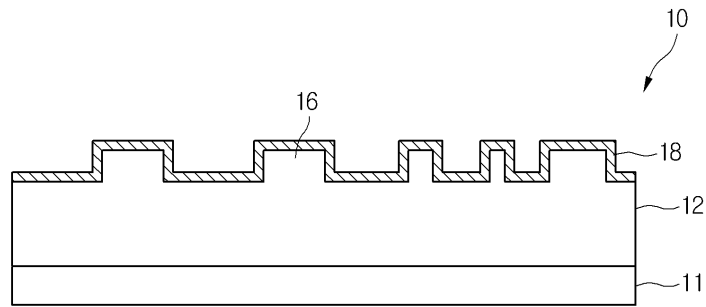
도면1e



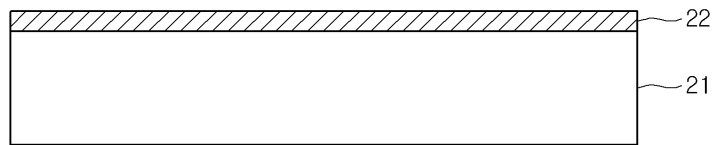
도면1f



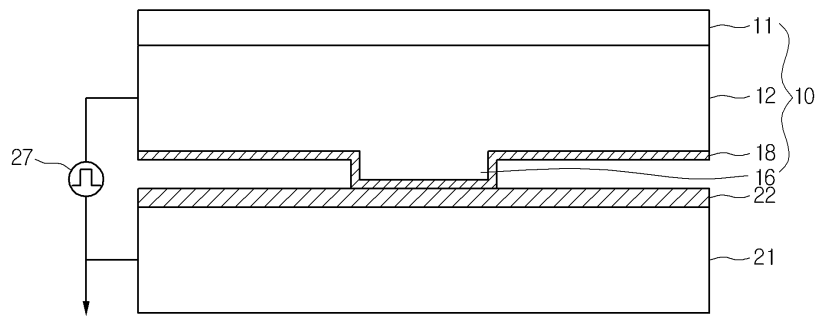
도면1g



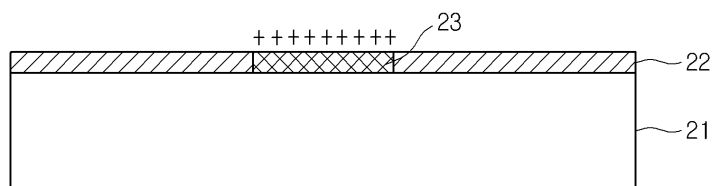
도면2a



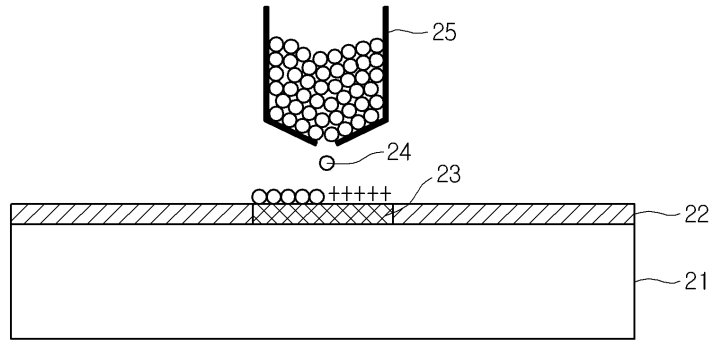
도면2b



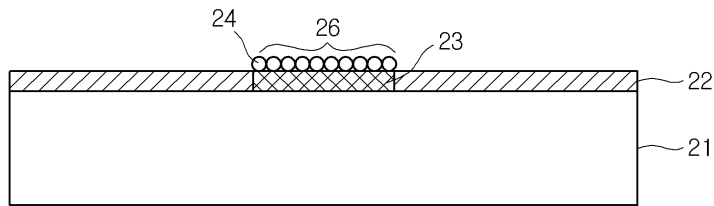
도면2c



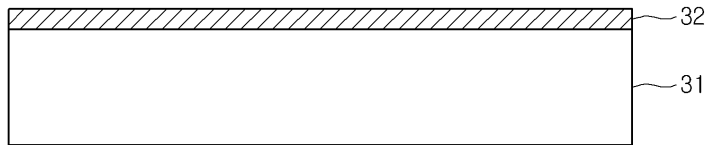
도면2d



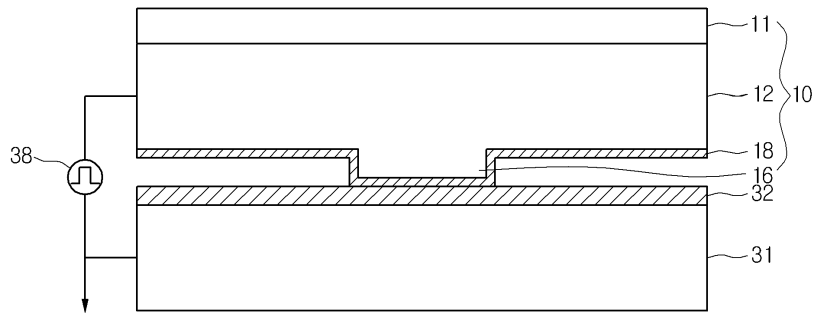
도면2e



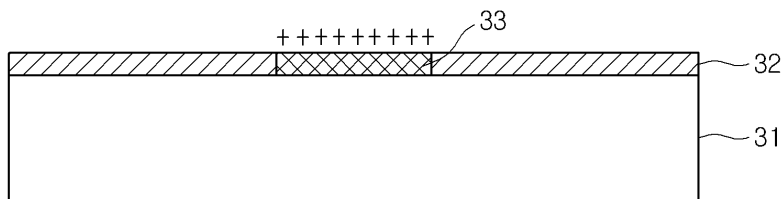
도면3a



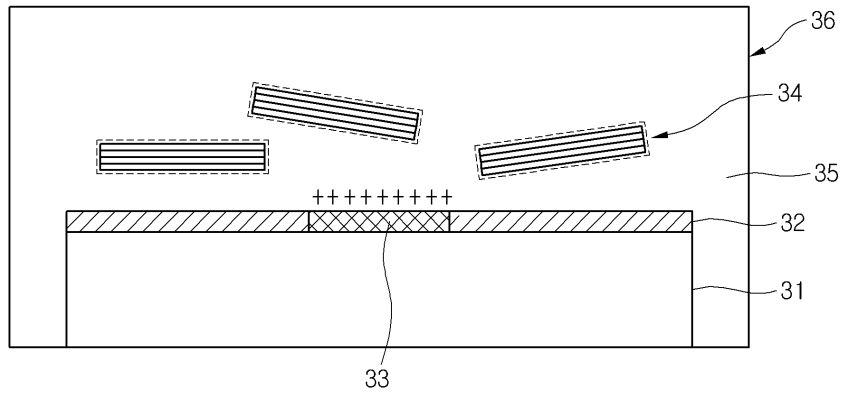
도면3b



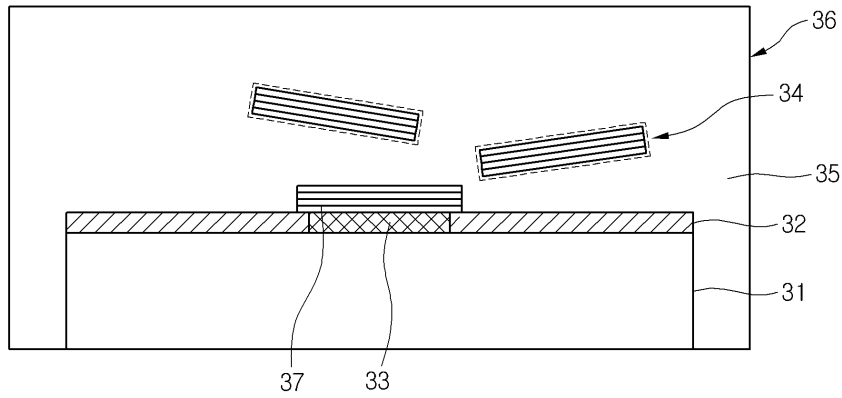
도면3c



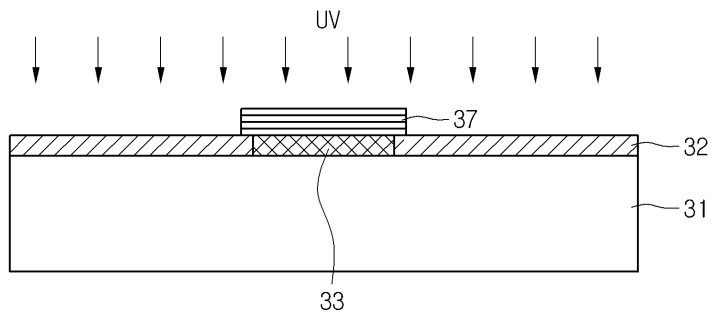
도면3d



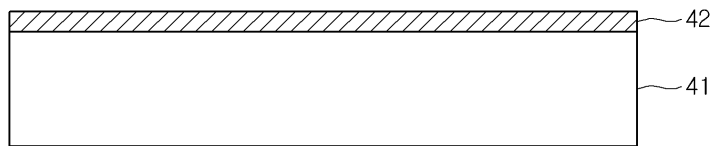
도면3e



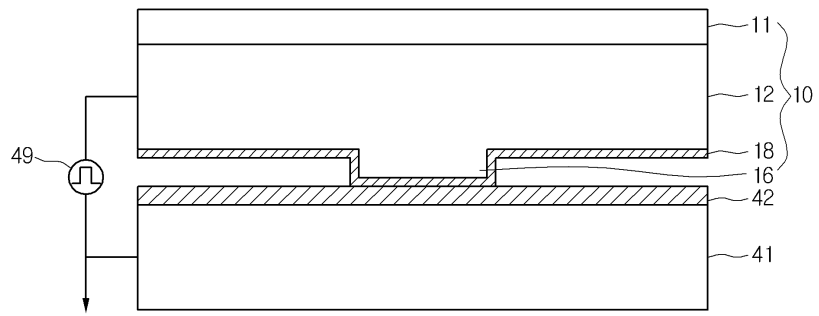
도면3f



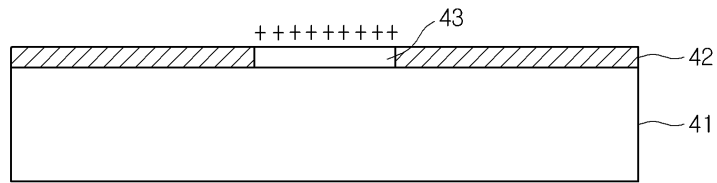
도면4a



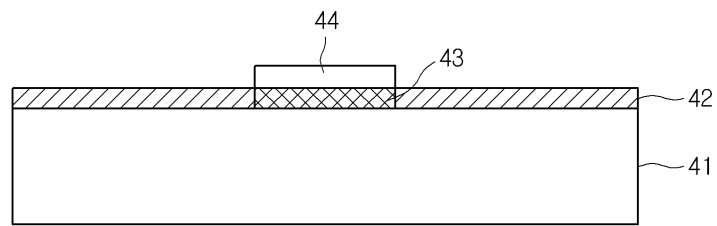
도면4b



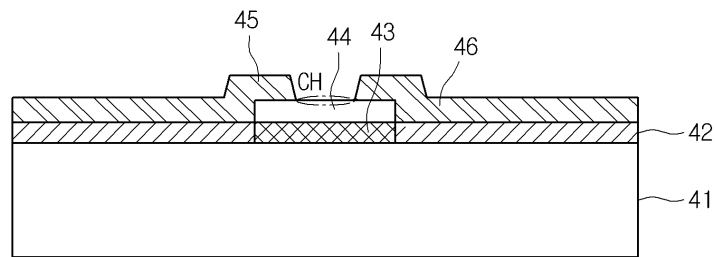
도면4c



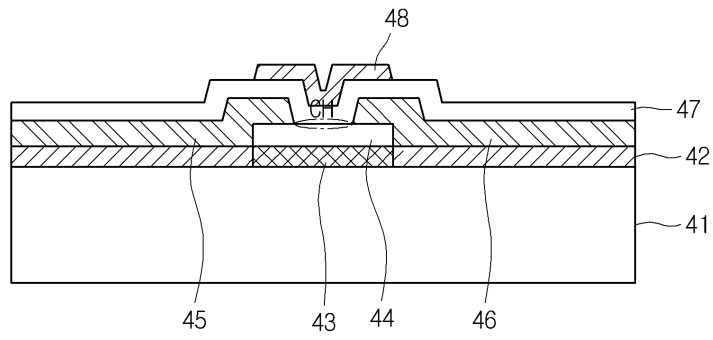
도면4d



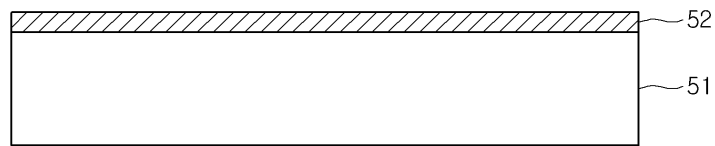
도면4e



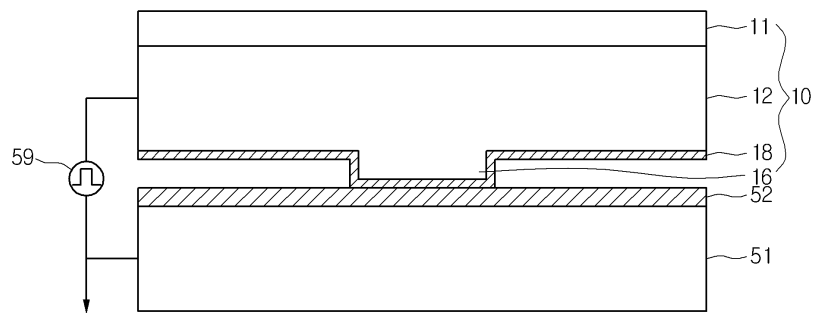
도면4f



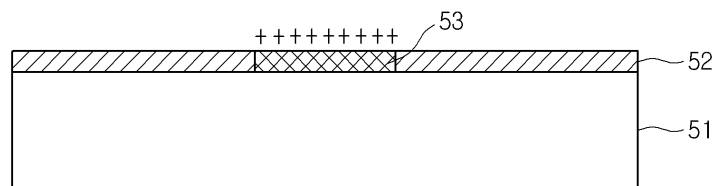
도면5a



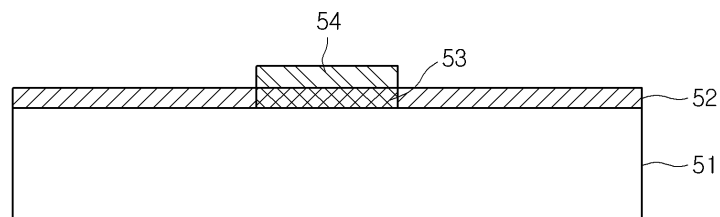
도면5b



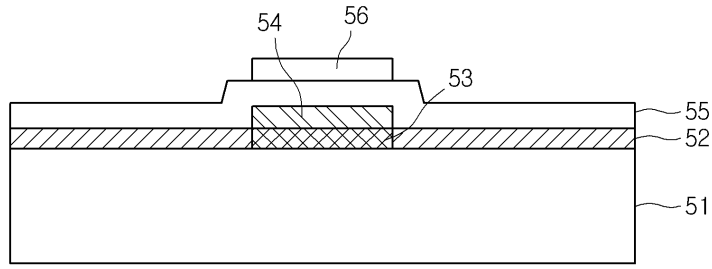
도면5c



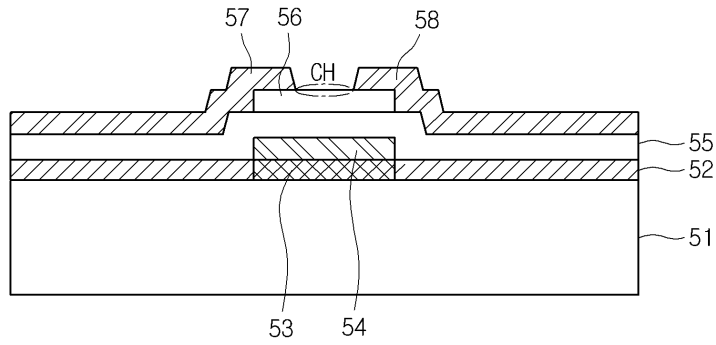
도면5d



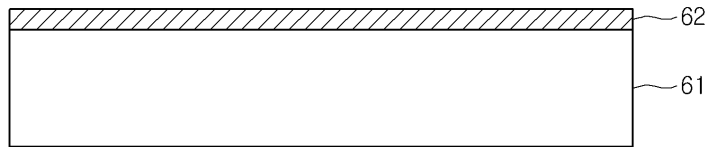
도면5e



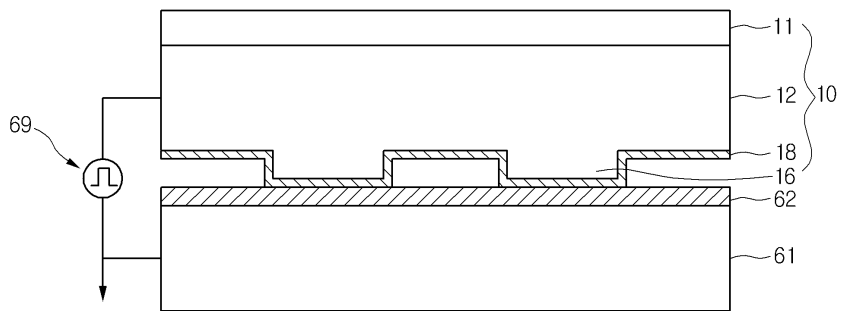
도면5f



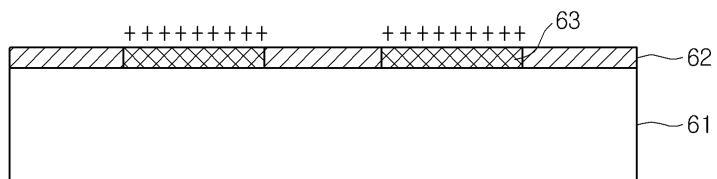
도면6a



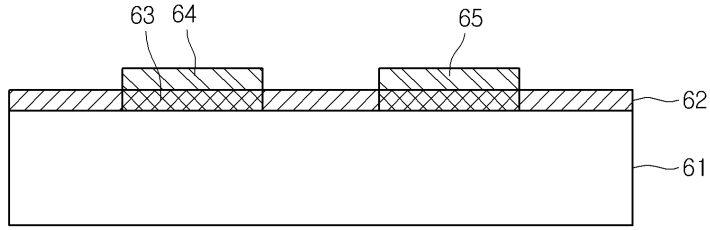
도면6b



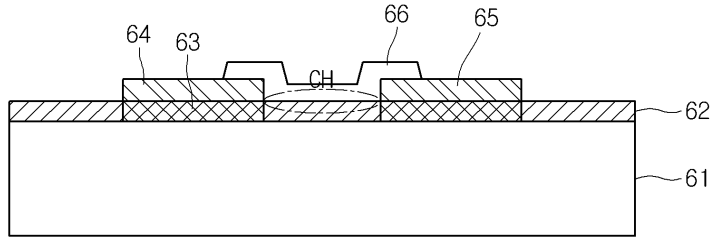
도면6c



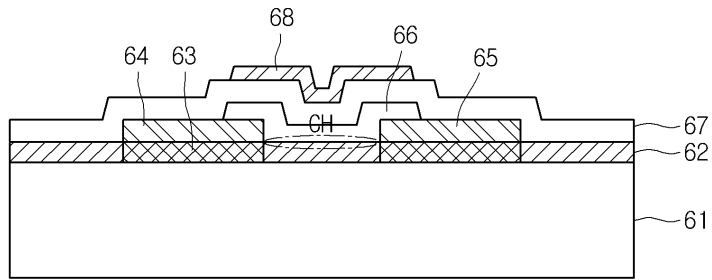
도면6d



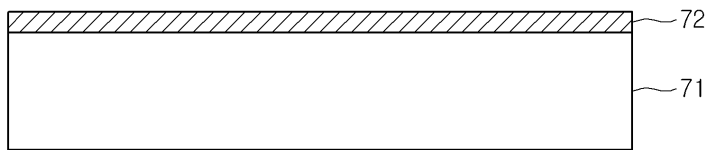
도면6e



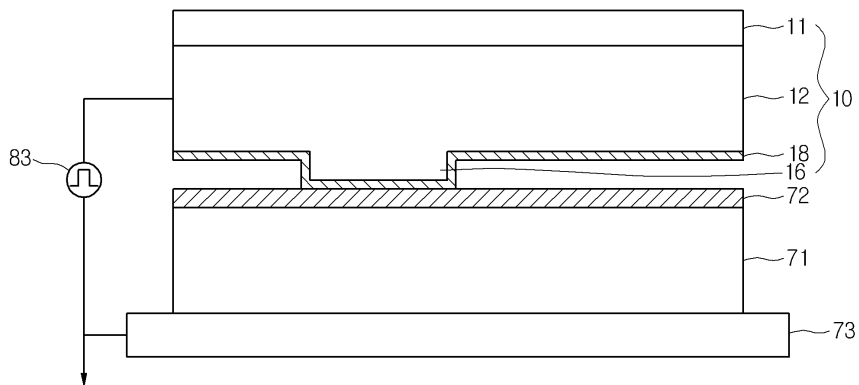
도면6f



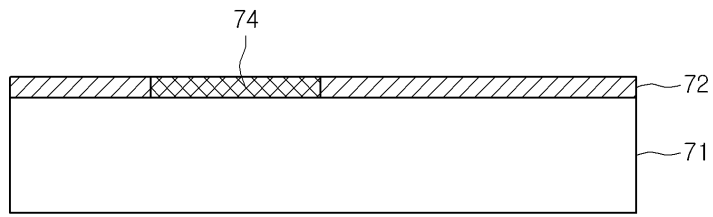
도면7a



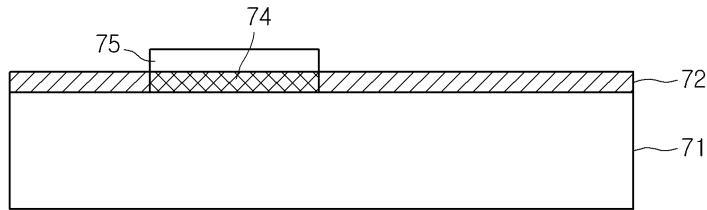
도면7b



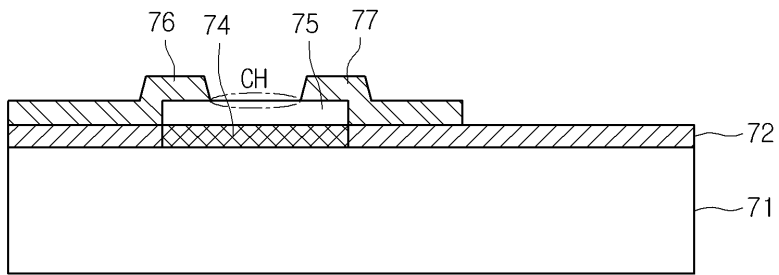
도면7c



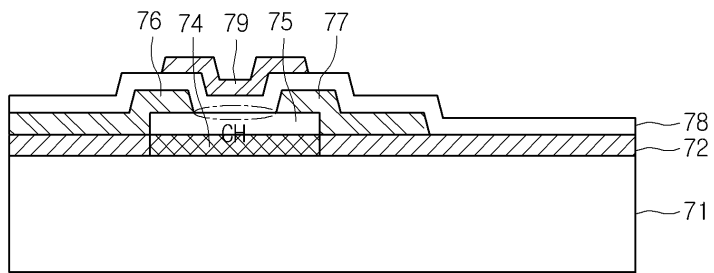
도면7d



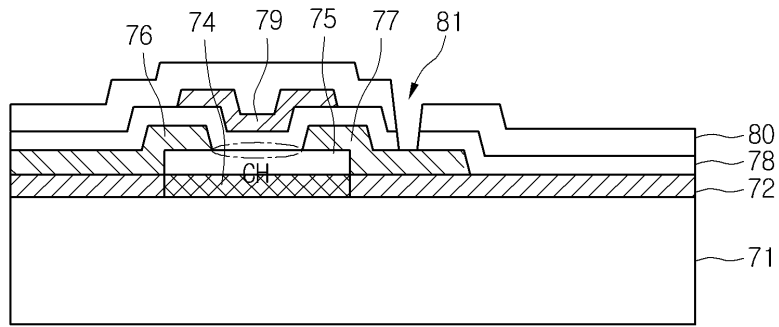
도면7e



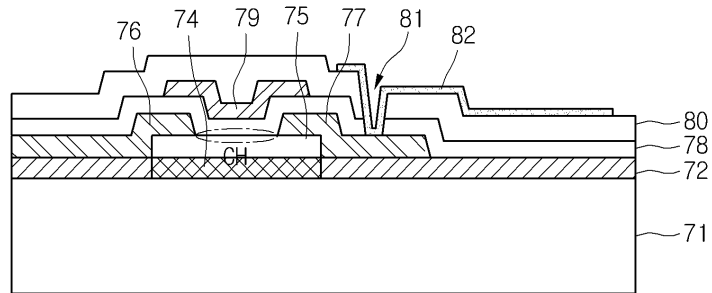
도면7f



도면7g



도면7h



专利名称(译)	印章制造方法，使用其的薄膜晶体管，以及液晶显示装置的制造方法		
公开(公告)号	KR1020070051004A	公开(公告)日	2007-05-17
申请号	KR1020050108334	申请日	2005-11-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE BO HYUN 이보현 CHAE GEE SUNG 채기성		
发明人	이보현 채기성		
IPC分类号	G02F1/136 B82Y40/00		
CPC分类号	G03G13/286 B82Y10/00 G02F2202/36 H01L27/1214 G03F7/0002 G03G13/283 B82Y40/00 G03G13/28 B82Y20/00 B82Y30/00 G02F2001/136295 G03G13/26 H01L27/124 H01L27/1292		
其他公开文献	KR101265321B1		
外部链接	Espacenet		

摘要(译)

本发明公开了该印章制造方法的制造方法，以及使用该方法的薄膜晶体管和液晶显示器。薄膜晶体管和具有涂层或纳米图案的液晶显示器的制造方法通过自组装纳米材料镀金并形成自组装单层膜（SAM：自组装单层膜），通过组件充电和带电区域的相反电荷，使得带电区域使用基板上的印模，提供了具有改进的公开发明的印模的制造方法，提供了与基板的粘合性。通过这种方式，可以提高元件性能。印模，纳米图案，自组装单层膜，薄膜晶体管，液晶显示器。

