



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0002801
G02F 1/136 (2006.01) (43) 공개일자 2007년01월05일

(21) 출원번호 10-2005-0058475
(22) 출원일자 2005년06월30일
심사청구일자 없음

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 권오남
경기 용인시 기흥읍 보라리 570 민속마을 현대모닝사이드 313-402
류순성
경기 군포시 산본동 금강아파트 901-1201
조흥렬
경기 수원시 권선구 호매실동 삼익2차아파트 202-908
남승희
경기도 수원시 장안구 울전동 394-22번지 502호

(74) 대리인 김영호

전체 청구항 수 : 총 18 항

(54) 미세 패턴 형성 방법과 그를 이용한 액정 표시 장치 및 그제조 방법

(57) 요약

본 발명은 노광 해상도의 제한없이 미세 패턴을 형성할 수 있는 미세 패턴 형성 방법과, 그를 이용한 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

본 발명의 미세 패턴 형성 방법은 도전층 위에 노광 장비의 노광 해상도에 대응하는 최소 선폭을 갖는 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 마스크로 한 식각 공정으로 상기 도전층을 과식각하여 1~3.5 μ m 범위의 선폭을 갖는 전극 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 3b

특허청구의 범위

청구항 1.

도전층 위에 노광 장비의 노광 해상도에 대응하는 최소 선폭을 갖는 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 마스크로 한 식각 공정으로 상기 도전층을 과식각하여 1~3.5 μm 범위의 선폴을 갖는 전극 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 2.

제 1 항에 있어서,

상기 도전층은 투명 도전층을 이용하는 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 3.

제 1 항 및 제 2 항 중 어느 한 항에 있어서,

상기 도전층은 ITO를 이용하는 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 4.

제 3 항에 있어서,

상기 식각 공정의 온도는 50도~70도 범위로 설정된 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 5.

제 3 항에 있어서,

상기 식각 공정 시간은 100~300초 범위로 설정된 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 6.

제 3 항에 있어서,

상기 ITO를 식각하기 위한 에천트는 2wt%~10wt% 범위의 옥살산을 기본으로 표면 활성체를 첨가한 에천트를 이용하는 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 7.

제 6 항에 있어서,

상기 에천트는 스프레이 모드로 제공되는 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 8.

제 1 항에 있어서,

상기 포토레지스트 패턴과 상기 전극 패턴 사이의 에치 CD 바이어스가 $0.3\mu\text{m}$ 보다 크도록 상기 도전층을 과식각하는 것을 특징으로 하는 미세 패턴 형성 방법.

청구항 9.

게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인과;

상기 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터와;

상기 박막 트랜지스터와 접속되어 상기 화소 영역에 형성된 화소 전극과;

상기 화소 전극과 수평 전계를 형성하기 위한 공통 전극과;

상기 공통 전극과 접속된 공통 라인을 구비하고;

상기 화소 전극 및 공통 전극 중 적어도 어느 한 전극은 노광 장비의 노광 해상도 보다 작은 $1\sim 3.5\mu\text{m}$ 범위의 선폭을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제 9 항에 있어서,

상기 화소 전극 및 공통 전극 적어도 어느 한 전극은 투명 도전층으로 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 11.

화소 전극과 공통 전극에 의한 수평 전계를 이용하는 액정 표시 장치의 제조 방법에 있어서, 상기 화소 전극 및 공통 전극 중 적어도 어느 한 전극을 형성하는 단계는,

도전층을 형성하는 단계와;

상기 도전층 위에 노광 해상도에 대응하는 최소 선폭을 갖는 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 마스크로 한 식각 공정으로 상기 도전층을 과식각하여 $1\sim 3.5\mu\text{m}$ 범위의 선폭을 갖는 상기 적어도 어느 한 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 12.

제 11 항에 있어서,

상기 도전층은 투명 도전층을 이용하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 13.

제 11 항에 있어서,

상기 도전층은 ITO를 이용하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 14.

제 13 항에 있어서,

상기 식각 공정의 온도는 50도~70도 범위로 설정된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 15.

제 13 항에 있어서,

상기 식각 공정 시간은 100~300초 범위로 설정된 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 16.

제 13 항에 있어서,

상기 ITO를 식각하기 위한 에천트는 2wt%~10wt% 범위의 옥살산을 기본으로 표면 활성체를 첨가한 에천트를 이용하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 17.

제 16 항에 있어서,

상기 에천트는 스프레이 모드로 제공되는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 18.

제 1 항에 있어서,

상기 포토레지스트 패턴과 상기 전극 사이의 에치 CD 바이어스가 $0.3\mu\text{m}$ 보다 크도록 상기 도전층을 과식각하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 미세 패턴을 형성할 수 있는 미세 패턴 형성 방법과, 그를 이용한 액정 표시 장치 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 액정셀 매트릭스를 통해 화상을 표시하는 액정 표시 패널(이하, 액정 패널)과, 그 액정 패널을 구동하는 구동 회로를 구비한다.

도 1을 참조하면, 종래의 액정 패널은 액정(24)을 사이에 두고 접합된 칼라 필터 기관(10)과 박막 트랜지스터 기관(20)으로 구성된다.

칼라 필터 기관(10)은 상부 유리 기관(2) 상에 순차적으로 형성된 블랙 매트릭스(4)와 칼라 필터(6) 및 공통 전극(8)을 구비한다. 블랙 매트릭스(4)는 상부 유리 기관(2)에 매트릭스 형태로 형성된다. 이러한 블랙 매트릭스(4)는 상부 유리 기관(2)의 영역을 칼라 필터(6)가 형성되어질 다수의 셀영역들로 나누고, 인접한 셀들간의 광 간섭 및 외부광 반사를 방지한다. 칼라 필터(6)는 블랙 매트릭스(4)에 의해 구분된 셀영역에 적(R), 녹(G), 청(B)으로 구분되게 형성되어 적, 녹, 청색 광을 각각 투과시킨다. 공통 전극(8)은 칼라 필터(6) 위에 전면 도포된 투명 도전층으로 액정(24) 구동시 기준이 되는 공통 전압(Vcom)을 공급한다. 그리고, 칼라 필터(6)의 평탄화를 위하여 칼라 필터(6)와 공통 전극(8) 사이에는 오버코트층(Overcoat Layer)(미도시)이 추가로 형성되기도 한다.

박막 트랜지스터 기관(20)은 하부 유리 기관(12)에서 게이트 라인(14)과 데이터 라인(16)의 교차로 정의된 셀영역마다 형성된 박막 트랜지스터(18)와 화소 전극(22)을 구비한다. 박막 트랜지스터(18)는 게이트 라인(12)으로부터의 게이트 신호에 응답하여 데이터 라인(16)으로부터의 데이터 신호를 화소 전극(22)으로 공급한다. 투명 도전층으로 형성된 화소 전극(22)은 박막 트랜지스터(18)로부터의 데이터 신호를 공급하여 액정(24)이 구동되게 한다.

유전 이방성을 갖는 액정(24)은 화소 전극(22)의 데이터 신호와 공통 전극(8)의 공통 전압(Vcom)에 의해 형성된 전계에 따라 회전하여 광 투과율을 조절함으로써 계조가 구현되게 한다.

그리고, 액정 패널은 액정(24)의 초기 배향을 위한 배향막과, 컬러 필터 기관(10)과 박막 트랜지스터 기관(20)과의 셀갭을 일정하게 유지하기 위한 스페이서(미도시)를 추가로 구비한다.

이러한 액정 패널의 칼라 필터 기관(10) 및 박막 트랜지스터 기관(20)은 다수의 마스크 공정을 이용하여 형성된다. 하나의 마스크 공정은 박막 증착(코팅) 공정, 세정 공정, 포토리소그래피 공정(이하, 포토 공정), 식각 공정, 포토레지스트 박리 공정, 검사 공정 등과 같은 다수의 공정을 포함한다.

특히, 박막 트랜지스터 기관은 반도체 공정을 포함함과 아울러 다수의 마스크 공정을 필요로 함에 따라 제조 공정이 복잡하여 액정 패널 제조 단가 상승의 중요 원인이 되고 있다. 이에 따라, 박막 트랜지스터 기관은 표준 마스크 공정이던 5 마스크 공정에서 마스크 공정수를 줄이는 방향으로 발전하고 있다.

한편, 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

수직 전계 액정 표시 장치는 상하부 기관에 대향하게 배치된 화소 전극과 공통 전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 수직 전계 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

수평 전계 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위칭(In Plane Switching; 이하, IPS라 함) 모드의 액정을 구동하게 된다. 수평 전계 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다.

그러나, 수평 전계 액정 표시 장치는 각 화소 영역에 화소 전극과 공통 전극이 다수의 핑거 형상으로 형성됨에 따라 화소 전극과 공통 전극 사이의 개구율이 작은 단점이 있다. 개구율을 높이기 위해서는 화소 전극 및 공통 전극의 선폭을 줄여야 하지만 포토리소그래피 공정에서의 노광 해상도(Resolution)에 의해 제한을 받게 된다.

도 2a 내지 도 2c는 일반적인 투명 전극 형성 방법을 단계적으로 도시한 단면도들이다.

도 2a를 참조하면, 기관(40) 위에 투명 도전층(42)이 형성되고 그 투명 도전층(42) 위에 포토레지스트 패턴(44)이 형성된다. 이 경우, 포토레지스트 패턴(44)의 최소 선폭을 노광 장비의 노광 해상도 보다 작게 형성하기는 어렵다. 예를 들어, 스캔 타입의 노광 해상도가 약 4 μ m 수준인 경우 포토레지스트 패턴(44)의 최소 선폭을 4 μ m 보다 작게 형성하는 것은 불가능하다.

그리고, 도 2b 및 도 2c와 같이 식각 공정으로 투명 도전층(42)을 식각하여 포토레지스트 패턴(44)과 중첩된 투명 전극(46)을 형성하고, 스트립 공정으로 포토레지스트 패턴(44)을 제거하게 된다. 이때, 습식 식각 공정에서의 에치 CD(Critical Demension) 바이어스(A)에 의해 투명 전극(46)은 포토레지스트 패턴(44) 보다 작은 선폭을 갖게 되지만, 포토레지스트 패턴(44)의 최소 선폭이 $4\mu\text{m}$ 인 경우, 투명 전극(46)의 선폭을 $3\mu\text{m}$ 이하로 형성하는 것은 현실적으로 어렵다.

이로 인하여, 수평 전계 액정 표시 장치의 화소 전극과 공통 전극의 최소 선폭이 노광 해상도에 의해 제한을 받게 되므로 개구율을 향상시키는 데 한계가 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 노광 해상도의 제한없이 미세 패턴을 형성할 수 있는 미세 패턴 형성 방법과, 그를 이용한 액정 표시 장치 및 그 제조 방법을 제공하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명의 실시 예에 따른 미세 패턴 형성 방법은 도전층 위에 노광 장비의 노광 해상도에 대응하는 최소 선폭을 갖는 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 마스크로 한 식각 공정으로 상기 도전층을 과식각하여 $1\sim 3.5\mu\text{m}$ 범위의 선폭을 갖는 전극 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

그리고, 본 발명의 미세 패턴 형성 방법을 이용한 액정 표시 장치는 게이트 라인과 교차하여 화소 영역을 정의하는 데이터 라인과; 상기 게이트 라인 및 데이터 라인과 접속된 박막 트랜지스터와; 상기 박막 트랜지스터와 접속되어 상기 화소 영역에 형성된 화소 전극과; 상기 화소 전극과 수평 전계를 형성하기 위한 공통 전극과; 상기 공통 전극과 접속된 공통 라인을 구비하고; 상기 화소 전극 및 공통 전극 중 적어도 어느 한 전극은 노광 장비의 노광 해상도 보다 작은 $1\sim 3.5\mu\text{m}$ 범위의 선폭을 갖는 것을 특징으로 한다.

또한, 본 발명의 미세 패턴 형성 방법을 이용한 액정 표시 장치의 제조 방법은 화소 전극과 공통 전극에 의한 수평 전계를 이용하는 액정 표시 장치의 제조 방법에서, 상기 화소 전극 및 공통 전극 중 적어도 어느 한 전극을 형성하는 단계가, 도전층을 형성하는 단계와; 상기 도전층 위에 노광 해상도에 대응하는 최소 선폭을 갖는 포토레지스트 패턴을 형성하는 단계와; 상기 포토레지스트 패턴을 마스크로 한 식각 공정으로 상기 도전층을 과식각하여 $1\sim 3.5\mu\text{m}$ 범위의 선폭을 갖는 상기 적어도 어느 한 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 3a 내지 도 7c를 참조하여 상세하게 설명하기로 한다.

도 3a 내지 도 3c는 본 발명의 실시 예에 따른 미세 패턴 형성 방법을 단계적으로 도시한 단면도들이다.

도 3a를 참조하면, 기판(50) 위에 투명 도전층(42)이 형성되고 그 박막(52) 위에 포토레지스트 패턴(44)이 형성된다.

도 3b 및 도 3c를 참조하면, 포토레지스트 패턴(44)을 마스크로 한 식각 공정으로 투명 도전층(42)이 식각됨으로써 투명 전극(46)이 형성되고, 스트립 공정으로 포토레지스트 패턴(44)이 제거된다. 이때, 식각 공정 조건을 조절하여 투명 도전층(42)이 포토레지스트 패턴(44) 아래로 과식각되게 함으로써 투명 전극(46)의 선폭을 현저하게 줄일 수 있게 된다. 다시 말하여, 식각 공정 조건을 조절하여 포토레지스트 패턴(44)의 에지부와, 식각 완료된 투명 전극(46)의 에지부와와의 간격인 에치 CD 바이어스(B)를 기존 보다 크게 함으로써 투명 전극(46)의 선폭을 노광 해상도의 제한없이 현저히 줄일 수 있게 된다. 이때, 에치 CD 바이어스(B)는 온도 의존도가 크므로 식각 온도를 기존보다 높게 설정한다.

예를 들면, 투명 도전층(42)으로 비정질 ITO를 이용하는 경우 온도 $50\sim 70^\circ\text{C}$ 의 조건에서 에천트를 스프레이 모드로 제공하면서 $100\sim 300$ 초 동안 식각 공정을 진행하게 된다. 이때, 에천트는 옥살산(Oxalic Acid; 2wt%~10wt%) 기본으로 표면 장력을 줄일 수 있는 표면 활성제(Surfactant)를 첨가한 에천트를 사용한다. 이에 따라, 비정질 ITO의 에치 CD 바이어스(B)를 기존 식각 공정의 CD 바이어스(약 $0.3\mu\text{m}$ 이하) 보다 크게 설정함으로써 투명 전극(46)의 선폭을 $1\mu\text{m}$ 대 까지 줄일 수 있게 된다.

도 4a는 기존의 식각 공정을 통해 투명 전극(46)이 형성되는 과정을 나타낸 사진이고, 도 4b는 본 발명에 따른 식각 공정을 통해 투명 전극(56)이 형성되는 과정을 나타낸 사진이다.

구체적으로, 도 4a는 기존 식각 공정, 즉 40도 정도의 식각 온도에서 스프레이 모드로 제공되는 에천트를 이용하여 비정질 ITO를 식각하는 공정을 진행하면서 100초와 200초에서 포토레지스트 패턴(44)과 투명 전극(46) 간의 에치 CD 바이어스(A)를 나타낸 사진이다. 도 4b는 본 발명의 식각 공정, 즉 60도 정도의 식각 온도에서 스프레이 모드로 제공되는 에천트를 이용하여 비정질 ITO를 식각하는 공정을 진행하면서 100초와 200초에서 포토레지스트 패턴(44)과 투명 전극(56)간의 에치 CD 바이어스(B)를 나타낸 사진이다.

그리고, 식각 온도 및 식각 시간에 따른 비정질 ITO의 에치 CD 바이어스(A, B)를 측정한 실험 데이터는 다음 표 1과 같다.

【표 1】

온도/기간	100초	200초	300초
40도	0.2 μ m	0.4 μ m	0.6 μ m
50도	0.4 μ m	0.8 μ m	1.2 μ m
60도	1.0 μ m	2.0 μ m	3.0 μ m

상기 표 1를 참조하면, 도 4a와 같이 40도의 온도에서 기존 식각 공정을 100 ~ 200초 범위 동안 진행하는 경우 투명 전극(46)의 CD 바이어스(A)는 0.2~0.4 μ m 정도 밖에 되지 않는 반면, 도 4b와 같이 60도 온도에서 본 발명의 식각 공정을 100~200초 범위 동안 진행하는 경우 투명 전극(56)의 CD 바이어스(B)는 1~2 μ m 정도로 현저하게 커짐을 알 수 있다. 이에 따라, 본 발명에서는 포토레지스트 패턴의 최소 선폴이 노광 해상도에 대응하는 4 μ m인 경우 1~3.5 μ m 범위 정도까지 투명 전극(56)의 선폴을 감소시킬 수 있게 된다.

이러한 미세 패턴 형성 방법을 수평 전계 액정 표시 장치의 전극 형성 방법에 적용하는 경우 화소 영역 내에 형성되는 공통 전극 및 화소 전극의 선폴을 기존의 4 μ m대에서 1~3.5 μ m대 까지 현저하게 감소시킬 수 있게 된다. 이에 따라, 개구율을 높여 휘도를 향상시킬 수 있게 된다. 이하, 본 발명에 따른 미세 패턴 형성 방법을 이용한 수평 전계 액정 표시 장치 및 그 제조 방법을 살펴보기로 한다.

도 5는 본 발명의 실시 예에 따른 수평 전계 액정 표시 장치의 박막 트랜지스터 기판을 도시한 평면도이고, 도 6은 도 5에 도시된 박막 트랜지스터 기판을 I - I'선을 따라 절단하여 도시한 단면도이다.

도 5 및 도 6에 도시된 박막 트랜지스터 기판은 하부 기판(150) 위에 게이트 절연막(152)을 사이에 두고 교차하여 화소 영역을 정의하는 게이트 라인(102) 및 데이터 라인(104), 게이트 라인(102) 및 데이터 라인(104)과 화소 전극(118)에 접속된 박막 트랜지스터(TFT), 화소 영역에서 수평 전계를 형성하기 위한 화소 전극(118) 및 공통 전극(122), 공통 전극(122)과 접속된 공통 라인(120)과, 화소 전극(118)과 접속된 스토리지 캐패시터(Cst)를 구비한다.

게이트 라인(102)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 데이터 라인(104)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트 라인(102) 및 데이터 라인(104)은 게이트 절연막(154)을 사이에 두고 교차하여 각 화소 영역을 정의한다.

박막 트랜지스터(TFT)는 게이트 라인(102)의 스캔 신호에 응답하여 데이터 라인(104) 상의 비디오 신호가 화소 전극(118)에 충전되어 유지되게 한다. 이를 위하여, 박막 트랜지스터(TFT)는 게이트 라인(102)과 접속된 게이트 전극(108), 데이터 라인(104)과 접속된 소스 전극(110), 소스 전극(110)과 마주하며 화소 전극(118)과 접속된 드레인 전극(112), 게이트 절연막(154)을 사이에 두고 게이트 전극(108)과 중첩되어 소스 전극(110)과 드레인 전극(112) 사이에 채널을 형성하는 활성층(114), 활성층(114)과 소스 및 드레인 전극(110, 112)과의 오믹 접촉을 위한 오믹 콘택층(116)을 구비한다. 활성층(114) 및 오믹 콘택층(116)을 포함하는 반도체 패턴(115)은 데이터 라인(104)과도 중첩된다.

공통 라인(120)은 공통 전극(122)을 통해 액정 구동을 위한 기준 전압, 즉 공통 전압을 각 화소에 공급한다. 공통 전극(122)은 화소 영역에서 화소 전극(118)과 나란하게 형성되고, 콘택홀(128)을 통해 공통 라인(120)과 접속된다. 예를 들면,

공통 전극(122) 및 화소 전극(118)은 도 5에 도시된 바와 같이 데이터 라인(104)과 함께 지그재그 형상으로 형성된다. 또한, 공통 전극(122) 및 화소 전극(118)은 데이터 라인(104)과 함께 직선형으로 형성될 수 있으며, 이외에도 다양한 형상으로 형성될 수 있다. 상기 공통전극(122) 및 화소전극(118)은 지그재그(zig-zag) 형상으로 형성하고 상기 데이터 라인(104)은 직선형(stripe)으로 형성할 수도 있다.

화소 전극(118)은 공통 전극(122)과 나란하게 형성되고 컨택홀(126)을 통해 드레인 전극(112)과 접속된다. 화소 전극(118)에 박막 트랜지스터(TFT)를 통해 비디오 신호가 공급되면, 화소 전극(118)의 핑거부와 공통 전압이 공급된 공통 전극(122)의 핑거부 사이에는 수평 전계가 형성된다. 이러한 수평 전계에 의해 박막 트랜지스터 기관과 칼라 필터 기관 사이에서 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

스토리지 캐패시터(Cst)는 게이트 절연막(154) 및 반도체 패턴(115)을 사이에 두고 이전 게이트 라인(102)과 스토리지 상부 전극(130)이 중첩되어 형성된다. 스토리지 상부 전극(130)은 컨택홀(132)을 통해 화소 전극(118)과 접속된다. 이러한 스토리지 캐패시터(Cst)는 화소 전극(118)에 충전된 비디오 신호가 다음 신호가 충전될 때까지 안정적으로 유지되게 한다.

이러한 구성을 갖는 박막 트랜지스터 기관의 제조 방법은 다음과 같다.

게이트 라인(102), 게이트 전극(122), 공통 라인(120)을 포함하는 제1 도전 패턴군은 기관(150) 위에 제1 도전층을 형성한 다음 패터닝함으로써 형성된다.

그리고, 게이트 절연막(154)과 반도체층 및 제2 도전층을 적층한 다음 반도체층과 제2 도전층을 패터닝함으로써 활성층(114) 및 오믹 컨택층(116)을 포함하는 반도체 패턴(115)과, 반도체 패턴(115) 위에 중첩된 데이터 라인(104)과 소스 전극(110) 및 드레인 전극(112)과 스토리지 상부 전극(130)을 포함하는 제2 도전 패턴군이 형성된다. 여기서, 반도체 패턴(115)과 제2 도전 패턴군은 별도의 마스크 공정을 통해 형성되기도 한다.

이어서, 보호막(156)을 형성하고 패터닝함으로써 컨택홀(126, 128, 132)이 형성된다.

그리고, 보호막(156) 위에 투명 도전층을 형성하고 패터닝함으로써 공통 전극(122) 및 화소 전극(118)이 형성된다.

이러한 박막 트랜지스터 기관의 제조 방법에서 공통 전극(122) 및 화소 전극(118) 중 적어도 한 전극은 본 발명에 따른 미세 패턴 형성 방법으로 형성된다. 이 경우, 공통 전극(122) 및 화소 전극(118) 중 적어도 한 전극, 즉 그 전극의 핑거부 선포를 기존의 $4\mu\text{m}$ 대에서 $1\sim 3.5\mu\text{m}$ 대 까지 감소시켜 휘도를 향상시킬 수 있게 된다. 이하, 공통 전극(122) 및 화소 전극(118)을 본 발명의 미세 패턴 형성 방법으로 형성한 경우를 구체적으로 설명하기로 한다.

도 7a를 참조하면, 게이트 절연막(154), 보호막(156)이 적층된 기관(150) 상에 투명 도전층(101)이 스퍼터링 등의 증착 방법을 통해 형성되고, 투명 도전층(101) 위에 포토레지스트 공정으로 포토레지스트 패턴(160)이 형성된다.

도 7b 및 도 7c를 참조하면, 포토레지스트 패턴(160)을 마스크로 한 식각 공정으로 투명 도전층(101)을 식각함으로써 공통 전극(122) 및 화소 전극(118)이 형성되고, 스트립 공정으로 잔존하는 포토레지스트 패턴(160)이 제거된다. 이때, 투명 도전층(101)의 에치 CD 바이어스를 크게 함으로써, 즉 투명 도전층(101)을 과식각함으로써 공통 전극(122) 및 화소 전극(118)은 포토레지스트 패턴(160) 보다 더 작은 선포를 갖게 된다. 예를 들면, 투명 도전층(101)으로 비정질 ITO를 이용하는 경우 온도 $50\sim 70$ 도의 조건에서 에천트를 스프레이 모드로 제공하면서 $100\sim 300$ 초 동안 식각 공정을 진행하게 된다. 이때, 에천트는 옥살산(Oxalic Acid; 2wt%~10wt%) 기본으로 표면 장력을 줄일 수 있는 표면 활성제(Surfactant)를 첨가한 에천트를 사용한다. 이에 따라, 비정질 ITO의 에치 CD 바이어스(B)를 기존 식각 공정 보다 크게 하여 공통 전극(122) 및 화소 전극(118)의 선포를 $1\sim 3.5\mu\text{m}$ 대 까지 줄일 수 있게 된다. 그리고, 공통 전극(122) 및 화소 전극(118)이 선포 감소로 인한 저항 성분을 보상하기 위하여 공통 전극(122) 및 화소 전극(118)의 두께를 기존 보다 증가시키는 것이 바람직하다.

한편, 화소 전극(118)과 공통 전극(122)에 의해 수평 전계가 형성되면 투명한 화소 전극(118) 및 공통 전극(122) 각각은 양측 에지부로부터 중앙 쪽으로 $0.8\mu\text{m}$ 정도까지는 그 수평 전계의 영향을 받아 그 위의 액정이 구동되므로 휘도에 기여할 수 있게 된다. 따라서, $1.6\mu\text{m}$ 정도의 선포까지는 화소 전극(118) 및 공통 전극(122) 전체가 빛을 투과하여 휘도에 기여할 수 있게 된다. 반면에, 화소 전극(118) 및 공통 전극(122)의 선포가 $1.6\mu\text{m}$ 보다 큰 경우 양측으로부터 상기 $0.8\mu\text{m}$ 씩을 제

외한 중앙부는 수평 전계의 영향이 미약하여 그 위의 액정이 원하는 대로 구동되지 않아 빛샘이 유발될 수 있다. 따라서, 화소 전극(118)의 평균 두께는 $1.6\mu\text{m}$ 이하로 형성하는 경우 휘도도 높이면서 콘트라스트비도 높일 수 있게 된다. 또한, 공통 전극(122) 및 화소 전극(118)의 구동 특성상 $1.6\mu\text{m}$ 이하의 $1\mu\text{m}$ 대의 선폭을 유지하는 것이 바람직하다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 미세 패턴 형성 방법은 과식각을 통해 노광 해상도의 제한없이 노광 해상도 보다 작은 선폭의 미세 패턴을 형성할 수 있게 된다.

또한, 본 발명에 따른 수평 전계 액정 표시 장치 및 그 제조 방법은 공통 전극 및 화소 전극 중 적어도 한 전극을 상기 미세 패턴 형성 방법을 이용하여 $1\sim 3.5\mu\text{m}$ 대로 형성함으로써 개구율을 높이고 휘도를 향상시킬 수 있게 된다. 특히, 본 발명에 따른 수평 전계 액정 표시 장치 및 그 제조 방법은 공통 전극 및 화소 전극 중 적어도 한 전극을 $1.6\mu\text{m}$ 이하의 $1\mu\text{m}$ 대로 형성하는 경우 전극 중앙에서의 빛샘을 방지하여 콘트라스트비를 향상시킬 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

도 1은 종래의 액정 패널 구조를 개략적으로 도시한 사시도.

도 2a 내지 도 2c는 일반적인 투명 전극 형성 방법을 단계적으로 도시한 단면도들.

도 3a 내지 도 3c는 본 발명의 실시 예에 따른 투명 전극 형성 방법을 단계적으로 도시한 단면도들..

도 4a 및 도 4b는 종래와 본 발명의 투명 전극 형성 방법에 의한 에치 CD 바이어스를 비교하기 위한 사진.

도 5는 본 발명의 실시 예에 따른 액정 표시 장치의 박막 트랜지스터 기판을 도시한 평면도.

도 6은 도 5에 도시된 박막 트랜지스터 기판을 I-I'선을 따라 절단하여 도시한 단면도.

도 7a 내지 도 7c는 도 6에 도시된 화소 전극 및 공통 전극의 형성 방법을 단계적으로 도시한 단면도들.

< 도면의 주요 부분에 대한 부호의 설명 >

2 : 상부 유리 기판 4 : 블랙 매트릭스

6 : 칼라 필터 8 : 공통 전극

10 : 칼라 필터 기판 12 : 하부 유리 기판

14, 102 : 게이트 라인 16, 104 : 데이터 라인

18, TFT : 박막 트랜지스터 20 : 박막 트랜지스터 기판

22, 118 : 화소 전극 24 : 액정

40, 150, 172 : 기판 42 : 투명 도전층

46, 56 : 투명 전극 44, 160 : 포토레지스트 패턴

108 : 게이트 전극 110 : 소스 전극

112 : 드레인 전극 114 : 활성층

115 : 반도체 패턴 116 : 오믹 콘택층

120 : 공통 라인 122 : 공통 전극

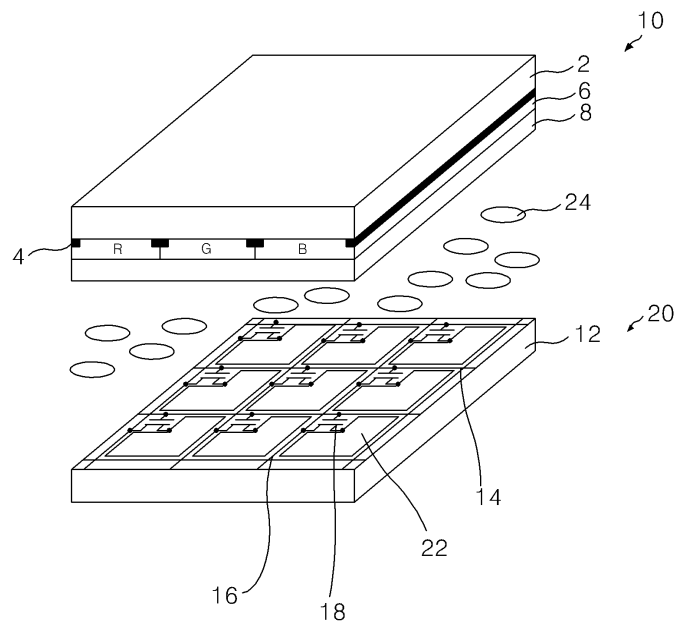
101 : 투명 도전층 126, 128, 132 : 콘택홀

130 : 스토리지 상부 전극 154 : 게이트 절연막

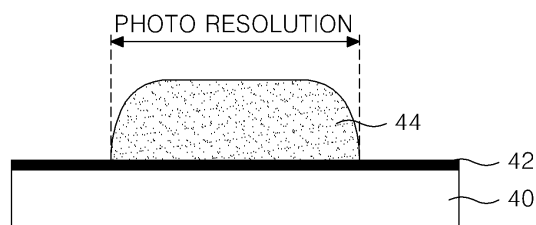
156 : 보호막

도면

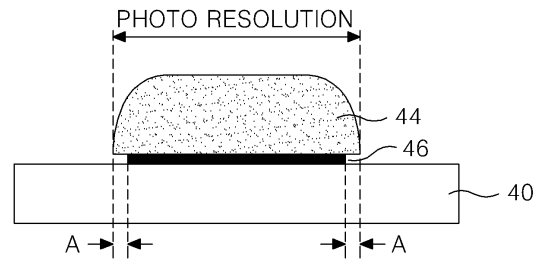
도면1



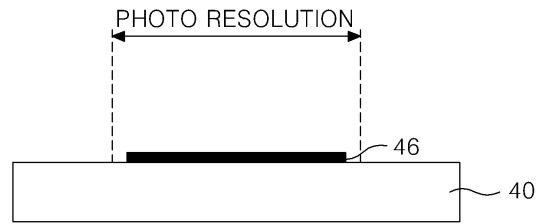
도면2a



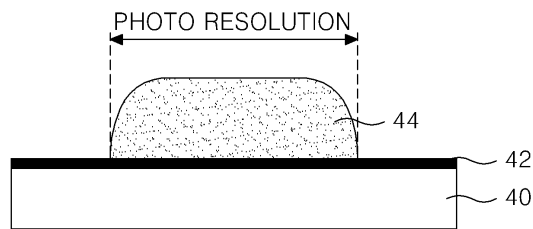
도면2b



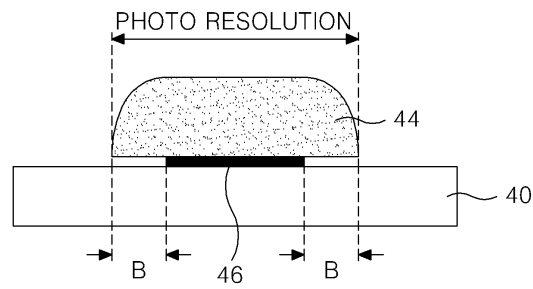
도면2c



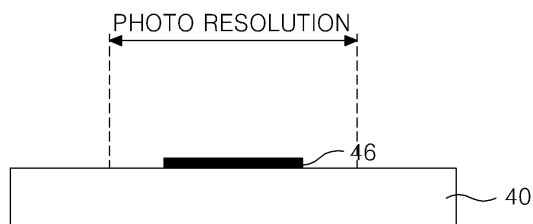
도면3a



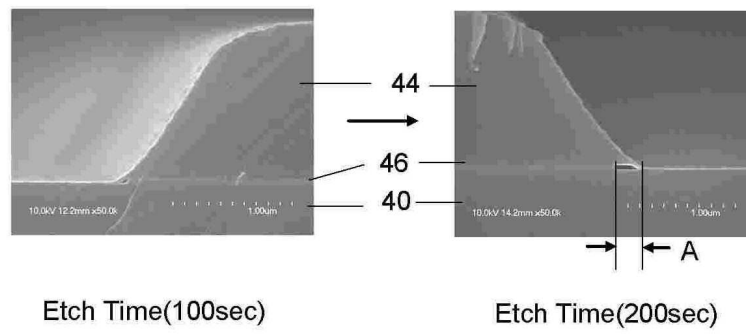
도면3b



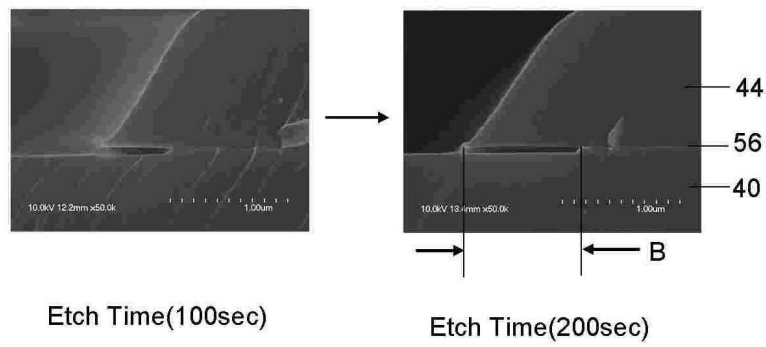
도면3c



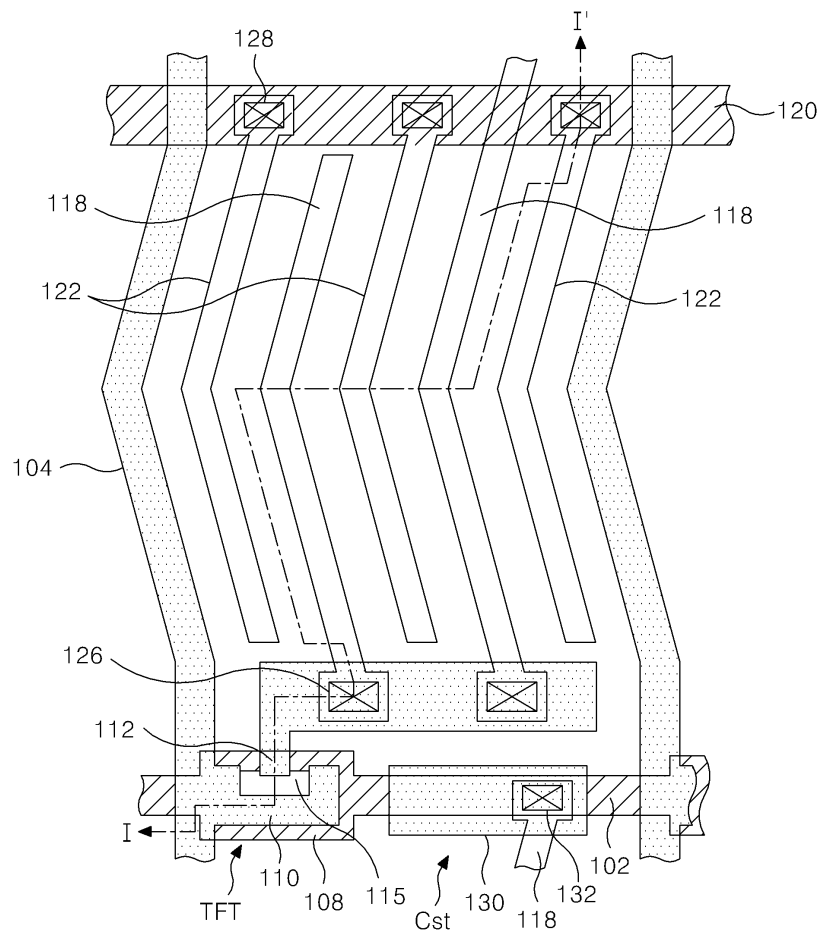
도면4a



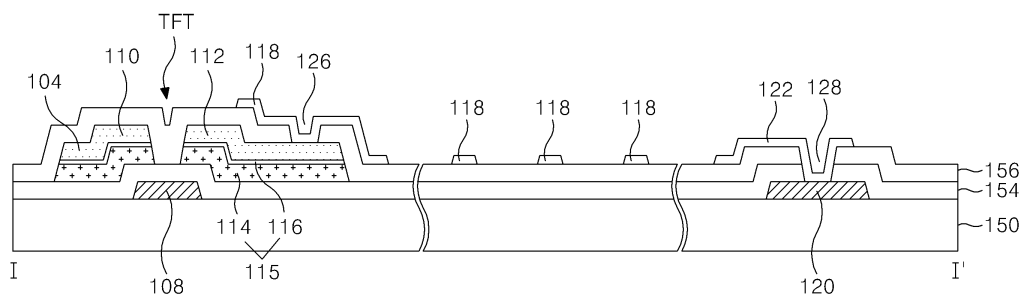
도면4b



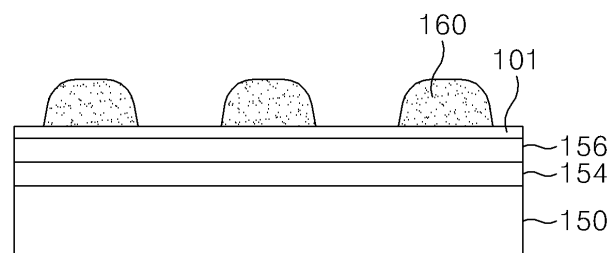
도면5



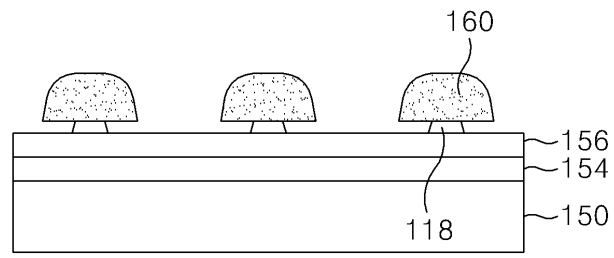
도면6



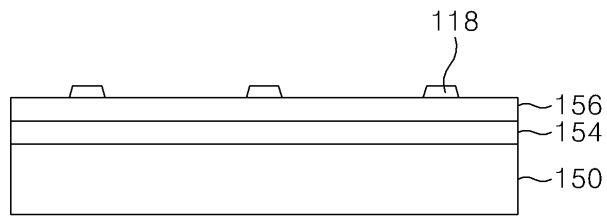
도면7a



도면7b



도면7c



专利名称(译)	形成精细图案的方法，使用其的液晶显示器及其制造方法		
公开(公告)号	KR1020070002801A	公开(公告)日	2007-01-05
申请号	KR1020050058475	申请日	2005-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON OH NAM 권오남 YOO SOON SUNG 류순성 CHO HEUNG LYUL 조흥렬 NAM SEUNG HEE 남승희		
发明人	권오남 류순성 조흥렬 남승희		
IPC分类号	G02F1/136		
CPC分类号	G02F1/134363 G02F1/13439 G02F1/136286 G02F2201/123		
其他公开文献	KR101167312B1		
外部链接	Espacenet		

摘要(译)

本发明提供形成微图案的精细图案形成方法，不受曝光分辨率的限制，使用该微细图案的液晶显示器及其制造方法。本发明的精细图案形成方法包括形成线宽为 $1\mu\text{m}$ ~ $3.5\mu\text{m}$ 的电极图案的步骤，在蚀刻工艺中过度蚀刻导电层，其中形成具有光刻胶图案的光刻胶图案的步骤掩模是与导电层上的曝光设备的曝光分辨率相对应的最小特征。

