

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. (11) 공개번호 10-2006-0052038  
*G09G 3/36* (2006.01) (43) 공개일자 2006년05월19일  
*G02F 1/133* (2006.01)

(21) 출원번호 10-2005-0093411  
 (22) 출원일자 2005년10월05일

(30) 우선권주장 JP-P-2004-00293496 2004년10월06일 일본(JP)

(71) 출원인 알프스 덴키 가부시키키가이샤  
 일본국 도쿄도 오타구 유키가야 오즈카쵸 1반 7고

(72) 발명자 기쿠치 고지  
 일본국 도쿄도 오타구 유키가야 오오즈카쵸 1-7, 알프스 덴키가부시키키  
 가이샤 내

(74) 대리인 김양오  
 강응선  
 송재련

심사청구 : 있음

(54) 액정구동회로 및 액정표시장치

요약

본 발명은, 액티브 매트릭스형의 액정 패널을 고속으로 표시 구동할 수 있는 액정구동회로를 실현하는 것이다.

이를 위하여 본 발명에서는 액정표시영역의 홀수번째의 주사선을 구동하는 제 1 게이트 드라이버 및 짝수번째의 주사선을 구동하는 제 2 게이트 드라이버에 공급하는 다상 클럭(CLK1~4)으로서, 액정표시영역의 주사선마다 표시소자에 공급되는 화상 신호의 공급 개시 시기의 직전부터 상기 화상 신호의 유효 기간내까지 유효하게 되는 것을 발생하고, 제 1 및 제 2 게이트 드라이버는, 상기 클럭의 유효기간에 스위칭 소자를 구동한다.

대표도

도 7

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시 형태에 관한 액정표시장치(1)의 구성을 나타내는 블럭도,

도 2는 a-Si의 TFT로 이루어지는 스위칭 소자의 단면을 나타내는 구조도,

도 3은 도 2와 동일한 공정으로 형성되는 용량 소자의 단면을 나타내는 구조도,

도 4는 도 1에 나타내는 액정표시장치(1) 중, 각 게이트 드라이버(9, 10)와 표시 영역(4)의 주사선(5)의 구성을 나타내는 블록도,

도 5는 도 4에 나타내는 레지스터 회로(31)의 내부 구성을 나타내는 도면,

도 6은 도 5에 나타내는 레지스터 회로(31) 동작의 타이밍 차트,

도 7은 도 4에 나타내는 제 1 및 제 2 게이트 드라이버(9, 10)가 표시 구동하는 동작의 타이밍 차트,

도 8은 도 4에 나타내는 제 1 및 제 2 게이트 드라이버(9, 10)가 표시 구동하는 다른 실시 예에 관한 동작의 타이밍 차트이다.

※ 도면의 주요 부분에 대한 부호의 설명

1 : 액정표시장치 2 : TFT 어레이 기판

4 : 표시영역 5 : 주사선

6 : 신호선 7 : TFT

8 : 표시영역 9 : 제 1 게이트 드라이버

10 : 제 2 게이트 드라이버 11 : 제 1 신호 공급선

12 : 제 2 신호 공급선 13 : 클럭 발생 회로

14 : 소스 드라이버 31 : 레지스터 회로

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 액정표시장치에 관한 것으로, 특히 그 액정구동회로에 관한 것이다.

종래의 액정표시장치의 구동회로에 관한 기술로서는, 예를 들면 특허문헌 1에 기재되어 있는 기술이 알려져 있다. 이 특허문헌 1에 기재되어 있는 종래의 기술에서는, 액티브 매트릭스형의 액정 패널을 표시 구동하는 액정 구동 장치에 있어서, 상기 액정 패널의 홀수번째의 주사선을 차례로 구동하는 제 1 게이트 드라이버와, 짝수번째의 주사선을 차례로 구동하는 제 2 게이트 드라이버를 설치하고 있다. 이에 따라, 제 1 및 제 2 게이트 드라이버에 의해 액정 패널의 홀수번째, 짝수번째 각각의 주사선을 따로따로 주사함으로써, 각 주사선의 주사 시간을 종래의 2배로 하여 주사선수가 증가하여도 액정의 기록 시간을 충분히 취하도록 하고 있다.

[특허문헌 1]

일본국 특개평5-46123호 공보 (제 2~3페이지, 도 1)

#### 발명이 이루고자 하는 기술적 과제

그러나, 상기한 종래의 기술에서는, 액정 패널상의 화소에 대응하는 표시소자에 공급되는 화상 신호의 펄스(소스 펄스)와, 상기 화상 신호를 표시소자에 기록하는 펄스(게이트 펄스)가 동일한 타이밍에서 유효해지기 때문에, 액정 패널을 고속으로

표시 구동하는 경우, 소스 펄스 폭이 감소하면, 그에 따라 게이트 펄스 폭도 감소하고, 액정의 기록 시간을 충분히 취할 수 없게 된다. 이 때문에, 액정표시장치의 대화소화를 위해 주사선수를 늘려도, 액정 패널의 고속의 표시 구동이 곤란하기 때문에, 충분한 표시 성능을 확보할 수 없다는 문제가 생기고 있다.

특히, 이동도가 낮은 아몰퍼스 실리콘(a-Si)을 이용해, 액정표시장치의 액티브 매트릭스 기판에 있어서의 TFT(Thin Film Transistor : 박막 트랜지스터)를 형성하고, 상기 TFT에 의해 게이트 드라이버를 액티브 매트릭스 기판상에 내장화하는 경우, 상기 문제가 현저해진다. 또한, 게이트 펄스 폭의 감소에 의해, 최악의 경우, 게이트 드라이버가 동작하지 않게 된다. a-Si는 저렴한 제조 프로세스로서 주목받고 있고, 액정 패널의 고속의 표시 구동을 가능하게 하여 액정표시장치의 대화소화를 실현하는 것이 중요한 과제가 되고 있다.

본 발명은, 이러한 사정을 고려하여 이루어진 것으로, 그 목적은, 액티브 매트릭스형의 액정 패널을 고속으로 표시 구동할 수 있는 액정구동회로 및 액정표시장치를 제공하는 것에 있다.

### 발명의 구성 및 작용

상기 과제를 해결하기 위해, 본 발명에 관한 액정구동회로는, 액티브 매트릭스형의 액정표시영역과, 소스 드라이버로부터 공급되는 화상 신호를 상기 액정표시영역에 형성되는 표시소자로 유지하는 스위칭을 행하는 스위칭 소자를 구동하는 게이트 드라이버를, 아몰퍼스 실리콘의 박막 트랜지스터를 형성하는 동일한 제조 프로세스로 형성한 액정표시장치에 있어서의 액정구동회로이고, 상기 액정표시영역의 홀수번째의 주사선을 구동하는 제 1 상기 게이트 드라이버와, 상기 액정표시영역의 짝수번째의 주사선을 구동하는 제 2 상기 게이트 드라이버와, 상기 제 1 및 제 2 게이트 드라이버에 공급하는 다상 클럭을 발생하는 클럭 발생 회로를 가지고, 상기 다상 클럭은, 상기 액정표시영역의 주사선마다 상기 표시소자에 공급되는 화상 신호의 공급 개시 시기의 직전부터, 상기 화상 신호의 유효 기간 내까지 유효하게 되고, 상기 제 1 및 제 2 게이트 드라이버는, 상기 클럭 발생 회로로부터 공급되는 클럭의 유효 기간에 상기 스위칭 소자를 구동하는 것을 특징으로 한다.

이 구성에 의하면, 표시소자에 기록하는 소스 펄스(화상 신호)의 공급 개시시기의 직전부터 상기 표시소자가 구동 개시되기 때문에, 표시소자에 대하여 소스 펄스(화상 신호)를 기록하는 시간에 여유를 가지게 할 수 있고, 액티브 매트릭스형의 액정 패널을 고속으로 표시 구동할 수 있다. 또, 게이트 펄스 폭을 충분히 확보할 수 있어 게이트 드라이버를 안정되게 동작시킬 수 있다.

본 발명에 관한 액정구동회로에 있어서는, 상기 클럭 발생 회로는, 상기 액정표시영역의 홀수번째의 주사선의 구동을 제어하는 제 1 제어 펄스와, 상기 액정표시영역의 짝수번째의 주사선의 구동을 제어하는 제 2 제어 펄스를 발생하고, 상기 제 1 게이트 드라이버는, 상기 제 1 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하고, 상기 제 2 게이트 드라이버는, 상기 제 2 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하는 것을 특징으로 한다.

이 구성에 의하면, 제 1 제어 펄스에 의거하여 홀수번째의 주사선에 관한 표시 구동이 제어되고, 또, 제 2 제어 펄스에 의거하여 짝수번째의 주사선에 관한 표시 구동이 제어되기 때문에, 홀수번째의 주사선과 짝수번째의 주사선으로 나누어 최적의 제어를 행할 수 있어, 액정표시장치의 표시 동작에 관한 성능을 향상시킬 수 있게 된다.

본 발명에 관한 액정표시장치는, 액티브 매트릭스형의 액정표시영역과, 소스 드라이버로부터 공급되는 화상 신호를 상기 액정표시영역에 형성되는 표시소자로 유지하는 스위칭을 행하는 스위칭 소자를 구동하는 게이트 드라이버를, 아몰퍼스 실리콘의 박막 트랜지스터를 형성하는 동일한 제어 프로세스로 형성한 액정표시장치이고, 상기 액정표시영역의 홀수번째의 주사선을 구동하는 제 1 상기 게이트 드라이버와, 상기 액정표시영역의 짝수번째의 주사선을 구동하는 제 2 상기 게이트 드라이버와, 상기 제 1 및 제 2 게이트 드라이버에 공급하는 다상 클럭을 발생하는 클럭 발생 회로를 가지고, 상기 다상 클럭은, 상기 액정표시영역의 주사선마다 상기 표시소자에 공급되는 화상 신호의 공급 개시 시기의 직전부터, 상기 화상 신호의 유효기간 내까지 유효하게 되고, 상기 제 1 및 제 2 게이트 드라이버는, 상기 클럭 발생 회로로부터 공급되는 클럭의 유효 기간에 상기 스위칭 소자를 구동하는 것을 특징으로 한다.

본 발명에 관한 액정표시장치에 있어서는, 상기 클럭 발생 회로는, 상기 액정표시영역의 홀수번째의 주사선의 구동을 제어하는 제 1 제어 펄스와, 상기 액정표시영역의 짝수번째의 주사선의 구동을 제어하는 제 2 제어펄스를 발생하고, 상기 제 1 게이트 드라이버는, 상기 제 1 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하고, 상기 제 2 게이트 드라이버는, 상기 제 2 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하는 것을 특징으로 한다.

이하, 도면을 참조하여, 본 발명의 일 실시 형태에 대하여 설명한다.

도 1은, 본 발명의 일 실시 형태에 관한 액정표시장치(1)의 구성을 나타내는 블록도이다. 도 1에 있어서, 액정표시장치(1)는, 액티브 매트릭스형의 액정 패널(액정표시영역)을 가지는 것이고, TFT 어레이 기관(2)과, 상기 기관(2)에 대항하는 위치에 설치된 대항 기관(도시 생략)과의 사이에 액정을 봉입함으로써, 표시영역(4)을 형성하고 있다. 대항 기관은 공통 전극(도시 생략)을 가지고 있다. 표시영역(4)에 있어서, 표시소자(8)는, TFT 어레이 기관(2)의 화소 전극(도시 생략)과 대항 기관의 공통 전극 사이의 액정으로 형성되는 용량이다.

TFT 어레이 기관(2) 상에는, 복수의 주사선(5) 및 복수의 신호선(6)이 매트릭스형으로 배치하여 형성되어 있다. 또한, 표시영역(4)에 있어서, 스위칭 소자로서의 TFT(7) 및 화소 전극이, 주사선(5)과 신호선(6)의 각 교점에 배치하여 형성되어 있다.

또한, TFT 어레이 기관(2) 상에는, 제 1 게이트 드라이버(9) 및 제 2 게이트 드라이버(10)가, 표시영역(4)의 바깥쪽의 양변에 배치하여 형성되어 있다. 제 1 게이트 드라이버(9)에는, 홀수번째의 각 주사선(5)이 접속되어 있다. 제 1 게이트 드라이버(9)는, 홀수번째의 주사선(5)을 차례로 구동하기 위한 게이트 펄스를 홀수번째의 각 주사선(5)에 출력한다. 제 2 게이트 드라이버(10)에는, 짝수번째의 각 주사선(5)이 접속되어 있다. 제 2 게이트 드라이버(10)는, 짝수번째의 주사선(5)을 차례로 구동하기 위한 게이트 펄스를 짝수번째의 각 주사선(5)에 출력한다. 제 1 및 제 2 게이트 드라이버(9, 10)는 시프트 레지스터로부터 이루어진다.

클럭 발생 회로(13) 및 소스 드라이버(14)는, IC로써 각각 구성되고, TFT 어레이 기관(2)상에 COG 장착되어 있다. 소스 드라이버(14)에는 각 신호선(6)이 접속되어 있다. 소스 드라이버(14)는, 표시소자(8)에 공급하는 소스 펄스를 각 신호선(6)에 출력한다.

또한, 클럭 발생회로(13)로부터 제 1 게이트 드라이버(9), 제 2 게이트 드라이버(10)의 각각에 신호를 공급하기 위한 제 1 신호 공급선(11), 제 2 신호 공급선(12)이 TFT 어레이 기관(2) 상에 형성되어 있다.

상기한 TFT 어레이 기관(2)에 있어서, 표시영역(4)내의 TFT(7)는, a-Si의 TFT를 형성하는 제조 프로세스에 의해 형성되어 있다. 또, 제 1 게이트 드라이버(9) 및 제 2 게이트 드라이버(10)는, 상기 표시영역(4)내의 TFT(7)와 동일한 제조 프로세스에 의해 형성되어 있다.

또, 클럭 발생 회로(13) 및 소스 드라이버(14)는, TFT 어레이 기관(2)의 외부에 설치되고, 제 1 클럭 신호선(11)과 제 2 클럭 신호선(12)과 신호선(6)에 각각 신호를 공급할 수 있게 접속되는 것이어도 좋다. 예를 들면, 플렉시블 케이블, FPC 또는 COF에 의해 TFT 어레이 기관(2)과 접속해도 좋다.

도 2는, a-Si의 TFT로 이루어지는 스위칭 소자의 단면을 나타내는 구조도이다. 도 2의 TFT에 의해 도 1에 나타난 표시영역(4)내의 스위칭 소자(TFT7) 및 각 게이트 드라이버(9, 10)는 구성된다.

도 2에 나타나는 바와 같이, a-Si의 TFT로 이루어지는 스위칭 소자에 있어서는, 투명 기관으로 이루어지는 기관(21)의 상면에 게이트 전극(22)을 형성하고, 기관(21)과 게이트 전극(22)을 게이트 절연막(23)으로 덮고, 게이트 절연막(23) 위에 아일랜드상의 반도체막인 a-Si(i)(인트린직 아몰퍼스 실리콘층)(24)를 형성한다. 또, a-Si(i)(24) 상에 반도체막인 a-Si(n+)(불순물 이온을 도프한 아몰퍼스 실리콘)(25a, 25b)를 형성하고, 게이트 절연막(23) 및 a-Si(n+)(25a, 25b) 위에 소스 전극(26a), 드레인 전극(26b)을 형성한다. 또한, 게이트 절연막(23), a-Si(i)(24), a-Si(n+)(25a, 25b), 소스 전극(26a), 드레인 전극(26b)을 보호막(27)으로 덮어 형성하고 있다.

도 2에 있어서, 소스 전극(26a) 및 드레인 전극(26b)은, 동일한 공정으로 동일한 막에 의해 형성된다. 또, 도 2에 나타내는 a-Si의 TFT는, 도 1에 있어서, 게이트 전극(22)은 주사선(5)에 접속되고, 소스 전극(26a)은 신호선(6)에 접속되며, 드레인 전극(26b)은 표시소자(8) 한쪽의 전극에 접속된다.

도 3은, 상기 도 2와 동일한 공정으로 형성되는 용량 소자의 단면을 나타내는 구조도이다. 이 용량 소자는, 도 1에 나타내는 각 게이트 드라이버(9, 10)를 구성하는 시프트 레지스터에 구비되어 있다. 도 3에 있어서 용량소자는, 게이트 전극(22)과 소스 전극(26a)과 게이트 절연막(23)이 기관(21)상에 형성되어 이루어진다.

도 4는, 도 1에 나타내는 액정표시장치(1) 중, 각 게이트 드라이버(9, 10)와 표시영역(4)의 주사선(5)의 구성을 나타내는 블록도이다.

도 4에 있어서, 각 게이트 드라이버(9, 10)는, 복수의 레지스터 회로(31)가 다단 접속된 시프트 레지스터의 구성을 가진다. 게이트 지연 회로(32)는, 도 1의 주사선(5)의 저항 및 용량 성분의 등가 회로이다.

제 1 게이트 드라이버(9)에는, 스타트 펄스(SP1), 클럭(CLK1, CLK3), 엔드 펄스(EP1) 및 접지 신호(GND)가 제 1 신호 공급선(11)을 통해 클럭 발생 회로(13)로부터 입력된다. 제 2 게이트 드라이버(10)에는, 스타트 펄스(SP2), 클럭(CLK2, CLK4), 엔드 펄스(EP2) 및 접지 신호(GND)가 제 2 신호 공급선(12)을 거쳐 클럭 발생 회로(13)로부터 입력된다. 스타트 펄스(SP1, SP2), 클럭(CLK1~CLK4), 엔드 펄스(EP1, EP2)는, 도 7에 나타나는 파형을 가진다.

각 게이트 드라이버(9, 10)에 있어서, 레지스터 회로(31)의 출력 신호[게이트 펄스(G)]는, 다음단의 레지스터 회로(31)에 입력됨과 동시에, 앞단의 레지스터 회로(31)에 제어 신호(CT)로써 입력된다. 또, 각 게이트 드라이버(9, 10)의 처음단 레지스터 회로(31)에는, 스타트 펄스(SP1, SP2)가 각각 입력된다. 또, 각 게이트 드라이버(9, 10)의 최종단 레지스터 회로(31)에는, 엔드 펄스(EP1, EP2)가 각각 입력된다.

도 5는, 도 4에 나타내는 레지스터 회로(31)의 내부 구성을 나타내는 도면이다.

도 5에 있어서, 트랜지스터(M1~M5)는 도 2에 나타낸 a-Si의 TFT이다. 또, 커패시터(Cb)는, 도 3에 나타낸 용량 소자이다. 입력단자(IN)는, 게이트와 드레인을 접속한 트랜지스터(M1)의 게이트와 트랜지스터(M2)의 게이트에 접속하고 있다. 트랜지스터(M1)의 소스는 노드(A)에 접속하고 있다. 트랜지스터(M2)에 있어서, 드레인은 출력 단자(OUT)에 접속하고, 소스는 그라운드 단자(GND)에 접속하고 있다. 트랜지스터(M3)에 있어서, 게이트는 노드(A)에 접속하고, 드레인은 클럭 입력 단자(CLK)에 접속하고, 소스는 출력 단자(OUT)에 접속하고 있다.

제어 신호 입력 단자(CT)는, 트랜지스터(M4)의 게이트와 트랜지스터(M5)의 게이트에 접속하고 있다. 트랜지스터(M4)에 있어서, 드레인은 노드(A)에 접속하고, 소스는 그라운드 단자(GND)에 접속하고 있다. 트랜지스터(M5)에 있어서, 드레인은 출력 단자(OUT)에 접속하고, 소스는 그라운드 단자(GND)에 접속하고 있다. 커패시터(Cb)의 한쪽 끝은 노드(A)에 접속하고, 또 다른 한쪽 끝은 출력 단자(OUT)에 접속하고 있다.

도 6은, 도 5에 나타내는 레지스터 회로(31)의 동작의 타이밍 차트이다.

이 도 6을 참조하여 도 5의 레지스터 회로(31)의 동작을 설명한다.

처음에, 기간 T0에 있어서, 노드(A)의 전압(Va)이 L(Low레벨)이고, 출력 단자(OUT)의 출력 전압도 L이다. 이어서, 다음 기간 T1에 있어서, 입력 단자(IN)에 인가되는 전압이 일정 기간만 H(Hi레벨)가 되고, 트랜지스터(M1 및 M2)가 온된다. 이때, 커패시터(Cb)의 한쪽 끝의 전압은 트랜지스터(M1)를 거쳐 입력 단자(IN)와 같은 H의 전압이 되고, 다른 한쪽 끝은 트랜지스터(M2)를 거쳐 그라운드 단자(GND)와 같은 L의 전압이 된다. 이에 따라, 커패시터(Cb)에는 전하가 충전된다.

이어서, 기간 T1의 후반 타이밍에서 입력 단자(IN)의 전압이 L이 되나, 커패시터(Cb)에는 전하가 충전된 그대로이다. 이때, 노드(A)의 전압(Va)이 H인 것에 의해, 트랜지스터(M3)가 온 되어 있으나, 클럭 단자(CLK)의 전압은 L이기 때문에 출력 단자(OUT)의 출력 전압은 L 그대로이다.

이어서, 다음 기간 T2에 있어서, 클럭 입력 단자(CLK)에 인가되는 전압이 일정 기간만 H가 된다. 이때, 트랜지스터(M1 및 M2)가 오프 되어 있고, 트랜지스터(M3)는 온인 그대로가 되어, 출력 단자(OUT)의 출력 전압은, 클럭 입력 단자(CLK)의 전압과 같은 H가 된다. 이때의 노드(A)의 전압(Va)은, H의 약 2배의 전위로 높아진다(boot strap). 따라서, 트랜지스터(M3)는, 온 상태가 더욱 강화되어 동작하고 있다. 이 기간 T2의 후반 타이밍에서, 클럭 입력 단자(CLK)의 전압이 L이 되면, 출력 단자(OUT)의 출력 전압은 L이 되고, 노드(A)의 전압(Va)이 H 전위로 되돌아간다.

이어서, 다음 기간 T3에 있어서, 제어 신호 입력 단자(CT)에 인가되는 전압이 일정 기간만 H가 된다. 이에 따라, 트랜지스터(M4 및 M5)가 온 되면, 커패시터(Cb)의 한쪽 끝은 트랜지스터(M4)를 거쳐 그라운드 단자(GND)와 같은 L 전압이 되고, 다른 한쪽 끝은 트랜지스터(M5)를 거쳐 그라운드 단자(GND)와 같은 L 전압이 된다. 이에 따라, 커패시터(Cb)에 충전되어 있던 전하가 방전된다. 이 결과, 기간 T3에 계속되는 기간의 상태는 기간 T0과 같은 상태로 리셋 된다.

도 7은, 도 4에 나타내는 제 1 및 제 2 게이트 드라이버(9, 10)가 표시 구동하는 동작의 타이밍 차트이다.

이 도 7을 참조하여 도 4의 각 게이트 드라이버(9, 10)의 표시 구동에 관한 동작을 설명한다. 여기에서는, 제 1 게이트 드라이버(9)의 동작을 예로 들어 설명하나, 제 2 게이트 드라이버(10)에 대해서도 같은 동작이므로 그 설명을 생략한다.

제 1 게이트 드라이버(9)에 스타트 펄스(SP1)가 입력되면, 처음단의 레지스터 회로(31)의 입력 단자(IN)의 전압이 H가 된다. 이때의 상태가, 상기 도 6의 기간 T1에 상당한다. 도 7에는, 제 1 게이트 드라이버(9)에 있어서의 기간 T1, T2, T3을 나타내고 있다.

이어서, 다음 기간 T2에서, 클럭(CLK1)이 H가 되면, 처음단의 레지스터 회로(31)의 클럭 입력 단자(CLK)의 전압이 H가 되고, 처음단의 레지스터 회로(31)의 출력 단자(OUT)로부터 H 전압, 즉 게이트 펄스(G1)가 출력된다. 이 게이트 펄스(G1)는, 클럭(CLK1)이 H 기간(유효기간)과 같은 기간에 H(유효)가 된다.

이 게이트 펄스(G1)에 의해, 첫번째 주사선(5)이 구동되고, 이때 소스 드라이버(14)로부터 각 신호선(6)에 공급되고 있는 소스 펄스(S1)가 첫번째 주사선(5) 상의 표시소자(8)에 유지된다. 표시소자(8)의 펄스 유지는, 게이트 펄스(G1)의 H로부터 L로의 하강에 의해 완료한다. 이 때문에, 클럭(CLK1)의 H로부터 L로의 하강 타이밍은, 도 7에 나타나는 바와 같이, 구동 대상의 주사선(5)의 표시소자(6)에 기록하는 소스 펄스(S1, S5, S9,...)의 유효기간내에 설정한다. 한편, 클럭(CLK1)의 L로부터 H로의 상승 타이밍은, 도 7에 나타나는 바와 같이, 상기 소스 펄스의 공급 개시 시기의 직전에 설정한다. 도 7의 예에서는, 소스 펄스 폭 1개분의 바로 앞에서 H(유효)가 되도록 하고 있다. 이에 따라, 표시소자(8)에 대하여 소스 펄스를 기록하는 시간에 여유를 가지게 할 수 있기 때문에, 고속으로 표시 구동하는 경우에 소스 펄스 폭이 감소하였다 하더라도, 문제없이 소스펄스를 표시소자(8)에 유지할 수 있다.

마찬가지로, 3단계의 레지스터 회로(31)는, 도 7에 나타나는 바와 같이, 클럭(CLK3)이 H의 기간에 게이트 펄스(G3)를 출력한다. 클럭(CLK3)은, 그 H로부터 L로의 하강 타이밍을, 도 7에 나타나는 바와 같이, 구동 대상의 주사선(5)의 표시소자(6)에 기록하는 소스 펄스(S3, S7, S11,...)의 유효 기간 내에 설정한다. 한편, 클럭(CLK3)의 L로부터 H로의 상승 타이밍은, 도 7에 나타나는 바와 같이, 상기 소스 펄스의 공급 개시 시기의 직전(도 7의 예에서는 소스 펄스 폭 1개분의 바로 앞)에 설정한다.

상기한 바와 같이 본 실시 형태에 의하면, 표시소자에 기록하는 소스 펄스의 공급 개시 시기의 직전부터 상기 표시소자가 구동 개시되기 때문에, 표시소자에 대하여 소스 펄스를 기록하는 시간에 여유를 가지게 할 수 있어, 액티브 매트릭스형의 액정 패널을 고속으로 표시 구동할 수 있다. 이에 따라, 액정표시장치의 대화소화를 위해 주사선수를 늘리고, 액정 패널을 고속으로 표시 구동하는 경우에 소스 펄스 폭이 감소하였다 하더라도, 문제없이 소스 펄스를 표시소자에 유지하는 것이 가능해지기 때문에, 충분한 표시 성능을 확보할 수 있다.

또, 저렴한 제조 프로세스로서 주목받고 있는 아몰퍼스 실리콘(a-Si)을 적용하는 액정표시장치의 대상이 넓어진다.

또한, 본 실시 형태의 응용예로써, 도 8에 나타나는 바와 같이 인터레스 구동을 행할 수 있다. 도 8에 있어서는, 홀수번째의 주사선(5)을 구동하는 제 1 게이트 드라이버(9)에 의해 홀수 필드의 표시 구동이 완료되고 나서, 짝수번째의 주사선(5)을 구동하는 제 2 게이트 드라이버(10)의 표시 구동을 개시시킨다. 그리고, 이 제 2 게이트 드라이버(10)에 의해 짝수 필드의 표시 구동이 완료되고 나서, 제 1 게이트 드라이버(9)에 의해 다음 홀수 필드의 표시 구동을 개시시킨다. 즉, 제 1 게이트 드라이버(9)에 엔드 펄스(EP1)가 입력되고 나서, 제 2 게이트 드라이버(10)에 스타트 펄스(SP2)를 입력한다. 그리고, 제 2 게이트 드라이버(10)에 엔드 펄스(EP1)가 입력되고 나서, 제 1 게이트 드라이버(9)에 스타트 펄스(SP1)를 입력한다.

이상, 본 발명의 실시 형태를 도면을 참조하여 상세하게 설명하였으나, 구체적인 구성은 이 실시 형태에 한정되는 것이 아니고, 본 발명의 요지를 일탈하지 않는 범위의 설계 변경 등도 포함된다.

### 발명의 효과

본 발명에 의하면, 표시소자에 기록하는 소스 펄스(화상 신호)의 공급 개시 시기의 직전부터 상기 표시소자가 구동 개시되기 때문에, 표시소자에 대하여 소스 펄스(화상 신호)를 기록하는 시간에 여유를 가지게 할 수 있고, 액티브 매트릭스형의 액정 패널을 고속으로 표시 구동할 수 있다. 이에 따라, 액정표시장치의 대화소화를 위해 주사선수를 늘리고, 액정 패널을 고속으로 표시 구동하는 경우에 소스 펄스 폭이 감소하였다 하여도, 문제없이 소스 펄스를 표시소자에 유지하는 것이 가능해지기 때문에, 충분한 표시 성능을 확보할 수 있다. 또, 게이트 펄스 폭을 충분히 확보할 수 있어, 게이트 드라이버를 안정되게 동작시킬 수 있다.

(57) 청구의 범위

**청구항 1.**

액티브 매트릭스형의 액정표시영역과, 소스 드라이버로부터 공급되는 화상 신호를 상기 액정표시영역에 형성되는 표시소자로 유지하는 스위칭을 행하는 스위칭 소자를 구동하는 게이트 드라이버를, 아몰퍼스 실리콘의 박막 트랜지스터를 형성하는 동일한 제조 프로세스로 형성한 액정표시장치에 있어서의 액정구동회로에 있어서,

상기 액정표시영역의 홀수번째의 주사선을 구동하는 제 1 상기 게이트 드라이버와,

상기 액정표시영역의 짝수번째의 주사선을 구동하는 제 2 상기 게이트 드라이버와,

상기 제 1 및 제 2 게이트 드라이버에 공급하는 다상 클럭을 발생하는 클럭 발생 회로를 가지고,

상기 다상 클럭은, 상기 액정표시영역의 주사선마다 상기 표시소자에 공급되는 화상 신호의 공급 개시 시기의 직전부터, 상기 화상 신호의 유효 기간내까지 유효하게 되고,

상기 제 1 및 제 2 게이트 드라이버는, 상기 클럭 발생 회로로부터 공급되는 클럭의 유효기간에 상기 스위칭 소자를 구동하는 것을 특징으로 하는 액정구동회로.

**청구항 2.**

제 1항에 있어서,

상기 클럭 발생 회로는, 상기 액정표시영역의 홀수번째의 주사선의 구동을 제어하는 제 1 제어 펄스와, 상기 액정표시영역의 짝수번째의 주사선의 구동을 제어하는 제 2 제어 펄스를 발생하고,

상기 제 1 게이트 드라이버는, 상기 제 1 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하고,

상기 제 2 게이트 드라이버는, 상기 제 2 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하는 것을 특징으로 하는 액정구동회로.

**청구항 3.**

액티브 매트릭스형의 액정표시영역과, 소스 드라이버로부터 공급되는 화상 신호를 상기 액정표시영역에 형성되는 표시소자로 유지하는 스위칭을 행하는 스위칭 소자를 구동하는 게이트 드라이버를, 아몰퍼스 실리콘의 박막 트랜지스터를 형성하는 동일한 제조 프로세스로 형성한 액정표시장치에 있어서,

상기 액정표시영역의 홀수번째의 주사선을 구동하는 제 1 게이트 드라이버와,

상기 액정표시영역의 짝수번째의 주사선을 구동하는 제 2 게이트 드라이버와,

상기 제 1 및 제 2 게이트 드라이버에 공급하는 다상 클럭을 발생하는 클럭 발생 회로를 가지고,

상기 다상 클럭은, 상기 액정표시영역의 주사선마다 상기 표시소자에 공급되는 화상 신호의 공급 개시 시기의 직전부터, 상기 화상 신호의 유효 기간내까지 유효하게 되고,

상기 제 1 및 제 2 게이트 드라이버는, 상기 클럭 발생 회로로부터 공급되는 클럭의 유효기간에 상기 스위칭 소자를 구동하는 것을 특징으로 하는 액정표시장치.

청구항 4.

제 3항에 있어서,

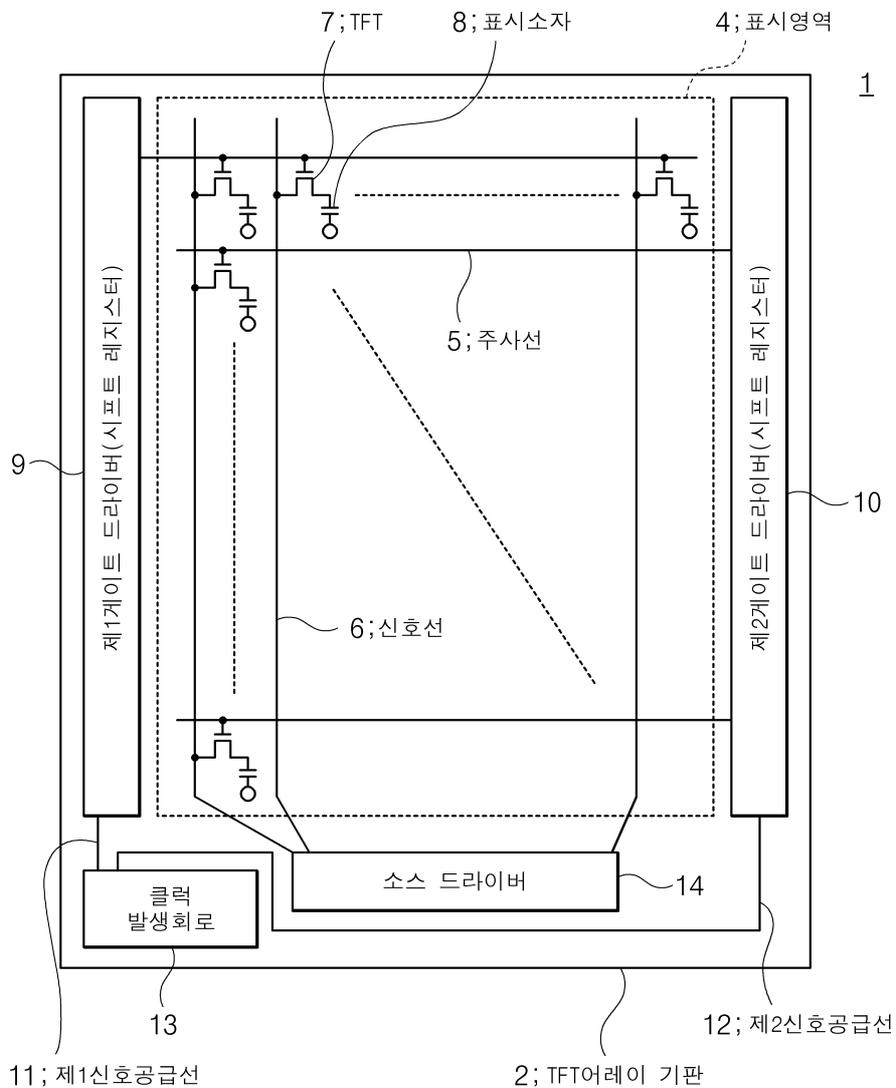
상기 클럭 발생 회로는, 상기 액정표시영역의 홀수번째의 주사선의 구동을 제어하는 제 1 제어 펄스와, 상기 액정표시영역의 짝수번째의 주사선의 구동을 제어하는 제 2 제어 펄스를 발생하고,

상기 제 1 게이트 드라이버는, 상기 제 1 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하고,

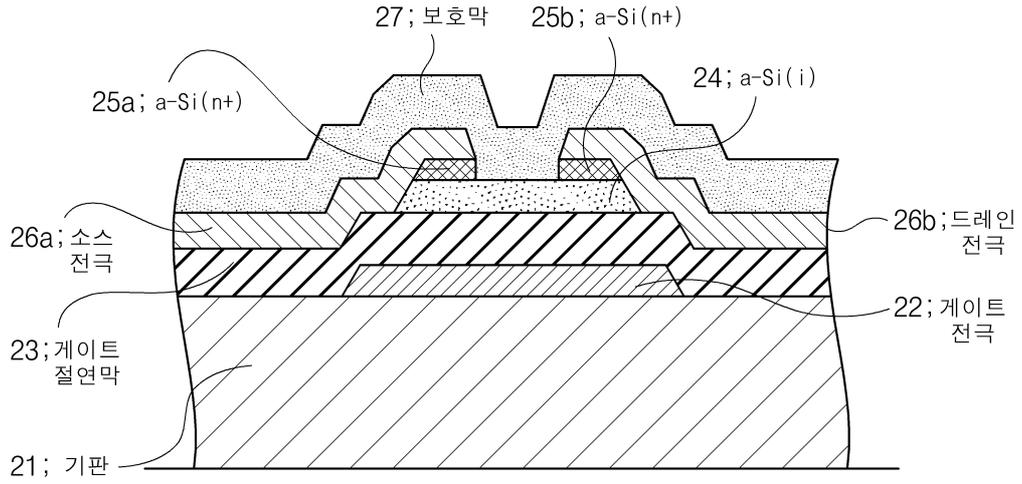
상기 제 2 게이트 드라이버는, 상기 제 2 제어 펄스에 의거하여 상기 스위칭 소자에 관한 구동 동작을 개시하는 것을 특징으로 하는 액정표시장치.

도면

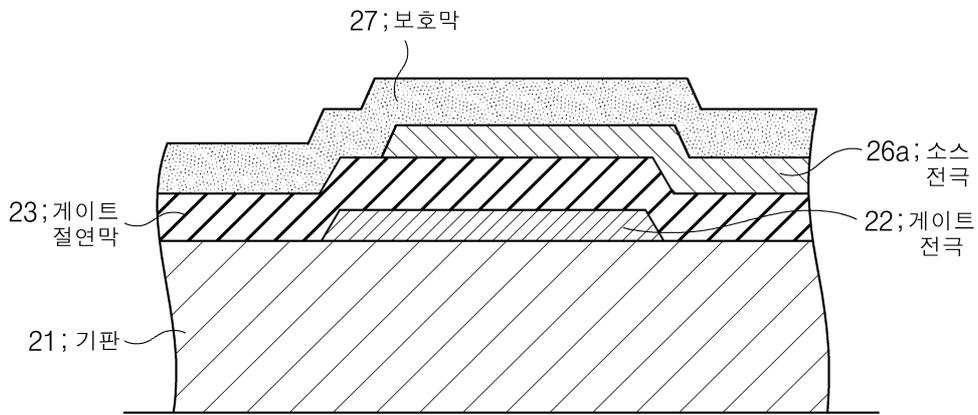
도면1



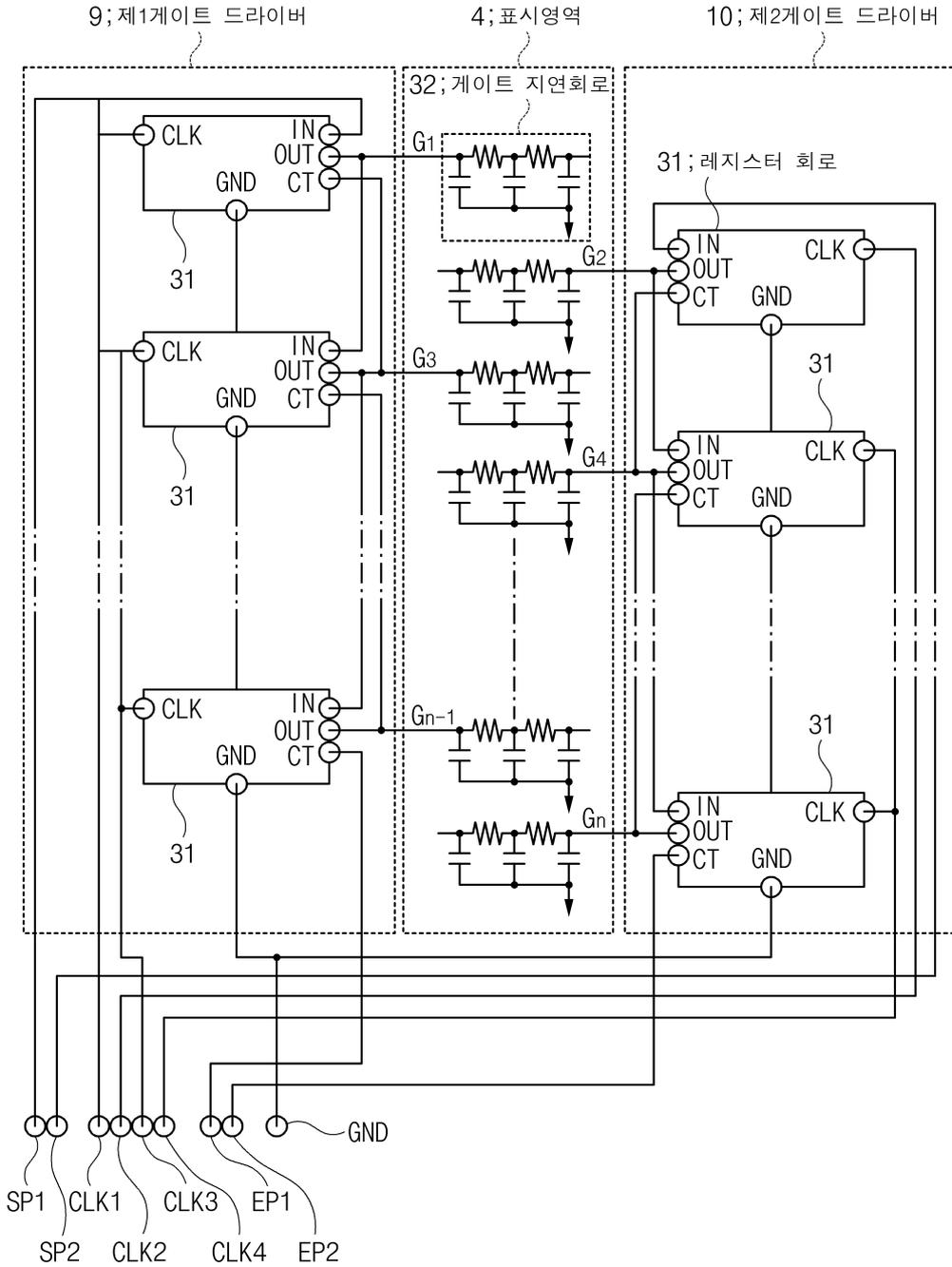
도면2



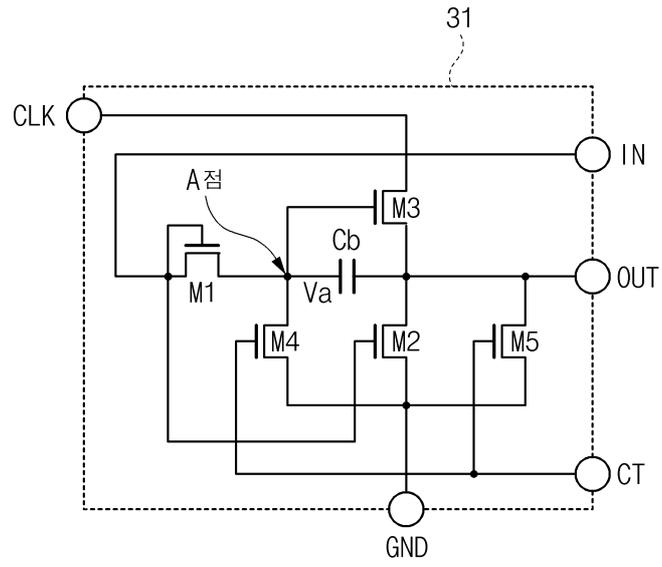
도면3



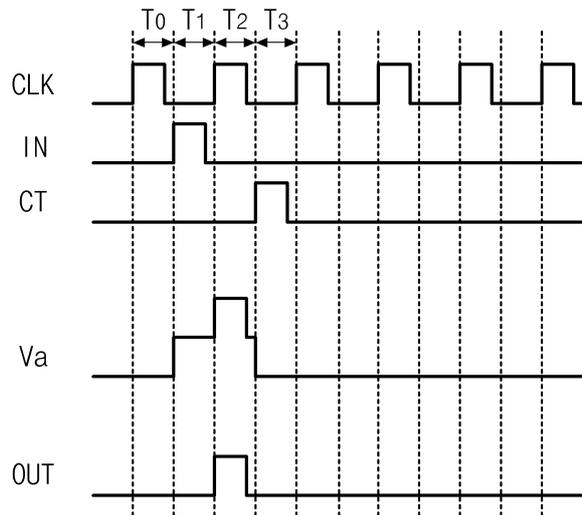
도면4



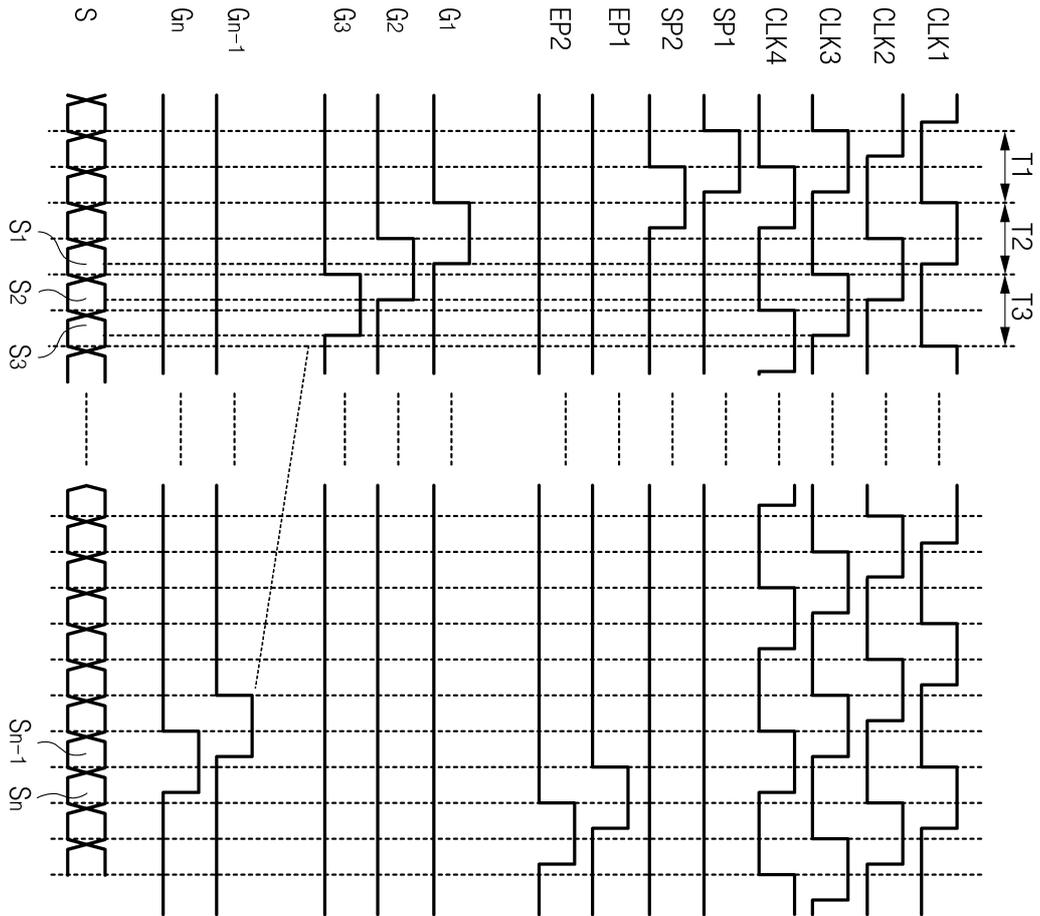
도면5



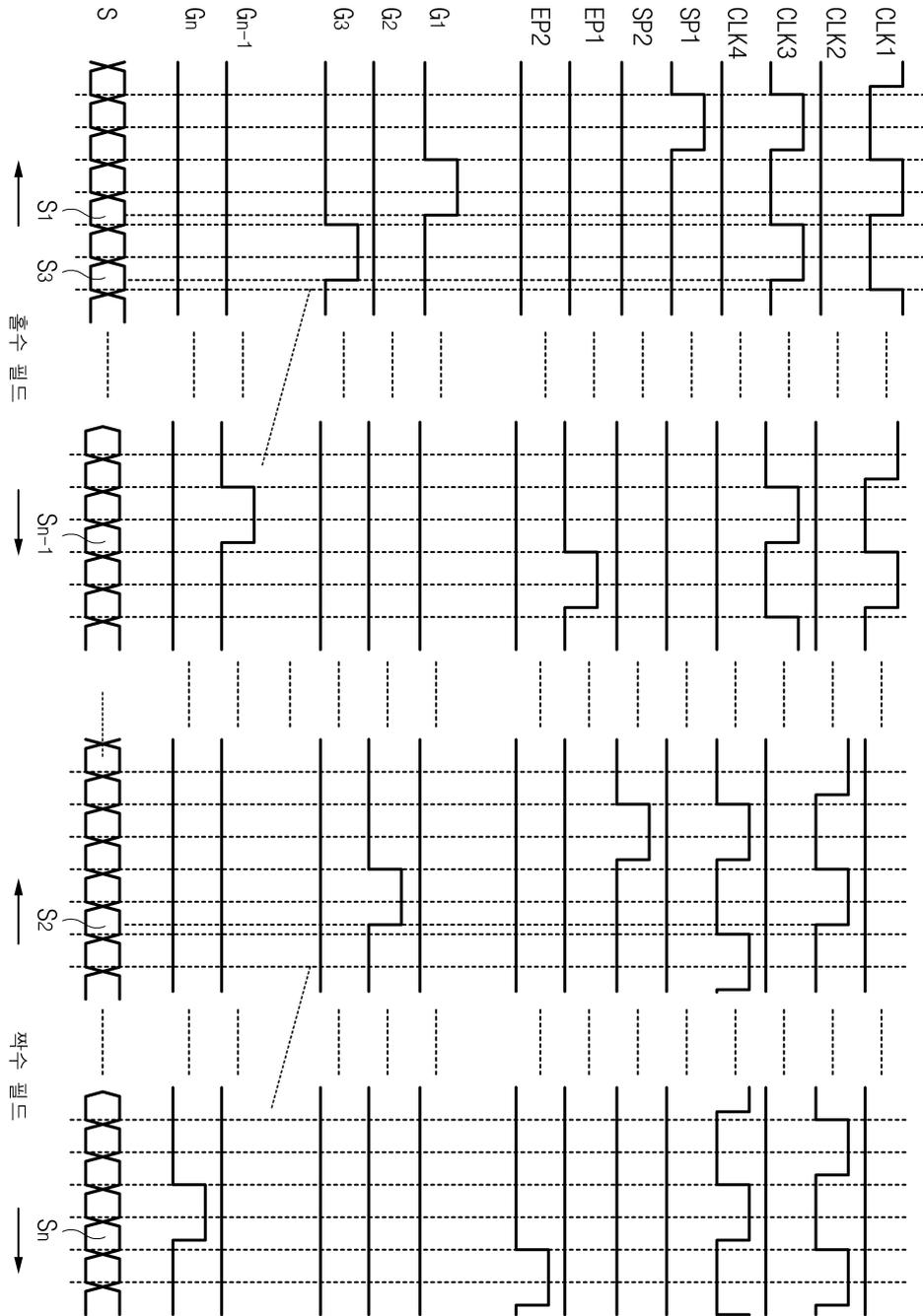
도면6



도면7



도면8



|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 液晶驱动电路和液晶显示装置                                     |         |            |
| 公开(公告)号        | <a href="#">KR1020060052038A</a>                  | 公开(公告)日 | 2006-05-19 |
| 申请号            | KR1020050093411                                   | 申请日     | 2005-10-05 |
| [标]申请(专利权)人(译) | 阿尔卑斯电气株式会社  |         |            |
| 申请(专利权)人(译)    | 阿尔卑斯电气有限公司  |         |            |
| 当前申请(专利权)人(译)  | 阿尔卑斯电气有限公司  |         |            |
| [标]发明人         | KIKUCHI KOUJI                                     |         |            |
| 发明人            | KIKUCHI, KOUJI                                    |         |            |
| IPC分类号         | G09G3/36 G02F1/133                                |         |            |
| CPC分类号         | G09G2310/0251 G09G3/3677 G09G2310/0224 G11C19/184 |         |            |
| 代理人(译)         | KIM的哦<br>康, 杨永                                    |         |            |
| 优先权            | 2004293496 2004-10-06 JP                          |         |            |
| 其他公开文献         | KR100656579B1                                     |         |            |
| 外部链接           | <a href="#">Espacenet</a>                         |         |            |

摘要(译)

本发明实现了一种能够高速驱动和显示有源矩阵型液晶面板的液晶驱动电路。为此,在本发明中,多相时钟CLK1至CLK4用于提供用于驱动液晶显示区域的奇数扫描线的第一栅极驱动器和用于驱动偶数的第二栅极驱动器。第一和第二栅极驱动器从紧接在提供给显示元件的图像信号的供应开始定时之前到图像信号的有效周期内被启用,并且第一和第二栅极驱动器在时钟的有效时段中驱动开关元件。 7

