

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
G02F 1/1343 (2006.01)

(11) 공개번호 10-2006-0039634
(43) 공개일자 2006년05월09일

(21) 출원번호 10-2004-0088812

(22) 출원일자 2004년11월03일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 전상익
서울 강남구 역삼동 733-12번지 B동 401호

(74) 대리인 유미특허법인

심사청구 : 없음

(54) 박막 트랜지스터 표시판

요약

본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 게이트선 및 게이트선과 절연되어 교차하고 있는 데이터선이 형성되어 있다. 각각의 게이트선의 게이트 전극 및 데이터선의 소스 전극과 연결되어 있으며, 게이트 전극과 절연되어 중첩하며, 두 가지를 가지는 드레인 전극과 연결된 박막 트랜지스터와 게이트선, 데이터선 및 박막 트랜지스터를 덮는 보호막이 형성되어 있다. 보호막의 상부에는 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다. 이때, 두 가지는 일직선상에 소정의 거리를 두고 이격된 형태로 배치되어 있다.

대표도

도 3

색인어

액정표시장치, 수직배향, 절개부, 결합전극, 결합용량, 계조전압

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 2는 도 1에 도시한 박막 트랜지스터 표시판을 II-II' 선을 따라 잘라 도시한 단면도이고,

도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 4 및 도 5 각각은 도 3에 도시한 박막 트랜지스터 표시판을 IV-IV' 선 및 V-V' 선을 따라 잘라 도시한 단면도이고,

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 구조를 도시한 배치도이고,

도 8은 도 6의 박막 트랜지스터 표시판과 도 7의 공통 전극 표시판을 포함하는 액정 표시 장치의 구조를 도시한 배치도이고,

도 9는 도 8의 액정 표시 장치를 IX-IX' 선을 따라 잘라 도시한 단면도이다.

도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고,

도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이고,

도 12는 도 10의 박막 트랜지스터 표시판과 도 11의 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이고,

도 13은 도 12의 액정 표시 장치를 XIII-XIII' 선을 따라 잘라 도시한 단면도이고,

도 14는 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이고,

도 15는 도 14의 액정 표시 장치를 XV-XV' 선을 따라 잘라 도시한 단면도이고,

도 16은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이다.

*** 도면 부호에 대한 설명 ***

11, 21: 배향막 12, 22: 편광판

81, 82: 접촉 보조 부재

100, 200: 표시판 110, 210: 절연 기판

121 : 게이트선 124: 게이트 전극

131 : 유지 전극선 135, 133a, 133b, 133c, 133d: 유지 전극

140: 게이트 절연막 151, 154: 반도체

161, 163, 165: 저항성 접촉 부재 171, 179: 데이터선

173: 소스 전극 175: 드레인 전극

180: 절연막 181, 182, 185: 접촉 구멍

190a, 190b: 화소 전극 220: 차광 부재

250: 덮개막 270: 공통 전극

3: 액정층 310: 액정 분자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 표시판에 관한 것으로, 더욱 상세하게는 각각의 화소를 스위칭 소자인 박막 트랜지스터를 이용하여 구동하는 박막 트랜지스터 표시판에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

이러한 액정 표시 장치는 화소 전극이 배치되어 있는 박막 트랜지스터 표시판과 공통 전극이 배치되어 있는 공통 전극 표시판을 포함하며, 이러한 표시판의 제조 방법에서는 마스크를 이용한 사진 식각 공정으로 패터닝하여 다층의 배선 또는 절연막의 접촉구 등의 박막 패턴을 형성하는데, 하나의 모 기관(mother)에는 여러 장의 표시 장치용 표시판이 만들어지며, 사진 식각 공정을 통하여 패턴을 완성한 다음에는 모 기관을 표시판으로 각각 분리한다.

사진 식각 공정에서 마스크 크기보다 모 기관에서 패턴이 형성되는 액티브 영역(active area)이 큰 경우에 이 액티브 영역에 패턴을 형성하기 위해서는 액티브 영역을 분할하여 스텝 앤 리피트(step and repeat) 공정을 수행하는 분할 노광이 필요하다. 이 경우 실제의 쏬은 마스크의 전이(shift), 회전(rotation), 비틀림(distortion) 등의 왜곡이 발생하기 때문에 쏬 사이가 정확히 정렬되지 않아 쏬 사이의 각 배선과 화소 전극 사이 또는 박막 트랜지스터의 게이트 전극과 드레인 전극 사이에서 발생하는 기생 용량이 달라진다. 이러한 기생 용량의 차이는 분할 노광 영역 간의 전기적인 특성의 차이와 개구율의 차이를 초래하기 때문에, 결국 쏬간의 경계 부분에서 화면 밝기의 차이를 초래하게 되어 스티치 불량 또는 플리커(flicker) 등의 문제점을 야기한다. 여기서, 플리커란 프레임간 액정에 인가되는 실효 전압이 공통 전압을 기준으로 차이가 발생함에 따라 나타나는 깜빡임 현상인데, 플리커의 발생 원인으로는 여러 가지가 제시되고 있으나 그 중 하나가 킥백 전압(kickback voltage)이다. 이러한 킥백 전압은 박막 트랜지스터의 게이트 전극과 드레인 전극간에 존재하는 기생 용량에 기인하여 발생하는데, 서로 다른 쏬에서 마스크의 전이, 회전, 비틀림 등의 왜곡이 발생하면 게이트 전극과 드레인 전극간에 존재하는 기생 용량이 영역마다 달라지며, 이로 인하여 화면의 깜빡임 현상이 나타난다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 게이트 전극과 드레인 전극 간의 기생 용량을 균일하게 확보하여 화면의 깜빡임 현상을 방지할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

발명의 구성 및 작용

이러한 과제를 해결하기 위하여 본 발명에서는 드레인 전극과 게이트 전극의 중첩 면적이 분할 노광과 상관없이 일정한 구조로 배치되어 있다.

더욱 상세하게, 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 게이트선 및 게이트선과 절연되어 교차하고 있는 데이터선이 형성되어 있다. 각각의 게이트선의 게이트 전극 및 데이터선의 소스 전극과 연결되어 있으며, 게이트 전극과 절연되어 중첩하며 두 개의 가지를 가지는 드레인 전극과 연결된 박막 트랜지스터와 게이트선, 데이터선 및 박막 트랜지스터를 덮는 보호막이 형성되어 있다. 보호막의 상부에는 드레인 전극과 연결되어 있는 화소 전극이 형성되어 있다. 이때, 두 가지는 일직선 상에 소정의 거리를 두고 이격된 형태로 배치되어 있다.

드레인 전극은 두 끝 부분을 가지는 고리 모양으로 이루어져 있으며, 소스 전극은 드레인 전극의 두 끝 부분을 둘러싸고 있는 것이 바람직하다.

소스 전극은 게이트선 또는 데이터선과 평행한 게이트 전극의 중심선에 대하여 대칭인 것이 바람직하다.

소스 전극은 게이트선과 중첩하지 않을 수 있다.

소스 전극은 90도 회전한 "H"자, "H"자, "S" 및 상부 가로변을 제외한 "S"자 중 하나의 모양으로 이루어질 수 있다.

소스 전극이 "H" 자형일 때, 화소 전극은 게이트선을 중심으로 하반면과 상반면으로 나뉘어 있고, 드레인 전극은 게이트선의 중심선에 대하여 대칭 구조로 이루어져 있는 것이 바람직하다.

화소 전극 및 드레인 전극 중 적어도 하나와 중첩하여 유지 용량을 형성하는 유지 전극을 가지는 유지 전극선을 더 포함할 수 있으며, 유지 전극선은 서로 이웃하는 화소 전극 사이에 배치되어 있는 것이 바람직하다.

첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 대하여 설명한다.

먼저, 도 1 내지 도 2를 참고로 하여 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 2는 도 1의 박막 트랜지스터 표시판을 II-II 선을 따라 잘라 도시한 단면도이다.

절연 기판(110) 위에 게이트 신호를 전달하는 복수의 게이트선(gate line)(121)이 형성되어 있다.

게이트선(121)은 주로 가로 방향으로 뻗어 있고 서로 분리되어 있으며, 게이트 신호를 전달한다. 각 게이트선(121)의 일부는 복수의 게이트 전극(gate electrode)(124)을 이루는 복수의 돌출부와 다른 층 또는 외부 장치의 접촉을 위한 면적이 넓은 끝 부분(129)을 포함한다. 또한 각 게이트선의 다른 일부는 아래 방향으로 돌출하여 복수의 확장부(expansion)(127)를 이룬다.

게이트선(121)은 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속, 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 따위로 이루어지는 것이 바람직하며, 단일막 구조를 가지거나 다층막 구조로 이루어질 수 있다. 다층막, 예를 들어 물리적 성질이 다른 두 도전막, 즉 하부막과 그 위의 상부막을 포함할 수 있다. 하나의 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)이나 은 합금 등 은 계열의 금속, 구리(Cu)나 구리 합금 등 구리 계열의 금속으로 이루어질 수 있다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 크롬, 몰리브덴(Mo), 몰리브덴 합금, 탄탈륨(Ta), 또는 티타늄(Ti) 등으로 이루어질 수 있다. 두 도전막의 좋은 예로는 크롬/알루미늄-네오디뮴(Nd) 합금 또는 몰리브덴 또는 몰리브덴 합금/알루미늄 합금을 들 수 있다.

게이트선(121)의 측면은 각각 경사져 있으며 그 경사각은 기판(110)의 표면에 대하여 약 30-80°이다.

게이트선(121) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

게이트 절연막(140) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 등으로 이루어진 복수의 섬형 반도체(151, 154)가 형성되어 있다. 하나의 섬형 반도체(154)는 게이트 전극(124) 상부에 위치하며, 그의 경계선은 게이트 전극(124) 안에 위치한다. 다른 섬형 반도체(151)는 게이트선(121)과 교차하는 지점 부근에서 폭이 커져서 게이트선(121)의 경계선을 덮으며 넓은 면적으로 게이트선(121)과 중첩하고 있다. 이때, 게이트 전극(124)과 중첩하는 반도체(154)의 경계선은 게이트 전극(124)의 경계선 안에 위치함으로써, 액정 표시 장치의 광원인 백라이트로부터 기판(110)의 하부에서 입사하는 빛을 완전히 차단할 수 있으며, 이를 통하여 박막 트랜지스터 오프시에 반도체(154)에서 전자가 발생하는 것을 최소화하고 박막 트랜지스터 오프시에 흐를 수 있는 오프 전류를 최소화할 수 있다.

섬형의 반도체(151, 154) 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 복수의 섬형 저항성 접촉 부재(ohmic contact)(161, 163, 165)가 형성되어 있다. 게이트 전극(124)을 중심으로 마주하는 쌍의 저항성 접촉 부재(163, 165)는 반도체(154) 위에 위치하며, 나머지 섬형의 저항성 접촉 부재(161)는 게이트선(121) 상부의 섬형 반도체(151) 상부에 위치한다.

반도체(151, 154)와 저항성 접촉 부재(161, 163, 165)의 측면 역시 표면에 대하여 경사져 있으며 그 경사각은 30-80°인 것이 바람직하다.

저항 접촉 부재(161, 163, 165) 및 게이트 절연막(140) 위에는 각각 복수의 데이터선(data line)(171)과 복수의 드레인 전극(drain electrode)(175) 및 복수의 유지 축전기용 도전체(storage capacitor conductor)(177)가 형성되어 있다.

데이터선(171)은 주로 세로 방향으로 뻗어 게이트선(121)과 교차하며 데이터 전압(data voltage)을 전달한다. 각 데이터선(171)은 다른 층 또는 외부 장치와의 접촉을 위한 넓은 끝 부분(179)을 가지고 있다.

드레인 전극(175)은 일직선 상에 소정의 거리를 두고 이격된 형태로 배치되어 게이트 전극(124)의 세로 중심선에 대하여 대칭 구조로 이루어진 한 쌍의 고리 모양 가지부를 포함하고 있으며, 상부에 넓은 면적으로 이루어진 확장부를 가진다. 드레인 전극(175)의 가지부는 시계 방향으로 90° 회전한 "C" 모양을 취하여 게이트 전극(124)을 둘러싸고 있으며, 끝 부분은 게이트 전극(124)의 마주하는 세로 변을 지나 게이트 전극(124)의 경계선 안쪽에 위치하여 중심선에 대하여 대칭으로 게이트 전극(124)과 중첩하고 있다. 데이터선(171) 각각은 복수의 돌출부를 포함하며, 이 돌출부는 반도체(154) 또는 게이트 전극(124) 상부에 위치하는 드레인 전극(175)의 두 가지부 끝 부분을 둘러싸도록 대칭 구조로 휘어져 90도 회전한 "H" 모양으로 복수의 소스 전극(source electrode)(173)을 이룬다. 이와 같이 데이터선(171)과 평행한 게이트 전극(124)의 중심선에 대하여 드레인 전극(175)을 대칭 구조로 배치함으로써 제조 공정시 마스크의 전이, 회전, 비틀림 등의 왜곡이 발생하더라도 게이트 전극(124)과 드레인 전극(175) 사이의 중첩 면적은 일정하다. 즉, 제조 공정시 마스크의 전이, 회전, 비틀림 등으로 인하여 좌우 방향으로 게이트 전극(124)과 드레인 전극(175)이 오정렬되더라도 데이터선(171)과 평행한 게이트 전극(124)의 중심선을 기준으로 한쪽에서 게이트 전극(124)과 드레인 전극(175)의 중첩 면적이 감소하더라도 나머지 다른 한쪽에서는 게이트 전극(124)과 드레인 전극(175)의 중첩 면적이 증가한다. 따라서, 게이트 전극(124)과 드레인 전극(175) 간에 존재하는 기생 용량은 일정하며, 이로 인하여 화면의 깜박임 현상을 방지할 수 있다. 물론, 이와 같은 본 발명의 실시예에 따른 구조에서는 상하 방향으로 오정렬이 발생하더라도 게이트 전극(124)과 드레인 전극(175) 사이의 중첩 면적은 변하지 않는다. 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

유지 축전기용 도전체(177)는 게이트선(121)의 확장부(127)와 중첩되어 있다.

이때, 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)도 다른 물질, 특히 IZO(indium zinc oxide) 또는 ITO(indium tin oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴(Mo), 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금, 몰리브덴-니오브(MoNb) 합금] 등으로 이루어진 도전막과 데이터 신호의 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열의 금속으로 이루어진 도전막을 포함하는 것이 바람직하다. 하나의 예로 알루미늄 계열의 도전막과 몰리브덴(Mo) 또는 몰리브덴 합금[보기: 몰리브덴-텅스텐(MoW) 합금, 몰리브덴-니오브(MoNb) 합금] 등으로 이루어진 도전막을 포함하는 이중막 또는 삼중막으로 이루어질 수 있으며, 몰리브덴(Mo), 몰리브덴-텅스텐(MoW) 합금 또는 몰리브덴-니오브(MoNb) 합금 등의 단일막으로 이루어질 수도 있다.

데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)도 게이트선(121)과 마찬가지로 그 측면이 약 30-80°의 각도로 각각 경사져 있다.

저항성 접촉 부재(161, 163, 165)는 그 하부의 반도체(151, 154)와 그 상부의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 접촉 저항을 낮추어 주는 역할을 한다. 반도체(154)는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 소스 전극(173) 및 드레인 전극(175)에 가리지 않고 노출된 부분을 가지고 있다. 대부분에서는 데이터선(171)을 따라 뻗어 있으며, 데이터선(171)의 폭보다 작은 선형의 반도체를 가질 수 있다.

데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)와 이들로 덮이지 않고 노출된 반도체(154) 부분의 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 평탄화 특성이 우수하며 감광성(photosensitivity)을

가지는 유기 물질, 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등 4.0 이하의 저유전율 절연 물질, 또는 무기 물질인 질화 규소나 산화 규소 따위로 이루어진 것이 바람직하다.

보호막(180)이 유기 물질로 이루어진 실시예는 데이터선(171)과 드레인 전극(175) 사이의 반도체(154)가 드러난 부분으로 보호막(180)의 유기 물질이 접하는 것을 방지하기 위해 보호막(180)은 반도체(154)를 덮는 질화 규소 또는 산화 규소로 이루어진 무기 절연막을 포함하는 것이 바람직하다.

보호막(180)에는 드레인 전극(175)의 확장부와 데이터선(171)의 끝 부분(179)과 유지 축전기용 도전체(177)를 각각 드러내는 복수의 접촉 구멍(contact hole)(182, 185, 187)이 형성되어 있으며, 게이트 절연막(140)과 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다. 접촉 구멍(181, 182, 185, 187)은 다각형 또는 원 모양 등 다양한 모양으로 만들어질 수 있다. 접촉 구멍(181, 182)의 면적은 약 $0.5\text{mm} \times 15\mu\text{m}$ 이상, 약 $2\text{mm} \times 60\mu\text{m}$ 이하인 것이 바람직하다. 접촉 구멍(181, 182, 185, 187)의 측벽은 30° 내지 85° 의 각도로 기울어져 있으며, 계단형일 수 있다.

보호막(180) 위에는 IZO 또는 ITO로 이루어진 복수의 화소 전극(pixel electrode)(190) 및 복수의 접촉 보조 부재(contact assistant)(82, 81)가 형성되어 있다. 이와는 달리, 화소 전극(190)은 투명한 도전성 폴리머로 만들어질 수도 있고, 반사형 액정 표시 장치의 경우에는 화소 전극(190)이 불투명한 반사성 금속으로 만들어질 수도 있다. 이 경우, 접촉 보조 부재(81, 82)는 화소 전극(190)과 다른 물질, 예를 들면 ITO나 IZO로 만들어질 수 있다.

화소 전극(190)은 접촉 구멍(185, 187)을 통하여 드레인 전극(175) 및 유지 축전기용 도전체(177)와 각각 물리적·전기적으로 연결되어 드레인 전극(175)으로부터 데이터 전압을 인가 받고 유지 축전기용 도전체(177)에 데이터 전압을 전달한다.

데이터 전압이 인가된 화소 전극(190)은 공통 전압(common voltage)을 인가 받는 다른 표시판(도시하지 않음)의 공통 전극(도시하지 않음)과 함께 전기장을 생성함으로써 액정층의 액정 분자들을 재배열시킨다.

또한 앞서 설명한 것처럼, 화소 전극(190)과 공통 전극은 축전기[이하 “액정 축전기(liquid crystal capacitor)”라 함]을 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지하는데, 전압 유지 능력을 강화하기 위하여 액정 축전기와 병렬로 연결된 다른 축전기를 두며 이를 “유지 축전기(storage electrode)”라 한다. 유지 축전기는 화소 전극(190) 및 이와 이웃하는 게이트선(121)[이를 “전단 게이트선(previous gate line)”이라 함]의 중첩 등으로 만들어지며, 유지 축전기의 정전 용량, 즉 유지 용량을 늘리기 위하여 게이트선(121)을 확장한 확장부(127)를 두어 중첩 면적을 크게 하는 한편, 화소 전극(190)과 연결되고 확장부(127)와 중첩되는 유지 축전기용 도전체(177)를 보호막(180) 아래에 두어 둘 사이의 거리를 가깝게 한다.

화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율(aperture ratio)을 높이고 있으나, 중첩되지 않을 수도 있다.

접촉 보조 부재(81, 82)는 접촉 구멍(181, 182)을 통하여 데이터선의 끝 부분(129, 179)과 각각 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121) 및 데이터선(171)의 각 끝 부분(129, 179)과 구동 집적 회로와 같은 외부 장치와의 접착성을 보완하고 이들을 보호하는 역할을 한다. 접촉 부재(81, 82)는 이방성 도전막(도시하지 않음) 등을 통하여 외부 장치와 연결된다.

도 3은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 4 및 도 5 각각은 도 3에 도시한 박막 트랜지스터 표시판을 IV-IV' 선 및 V-V' 선을 따라 잘라 도시한 단면도이다.

도 3 내지 도 5에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 1 및 도 2에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다. 즉, 기판(110) 위에 복수의 게이트 전극(124)을 포함하는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 반도체(154) 및 복수의 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(171), 복수의 드레인 전극(175) 및 유지 축전기용 도전체(177)가 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및/또는 게이트 절연막(140)에는 복수의 접촉 구멍(182, 185, 181)이 형성되어 있으며, 보호막(180) 위에는 복수의 화소 전극(190)과 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나 도 1 및 도 2에 도시한 박막 트랜지스터 표시판과 달리, 본 실시예에 따른 박막 트랜지스터 표시판은 게이트선(121)에 확장부를 두는 대신 게이트선(121)과 동일한 층에 게이트선(121)과 전기적으로 분리된 복수의 유지 전극선(131)을 두어 유지 축전기용 도전체(177)와 중첩시켜 유지 축전기를 만든다. 유지 전극선(131)은 공통 전압 따위의 미리 정해진 전압을 외부로부터 인가 받으며, 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 유지 전극선(131)은 생략할 수도 있으며, 화소의 개구율을 극대화하기 위해 화소 영역의 가장자리에 배치할 수도 있다.

박막 트랜지스터의 반도체(154)와 동일한 층에는 데이터선(171)의 하부를 따라 형성된 선형의 반도체(151)가 형성되어 연결되어 있는데, 소스 전극(173)과 드레인 전극(175) 사이의 일부를 제외한 박막 트랜지스터의 반도체(154)와 선형의 반도체(151)는 데이터선(171) 및 드레인 전극(175)과 실질적으로 동일한 평면 형상을 가진다. 데이터선(171)과 선형의 반도체(151) 사이에도 선형의 저항성 접촉 부재(161)가 형성되어 있는데, 저항성 접촉 부재(161, 163, 165,)는 데이터선(171) 및 드레인 전극(175)과 실질적으로 동일한 평면 형태를 가지고 있다.

또한, 유지 축전기용 도전체(177)의 하부에도 저항성 접촉 부재 및 반도체와 동일한 층으로 이루어져 있으며, 유지 축전기용 도전체(177)와 동일한 모양의 패턴으로 이루어진 비정질 규소층(157, 167)이 형성되어 있다.

또한, 소스 전극(173)은 게이트선(121)의 경계선 밖에서 데이터선(171)으로부터 돌출되어 있다. 이러한 구조에서는 소스 전극(173)과 게이트선(121) 사이에서 형성되는 기생 용량을 최소화할 수 있다.

이러한 박막 트랜지스터 표시판을 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터선(171), 드레인 전극(175) 및 유지 축전기용 도전체(177)와 반도체(151) 및 저항성 접촉 부재(161, 165)를 한 번의 사진 공정으로 형성한다.

이러한 사진 공정에서 사용하는 감광막 패턴은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터선 및 드레인 전극이 차지하는 배선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.

위치에 따라 감광막 패턴의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투명 영역(transparent area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다.

이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

앞서 설명한 도 1 및 도 2의 박막 트랜지스터 표시판에 대한 많은 특징들이 도 3 내지 도 5와 같은 실시예에서도 적용될 수 있다.

도 6은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조를 도시한 배치도이고, 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 구조를 도시한 배치도이고, 도 8은 도 6의 박막 트랜지스터 표시판과 도 7의 박막 트랜지스터 표시판으로 이루어진 액정 표시 장치의 구조를 도시한 배치도이고, 도 9는 도 8의 액정 표시 장치를 IX-IX'선을 따라 자른 단면도이다. 여기서, 앞의 실시예와 동일한 구성에 대해서는 설명을 생략하기로 한다.

본 실시예에 따른 액정 표시 장치는 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3)을 포함한다.

먼저, 도 6, 도 8 및 도 9를 참고로 하여 박막 트랜지스터 표시판(100)에 대하여 상세하게 설명한다.

도 6, 도 8 및 도 9에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조는 대개 도 1 및 도 2에 도시한 액정 표시 장치용 박막 트랜지스터 표시판의 층상 구조와 동일하다. 즉, 기판(110) 위에 복수의 게이트 전극(124)을 포함하는 복수의 게이트선(121)이 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 반도체(154) 및 복수의 저항성 접촉 부재(163, 165)가 차례로 형성되어 있다. 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는

복수의 데이터선(171) 및 복수의 드레인 전극(175)이 형성되어 있고 그 위에 보호막(180)이 형성되어 있다. 보호막(180) 및/또는 게이트 절연막(140)에는 복수의 접촉 구멍(182, 185, 181)이 형성되어 있으며, 보호막(180) 위에는 복수의 화소 전극(190)과 복수의 접촉 보조 부재(81, 82)가 형성되어 있다.

그러나, 게이트선(121)과 동일한 층에 복수의 유지 전극선(storage electrode lines)(131)이 형성되어 있는데, 각 유지 전극선(131)은 주로 가로 방향으로 뻗어 있고 제1 내지 제4 유지 전극(133a, 133b, 133c, 133d)을 이루는 복수 별의 가지 집합을 포함한다. 제1 유지 전극(133a)과 제2 유지 전극(133b)은 세로 방향으로 뻗어 있고, 제3 및 제4 유지 전극(133c, 133d)은 사선 방향으로 뻗어 있으며 제2 유지 전극(133b)의 양단에 연결되어 있다. 제3 및 제4 유지 전극(133c)은 인접한 두 게이트선(121) 사이의 중앙선에 대하여 반전 대칭을 이룬다. 유지 전극선(131)에는 액정 표시 장치의 공통 전극 표시판(200)의 공통 전극(270)에 인가되는 공통 전압 등 소정의 전압이 인가된다.

게이트 절연막(140) 상부에는 복수의 섬형 반도체(151a, 151b, 154)가 각각 형성되어 있는데, 일부 섬형 반도체(151a, 154)는 앞의 실시예와 동일하게 데이터선(171)이 교차할 게이트선(121) 상부와 게이트 전극(124)의 상부에 위치한다. 나머지 하나의 섬형 반도체(151b)는 소스 전극(173)이 지나가는 게이트 전극(124)의 경계 상부에 위치한다.

화소 전극(190)의 바깥 경계는 왼쪽 모퉁이가 모따기된 대략 사각형 형태이다.

화소 전극(190)은 중앙 절개부(91), 하부 절개부(92a) 및 상부 절개부(92b)를 가지며, 이들 절개부(91, 92a, 92b)에 의하여 복수의 영역으로 분할된다. 절개부(91, 92a, 92b)는 화소 전극(190)을 게이트선(121)과 평행하게 이등분하는 가로 중심선에 대하여 거의 대칭을 이루고 있다.

하부 및 상부 절개부(92a, 92b)는 대략 화소 전극의 오른쪽 변에서부터 왼쪽 변으로 비스듬하게 뻗어 있으며, 화소 전극의 가로 중심선에 대하여 하반면과 상반면에 각각 위치하고 있다. 하부 및 상부 절개부(92a, 92b)는 게이트선(121)에 대하여 약 45도의 각도를 이루며 서로 수직하게 뻗어 있다.

중앙 절개부(91)는 제2 화소 전극(190b)의 중앙에 배치되어 있으며 오른쪽 변 쪽에 입구를 가지고 있다. 중앙 절개부(91)의 입구는 하부 절개부(92a)와 상부 절개부(92b)에 각각 거의 평행한 한 쌍의 빗변을 가지고 있다.

따라서, 화소 전극의 하반면은 하부 절개부(92a)에 의하여 두 개의 영역으로 나누어지고, 상반면 또한 상부 절개부(92b)에 의하여 두 개의 영역으로 분할된다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라지며, 기울어진 방향도 달라질 수 있다.

다음, 도 2 내지 도 4를 참고로 하여, 공통 전극 표시판(200)에 대하여 설명한다.

투명한 유리 등으로 이루어진 절연 기관(210) 위에 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(190)과 마주보며 화소 전극(190)과 거의 동일한 모양을 가지는 복수의 개구부를 가지고 있으며, 게이트선(121) 및 데이터선(171)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 이루어지는 것이 바람직하다.

기관(210) 위에는 또한 복수의 색필터(230)가 형성되어 있으며 차광 부재(230)로 둘러싸인 영역 내에 대부분 위치한다. 색필터(230)는 화소 전극(190)을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색 등의 원색 중 하나를 표시할 수 있다.

색필터(230)의 위에는 덮개막(250)이 형성되어 있다.

덮개막(250)의 위에는 ITO, IZO 등의 투명한 도전체 따위로 이루어진 공통 전극(270)이 형성되어 있다.

공통 전극(270)은 복수 별의 절개부(71, 72a, 72b) 집합을 가진다.

한 별의 절개부(71, 72a, 72b)는 하나의 제1 및 제2 화소 전극(190a, 190b)과 마주 보며 중앙 절개부(71), 하부 절개부(72a) 및 상부 절개부(72b)를 포함한다. 절개부(71, 72a, 72b) 각각은 화소 전극(190)의 인접 절개부(91, 92a, 92b) 사이 또는 절개부(92a, 92b)와 화소 전극(190)의 모따기된 빗변 사이에 배치되어 있다. 또한, 각 절개부(71, 72a, 72b)는 화소 전극의 하부 절개부(92a) 또는 상부 절개부(92b)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다.

하부 및 상부 절개부(72a, 2b) 각각은 대략 화소 전극의 왼쪽 변에서 위쪽 또는 아래쪽 변을 향하여 뻗은 사선부, 그리고 사선부의 각 끝에서부터 화소 전극의 변을 따라 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 가로부 및 세로부를 포함한다.

중앙 절개부(71)는 대략 화소 전극의 왼쪽 변에서부터 가로 방향으로 뻗은 중앙 가로부, 이 중앙 가로부의 끝에서 중앙 가로부와 빗각을 이루며 화소 전극의 오른쪽 변을 향하여 뻗은 한 쌍의 사선부, 그리고 사선부의 각 끝에서부터 화소 전극의 오른쪽 변을 따라 오른쪽 변과 중첩하면서 뻗으며 사선부와 둔각을 이루는 종단 세로부를 포함한다.

절개부(71, 72a, 72b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있으며, 차광 부재(220)가 절개부(71, 72a, 72b)와 중첩하여 절개부(71, 72a, 72b) 부근의 빛샘을 차단할 수 있다.

표시판(100, 200)의 안쪽 면에는 수직 배향막(11, 21)이 도포되어 있고, 바깥쪽 면에는 편광판(12, 22)이 구비되어 있다. 두 편광판의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광판(12, 22) 중 하나가 생략될 수 있다.

표시판(100, 200)과 편광자(12, 22)의 사이에는 각각 액정층(3)의 지연값을 보상하기 위한 위상 지연 필름(retardation film)이 깔 수 있다. 위상 지연 필름은 복굴절성(birefringence)을 가지며 액정층(3)의 복굴절성을 역으로 보상하는 역할을 한다. 지연 필름으로는 일축성 또는 이축성 광학 필름을 사용할 수 있으며, 특히 음성(negative) 일축성 광학 필름을 사용할 수 있다.

액정 표시 장치는 또한 편광자(12, 22), 위상 지연 필름, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)를 포함할 수 있다.

액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자(310)는 전계가 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 입사광은 직교 편광자(12, 22)를 통과하지 못하고 차단된다.

배향막(11, 21)은 수평 배향막일 수 있다.

한편, 액정 분자(310)들의 경사 방향과 편광자(12, 22)의 투과축이 45도를 이루면 최고 휘도를 얻을 수 있는데, 본 실시예의 경우 모든 도메인에서 액정 분자(310)들의 경사 방향이 게이트선(121)과 45°의 각을 이루며 게이트선(121)은 표시판(100, 200)의 가장자리와 수직 또는 수평이다. 따라서 본 실시예의 경우 편광자(12, 22)의 투과축을 표시판(100, 200)의 가장자리에 대하여 수직 또는 평행이 되도록 부착하면 최고 휘도를 얻을 수 있을 뿐 아니라 편광자(12, 22)를 저렴하게 제조할 수 있다.

공동 전극(270)에 공동 전압을 인가하고 화소 전극(190)에 데이터 전압을 인가하면 표시판의 표면에 거의 수직인 주 전계(primary electric field)가 생성된다. 액정 분자(310)들은 전계에 응답하여 그 장축이 전계의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 한편, 공동 전극(270) 및 화소 전극(190)의 절개부(71, 72a, 72b, 91, 92a, 92b)와 이들과 평행한 화소 전극(190)의 변은 주 전계를 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 주 전계의 수평 성분은 절개부(71, 72a, 72b, 91, 92a, 92b)의 변과 화소 전극(190)의 변에 수직이다. 또한 절개부(71, 72a, 72b, 91, 92a, 92b)의 마주보는 두 변에서의 주 전계의 수평 성분은 서로 반대 방향이다.

이러한 전계를 통하여 절개부(71, 72a, 72b, 91, 92a, 92b)는 액정층(3)의 액정 분자가 기울어지는 방향을 제어한다. 인접하는 절개부(71, 72a, 76b, 91, 92a, 92b)에 의하여 정의되거나 절개부(72a, 72b)와 화소 전극(190)의 왼쪽 빗변에 의하여 정의되는 각 도메인 내에 있는 액정 분자는 절개부(71, 72a, 72b, 91, 92a, 92b)의 길이 방향에 대하여 수직을 이루는 방향으로 기울어진다. 각 도메인의 가장 긴 변 2개는 거의 나란하고 게이트선(121)과 약 $\pm 45^\circ$ 를 이루며, 도메인 내에서 액정 분자 대부분은 4방향으로 기울어진다.

절개부(91, 92a, 92b, 71, 72a, 72b)의 너비는 약 $9\mu\text{m}$ 내지 약 $12\mu\text{m}$ 인 것이 바람직하다.

적어도 하나의 절개부(91, 92a, 92b, 71, 72a, 72b)는 돌기(protrusion)(도시하지 않음)나 함몰부(depression)(도시하지 않음)로 대체할 수 있다. 돌기는 유기물 또는 무기물로 만들어질 수 있고 전계 생성 전극(190, 270)의 위 또는 아래에 배치될 수 있으며 그 너비는 약 $5\mu\text{m}$ 내지 약 $10\mu\text{m}$ 인 것이 바람직하다.

화소 전극(190) 절개부(91, 92a, 92b)의 경계에서 이와 인접한 공통 전극(270) 절개부(71, 72a, 72b)의 경계까지의 간격과 화소 전극의 경계에서 이와 인접한 공통 전극(270) 절개부(71, 72a, 72b)의 경계까지의 간격은 약 $12\mu\text{m}$ 내지 약 $20\mu\text{m}$ 인 것이 바람직하며, 약 $17\mu\text{m}$ 에서 약 $19\mu\text{m}$ 범위인 것이 더욱 바람직하다. 이와 같은 범위로 간격을 정하였더니 개구율은 감소하였지만 액정의 응답 속도가 빨라져 필요한 투과율을 확보할 수 있었다.

한편 전기장은 전극(270)의 절개부와 화소 전극(190)의 변으로 인하여 절개부의 변과 화소 전극(190)의 변에 수직인 수평 성분을 가진다. 따라서 각 부영역의 액정 분자(310)들의 경사 ??향은 서로 다르고 이에 따라 시야각이 확장된다.

앞서 설명한 도 1 내지 도 5의 액정 표시 장치에 대한 많은 특징들이 이와 같은 실시예에서도 적용될 수 있다.

절개부(91, 92a, 92b, 71, 72a, 72b)의 모양, 배치 및 수 등은 변형될 수 있다.

본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 10 내지 도 13을 참고로 하여 상세하게 설명한다.

도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 배치도이고, 도 11은 본 발명의 다른 실시예에 따른 액정 표시 장치용 공통 전극 표시판의 배치도이고, 도 12는 도 10에 도시한 박막 트랜지스터 표시판과 도 21에 도시한 공통 전극 표시판을 포함하는 액정 표시 장치의 배치도이고, 도 13은 도 12의 액정 표시 장치를 XIII-XIII' 선을 따라 잘라 도시한 단면도이다.

도 10 내지 도 13을 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3) 및 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 6 내지 도 9에 도시한 표시판(100, 200)의 층상 구조와 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121) 및 복수의 유지 전극선(131)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 복수의 반도체(151, 154) 및 복수의 저항성 접촉 부재(161, 163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171)과 복수의 드레인 전극(175)이 저항성 접촉 부재(161, 163, 165) 및 게이트 절연막(140) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(190) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고 그 위에는 배향막(11)이 형성되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 절개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

도 6 내지 도 9와 달리, 각의 유지 전극선(131)은 서로 이웃하는 게이트선(121) 사이의 중앙에 배치되어 있으며, 넓은 폭으로 확장되어 있는 유지 전극(135)을 가진다.

드레인 전극(175)은 유지 전극(135)과 각각 중첩하는 복수의 확장부를 가지고 있으며, 드레인 전극(175)의 확장부 변은 유지 전극(135)의 변과 실질적으로 평행하다.

드레인 전극(175)은 앞의 실시예와 동일하게 게이트 전극(124)을 둘러싸고 있으며, 고리형 가지부 중 게이트 전극(124)과 중첩하는 두 끝 부분은 서로 하나의 선상에서 마주하지 않고 서로 어긋나 있다. 소스 전극(173)은 서로 어긋난 고리형 가지부의 드레인 전극(175) 끝 부분을 둘러싸도록 "S"자 모양을 이룬다. 이와 같은 구조에서도 게이트 전극(124)과 드레인 전극(175)의 중첩 면적은 데이터선(171)과 평행한 게이트 전극(124)의 중심선에 대하여 대칭 구조를 이루고 있어, 제조 공정시 상하 및 좌우로 정렬 오차가 발생하더라도 게이트 전극(124)과 드레인 전극(175)의 기생 용량을 일정하게 형성된다.

또한 화소 전극(190)의 절개부(91, 92, 93a, 93b, 94a, 94b, 95a, 95b) 및 공통 전극(270)의 절개부(71, 72, 73, 74a, 74b, 75a, 75b, 76a, 76b)의 배치 및 모양이 앞의 실시예와 다르다. 특히, 공통 전극(270)의 절개부(72, 73a, 73b, 74a, 74b, 75a, 75b)에는 절개부(72, 73a, 73b, 74a, 74b, 75a, 75b) 내의 액정 분자(310)의 배향을 제어하는 노치가 형성되어 있다.

이전의 실시예에서 도시한 박막 트랜지스터 표시판의 많은 특징들이 도 10 내지 도 13에 도시한 액정 표시 장치에도 적용될 수 있다.

본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 도 14 및 도 15를 참고하여 상세하게 설명한다.

도 14는 본 발명의 다른 실시예에 따른 액정 표시 장치의 배치도이며, 도 15는 도 14의 액정 표시 장치를 XV-XV' 선을 따라 잘라 도시한 단면도이다.

도 14 및 도 15를 참고하면, 본 실시예에 따른 액정 표시 장치도 박막 트랜지스터 표시판(100), 공통 전극 표시판(200), 이들 두 표시판(100, 200) 사이에 삽입되어 있는 액정층(3), 두 표시판(100, 200)의 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

본 실시예에 따른 표시판(100, 200)의 층상 구조는 도 10 내지 도 13과 거의 동일하다.

박막 트랜지스터 표시판(100)에 대하여 설명하자면, 게이트 전극(124)을 포함하는 복수의 게이트선(121) 및 유지 전극(135)을 각각 포함하는 복수의 유지 전극선(131)이 기판(110) 위에 형성되어 있고, 그 위에 게이트 절연막(140), 반도체(151, 154) 및 저항성 접촉 부재(161, 163, 165)가 차례로 형성되어 있다. 소스 전극(173)을 포함하는 복수의 데이터선(171)과 복수의 드레인 전극(175)이 게이트 절연막(140) 위에 형성되어 있고, 보호막(180)이 그 위에 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 복수의 접촉 구멍(181, 182, 185)이 형성되어 있다. 보호막(180) 위에는 복수의 화소 전극(190) 및 복수의 접촉 보조 부재(81, 82)가 형성되어 있고, 그 위에는 배향막(11)이 도포되어 있다.

공통 전극 표시판(200)에 대하여 설명하자면, 차광 부재(220), 복수의 색필터(230), 덮개막(250), 공통 전극(270) 및 배향막(21)이 절연 기판(210) 위에 형성되어 있다.

도 10 내지 도 13의 액정 표시 장치와는 달리, 도 14 및 도 15에서 보는 바와 같이 반도체(154)는 데이터선(171) 및 드레인 전극(175) 하부까지 연장되어 있으며 데이터선(171) 하부의 반도체(151)와 연결되어 반도체(151, 154) 모두는 선형을 이룬다. 섬형의 저항성 접촉 부재(165)에 마주하는 저항성 접촉 부재(163) 또한 데이터선(171) 하부까지 연장되어 있으며, 저항성 접촉 부재(161, 163)는 선형을 이룬다. 이때, 선형의 반도체(151)는 데이터선(171)과 드레인 전극(175) 및 그 아래의 저항성 접촉 부재(161, 165)와 거의 동일한 모양을 가진다. 그러나, 선형의 반도체(151) 중 돌출부(154)는 소스 전극(173)과 드레인 전극(175) 사이의 부분과 같이 데이터선(171)과 드레인 전극(175)으로 덮이지 않는 부분을 가진다.

또한, 소스 전극(173)은 앞의 실시예와 달리 "S" 자 모양에서 게이트선(121)과 평행한 상부 가지를 제외한 국자 모양을 이룬다.

도 16은 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조를 도시한 배치도이다.

도 16에서 보는 바와 같이, 본 실시예에 따른 액정 표시 장치의 배치 구조 또한 도 10 내지 13과 거의 동일하다. 가로 방향으로 복수의 게이트선(121)이 뻗어 있고, 세로 방향으로 복수의 데이터선(171)이 뻗어 있으며, 유지 전극선(131) 또한 게이트선(121)과 평행하게 뻗어 있다.

하지만, 도 10 내지 도 13과 달리 화소 전극은 화소 전극을 이등분하는 중심선에 대하여 하반면(190a)과 상반면(190b)으로 나뉘어 있으며, 이들은 연결부(90ab)를 통하여 서로 연결되어 있다. 하반면(190a) 및 상반면(190b) 각각은 게이트선(121)의 중심선에 대하여 반전 대칭을 이루는 절개부(91a, 92a, 93a, 94a) 및 절개부(91b, 92b, 93b, 94b)를 가진다. 물론, 공통 전극(270)도 절개부(91a, 92a, 93a, 94a) 및 절개부(91b, 92b, 93b, 94b) 사이와 최외각 절개부(91a, 94a) 및 91b, 94b)과 이와 평행한 하반면(190a)과 상반면(190b)의 모따기된 변 사이에 위치하는 한 벌의 절개부(71a, 71b, 72a, 72b, 73a, 73b, 74a, 74b, 75a, 75b)를 가진다.

또한, 게이트선(124)은 화소 전극의 하반면(190a)과 상반면(190b) 사이에 위치하며, 게이트 전극(124)은 하반면(190a, 190b)을 향하여 각각 돌출되어 게이트선(121)의 중심선에 대하여 반전 대칭을 이룬다.

유지 전극선(131)은 서로 이웃하는 화소 전극 사이에 각각 위치하는데, 각각의 유지 전극선(131)은 돌출부를 이루어 유지 전극선(131)을 중심으로 양쪽에 배치되어 있는 화소 전극의 하반면(190a)과 상반면(190b) 바깥 가장자리와 각각 중첩하는 쌍의 유지 전극(135a, 135b)을 포함하고 있다.

드레인 전극(175a, 175b)은 쌍을 이루어 게이트선(121)의 중심선에 대하여 반전 대칭으로 게이트 전극(124)과 중첩하고 있으며, 각각은 데이터선(171)과 평행하게 뻗어 있다. 쌍의 드레인 전극(175a, 175b)은 유지 전극선(131a, 131b)의 돌출부를 이루는 쌍의 유지 전극(135a, 135b)과 각각 중첩하는 확장부를 가진다.

소스 전극(173)은 게이트선(121)의 중심선에 대하여 반전 대칭을 이루는 쌍의 드레인 전극(175a, 175b)을 감싸 "H" 자 모양을 이룬다. 이와 같은 구조에서도 게이트 전극(124)과 드레인 전극(175)의 중첩 면적은 게이트선(171)과 평행한 게이트 전극(124)의 중심선에 대하여 대칭 구조를 이루고 있어, 제조 공정시 상하 및 좌우로 정렬 오차가 발생하더라도 게이트 전극(124)과 드레인 전극(175)의 기생 용량을 일정하여 앞의 실시예와 동일한 효과를 얻을 수 있다.

발명의 효과

이상과 같이 게이트 전극과 드레인 전극의 중첩 면적이 게이트선 또는 데이터선과 평행한 게이트 전극의 중심선에 대하여 대칭 구조를 이루므로써 제조 공정시 정렬 오차가 발생하더라도 게이트 전극과 드레인 전극 사이에 형성되는 기생 용량을 일정하게 유지할 수 있다. 이를 통하여 화면의 깜박거림 현상을 제거할 수 있어 표시 장치의 표시 특성을 향상시킬 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다. 특히, 화소 전극과 공통 전극에 형성하는 절개부의 배치는 여러 다양한 변형이 있을 수 있다.

(57) 청구의 범위

청구항 1.

게이트 전극을 가지는 게이트선,

상기 게이트선과 절연되어 교차하며 소스 전극을 가지는 데이터선,

상기 게이트 전극 및 상기 소스 전극과 연결되어 있으며, 상기 게이트 전극과 절연되어 중첩하며 두 가지를 가지는 드레인 전극과 연결된 박막 트랜지스터,

상기 게이트선, 상기 데이터선 및 상기 박막 트랜지스터를 덮는 보호막, 그리고

상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며,

상기 두 가지는 일직선 상에 소정의 거리를 두고 이격된 형태로 배치되어 있는 박막 트랜지스터 표시판.

청구항 2.

제1항에서,

상기 두 가지는 상기 게이트선 또는 상기 데이터선과 평행한 상기 게이트 전극의 중심선에 대하여 대칭인 박막 트랜지스터 표시판.

청구항 3.

제2항에서,

상기 소스 전극은 상기 두 가지를 둘러싸고 있는 박막 트랜지스터 표시판.

청구항 4.

제3항에서,

상기 소스 전극은 상기 게이트선 또는 상기 데이터선과 평행한 상기 게이트 전극의 중심선에 대하여 대칭인 박막 트랜지스터 표시판.

청구항 5.

제4항에서,

상기 소스 전극은 상기 게이트선과 중첩하지 않는 박막 트랜지스터 표시판.

청구항 6.

제4항에서,

상기 소스 전극은 90도 회전한 "H"자 또는 "H"자 모양을 이루는 박막 트랜지스터 표시판.

청구항 7.

제6항에서,

상기 소스 전극이 "H" 자형일 때, 상기 화소 전극은 상기 게이트선을 중심으로 하반면과 상반면으로 나뉘어 있는 박막 트랜지스터 표시판.

청구항 8.

제7항에서,

상기 드레인 전극은 상기 게이트선의 중심선에 대하여 대칭 구조로 이루어진 박막 트랜지스터 표시판.

청구항 9.

제1항에서,

상기 화소 전극 및 상기 드레인 전극 중 적어도 하나와 중첩하여 유지 용량을 형성하는 유지 전극을 가지는 유지 전극선을 더 포함하는 박막 트랜지스터 표시판.

청구항 10.

제9항에서,

상기 유지 전극선은 서로 이웃하는 상기 화소 전극 사이에 배치되어 있는 박막 트랜지스터 표시판.

청구항 11.

게이트 전극을 가지는 게이트선,

상기 게이트선과 절연되어 교차하며, 소스 전극을 가지는 데이터선,

상기 게이트 전극 및 상기 소스 전극과 연결되어 있으며, 상기 게이트 전극과 절연되어 중첩하며, 두 가지를 가지는 드레인 전극과 연결된 박막 트랜지스터,

상기 게이트선, 상기 데이터선 및 상기 박막 트랜지스터를 덮는 보호막, 그리고

상기 드레인 전극과 연결되어 있는 화소 전극을 포함하며,

상기 드레인 전극의 두 가지는 서로 마주하지 않아 상기 두 가지를 둘러싸는 상기 소스 전극은 "S"자 또는 상부 가로변을 제외한 "S"자 모양을 이루는 박막 트랜지스터 표시판.

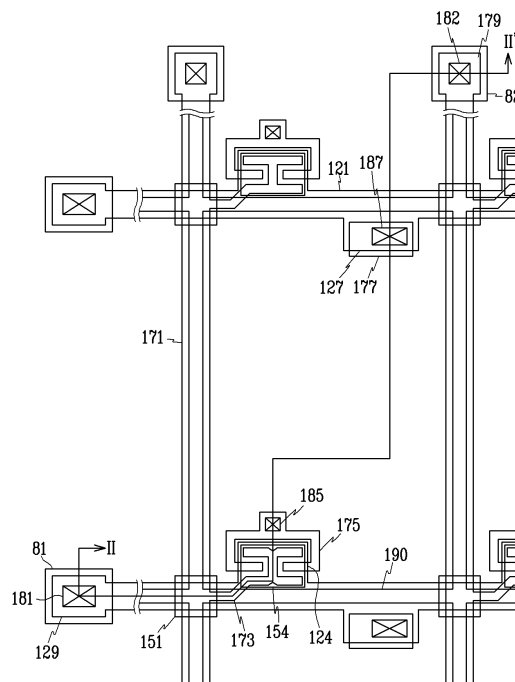
청구항 12.

제11항에서,

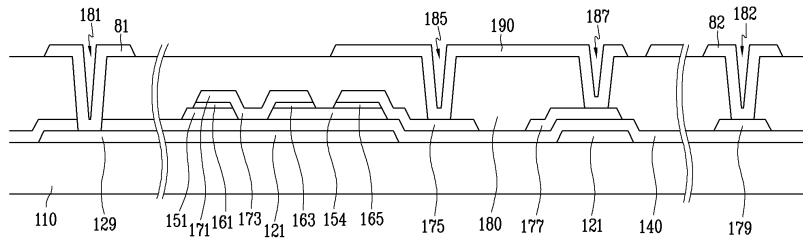
상기 데이터선에 연결되는 상기 소스 전극의 일부는 상기 게이트선과 중첩하지 않는 박막 트랜지스터 표시판.

도면

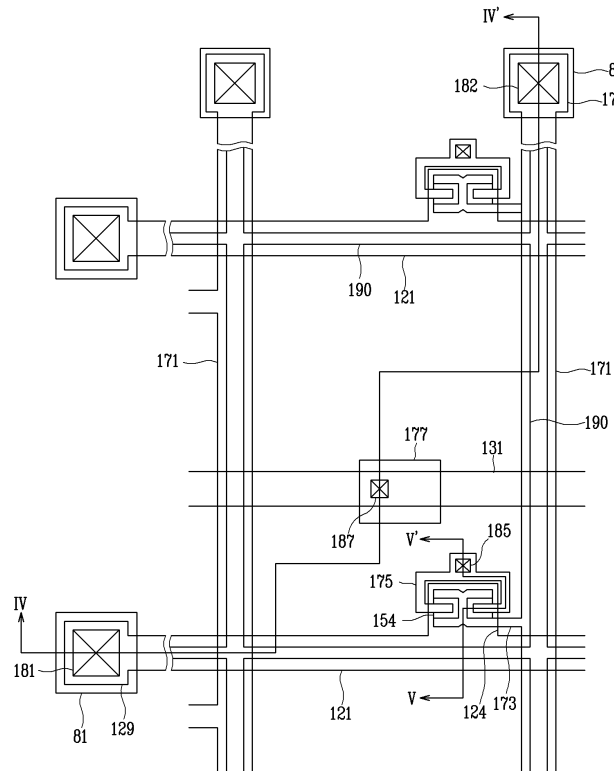
도면1



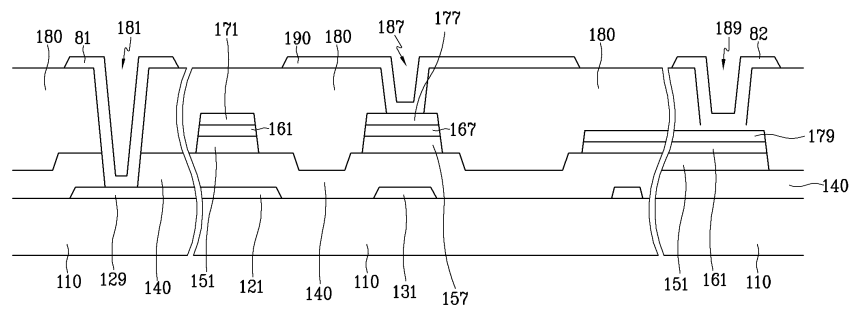
도면2



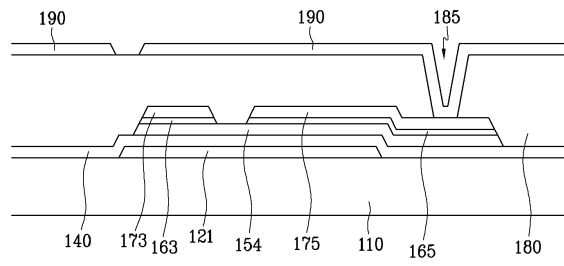
도면3



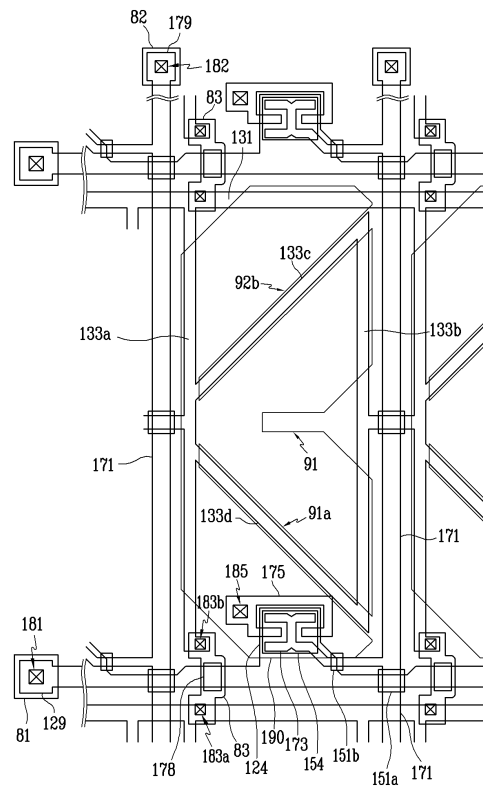
도면4



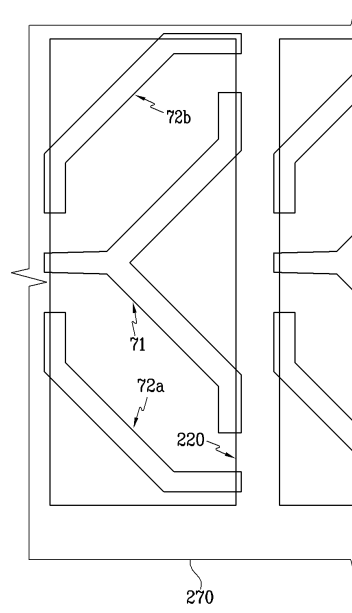
도면5



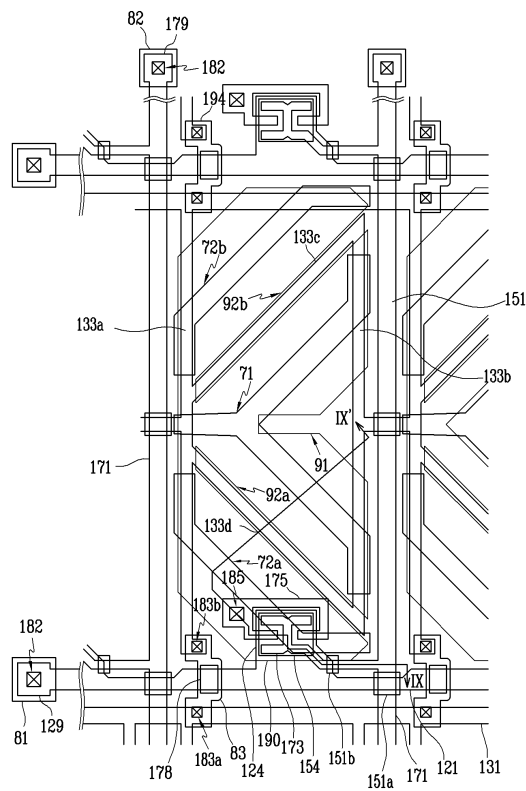
도면6



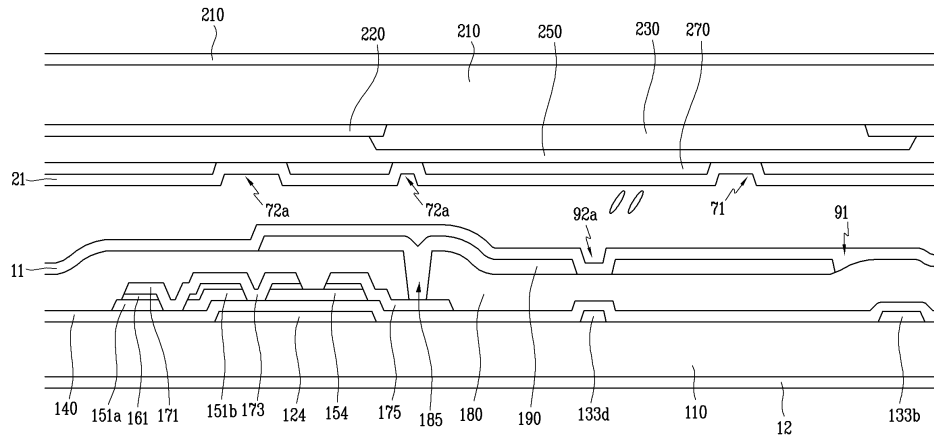
도면7



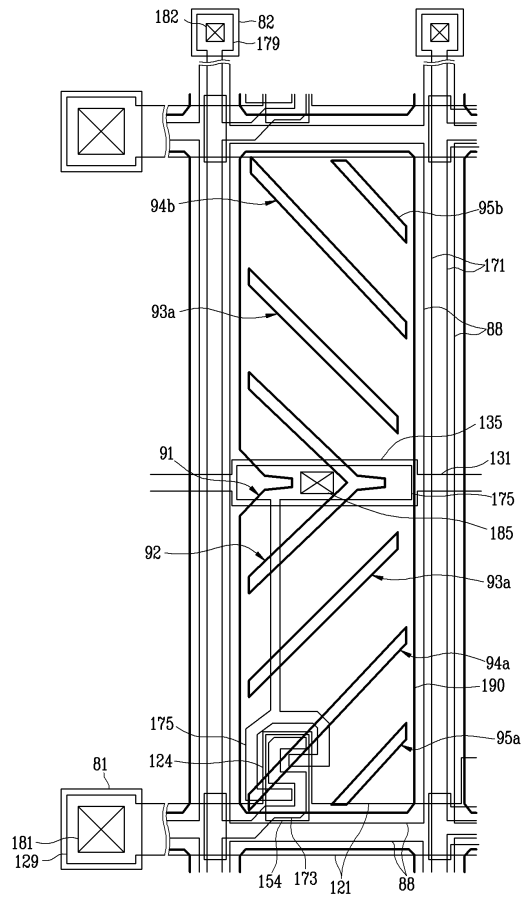
도면8



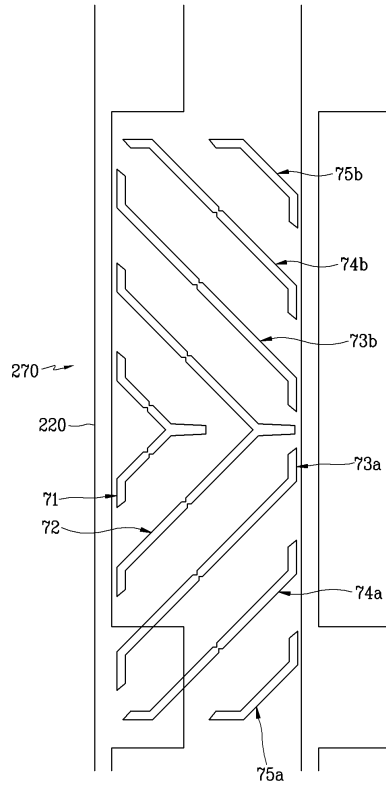
도면9



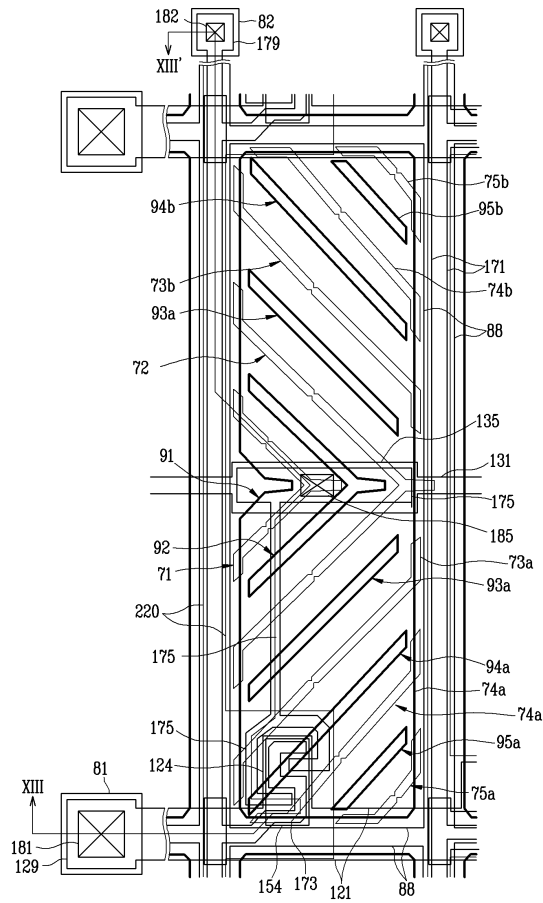
도면10



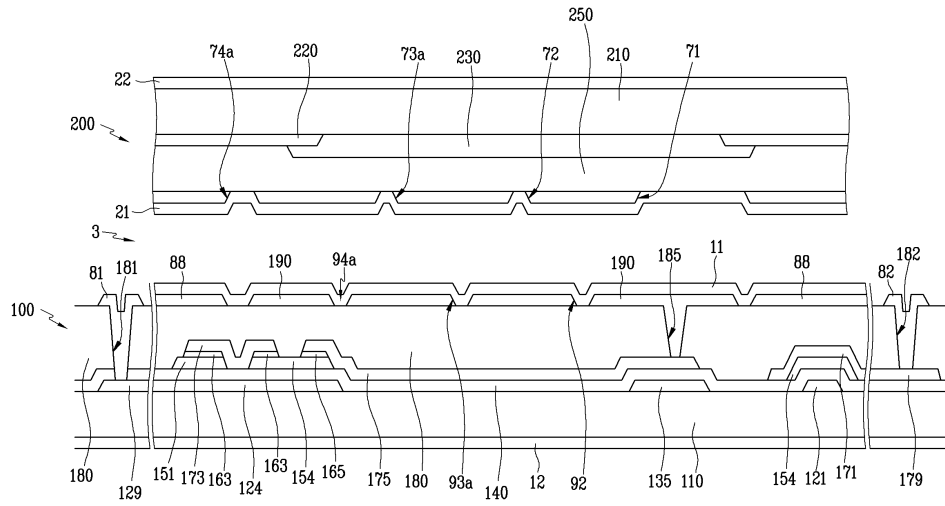
도면11



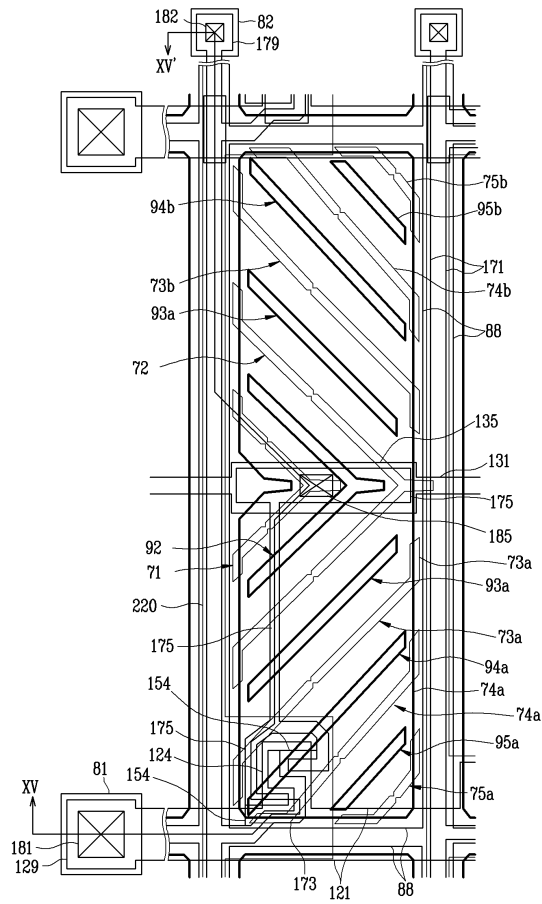
도면12



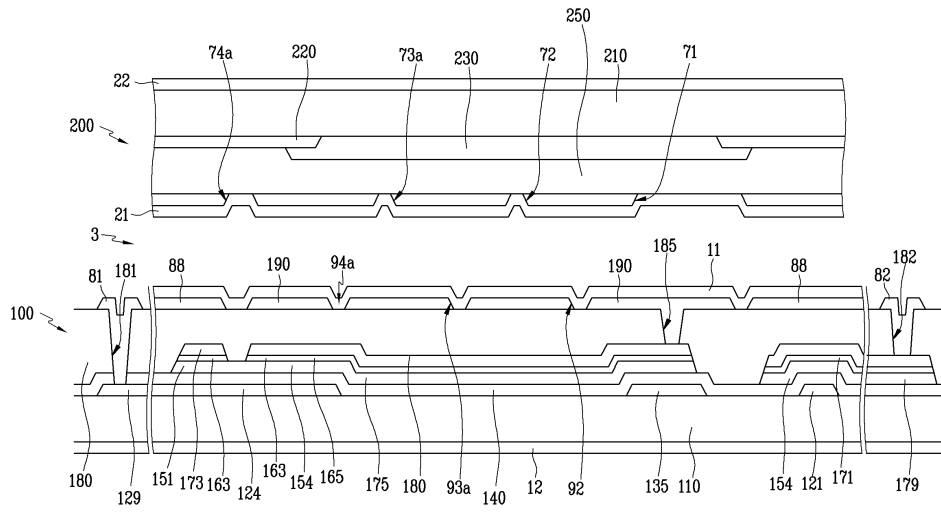
도면13



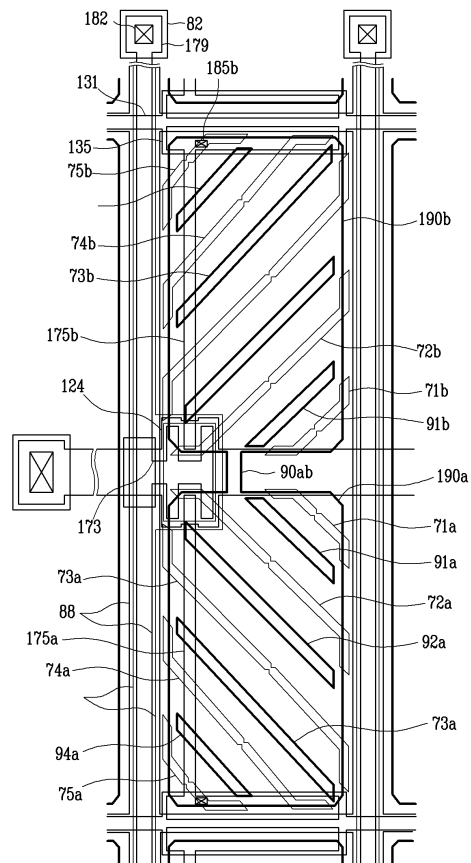
도면14



도면15



도면16



专利名称(译)	薄膜晶体管标志		
公开(公告)号	KR1020060039634A	公开(公告)日	2006-05-09
申请号	KR1020040088812	申请日	2004-11-03
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	JUN SAHNGIK		
发明人	JUN,SAHNGIK		
IPC分类号	G02F1/1343		
CPC分类号	H01L27/12 H01L27/124		
其他公开文献	KR101061856B1		
外部链接	Espacenet		

摘要(译)

根据本发明优选实施例的薄膜晶体管基板可以设置有栅极线和数据线，该栅极线和数据线与栅极线绝缘并且相交。覆盖漏电极的保护膜和具有它的两种连接的薄膜晶体管连接到每条栅极线的栅电极和数据线和栅极线的源电极，并形成数据线和薄膜晶体管。保护膜的上部可以设置有连接到漏电极的像素电极。此时，它被布置为将预定距离放在直线上并且其中两种分离的形式。液晶显示器，垂直取向，切口部分，连接电极，耦合电容，灰度电压。

