(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/136

(11) 공개번호 10-2004-0005688
(43) 공개일자 2004년01월16일

(21) 출원번호 10-2003-0046529
(22) 출원일자 2003년07월09일

(30) 우선권주장 JP-P-2002-00200578 2002년07월09일 일본(JP)

(71) 출원인 샤프 가부시키가이샤
일본 오사까후 오사까시 아베노꾸 나가이께쪼 22방 22고

(72) 발명자 우에다토루
일본히로시마721-0907후쿠야마시카스가초6-12-13

이노구치카즈히코
일본나라630-8326나라시카와라도초19-1-505

히가미요시노리
일본히로시마720-0824후쿠야마시타지메초5-7-8-203

(74) 대리인 백덕열
이태희

심사청구 : 있음

(54) 액정표시장치 및 그의 제조 방법

요약

액정표시장치는 액티브 매트릭스 기판; 대향 기판; 및 상기 액티브 매트릭스 기판과 대향 기판 사이에 협지된 액정층을 포함한다. 상기 액티브 매트릭스 기판은 기판; 상기 기판 위에 제공된 박막 트랜지스터; 및 상기 박막 트랜지스터의 측면의 적어도 일부를 덮는 측부 차광층을 포함한다.

대표도

도 1

명세서

도면의 간단한 설명

도1a 및 도1b는 각각 하나의 게이트 라인과 하나의 신호 라인이 서로 교차하는, 본 발명의 제1 실시에에 따른 액정표시장치의 액티브 매트릭스 기판의 부분의 개략적인 평면도이다.

도2는 도1a 및 도1b의 A-A선을 따른 도1a 및 도1b에 도시된 액정표시장치의 개략적인 단면도이다.

도3은 도1a 및 도1b의 B-B선을 따른 도1a 및 도1b에 도시된 액정표시장치의 개략적인 단면도이다.

도4는 본 발명의 제1 실시예에 따른 액정표시장치에 포함되는 TFT의 구조를 도시하는 개략적인 단면도이다.

도5a 내지 도5k는 제1 실시예에 따른 액정표시장치의 액티브 매트릭스 기판을 제조하는 공정을 도시하는 개략적인 단면도이다.

도6은 본 발명의 제1 실시예의 변형예로서의 액정표시장치의 개략적인 단면도이다.

도7은 도6에 도시된 액정표시장치의 개략적인 단면도이다.

도8a 및 도8b는 도6 및 도7에 도시된 액정표시장치의 액티브 매트릭스 기판 을 제조하는 공정을 도시하는 개략적인 단면도이다.

도9는 본 발명의 제2 실시예에 따른 액정표시장치의 개략적인 단면도이다.

도10은 도9에 도시된 액정표시장치의 개략적인 단면도이다.

도11a 내지 도11j는 도9 및 도10에 도시된 액정표시장치의 액티브 매트릭스 기판을 제조하는 공정을 도시하는 개략적인 단면도이다.

도12는 본 발명의 제2 실시예의 변형예로서의 액정표시장치의 개략적인 단면도이다.

도13은 도12에 도시된 액정표시장치의 개략적인 단면도이다.

도14a 및 도14b는 도12 및 도13에 도시된 액정표시장치의 액티브 매트릭스 기판을 제조하는 공정을 도시하는 단면도이다.

도15a 및 도15b는 각각 하나의 게이트 라인과 하나의 신호 라인이 서로 교차하는, 본 발명의 제3 실시예에 따른 액정표시장치의 액티브 매트릭스 기판의 부분을 도시하는 개략적인 평면도이다.

도16은 도15a 및 도15b의 A-A선을 따른 도15a 및 도15b에 도시된 액정표시장치의 개략적인 단면도이다.

도17은 도15a 및 도15b의 B-B선을 따른 도15a 및 도15b에 도시된 액정표시장치의 개략적인 단면도이다.

도18a 내지 도18g는 제3 실시예에 따른 액정표시장치의 액티브 매트릭스 기판을 제조하는 공정을 도시하는 개략적인 단면도이다.

도19는 본 발명의 제3 실시예의 변형예로서의 액정표시장치의 개략적인 단면 도이다.

도20은 도19에 도시된 액정표시장치의 개략적인 단면도이다.

도21은 본 발명의 제4 실시예에 따른 액정표시장치의 개략적인 단면도이다.

도22는 도21에 도시된 액정표시장치의 개략적인 단면도이다.

도23은 본 발명의 제4 실시예의 변형예로서의 액정표시장치의 개략적인 단면도이다.

도24는 도23에 도시된 액정표시장치의 개략적인 단면도이다.

도25는 본 발명의 제5 실시예에 따른 액정표시장치의 개략적인 단면도이다.

도26은 도25에 도시된 액정표시장치의 개략적인 단면도이다.

도27은 본 발명의 제5 실시예의 변형예로서의 액정표시장치의 개략적인 단면도이다.

도28은 도27에 도시된 액정표시장치의 개략적인 단면도이다.

도29는 본 발명의 제6 실시예에 따른 액정표시장치의 개략적인 단면도이다.

도30은 도29에 도시된 액정표시장치의 개략적인 단면도이다.

도31a 및 도31b는 각각 하나의 게이트 라인과 하나의 신호 라인이 서로 교차하는, 본 발명의 제7 실시예에 따른 액정표시장치의 액티브 매트릭스 기판의 부분의 개략적인 평면도이다.

도32는 도31a 및 도31b의 B-B선을 따른 도31a 및 도31b에 도시된 액정표시장치의 개략적인 단면도이다.

도33a 내지 도33g는 제7 실시예에 따른 액정표시장치의 액티브 매트릭스 기 판을제조하는 공정을 도시하는 개략적인 단면도이다.

도34는 본 발명의 제7 실시예의 변형예로서의 액정표시장치의 개략적인 단면도이다.

도35는 본 발명의 제8 실시예에 따른 액정표시장치의 개략적인 단면도이다.

도36a 및 도36b는 본 발명의 제9 실시예에 따른 액정표시장치에 포함되는 TFT의 구조를 도시하는 개략적인 단면도이다.

도37a 및 도37b는 각각 하나의 게이트 라인과 하나의 신호 라인이 서로 교차하는, 종래의 액정표시장치의 액티브 매트릭스 기판의 부분의 개략적인 평면도이다.

도38은 도37a 및 도37b의 A-A선을 따른 도37a 및 도37b에 도시된 액정표시장치의 개략적인 단면도이다.

도39는 도37a 및 도37b의 B-B선을 따른 도37a 및 도37b에 도시된 액정표시장치의 개략적인 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 그의 제조 방법에 관한 것이다.

액정표시장치의 하나의 공지된 형태는 매트릭스 형태로 배치된 복수의 화소 전극을 포함하는 액티브 매트릭스 기판과 대향 전극을 포함하는 대향 기판을 포함하는 액티브 매트릭스 액정표시장치이다. 액티브 매트릭스 기판과 대향 기판은 그 사이에 액정층을 유지하도록 배치되어 있다. 이러한 액정표시장치에 있어서, 액티브 매트릭스 기판은 대게 화소 전극들에 전압을 각각 인가하는 박막 트랜지스터 (TFT)를 갖고 있다.

이러한 액티브 매트릭스 액정표시장치는 프로젝터 장치의 하나의 소자로서 종종 사용된다. 그러나, 액정표시장치가 프로젝터 장치에 사용될 때, 액정표시장치는 고강도의 광에 노출된다.

액정표시장치의 액티브 매트릭스 기판에 제공된 TFT가 고강도의 광에 노출되면, TFT에 리크 전류가 발생할 가능성이 있어서 바람직하지 않다. 이 현상이 일어나면, 예컨대 액정표시장치의 콘트라스트의 감소 및 크로스토크의 발생 때문에 액정표시장치에 의해 표시되는 화상의 품위가 저하될 수 있다.

이들 문제점을 해결하기 위해, 액티브 매트릭스 기판에 차광층을 제공하여 TFT에 광이 입사되는 것을 방지하는 것이 알려져 있다.

예컨대, 일본국 특허공개공보 제2001-242443호에는, TFT 위이며 화소 전극 아래에 상부 차광층 및 상기 TFT 아래에 하부 차광층을 포함하는 액티브 매트릭스 기판을 포함하는 액정표시장치가 개시되어 있다.

도37a 내지 도39를 참조하여, 종래의 액정표시장치(1000)를 설명한다. 편의상, 하나의 TFT에 대응하는 액정표시장치의 영역에 대해 이하에 설명한다.

도37a 및 도37b는 하나의 게이트 라인(112)과 하나의 신호 라인(113)이 서로 교차하는, 액정표시장치(1000)의 액티브 매트릭스 기판(110)의 부분의 개략적인 평면도이다.

도37a 및 도37b는 각각 하나의 게이트 라인(112)과 하나의 신호 라인(112)을 도시하고 있지만, 상기 액티브 매트릭스 기판(110)은 복수의 게이트 라인(112)과 복수의 신호 라인(113)을 포함한다.

복수의 게이트 라인(112)은 일반적으로 액티브 매트릭스 기판(110)의 투명 기판(111)(도38) 위에 서로 평행하게 제공되어 있다. 복수의 신호 라인(113)은 일반적으로 상기 투명 기판(111) 위에 서로 평행하게 제공되어 있다. 게이트 라인 (112)과 신호 라인(113)은 일반적으로 서로 교차한다.

도37a 및 도37b는 차광층의 위치가 이하에 설명하는 바와 같이 되어 있는 상기 동일한 액정표시장치(1000)를 나타낸다.

도37a에서, TFT(160) 위에 제공된 상부 차광층(118)은 그 위치를 분명히 알 수 있도록 해칭(hatching)되어 있다. 상부 차광층(118)은 광이 액티브 매트릭스 기판(110) 위로부터 TFT(160)에 입사되는 것을 방지하는 기능을 한다.

도37b에서, TFT(160) 아래에 제공된 하부 차광층(116)은 그 위치를 분명히 알 수 있도록 점으로 찍혀 있다. 하부 차광층(116)은 광이 액티브 매트릭스 기판 (110) 아래로부터 TFT(160)에 입사되는 것을 방지하는 기능을 한다.

도37a에 도시된 바와 같이, 상부 차광층(118)은 제1 콘택트홀(127), 게이트 라인(112), 신호 라인(113), 다결정 실리콘(Si) 층(131)의 부분, 용량 전극(115)의 부분 및 TFT(160)의 부분을 덮도록 제공되어 있다.

도37b에 도시된 바와 같이, 하부 차광층(116)은 게이트 라인(112)의 부분, 신호 라인(113), 제1 콘택트홀(127), 제2 콘택트홀(128), 제3 콘택트홀(129a), 제4 콘택트홀(132a), 다결정 실리콘(Si) 층(131) 및 TFT(160)를 덮도록 제공되어 있다.

상기한 바와 같이, 액티브 매트릭스 기판(110)은 서로 직교하는 복수의 게이트 라인(112) 및 복수의 신호 라인(113)을 포함한다.

2개의 게이트 라인(112)과 2개의 신호 라인(113)에 의해 둘러싸인 에어리어에는, 화소 전극(114)이 제공되어 있다.

용량 전극(115)은 게이트 라인(112)의 주변에 게이트 라인(112)과 평행하도록 제공되어 있다. 상기 용량 전극(115)은 용량 전극(115)의 폭이 게이트 라인 (112)의 폭보다 크도록 형성되어 있다.

TFT(160)의 부분으로서 사용되는 n형의 다결정 실리콘층(131)은 게이트 라인(112)과 교차하는 신호 라인(113)의 부분 아래에 제공되어 있다. 다결정 실리콘층(131)의 폭은 신호 라인(113)의 폭보다 작다. 다결정 실리콘층(131)은 채널 영역(131a), 채널 영역(131a)과 제1 콘택트홀(127) 사이에 제공된 저농도로 도프된 드레인(LDD) 영역(N^-)(131d), 및 채널 영역(131a)과 제2 콘택트홀(128) 사이에 제공된 저농도로 도프된 드레인(LDD) 영역(N^-)(131e)을 포함한다.

다결정 실리콘층(131)은 게이트 라인(112)과 교차하도록 신호 라인(113)을 따라 연장되어 있다. 다결정 실리콘층(131)은 용량 전극(115) 아래로 연장된 브랜치부를 갖고 있다. 용량 전극(115) 아래의 브랜치부는 용량 전극(115)의 폭보다 작은 폭을 갖는다.

하부 차광층(116)은 다결정 실리콘층(131) 아래에 제공되어 있다. 하부 차광 층(116)의 폭은 다결정 실리콘층(131)의 폭보다 크다. 하부 차광층(116)은 다결정 실리콘층(131)을 아래로부터 덮고, 용량 전극(115)과 그 주변의 게이트 라인(112) 사이의 간극을 덮도록 제공된다.

제1 콘택트홀(127)에는, TFT(160)의 소스 전극(133)이 제공되어 있다.

제2 콘택트홀(128)에는, TFT(60)의 드레인 전극(134)이 제공되어 있다.

도38은 도37a 및 도37b의 A-A선을 따른 액정표시장치(1000)의 개략적인 단면도이고, 도39는 도37a 및 도37b의 B-B선을 따른 액정표시장치(1000)의 개략적인 단면도이다.

도38 및 도39에 도시된 바와 같이, 액정표시장치(1000)는 액티브 매트릭스 기판(110)과 대향 기판(140), 및 액티브 매트릭스 기판(110)과 대향 기판(140) 사이에 협지된 액정층(150)을 포함한다.

대향 기판(140)은 석영 유리로 형성된 투명 기판(141), 투명 기판(141) 위에 제공된 투명 전극(142) 및 투명 전극(142)에 제공된 배향층(143)을 포함한다.

액티브 매트릭스 기판(110)은 석영 유리로 형성된 투명 기판(111)을 포함한다.

하부 차광층(116)은 투명 기판(111) 위에 제공되어 있고, 상기 하부 차광층(116)을 덮도록 투명 기판(111) 위에 제1 층간절연층(117)이 제공되어 있다.

다결정 실리콘층(131)은 제1 층간절연층(117) 위에 제공되어 있고, 상기 다결정 실리콘층(131)을 덮도록 제1 층간절연층(117) 위에 제2 층간절연층(게이트 절연층)(119)이 제공되어 있다.

게이트 라인(112)과 용량 전극(115)은 제2 층간절연층(119) 위에 제공되어 있다.

제2 층간절연층(119) 위에는 게이트 라인(112)과 용량 전극(115)을 덮도록 제3 층간절연층(121)이 제공되어 있다.

제1 콘택트홀(127)과 제2 콘택트홀(128)은 제2 층간절연층(119)과 제3 층간절연층(121)에 형성되어 있다.

제1 콘택트홀(127)을 신호 라인(113)의 재료와 동일한 도전성 재료로 충전하여, TFT(160)의 소스 전극(133)을 형성한다. 소스 전극(133)은 신호 라인(113)과 다결정 실리콘층(131)의 소스 영역을 전기적으로 접속한다.

신호 라인(113)은 소정 패턴의 제3 층간절연층(121) 위에 제공되어 있다.

제2 콘택트홀(128)을 접속 전극(126)의 재료와 동일한 도전성 재료로 충전하여, TFT(160)의 드레인 전극(134)을 형성한다. 드레인 전극(134)은 접속 전극(126)과 다결정 실리콘층(131)의 드레인 영역을 전기적으로 접속한다.

접속 전극(126)은 직사각형 모양의 제3 층간절연층(121) 위에 형성되어 있다.

제3 층간절연층(121) 위에는 신호 라인(113)과 접속 전극(126)을 덮도록 제1 평탄화층(125)이 제공되어 있다. 제1 평탄화층(125) 위에는 상부 차광층(118)(블랙 매트릭스)이 제공되어 있다. 상부 차광층(118)은 도전성 재료로 형성되어 있다.

제3 콘택트홀(129a)은 접속 전극(126)을 덮는 제1 평탄화층(125)에 형성되어 있다. 상부 차광층(118)은 제3 콘택트홀(129a)을 통해 접속 전극(126)에 전기적으 로 접속되어 있다.

제1 평탄화층(125) 위에는 상부 차광층(118)을 덮도록 제2 평탄화층(129)이 제공되어 있다.

제4 콘택트홀(132a)은 제3 콘택트홀(129a)의 주변의 제2 평탄화층(129)에 형성되어 있다.

복수의 화소 전극(114)은 제2 평탄화층(129) 위에 제공되어 있고, 각 화소 전극(114)은 제4 콘택트홀(132a)을 통해 상부 차광층(118)에 접속되어 있다.

제2 평탄화층(129) 위에는 복수의 화소 전극(114)을 덮도록 배향층(136)이 제공되어 있다.

액티브 매트릭스 기판(110)과 대향 기판(140)은 액티브 매트릭스 기판(110)의 배향층(136)과 대향 기판(140)의 배향층(143)이 소정의 간격을 두고 서로 대향하도록 배치된다. 액텅층(150)은 배향층(136)과 배향층(143) 사이에 제공된다. 이에 의해, 액정표시장치(1000)가 완성된다.

액정표시장치(1000)는 이하의 방법으로 제조된다.

우선, 석영 유리로 형성된 투명 기판(111) 위에, P(인)로 도프된 다결정 실리콘층과 WSi 층을 순차 형성하고 패터닝하여, 하부 차광층(116)을 형성한다.

다음, 하부 차광층(116)을 덮도록 예컨대 CVD에 의해 투명 기판(111)의 전체 표면 위에 SiO_2 층을 형성하여, 제1 층간절연층(117)을 형성한다.

제1 층간절연층(117)의 전체 표면 위에 예컨대 CVD에 의해 다결정 실리콘층 을 형성하고, 소정의 형상으로 패터닝하여, 다결정 실리콘층(131)을 형성한다.

다결정 실리콘층(131)을 덮도록 예컨대 CVD에 의해 제1 층간절연층(117)의 전체 표면 위에 다른 SiO_2 층을 형성하고, 소정의 형상으로 패터닝하여, 제2 층간절연층(게이트 절연층)(119)을 형성한다.

제2 층간절연층(119)을 덮도록 제1 층간절연층(117)의 전체 표면 위에 P로 도프된 다결정 실리콘층과 WSi 층을 순차 형성하고, 소정의 형상으로 패터닝하여, 게이트 라인(112)과 용량 전극(115)을 형성한다. 용량 전극(115)은 기억 용량 장치를 위한 것이다.

그 후, 상기 적층을 덮도록 예컨대 CVD에 의해 제2 층간절연층(119)의 전체 표면 위에 예컨대 SiO_2 층을 형성하여, 제3 층간절연층(121)을 형성한다.

제3 층간절연층(121)과 제2 층간절연층(119)의 소정의 부분을 에칭하여, 제1 콘택트홀(127)과 제2 콘택트홀(128)을 형성한다.

제2 층간절연층(119)과 제3 층간절연층(121)의 제1 콘택트홀(127)과 제2 콘택트홀(128)의 형성에 의해 제1 콘택트홀(127)과 제2 콘택트홀(128)로부터 다결정 실리콘층(131)의 부분을 노출시킨다.

상기 적층을 덮도록 제3 층간절연층(121) 위에 WSi 층 또는 Al 층과 WSi 층을 순차 형성하고, 소정의 형상으로 패터닝하여, TFT(160)의 소스 전극(133)과 드레인 전극(134), 접속 전극(126) 및 신호 라인(113)을 형성한다.

그 후, 상기 적층을 덮도록 예컨대 상압 CVD에 의해 제3 층간절연층(121)의 전체 표면 위에 SiO_2 층을 형성한다. SiO_2 층 위에는 예컨대 플라즈마 CVD에 의해 예컨대 SiN 층을 형성하고, 소정의 형상으로 패터닝한다.

상기 패터닝된 SiN 층을 덮도록 예컨대 재료 가스로서 TEOS (tetraethylorthosilicate)를 사용하는 플라즈마 CVD에 의해 SiO_2 층을 형성한다. 이 때, SiO_2 층의 두께는 예컨대 약 2500nm로 한다.

SiO_2 층을 CMP(화학적 기계 연마)에 의해 예컨대 약 2200nm의 두께로 연마하여, 평탄화시킨다. 평탄화 공정 이후의 레벨은 0.5㎛ 이하일 수 있으며, 조건에 따라서는 0.1㎛ 이하일 수도 있다.

평탄화된 SiO_2 층의 소정의 부분을 에칭하여, 제3 콘택트홀(129a)을 갖는 제1 평탄화층(125)을 형성한다.

그 후, 제4 콘택트홀(132a)을 덮도록 에컨대 증착법 또는 스퍼터링에 의해 제1 평탄화층(125) 위에 Ti 층을 형성하고, 소정의 형상으로 패터닝하여, 상부 차광층(118)을 형성한다. 상부 차광층(118)은 도전성이다.

그 후, 상부 차광층(118)을 덮도록 SOG(spin-on-glass)에 의해 중간층(도시 안됨) 위에 제2 평탄화층(129)을 형성한다. 제2 평탄화층(129)은 CMP에 의해 형성되어도 좋다. 중간층은 예컨대 재료 가스로서 TEOS를 사용하는 플라즈마 CVD에 의한 SiO_2 층으로 형성된다.

제2 평탄화층(129)의 소정의 부분을 에칭하여, 제4 콘택트홀(132a)을 형성한 다.

제4 콘택트홀(132a)을 덮도록 제2 평탄화층(129)의 전체 표면 위에 ITO 층을 예컨대 약 70nm 두께로 형성하고, 소정의 형상으로 패터닝하여, 화소 전극(114)을 형성한다.

이와 같이 하여, 액티브 매트릭스 기판(110)을 제조한다.

투명 기판(141)의 전체 표면 위에 투명 전극(142)을 형성하여 대향 기판 (140)을 형성한 후, 투명 전극(142)의 전체 표면 위에 배향층(143)을 형성한다.

액티브 매트릭스 기판(110)과 대향 기판(140)은 그 배향층(136,143)이 소정의 간격을 두고 서로 대향하도록 배치한다. 배향층(136,143) 사이에는 액정층(150)이 제공되어 있다. 이에 의해, 액정표시장치(1000)가 제조된다.

이러한 구조를 갖는 액정표시장치(1000)에서, 상부 차광층(118)은 광이 대향 기판(140)에 입사하여 통과한 후 액티브 매트릭스 기판(110)의 TFT(160)에 입사되는 것을 차광한다. 하부 차광층(116)은 광이 액티브 매트릭스 기판(110)의 투명 기판(111)의 저면에 입사하여 투명 기판(111)을 통과한 후 TFT(160)에 입사되는 것을 차광하고, 또한 광이 투명 기판(111)을 통과하여 광학계(도시 안됨)에 의해 반사된 후 TFT(160)에 입사되는 것을 차광한다.

상부 차광층(118)과 하부 차광층(116)이 광이 TFT(160)에 입사되는 것을 확실히 차광하기 위해, 상부 차광층(118)과 하부 차광층(116)을 TFT(160)보다 크게 형성한다.

그러나, 상부 차광층(118)과 하부 차광층(116)이 커지면, 광이 투과되는 액 정층(150)의 개구 영역의 에어리어가 작아져, 개구수가 감소된다.

상부 차광층(118)과 하부 차광층(116)의 사이즈를 충분한 개구수를 얻는데 적합하도록 설정하면, 액티브 매트릭스 기판(110)에 비스듬하게 입사되는 광, 투명 기판(111)의 저면에 입사되는 광, 광학계 등에 의해 반사되는 광 등을 확실하게 차광할 수 없다. 또한, 광이 TFT(160) 위의 상부 차광층(118)과 TFT(160) 아래의 하부 차광층(116) 사이에서 다중반사되어, TFT(160)에 광이 입사되게 되어 바람직하지 않게 된다.

발명이 이루고자 하는 기술적 과제

본 발명의 일 양태에 의하면, 액정표시장치는, 액티브 매트릭스 기판; 대향 기판; 및 상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 협지된 액정층을 포함한다. 상기 액티브 매트릭스 기판은, 기판; 상기 기판에 제공되는 박막 트랜지스터; 및 상기 박막 트랜지스터의 측면의 적어도 일부를 덮는 측부 차광층을 포함한다.

본 발명의 일 실시예에 있어서, 상기 액티브 매트릭스 기판은 반도체층을 더 포함한다. 상기 박막 트랜지스터는 반도체층의 일부를 포함한다.

본 발명의 일 실시예에 있어서, 상기 박막 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극을 포함한다. 상기 액티브 매트릭스 기판은 화소 전극, 상기 박막 트랜지스터의 게이트 전극으로서 기능하는 게이트 라인, 및 상기 박막 트랜지스터의 소스 전극에 접속된 신호 라인을 더 포함한다.

본 발명의 일 실시예에 있어서, 상기 액티브 매트릭스 기판은 상기 기판에 제공되고 기판에 거의 수직인 측벽을 갖는 단차부를 갖는 절연층을 더 포함하고, 상기 반도체층은 절연층의 단차부에 제공되고, 상기 측부 차광층은 절연층의 단차부의 측벽을 따라 제공된다.

본 발명의 일 실시예에 있어서, 상기 액티브 매트릭스 기판은 박막 트랜지스터 아래에 제공되는 하부 차광층을 더 포함한다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층은 상기 하부 차광층과 접촉되어 있다.

본 발명의 일 실시예에 있어서, 상기 액티브 매트릭스 기판은 상기 박막 트랜지스터에 제공되는 상부 차광층을 더 포함한다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층은 상기 게이트 라인의 측면을 덮도록 제공된다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층은 상기 신호 라인의 측면을 덮도록 제공된다.

본 발명의 일 실시예에 있어서, 상기 액티브 매트릭스 기판은 부가 용량 전극을 더 포함한다.

본 발명의 일 실시예에 있어서, 상기 부가 용량 전극은 하부 차광층 아래에 제공된다.

본 발명의 일 실시예에 있어서, 상기 부가 용량 전극은 하부 차광층과 박막 트랜지스터 사이에 제공된다.

본 발명의 일 실시예에 있어서, 상기 부가 용량 전극은 상기 박막 트랜지스 터에 접속되어 있다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층은 부가 용량 전극과 접촉되어 있다.

본 발명의 일 실시예에 있어서, 상기 박막 트랜지스터는 LDD 구조를 갖는다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층은 다결정 실리콘으로 형성된다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층은 금속 또는 금속 실리사이드로 형성된다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층은 금속 또는 금속 실리사이드와 다결정 실리콘을 포함하는 2층 구조를 갖는다.

본 발명의 다른 양태에 의하면, 액티브 매트릭스 기판, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 협지된 액정층을 포함하는 액정표시장치의 제조 방법이 제공된다. 상기 방법은 액티브 매트릭스 기판의 기판 위에 박막 트랜지스터를 형성하는 공정; 및 상기 박막 트랜지스터의 측면의 적어도 일부를 덮는 측부 차광층을 형성하는 공정을 포함한다.

본 발명의 일 실시예에 있어서, 상기 박막 트랜지스터를 형성하는 공정은 상기 박막 트랜지스터의 부분으로서 사용되는 반도체층을 형성하는 공정을 포함한다.

본 발명의 일 실시예에 있어서, 상기 방법은 상기 기판에 제1 절연층을 형성하는 공정을 더 포함하며, 상기 제1 절연층은 상기 기판에 거의 수직인 측벽을 갖는 단차부를 갖는다. 상기 반도체층을 형성하는 공정은 상기 제1 절연층의 단차부 위에 반도체층을 형성하는 공정을 포함한다. 상기 측부 차광층을 형성하는 공정은 상기 제1 절연층의 단차부의 측벽을 따라 측부 차광층을 형성하는 공정을 포함한다.

본 발명의 일 실시예에 있어서, 상기 측부 차광층을 형성하는 공정은 제1 절연층의 단차부를 덮도록 상기 측부 차광층의 재료층을 형성하는 공정, 및 드라이 에칭에 의해 상기 층을 부분적으로 제거하는 공정을 포함한다.

본 발명의 일 실시예에 있어서, 상기 방법은 상기 반도체층에 제2 절연층을 형성하는 공정, 및 상기 제1 절연층의 단차부를 형성하기 전에 상기 제2 절연층의 표면을 평탄화시키는 공정을 더 포함한다.

본 발명의 일 실시예에 있어서, 상기 제2 절연층의 표면을 평탄화시키는 공정은 화학적 기계 연마에 의해 상기 제2 절연층을 평탄화시키는 공정을 포함한다.

따라서, 이하에 설명하는 본 발명은, 개구수를 증가시키지 않고, 예컨대 광이 액티브 매트릭스 기판에 비스듬하게 입사되는 것을 차광하고, 광이 액티브 매트릭스 기판의 저면에 입사되어 광학계에 의해 반사되는 것을 차광하고, 광이 TFT 위의 상부 차광층과 TFT 아래의 하부 차광층 사이에서 다중 반사된 후에 TFT에 입사되는 것(즉, 측면으로부터 TFT에 입사되는 것)을 차광하는 액정표시장치 및 그의 제조 방법을 제공하는 이점을 가능케 한다.

본 발명의 이들 및 다른 장점들은 첨부 도면들을 참조하여 상세하게 후술되는 설명을 이해한다면 당업자들에게 분명해질 것이다.

발명의 구성 및 작용

이하, 첨부 도면을 참조하여 실시예를 통해 본 발명을 설명한다.

본 명세서에서, 다른 층에 형성된 층을 설명할 때, '위'라는 용어는 층들이 서로 접촉되어 있음을 의미하는 것은 아니다.

본 명세서에서는, 편의상, 하나의 TFT에 대응하는 액정표시장치의 에어리어에 대하여 설명한다.

(실시예 1)

도1a 및 도1b는 각각 하나의 게이트 라인(12)과 하나의 신호 라인(13)이 서로 교차하는, 본 발명의 제1 실시예에 따른, 액정표시장치(100)의 액티브 매트릭스 기판(10)의 부분의 개략적인 평면도이다.

도1a 및 도1b는 각각 하나의 게이트 라인(12)과 하나의 신호 라인(13)만을 도시하고 있지만, 상기 액티브 매트릭스 기판(10)은 서로 직교하는 복수의 게이트 라인(12)과 복수의 신호 라인(13)을 포함한다.

복수의 게이트 라인(12)은 액티브 매트릭스 기판(10)의 투명 기판(11)(도2) 위에 서로 평행하게 제공되어 있다. 복수의 신호 라인(13)은 투명 기판(11) 위에 서로 평행하게 제공되어 있다. 게이트 라인(12)과 신호 라인(13)은 서로 교차한다.

도1a 및 도1b는 액정층의 위치가 이하에 설명하는 바와 같이 되어 있는 상기 동일한 액정표시장치(100)를 도시한다.

도1a에서, TFT(60) 위에 제공된 상부 차광층(18)은 그 부분이 분명히 보이도록 해칭(hatching)되어 있다. 상부 차광층(18)은 광이 액티브 매트릭스 기판(10) 위로부터 TFT(60)에 입사되는 것을 방지하는 기능을 한다.

도1b에서, TFT(60) 아래에 제공된 하부 차광층(16)은 그 부분이 분명히 보이도록 점으로 찍혀 있다. 하부 차광층(16)은 광이 액티브 매트릭스 기판(10) 아래로부터 TFT(60)에 입사되는 것을 방지하는 기능을 한다.

도1a에 도시된 바와 같이, 상부 차광층(18)은 제1 콘택트홀(27), 게이트 라인(12), 신호 라인(13), 다결정 실리콘(Si)층(31)의 부분, 용량 전극(15)의 부분 및 TFT(60)의 부분을 덮도록 제공되어 있다.

도1b에 도시된 바와 같이, 하부 차광층(16)은 게이트 라인(12)의 부분, 신호 라인(13), 제1 콘택트홀(27), 제2 콘택트홀(28), 제3 콘택트홀(29a), 제4 콘택트홀 (32a), 다결정 실리콘(Si) 층(31), 및 TFT(60)를 덮도록 제공되어 있다.

상기와 같이, 액티브 매트릭스 기판(10)은 복수의 게이트 라인(12)과 복수의 신호 라인(13)을 포함하고 있다.

2개의 게이트 라인(12)과 2개의 신호 라인(13)에 의해 둘러싸인 에어리어에는, 화소 전극(14)이 제공되어 있다.

용량 전극(15)은 게이트 라인(12)의 주변에 게이트 라인(12)에 평행하도록 제공되어 있다. 용량 전극(15)은 상기 용량 전극(15)의 폭이 게이트 라인(12)의 폭보다 크도록 형성되어 있다.

TFT(60)의 부분으로서 사용되는 n형의 다결정 실리콘층(31)은 게이트 라인(12)과 교차하는 신호 라인(13)의 부분의 아래에 제공되어 있다. 다결정 실리콘층(31)은 반도체층의 형태이다. 상기 다결정 실리콘층(31)은 LDD(저농도로 도프된 드레인) 구조를 갖고 있다. 다결정 실리콘층(31)의 폭은 신호 라인(13)의 폭보 다 작다. 다결정 실리콘층(31)은 채널 영역(31a), 채널 영역(31a)과 제1 콘택트홀(27) 사이에 제공된 저농도로 도프된 드레인(LDD) 영역(N $^-$)(31d), 및 채널 영역(31a)과 제2 콘택트홀(28) 사이에 제공된 저농도로 도프된 드레인(LDD) 영역(N $^-$)(31e)을 포함한다.

다결정 실리콘층(31)은 게이트 라인(12)과 교차하도록 신호 라인(13)을 따라 연장되어 있다. 다결정 실리콘층(31)은 용량 전극(15) 아래에 있도록 연장된 브랜치부를 갖는다. 용량 전극(15) 아래의 브랜치부는 용량 전극(15)의 폭보다 작은 폭을 갖는다.

하부 차광층(16)은 다결정 실리콘층(31) 아래에 제공되어 있다. 하부 차광층(16)의 폭은 다결정 실리콘층(31)의 폭보다 크다. 하부 차광층(16)은 다결정 실리콘층(31)을 아래로부터 덮고, 용량 전극(15)과 그 주변의 게이트 라인(12) 사이의 간극을 덮도록 제공되어 있다.

제1 콘택트홀(27)에는, TFT(60)의 소스 전극(33)이 제공되어 있다.

제2 콘택트홀(28)에는, TFT(60)의 드레인 전극(34)이 제공되어 있다.

TFT(60)를 교차하는 게이트 라인(12)의 부분은 TFT(60)의 게이트 전극으로서 기능한다.

도1a 및 도1b에는, 측부 차광층(23)을 굵은 점선(dashed line)에 의해 나타내고 있다. 도1a 및 도1b에 도시된 바와 같이, 측부 차광층(23)은 게이트 라인(12)과 신호 라인(13)을 따라 제공된다.

도2는 도1a 및 도1b의 A-A선을 따른 액정표시장치(100)의 개략적인 단면도이고, 도3은 도1a 및 도1b의 B-B선을 따른 액정표시장치의 개략적인 단면도이다.

도2 및 도3에 도시된 바와 같이, 액정표시장치(100)는 액티브 매트릭스 기판(10)과 대향 기판(40), 및 상기 액티브 매트릭스 기판(10)과 대향 기판(40) 사이에 협지된 액정층(50)을 포함한다.

대향 기판(40)은 석영 유리로 형성된 투명 기판(41), 상기 투명 기판(41) 위에 제공된 투명 전극(42), 및 상기 투명 전극(42) 위에 제공된 배향층(43)을 포함한다. 투명 기판(41)은 대향 기판(40)의 베이스 플레이트로 기능한다.

액티브 매트릭스 기판(10)은 석영 유리로 형성된 투명 기판(11)을 포함한다. 투명 기판(11)은 액티브 매트릭스 기판(10)의 베이스 플레이트로 기능한다.

하부 차광층(16)은 투명 기판(11) 위에 제공되어 있고, 투명 기판(11) 위에는 상기 하부 차광층(16)을 덮도록 제1 층간절연층(17)이 제공되어 있다.

제1 층간절연층(17)은 그 나머지 부분보다 두께가 두꺼운 단차부를 포함한다. 상기 단차부는 즉 하부 차광층(16)의 2개의 에지 부분을 제외한, 하부 차광층(16)의 중앙부 위이다. 단차부는 투명 기판(11)에 거의 수직한 벽을 갖고 있다. 단차부는 신호 라인(13)을 따라 연장되어 있다.

다결정 실리콘층(31)은 제1 층간절연층(17)의 단차부 위에 제공되어 있다. 구체적으로, 다결정 실리콘층(31)은 신호 라인(13)의 폭 방향의 제1 층간절연층(17)의 단차부의 중앙부에 제공되어 있다. 제1 층간절연층(17)의 단차부에는 다결정 실리콘층(31)을 덮도록 제2 층간절연층(게이트 절연층)(19)이 제공되 어 있다.

게이트 라인(12)과 용량 전극(15)은 제2 층간절연층(19) 위에 제공되어 있다.

제2 층간절연층(19) 위에는 게이트 라인(12)과 용량 전극(15)을 덮도록 제3 층간절연층(21)이 제공되어 있다.

상기 게이트 라인(12) 아래의 다결정 실리콘층(31)의 부분은 LDD 구조를 갖는 TFT(60)의 채널 영역(31a)이다.

다결정 실리콘층(31)은 TFT(60)의 채널로서 기능하는 채널 영역(31a), TFT(60)의 소스 영역(32b), TFT(60)의 드레인 영역(31c), 채널 영역(31a)과 소스 영역(31b) 사이의 저농도로 도프된 드레인(LDD) 영역(N^-)(31d), 및 채널 영역(31a)과 드레인 영역(31c) 사이의 저농도로 도프된 드레인(LDD) 영역(N^-)(31e)을 포함한다.

제3 층간절연층(21)은 평탄한 상면을 갖는다. 제2 층간절연층(19)의 측면과 제3 층간절연층(21)의 측면은 제1 층간절연층(17)의 단차부의 측면과 배향되고, 연속적이다. 이들 측면은 상기 투명 기판(11)에 거의 수직이다.

제1 층간절연층(17), 제2 층간절연층(19) 및 제3 층간절연층(21)의 측면은 측부 차광층(23)으로 덮여 있다.

측부 차광층(23)은 소정의 형상으로 패터닝되어, (도1a 및 도1b에 굵은 점괘선으로 나타낸 바와 같이) 다결정 실리콘층(31)의 측면 에지와 게이트 라인(12)의 측면 에지와 나란하다. 따라서, TFT(60)의 측면을 덮도록 측부 차광층(23)이 제공되어 있다.

측부 차광층(23)의 상면은 층간절연층(21)의 상면과 동일 레벨이고, 연속적이며, 거의 평탄하다.

단차부를 제외한 제1 층간절연층(17)위에는 더미 절연층(24)이 제공되어 있다. 더미 절연층(24)은 측부 차광층(23)으로부터 적절한 거리에 제공되어 있다.

더미 절연층(24)의 상면은 측부 차광층(23) 및 제3 층간절연층(21)의 상면과 거의 동일한 레벨이고, 거의 평탄하다.

더미 절연층(24), 제3 층간절연층(21) 및 측부 차광층(23)을 덮도록 제4 층간절연층(25)이 제공되어 있다.

제4 층간절연층(25)은 더미 절연층(24)과 측부 차광층(23) 사이에도 제공되어 있다. 제4 층간절연층(25)의 상면은 완전히 평탄하다.

제1 콘택트홀(27)과 제2 콘택트홀(28)은 제2 층간절연층(19), 제3 층간절연층(21) 및 제4 층간절연층(25)에 형성되어 있다.

제1 콘택트홀(27)은 TFT(60)의 소스 전극(33)을 형성하도록 신호 라인(13)의 재료와 동일한 도전성 재료로 충전된다. 소스 전극(33)은 다결정 실리콘층(31)의 소스 영역(31b)과 신호 라인(13)을 전기적으로 접속한다.

신호 라인(13)은 소정의 패턴의 제4 층간절연층(25) 위에 제공된다.

제2 콘택트홀(28)은 TFT(60)의 드레인 전극(34)을 형성하도록 접속 전극(26)의 재료와 동일한 도전성 재료로 충전된다. 드레인 전극(34)은 다결정 실리콘층(31)의 드레인 영역(31c)과 접속 전극(26)을 전기적으로 접속한다.

접속 전극(26)은 직사각형의 패턴의 제4 층간절연층(25) 위에 형성된다.

제5 층간절연층(29)은 상기 신호 라인(13) 및 상기 접속전극(26)을 덮기 위해 제4 층간절연층(25)에 제공된다. 제3 콘택트홀(29a)은 접속전극(29)을 노출하기 위해 상기 제5 층간절연층(29)에 제공된다. 상기 제5 층간절연층(29)의 상면은 완전히 평탄하다.

소정의 형상으로 패터닝된 상기 상부차광층(18)은 제5 층간절연층(29)에 제공된다. 상기 상부차광층(18)은 전도 물질로 형성된다.

상기 상부차광층(18)은 제3 콘택트홀(29a)을 거쳐 상기 접속전극(26)에 전기적으로 접속된다.

제6층간절연층(32)은 상기 상부차광층(18)을 덮기 위해 상기 제5 층간절연층(29)에 제공된다.

제4 콘택트홀(32a)은 제3 콘택트홀(29a)의 주변으로 상기 제6 층간절연층(32)에 제공된다.

상기 화소전극(14)은 소정의 패턴으로 상기 제6 층간절연막(32)에 제공된다. 상기 화소전극(14)의 각각은 제4 콘택트홀(32a)을 통해 상기 상부차광층(18)에 접속된다.

상기 화소전극(14)은 2개의 인접한 신호 라인(13) 및 2개의 게이트 라인(12) 사이에 제공된다. 상기 화소전극(14)은 게이트 라인(12) 및 대응하는 용량 전극(15) 사이의 2개의 인접한 화소전극(14) 사이의 간격과 같이 상기 게이트전극(12) 및 상기 용량 전극(15)으로 오버랩 된다.

배향층(36)은 복수의 화소전극(14)을 덮기 위해 제6 층간절연층(32)에 제공된다.

상기 액티브 매트릭스 기판(10) 및 상기 대향 기판(40)은 상기 액티브 매트릭스 기판(10)의 배향층(36) 및 상기 대향 기판(40)의 상기 배향층(43) 사이의 소정의 거리를 두고 서로 대향하고 있는 것과 같이 위치한다. 액정층(50)은 상기 배향층(36)과 상기 배향층(43) 사이에 제공된다. 따라서, 상기 액정표시장치(100)는 완비된다.

도4는 상기 액티브 매트릭스 기판(10)에 제공된 상기 TFT(60)의 개략적인 구조를 도시한다. 제1 층간절연층(17)에 제공된 상기 다결정 실리콘층(31)은 상기 제2 층간절연층(19)으로 커버된다.

상기 게이트 라인(12)은 실질적으로 상기 다결정 실리콘층(31)의 중심부인 제2 층간절연층(19)의 일부로 제공된다. 상기 게이트 라인(12)에 대응하는 상기 다결정 실리콘층(31)의 영역에서, 상기 채널영역(31a)이 제공된다.

제1 층간절연층(17)에서, 상기 제3 층간절연층(21) 및 상기 제4 층간절연층(25)은 상기 게이트 라인(12) 및 상기 제2 층간절연층(19)을 덮기 위해 연속적으로 제공된다. 다결정 실리콘막(31)의 중심에서 떨어진 상기 다결정 실리콘층(31)의 2개의 부분은 각각 상기 소스영역(31b) 및 상기 드레인영역(31c)으로서 각각 동작한다.

상기 제1 콘택트홀(27) 및 상기 제2 콘택트홀(28)은 제3 층간절연층(21) 및 상기 제4 층간절연층(25)에 형성된다. 제1 콘택트홀(27)은 상기 소스영역(31b)에 대응하는 영역 위치에 형성된다. 상기 제2 콘택트홀(28)은 상기 드레인영역(31c)에 대응하는 위치에 형성된다. 상기 소스전극(33)은 제1 콘택트홀(27)에 제공되며, 상기 드레인전극(34)은 상기 제2 콘택트홀(28)에 제공된다.

상기 다결정 실리콘층(31)을 감안하여, 상기 LDD 영역(N^-,31d)은 상기 채널영역(31a) 및 상기 소스영역(31b)에 위치하며, 상기 LDD 영역(N^-,31e)은 상기 채널영역(31a) 및 상기 드레인영역(31c) 사이에 위치한다.

상기 TFT(60)은 다결정 실리콘층(31)(상기 채널영역 31a, 상기 소스영역 31b, 상기 드레인영역 31c, 상기 LDD 영역 31d 및 31e), 게이트 라인(12)의 일부, 상기 제2 층간절연층(19), 상기 소스전극(33) 및 상기 드레인 전극(34)을 포함한다.

도5a 내지 도5k는 도1 내지 도3에 도시된 상기 액정표시장치(100)의 액티브 매트릭스 기판(10)의 제조공정을 예시하는 개략적인 단면도이다. 도5a 내지 도5k의 단면도는 도3의 단면도에 대응한다.

첫째로, 석영유리로 형성된 상기 투명기판(11)에, 인(P)으로 도핑된 다결정 실리콘층은 50nm의 두께로 형성되며, 그 때에 WSi층은 100nm의 두께로 형성된다. 상기 다결정 실리콘층 및 상기 WSi층은 패터닝되며, 도5a에 도시된 바와 같이 그에 의해 상기 하부차광층(16)을 형성한다.

다음으로, SiO_2 층은 상기 투명기판의 전면(全面)에 CVD에 의해, 예컨대, 상 기 하부차광층(16)을 덮기 위해 400nm의 두께로 형성되며, 도5a에 도시된 바와 같이 그에 의해 상기 제1 층간절연층(17)을 형성한다.

다결정 실리콘층은 상기 제1 층간절연층(17)의 전면에 CVD에 의해, 예컨대, 상기 제1 층간절연층(17)을 덮기 위해 50nm의 두께 및 소정의 패턴으로 형성되며, 그에 의해 상기 하부차광층(16) 위에 상기 다결정 실리콘층(31)을 형성한다. 상기 다결정 실리콘층(31)은 TFT(60)의 일부로 사용된다. 상기 다결정 실리콘층(31)은 상기 하부차광층(16)으로 커버되어 있는 저면과 같이 형성된다.

SiO_2 로 형성된 상기 제2 층간절연층(게이트절연층)(19)은 상기 다결정 실리콘층(31)을 덮기 위해, 예컨대 80nm의 두께로 상기 제1 층간절연층(17)의 상기 전면상에 CVD에 의해 형성된다(도5a).

P 및 WSi로 도프된 다결정 실리콘층은, 예컨대 150nm의 두께로 각각 상기 제2 층간절연층(19)의 상기 전면상에 연속적으로 형성되고 패터닝되며, 그로 인해 상기 게이트라인(12) 및 상기 용량전극(15)을 형성한다(도5a). 상기 용량전극(15)은 저장용량장치를 위한 것이다.

도5b에 도시된 바와 같이, 마스크로서 상기 게이트 라인(12) 및 상기 용량 전극(15)을 사용하여 상기 다결정 실리콘층(상기 TFT(60)의 일부로서 동작)(31)으로 이온 주입함으로써 불순물이 주입되어진다. 예컨대, P는 약 $1\times10^{13}cm^{-2}$ 의 분량으로 주입된다.

마스크로서 상기 레지스트층(도시하지 않음)을 사용하여 상기 다결정 실리콘 층(31)의 영역으로 이온 주입함으로써 불순물이 주입되어 지며, 그로 인해 상기 소스영역(31b) 및 상기 드레인영역(31c)을 형성한다. 예컨대, P는 약 3×10 15cm-2의 분량으로 주입된다. 따라서, 상기 소스영역(31b) 및 상기 드레인영역(31c)에 부가하여, 상기 LDD 영역(31d)은 상기 채널영역(31a) 및 상기 소스영역(31b) 사이에 형성되며, 상기 LDD 영역(31e)은 채널영역(31a) 및 상기 드레인영역(31c)에 형성된다.

도5c에 도시된 바와 같이, SiO_2 층은 상기 게이트 라인(12) 및 상기 용량 전극(15)(양쪽 모두 제2 층간절연층(19)으로부터 약 500nm의 높이를 가짐)을 덮기 위하여 상기 제2 층간절연층(19) 전면에 재료 가스로서 TEOS(tetraethylorthosilicate)를 사용한 플라즈마 CVD에 의해 형성된다. 상기 SiO_2 층은, 예컨대, 상기 게이트 라인(12) 및 상기 용량 전극(15)의 두께 중 가장 큰 두께인 약 600nm의 두께로 형성된다.

도5d에 도시된 바와 같이, 상기 SiO_2 층은 CMP(Chemical Mechanics Polishing)에 의해 상기 게이트 라인(12)의 상기 SiO_2 층의 두께가, 예컨대, 200nm까지 연마되고, 평탄해지며, 그로 인해 상기 제3 층간절연층을 형성한다.

예컨대, 상기 CMP는 150sccm의 폴리싱 용액유동률, 8psi의 폴리싱헤드압력, 32rpm의 캐리어 회전률 및 28rpm의 압반(platen) 회전률로 폴리싱 천(cloth, 예컨대, 'IC-1400-050A2'(상품명)), CMP 폴리싱 천(예컨대, 'supreme RN-H24PJ'(상품 명)) 및 카봇 코포레이션(Cabot Corporation)에서 'Semi-Sperse 25 '에서 2배로 희석한 슬러리(slurry, 예컨대, 'Semi-Sperse 12 '(상품명)) 을 사용하여 수행된다.

도5e에 도시된 바와 같이, 상기 하부차광층(16)의 가장자리 위 및 상기 하부차광층(16)의 외부에 있는, 상기 제3 층간절연층(21)의 부분들, 제2 층간절연층(19)의 부분들 및 제1 층간절연층(17)의 부분들은 일반적인 포토리토그라피 및 이방성 드라이 에칭에 의해 제거된다. 따라서, 상기 투명기판(11)에 실질적으로 수직인 벽(wall)을 갖는 단차부가 형성된다. 벽의 높이는 약 800nm이다.

도5f에서 도시된 바와 같이, P층과 WSi층으로 도핑된 다결정 실리콘층은 실질적으로 상기 적층구조에 약 100nm의 두께로 각각 형성되며, 그로 인해 적층구조(23a)을 형성한다. 도5g에서 도시된 바와 같이, 상기 적층구조(23a)은 이방성 드라이 에칭으로 에칭되며, 그로 인해 상기 측부차광층(23)으로서 상기 단차부의 상기 벽에만 상기 적층구조(23a)을 남긴다.

도5h에서 도시된 바와 같이, SiO_2 층은 상기 적층구조에 재료 가스로서 TEOS를 사용하여 플라즈마 CVD에 의해 형성된다. 상기 SiO_2 층은 상기 측부차광층(23)의 높이와 거의 같은 약 800nm의 균일한 두께로 형성된다. 이때, 상기 SiO_2 층은 패턴되어 지고, 그로 인해 상기 더미절연층(24)(도5i)을 형성한다. 상기 하부차광층(16)의 가장자리 위에, 홈(24a)은 더미절연층(24) 및 상기 대응하는 측부차광층(23) 사이에 형성되며, 그로 인해 상기 제1 층간절연층(17)을 노출한다.

도5j에 도시된 바와 같이, SiO_2 층은 상기 적층구조에, 예컨대, 약 1.5㎛의 두께로 재료 가스로서 TEOS를 사용한 플라즈마 CVD에 의해 형성된다. 상기 SiO_2 층은 상기 더미절연층(24) 및 상기 측부차광층(23) 사이에 상기 홈(24a)을 매립하기 위해 제공된다. 상기 SiO_2 층은 평탄해지며, 그로 인해 상기 제4 층간절연층(25)을 형성한다.

상기 제3 층간절연층(21) 및 상기 제2 층간절연층(19)의 소정의 부분은 에칭되고, 그로 인해 양쪽 모두가 상기 다결정 실리콘층(31)에 이르는 제1 콘택트홀(27) 및 제2 콘택트홀(28)을 형성한다.

이때, 150nm의 두께를 가진 TiW층, 400nm의 두께를 가진 Al층 및 100nm의 두께를 가진 TiW은 연속적으로 적층구조를 형성한다. 이들 층은 또한 제1 콘택트홀(27) 및 제2 콘택트홀(28)을 매립하기 위해서 제공되며, 그로 인해 상기 제1 콘택트홀(27)에 상기 TFT(60)의 상기 소스전극(33)형성하고, 상기 제2 콘택트홀(28)에 상기 TFT(60)의 상기 드레인전극(34)을 형성한다. 상기 제4 층간절연층(25)에 형성된 상기 TiW층, 상기 Al층 및 상기 TiW층은 소정의 형상으로 패터닝되고, 그로 인해 제4 층간절연층(25)상에 상기 드레인전극(34)에 접속되는 접속전극(26) 및 상기 소스라인(33)에 접속되는 상기 신호 라인(13)을 형성한다.

상기 제5 층간절연층(29)은 상기 적층구조상에 재료 가스로서 TEOS를 사용한 플라즈마 CVD에 의해 형성된다. 상기 제5 층간절연층(29)은 상기 신호 라인(13)상에 상기 제5 층간절연층(29)의 두께가, 예컨대, 약 800nm인 것처럼 형성된다. 상기 제5 층간절연층(29)은 상기 신호 라인(13)상의 상기 제5 층간절연층(29)의 두께가, 예컨대, 500nm가 될 때까지 CMP에 의해 연마되며, 따라서 평탄해진다.

상기 제5 층간절연층(29)의 소정의 부분은 에칭되고, 그로 인해 상기 접속전극(26)에 이르는 제3 콘택트홀(29a)을 형성한다.

이때, 약 125nm의 두께를 가진 TiW층은 상기 제5 층간절연층(29)상에 존재하기 위하며 상기 제3 콘택트홀(29a)을

매립하기 위해, 예컨대, 상기 적층구조에 증착법 또는 스퍼터링에 의해 형성된다. 상기 TiW층은 이때 패터닝되고, 그로 인해 상기 제3 콘택트홀(29a)을 통해 상기 접속전극(26)에 접속된 상기 상부차광층(18)을 형성한다. 상기 상부차광층(18)은 전도성이 있다.

예컨대, 500nm의 두께를 갖는 상기 제6 층간절연층(32)은 상기 적층구조상에 재료 가스로서 TEOS를 사용하는 플라즈마 CVD에 의해 형성된다. 상기 제6 층간절연층(32)은, 예컨대, 200nm의 두께로 CMP에 의해 연마되며, 평탄해진다.

상기 제6 층간절연층(32)의 소정의 부분은 에칭되고, 그로 인해 상기 상부차광층(18)에 이르는 상기 제4 콘택트홀(32a)을 형성한다.

예컨대, 100nm의 두께를 갖는 ITO층은 상기 적층구조의 전면에 형성되고, 소정의 형상으로 패터닝되며, 그로 인해 매트릭스 형태로 배열된 복수의 화소전극(14)을 형성한다.

도2 및 도3에서 도시된 바와 같이, 배향층(36)은 모든 상기 화소전극(14)을 덮도록 상기 제6 층간절연층(32)상에 형성된다.

같은 방법으로, 상기 액티브 매트릭스 기판(10)이 제조된다.

상기 대향기판(40)은 상기 투명 기판(41)의 전면상에 상기 투명전극(42)을 형성함으로써 형성되며, 이때 상기 투명전극(42)의 전면상에 상기 배향층(43)을 형성한다.

상기 액티브 매트릭스 기판(10) 및 상기 대향기판(40)은 배향층(36 및 43)이 서로 그들 사이에 소정의 거리를 두고 대향하고 있는 것과 같이 배치된다. 상기 액정층(50)은 상기 배향층(36 및 43) 사이에 제공된다. 따라서, 상기 액정표시장치(100)가 제조된다.

이러한 구조를 갖는 상기 액정표시장치(100) 내에, 상기 측부차광층(23)은 상기 TFT(60)의 양측부상에 실질적으로 상기 투명 기판(11)에 수직하게 제공된다. 좀 더 자세히, 상기 측부차광층(23)은 상기 TFT(60)의 일부로서 사용되는 상기 다결정 실리콘층(31)의 양측부상에 제공된다. 예컨대, 상기 액티브 매트릭스 기판(10) 아래로부터 상기 투명 기판(11)을 통해 상기 액티브 매트릭스 기판 상에 사선으로 입사하는 광(도2에 점선으로 지시됨)에 따라서, 상기 측부차광층(23)에 의해 차광된 상기 광학시스템에 의해 반사되어진 광(도시 안됨)은 그러므로 상기 다결정 실리콘층(31)으로 입사되지 않는다. 이러한 구조 때문에, 상기 다결정 실리콘층상(31)에 입사된 광에 의해 원인이 되는 상기 채널영역(31a) 내에 누출전류의 발생은 확실히 예방된다.

상기 측부차광층(23)은 또한 상기 상부차광층(18)이나 상기 하부차광층(16)의 상기 에지를 통해 상기 다결정 실리콘층(31)상에 입사되는 광을 막는다. 상기 측부차광층(23)은 더욱이 상기 TFT(60) 위의 상기 상부차광층(18) 및 상기 TFT(60) 아래의 상기 하부차광층(16) 사이에서 다중-반사된 후에 상기 다결정 실리콘층(31)상에 입사되는 광을 막는다. 이러한 구조 때문에, 상기 TFT(60)의 누출전류의 발생은 확실히 예방된다.

상기 하부차광층(16), 상기 상부차광층(18) 및 상기 측부차광층(23)은 다결정 실리콘층으로 형성되어질 수 있다. 다결정 실리콘은 프로세스하기 쉽고, 일반적으로 반도체장치 및 고온과 저온 다결정 실리콘 액정장치에 사용된다. 상기 하부차광층(16), 상기 상부차광층(23) 및 상기 측부차광층(23)은 메탈, 메탈실리사이드 또는 메탈이나 메탈실리사이드 및 다결정 실리콘의 2요소 구조로 각각 형성되어질 수 있다. 이 경우, 상기 하부차광층(16), 상기 상부차광층(18) 및 상기 측부차광층(23)의 차광성질은 향상될 수 있다. 사용 가능한 메탈은 W, Mo, Pt, Pd, Ti, Cr 및 그 합성물을 포함한다.

상기 하부차광층(16), 상기 상부차광층(18) 및 상기 측부차광층(23)의 400nm에서 500nm의 파장을 가진 광에 대한 투과성은 상기 TFT(60)에 광누출전류의 발생을 줄이기 위하여 바람직하게는 50% 또는 그 이하이고, 더 바람직하게는 10% 또는 그 이하이다.

상기 하부차광층(16), 상기 상부차광층(18) 및 상기 측부차광층(23)의 각 두께는 바람직하게는 10에서 1000nm이며, 더 바람직하게는 100에서 400nm이다.

상기 하부차광층(16), 상기 상부차광층(18) 및 상기 측부차광층(23)은 물질, 투과성 및 두께에서 같거나 다를 수 있다.

상술한 바와 같이, 상기 측부차광층(23)은, (i) 단차부를 형성하는 상기 제3 층간절연층(21)과 상기 제2 층간절연층(19) 및 상기 제1 층간절연층(17)을 부분적으로 제거하고, (ii) 다음으로, 상기 측부차광층(23)으로 형성되는 층을 형성

하고, 이때 (iii) 드라이 에칭에 의해 상기 층을 프로세스함으로써 형성되며, 그로 인해 상기 단차된 벽상에 상기 층을 남긴다.

상기 단차부가 형성되기 전에, 다음의 이유로 상기 제3 층간절연층(21)의 면을 평탄화하는 것이 바람직하다. 상기 측부차광층(23)이 형성된 영역 이외의 영역에 단차부가 존재하여, 상기 단차부를 따라 상기 측부차광층이 형성된다. 특히, 상기 제3 층간절연층(21)은 바람직하게는 CMP에 의해 평탄화 된다.

상기 측부차광층(23)은 상기 제1 층간절연층(17)이 사이에 삽입되어진 상기 하부차광층(16)의 상기 측부 에지 상의 상기 투명기판(11)에 실질적으로 수직인 상태로 제공된다. 그러므로, 측부차광층(23)은 전기적으로 플로팅 상태에 있다. 본 발명은 이러한 구조에 제한되지 않는다.

도6은 본 발명의 실시예 1의 변형으로서 액정표시장치(100A) 개략적 단면도이다. 도6은 도2에 대응한다. 도7은 도6에 도시된 상기 액정표시장치(100A)의 개략적인 단면도이다. 도7은 도3에 대응한다.

도6 및 도7에 도시된 바와 같이, 상기 액정표시장치 내에, 측부차광층(23A)은 상기 하부차광층(16)의 측부 에지에 접촉하며, 상기 투명 기판(11)에 실질적으로 수직이다. 적어도 하나의 측부차광층(23A)은 상기 하부차광층(16)의 상기 측부 에지에 접촉하기 때문에, 상기 측부차광층은(23A)은 전기적으로 상기 하부차광층(16)의 면과 같은 전위로 고정된다. 그 결과, 상기 측부차광층(23A) 및 그 주변의 영역내의 기생용량에 의해 야기될 수 있는 상기 TFT(60)의 성질의 변화는 억제된다.

이러한 구조를 가진 상기 액정표시장치(100A)는 다음과 같은 점을 제외한 도5a에서 도5k를 통해 상기를 참조한 소정의 방법에 의해 제조된다. 도5e에 도시된 공정에서, 상기 제3 층간절연층(21), 상기 제2 층간절연층(19) 및 상기 제1 층간절연층(17)의 상기 부분적 제거는 상기 하부차광층(16)의 상기 측부 에지가 노출될 때까지 수행된다.

도8a 및 도8b는 도6 및 도7에 도시된 상기 액정표시장치(100A)의 액티브 매트릭스 기판(10A)의 제조공정을 예시하는 개략적인 단면도이다. 상기 도8a 및 도8b의 상기 단면도는 각각 도5f 및 도5g에 대응한다.

도8a에 도시된 바와 같이, P 및 WSi층으로 도핑된 다결정 실리콘층은 연속적으로 상기 적층구조에 약 100nm의 두께로 형성되며, 그로 인해 적층구조(23a)를 형성한다. 도8b에 도시된 바와 같이, 상기 적층구조(23a)는 이방성 드라이 에칭에 의해 에칭되고, 그로 인해 상기 측부차광층(23A)으로서 상기 측부차광층(23A)으로서 상기 단차부의 상기 벽상에만 상기 적층구조(23a)를 남긴다.

이 후에, 상기 액티브 매트릭스 기판(10A)을 포함하는 상기 액정표시장치(100A)는 상술한 소정의 방법에 의해 제조된다.

(실시예 2)

실시예 1에서, 상기 측부차광층은 상기 다결정 실리콘층의 측면 및 상기 다결정 실리콘층상에 제공된 게이트 라인을 덮기 위해 제공된다. 본 발명은 이러한 구조로 제한되지 않는다. 상기 측부차광층은 상기 다결정 실리콘층상에 제공된 상기 신호 라인의 상기 측면을 또한 덮기 위해 제공되어 질 수 있다.

본 발명의 실시예 2에서, 상기 다결정 실리콘층상에 제공된 상기 신호 라인의 상기 측면을 덮는 상기 측부차광층이 있는 액정표시장치는, 상기 다결정 실리콘층의 상기 측면 및 상기 다결정 실리콘층상에 제공된 상기 게이트 라인을 부가하여 설명될 것이다.

도9는 본 발명의 실시예 2에 따른 액정표시장치(100B)의 개략적인 단면도이다. 도9는 도2에 대응한다. 도10은 도9에서 도시된 상기 액정표시장치(100B)의 개략적인 단면도이다. 도10은 도3에 대응한다.

상기 액정표시장치(100B)는, 상기 실리콘층(31)의 상기 측면 및 상기 다결정 실리콘층(31)상에 제공된 상기 게이트 라인(31)이 부가된 상기 다결정 실리콘층(31)상에 제공된 상기 신호 라인(31)의 상기 측면을 덮는 측부차광층(23B)을 제외하고, 실시예 1에서 설명된 상기 액정표시장치(100)의 구조와 실질적으로 동일한 구조를 가진다.

도11a 내지 도11j는 도9 및 도10에서 도시된 상기 액정표시장치(100B)의 액티브 매트릭스 기판(10B)의 제조공정을 예시하는 개략적인 단면도이다. 상기 액정표시장치(100B)는 다음과 같이 제조된다.

첫째로, 석영유리로 형성된 상기 투명기판(11)상에, P로 도핑된 다결정 실리콘층은 50nm의 두께로 형성되며, 이때 WSi층은 100nm의 두께로 형성된다. 상기 다결정 실리콘층 및 상기 WSi층은 패터닝되고, 그로 인해 도11a에 도시된 바와 같이 상기 하부차광층(16)을 형성한다.

다음으로, SiO_2 층은 상기 하부차광층(16)을 덮기 위해 상기 투명기판의 전면에, 예컨대, 400nm의 두께로 CVD에 의해 형성되며, 그로 인해 도11a에 도시된 바와 같이 상기 제1 층간절연층(17)을 형성한다.

다결정 실리콘층은, 예컨대, 50nm의 두께로 상기 제1 층간절연층(17)의 전면상에 CVD에 의해서 형성되고, 소정의 형상으로 패터닝되며, 그로 인해 상기 하부차광층(16)상에 상기 다결정 실리콘층(31)을 형성한다. 상기 다결정 실리콘층(31)은 상기 TFT(60)의 일부로서 사용된다.

SiO_2 로 형성된 상기 제2 층간절연층(게이트절연층, 19)은 상기 다결정 실리콘층(31)을 덮기 위해, 예컨대, 약 80nm의 두께로 상기 제1 층간절연층(17)의 전면상에 CVD에 의해 형성된다(도11a).

P와 WSi층으로 도핑된 다결정 실리콘층은, 예컨대, 150nm의 두께로 각각 상기 제2 층간절연층(19)의 전면에 연속적으로 형성되고, 소정의 형상으로 패터닝되며, 그로 인해 상기 게이트 라인(12) 및 상기 용량 전극(15)을 형성한다(도11a). 상기 용량 전극(15)은 저장용량장치를 위한 것이다.

불순물은 마스크로 상기 게이트 라인(12) 및 상기 용량 전극(15)을 사용하여 상기 다결정 실리콘층(31, 상기 TFT(60)의 일부로 작용)으로 이온주입에 의해 주입된다. 예컨대, P는 약 1×10^{13} cm^{-2} 분량으로 주입된다.

불순물은 마스크로 상기 레지스트층을 사용하여 상기 다결정 실리콘층(31)의 영역으로 이온주입에 의해 주입되며, 그로 인해 상기 소스영역(31b) 및 상기 드레인영역(31c)을 형성한다. 예컨대, P는 약 3×10^{15} cm^{-2} 분량으로 주입된다. 그러므로, 상기 소스영역(31b) 및 상기 드레인영역(31c)에 부가하여, 상기 LDD 영역(31d)은 상기 채널영역(31a) 및 상기 소스영역(31b) 사이에 형성되며, 상기 LDD 영역(31e)은 상기 채널영역(31a) 및 상기 드레인영역(31c) 사이에 형성된다.

도11b에 도시된 바와 같이, SiO_2 층은 상기 게이트 라인(12) 및 상기 용량 전극(15)을 덮기 위해, 예컨대, 600nm의 두께로 상기 제2 층간절연층(19)의 전면상에 재료 가스로서 TEOS를 사용하는 플라즈마 CVD에 의해 형성된다.

이때, 상기 SiO_2 층은, 예컨대, 200nm의 두께를 갖도록 CMP에 의해 연마되고, 따라서 평탄화되며, 제3 층간절연층(21)을 형성한다.

상기 제3 층간절연층(21)의 소정의 부분 및 상기 제2 층간절연층(19)의 소정의 부분은 에칭되며, 그로 인해 상기 다결정 실리콘층(31)의 상기 소스영역(31b)에 이르는 상기 제1 콘택트홀(27) 및 상기 다결정 실리콘층(31)의 드레인영역(31c)에 이르는 상기 제2 콘택트홀(28)을 형성한다(도11b).

이때, 150nm의 두께를 가진 TiW층, 400nm의 두께를 가진 Al층 및 100nm의 두께를 가진 TiW층은 연속적으로 적층구조상에 형성되고, 소정의 형상으로 패터닝되며, 그로 인해 제1 콘택트홀(27)에 상기 소스전극(33) 및 상기 제2 콘택트홀(28)에 드레인전극(34)을 형성한다. 상기 접속전극(26) 및 상기 신호 라인(13)은 또한 상기 제3 층간절연층(21)에 형성된다.

상기 신호 라인(13)상의 상기 제4 층간절연층(25)의 두께가 상기 신호 라인(13)의 두께보다 큰, 예컨대, 800nm인 상기 제4 층간절연층(25)은 상기 적층구조상에 재료 가스로 TEOS를 사용하는 플라즈마 CVD에 의해 형성된다. 상기 제4 층간절연층(25)은 상기 신호 라인(13)상의 상기 제4 층간절연층(25)의 두께가 약 600nm가 될 때까지 CMP에 의해 연마되며, 그로 인해 상기 제4 층간절연층(25)을 평탄화한다(도11d).

도11e에 도시된 바와 같이, 상기 하부차광층(19)의 상기 측면 에지 위 및 상기 하부차광층(16)의 외부에 있는, 상기 제4 층간절연층(25)의 부분, 상기 제3 층간절연층(21)의 부분, 상기 제2 층간절연층(19)의 부분 및 상기 제1 층간절연층(17)의 부분은 일반적인 포토리소그라피 및 이방성 드라이 에칭에 의해 제거된다. 따라서, 상기 투명기판(11)에 실질적으로 수직인 벽을 가진 단차부가 형성된다. 상기 벽의 높이는 약1.8㎛이다.

도11f에 도시된 바와 같이, 150nm의 두께를 가진 TiW층(23b)이 이방성 드라이 에칭에 의해 형성되고 프로세스 되며, 그로 인해 상기 단차부의 벽상에 TiW층(23b)을 남긴다. 도11g에 도시된 바와 같이, 상기 다결정 실리콘층(31) 측면 및 상기 게이트 라인(12)에 부가된 상기 신호 라인(13)의 상기 측면을 덮는 상기 측부차광층(23b)이 형성된다.

SiO_2 로 형성된 절연층은 상기 단차부의 높이와 거의 같은 약1.8㎛의 두께로 상기 적층구조상의 재료 가스로서 TEOS를 사용하는 플라즈마 CVD에 의해 형성된다. 이때, 상기 절연층이 패터닝되고, 그로 인해 더미절연층(24)을 형성한다(도11h). 각 더미절연층(24) 및 상기 대응하는 측부차광층(23b) 사이에 홈(24a)이 만들어지고, 그로 인해 상기 제1 층간절연층(17)이 노출된다.

SiO_2 층은 상기 적층구조상의 재료 가스로서 TEOS를 사용하는 플라즈마 CVD에 의해 상기 더미절연층(24) 및 상기 제4 층간절연층(25)의 면상에 상기 SiO_2 층의 두께가, 예컨대, 약1.5㎛가 될 때까지 형성된다. 상기 SiO_2 층은 또한 상기 더미절연층 (24) 및 상기 측부차광층(23b) 사이의 홈(24a)에 제공된다. 상기 SiO_2 층은 상기 SiO_2 층이 소정의 두께가 될 때까지 이방성 드라이 에칭에 의해 프로세스 된다. 그러므로, 평탄한 면을 가진 상기 제5 층간절연층(29)이 형성된다. 상기 제5 층간절연막(29)은 CMP에 의해 평탄화 될 수 있다.

제5 층간절연층(29)의 소정부분 및 상기 제4 층간절연층(25)의 소정부분은 에칭에 의해 제거되며, 그로 인해 상기 제3 콘택트홀(29a)을 형성한다.

이때, 약 125nm의 두께를 가진 TiW층은, 예컨대, 상기 적층구조상의 증착법 또는 스퍼터링에 의해 형성되고, 패터닝되며, 그로 인해 상기 상부차광층(18)을 형성한다. 상기 상부차광층(18)은 상기 제5 층간절연층(29)에 있고 상기 제3 콘택트홀(29a)을 매립하도록 제공된다. 상기 상부차광층(18)은 전도적이며, 상기 제3 콘택트홀(29a)을 통해 상기 접속전극(26)에 접속된다.

절연층은, 예컨대, 500nm의 두께로 적층구조상에 재료 가스로서 TEOS를 사용 하여 플라즈마 CVD에 의해 형성된다. 상기 절연층은 절연층의 두께가, 예컨대, 약 200nm가 될 때까지 CMP에 의해 연마되며, 그로 인해 평탄한 면을 가진 상기 제6 층간절연층(32)을 형성한다.

상기 제6 층간절연층(32)의 소정부분이 에칭되고, 그로 인해 제4 콘택트홀(32a)을 형성한다.

예컨대, 100nm의 두께를 가진 ITO층은 상기 적층구조에 형성되고, 소정의 형상으로 패터닝되며, 그로 인해 매트릭스 형태로 배열된 복수의 화소전극을 형성한다(도11j). 각 화소전극(14)은 상기 제4 콘택트홀(32a)을 통해 상기 상부차광층(18)에 접속된다.

상기 배향층(36)은 모든 화소전극(14)을 덮기 위해 상기 제6 층간절연층(32)상에 형성된다.

같은 방식으로, 상기 다결정 실리콘(31)의 상기 측면 및 상기 다결정 실리콘층(31)상의 상기 게이트 라인(12)에 부가하여 상기 다결정 실리콘(31)상의 상기 신호 라인(13)의 상기 측면을 덮도록 상기 측부차광층(23b)을 포함하는 상기 액티브 매트릭스 기판(10B)이 제조된다.

상기 액티브 매트릭스 기판(10B) 및 상기 대향기판(40B)은 상기 배향층(36 및 43)이 소정의 거리를 두고 서로 대향하고 있는 것과 같이 배치된다. 상기 액정층(50)은 상기 배향층(36 및 43) 사이에 제공된다. 따라서, 상기 액정표시장치 (100B)가 제조된다.

실시예 2에서, 상기 측부차광층(23B)은 상기 제1 층간절연층(17)이 사이에 삽입된 상기 하부차광층(16)의 상기 측부 에지 상의 투명기판(11)에 실질적으로 수직이 되도록 제공된다. 그러므로, 상기 측부차광층(23B)은 전기적으로 플로팅 상태에 있다. 본 발명은 이러한 구조에 제한되지 않는다.

도12는 본 발명의 실시예 2의 변형예로서 액정표시장치(100C)의 개략적인 단면도이다. 도12는 도2에 대응한다. 도13은 도12에 도시된 상기 액정표시장치(100C)의 개략적인 단면도이다. 도13은 도3에 대응한다.

도12 및 도13에 도시된 바와 같이, 상기 액정표시장치(100C)내에, 측부차광층(23C)은 상기 하부차광층(16)의 측부 에지에 접촉되며, 실질적으로 상기 투명기판(11)에 수직이다. 적어도 하나의 측부차광층(23c)이 상기 하부차광층(16)의 상기 측부 에지에 접촉하기 때문에, 상기 하부차광층(23c)은 전기적으로 상기 하부차광층(16)의 면과 같은 전위로 고정된다. 결과적으로, 측부차광층(23c) 및 그 주변영역의 상기 기생용량에 의해 야기될 수 있는 상기 TFT(60)의 성질의 변화는 억제된다.

이러한 구조를 갖는 상기 액정표시장치(100c)는 다음과 같은 점을 제외하고 도11a 내지 도11j를 통한 기준으로 상기한 방법에 의해 제조된다. 도11e에 도시된 공정에서, 상기 제5 층간절연층(25), 상기 제2 층간절연층(19) 및 상기 제1 층간절연층(17)의 부분적 제거는 상기 하부차광층(16)의 상기 측부 에지가 노출될 때까지 수행된다.

도14a 및 도14b는 도12 및 도13에 도시된 상기 액정표시장치(100c)의 액티브 매트릭스 기판(10c)의 제조공정을 예시하는 개략적인 단면도이다.상기 도14a 및 도14b의 단면도는 도11f 및 도11g에 각각 대응한다.

도14a에 도시된 바와 같이, 150nm의 두께를 갖는 TiW층(23b)은 도11e에 대응하는 적층구조에 대응하고, 이방성 드라이 에칭에 의해 프로세스되며, 그로 인해 상기 단차부의 상기 벽상의 상기 TWi층(23b)을 남긴다. 그러므로, 상기 다결정 실리콘층(31)의 측면 및 게이트 라인(12)에 부가하여 상기 신호 라인(13)의 상기 측면을 덮는 상기 측부차광층(23c)이 형성된다.

이후에, 상기 액티브 매트릭스 기판(10c)을 포함하는 상기 액정표시장치 (100c)는 상술한 방법으로 제조된다.

(실시예 3)

실시예 1 및 실시예 2에서, 상기 용량 전극은 상기 다결정 실리콘층상에 제공된다. 본 발명은 이러한 구조에 제한되지 않는다. 상기 용량 전극은 상기 다결정 실리콘층 아래에 제공될 수 있다.

본 발명의 실시예 3에서, 부가 용량 전극이 있는 액정표시장치는 다결정 실리콘층 아래에, 즉 앞으로 설명할 상기 TFT 아래에, 제공된다.

도15a 및 도15b는 각각 본 발명의 실시예 3에 따른 액정표시장치(100D)의 액티브 매트릭스 기판(10D)의 일부의 평면도이며, 여기서 하나의 게이트 라인(12)과 하나의 신호 라인(13)은 서로 교차한다.

도15a 및 도15b는 차광층의 위치가 이하에 설명한 바와 같이 되어 있는 액정표시장치(100D)를 나타낸다.

액정표시장치(100D)는, 하부차광층(16) 아래에 제공된 부가 용량 전극(37) 및 상기 제5 콘택트홀(39)을 통해 상기 부가 용량 전극에 접속된 상기 접속전극 (26)을 제외하고, 실질적으로 실시예 1에서 설명한 상기 액정표시장치(100)의 구조와 동일한 구조를 갖는다.

도15a에서, 상기 TFT(60)상에 제공된 상기 상부차광층(18)은 그 위치를 명확히 보여주기 위하여 해칭(hatching)되어 있다. 상기 상부차광층(18)은 상기 액티브 매트릭스 기판(10D)에서 상기 TFT(60)상에 입사된 광을 막도록 동작한다.

도15b에서, 상기 TFT(60) 아래에 제공된 하부차광층(16)은 그 위치를 명확히 보여주기 위해 점선 표시되어 있다. 상기 하부차광층(16)은 상기 액티브 매트릭스 기판(10D)에서 상기 TFT(60)상에 입사된 광을 막도록 동작한다.

도15a에서 도시된 바와 같이, 상기 상부차광층(18)은 상기 제1 콘택트홀(27), 상기 게이트 라인(12), 상기 신호 라인(13), 상기 다결정 실리콘층 (31)의 일부, 상기 부가 용량 전극(37)의 일부 및 상기 TFT(60)의 일부를 덮기 위해 제공된다.

도15b에서 도시된 바와 같이, 상기 하부차광층(16)은 상기 게이트 라인(12)의 일부, 상기 신호 라인(13), 상기 제1 콘택트홀(27), 상기 제2 콘택트홀(28), 상기 제3 콘택트홀(29a), 상기 제4 콘택트홀(32a), 상기 다결정 실리콘층(31) 및 상기 TFT(60)를 덮기 위해 제공된다.

도16은 도15a 및 도15b의 라인 A-A를 따라 주어진 상기 액정표시장치(100D)의 개략적인 단면도이며, 도17은 도15a 및 도15b의 라인 B-B를 따라 주어진 상기 액정표시장치(100D)의 개략적인 단면도이다.

상기 액티브 매트릭스 기판(10D)에서, 상기 용량 전극(15)은 상기 다결정 실리콘층(31)상의 상기 게이트 라인(12)의 측부상에 제공되지 않으며, 상기 부가 용량 전극(37)은 상기 투명기판(11)에 소정의 패턴으로 제공된다.

상기 부가 용량 전극(37)은 상기 신호 라인(13)의 저면 및 또한 상기 게이트 라인(12)의 전 저면(12)을 덮도록 제공된다. 상기 부가 용량 전극(37)은 상기 투명기판(11)의 전면상에 제공된 용량절연층(38)의 덮여 있다. 상기 하부차광층(16)은 상기 용량절연층(38)상에 소정의 형상으로 패터닝된다.

상기 하부차광층(16)은 실시예 1의 상기 액티브 매트릭스 기판(10)처럼 상기 제1 층간절연층(17)으로 덮여 있다.

상기 하부차광층(16)으로 덮는 상기 제1 층간절연층(17)의 단차부상에, 상기 TFT(60)의 일부로 사용되는 상기 다결정 실리콘층(31)은 소정의 형상으로 패터닝된다. 도15a 및 도15b에서 도시된 바와 같이, 상기 게이트 라인(12)에 평행하게 파생된 상기 다결정 실리콘층(31)의 일부는 도1a 및 도1b에서 도시된 실시예 1의 상기 다결정 실리콘층(31)의 그것보다 더 짧고 좁다.

상기 제2 층간절연층(게이트절연층)(19)은 상기 다결정 실리콘층(31)을 덮기 위해 상기 제1 층간절연층(17)의 단차부상에 제공된다.

상기 게이트 라인(12)은 상기 제2 층간절연층(19)상에 소정의 형상으로 패터닝되며, 상기 게이트 라인(12)은 상기 제2 층간절연층(19)상에 제공된 상기 제3 층간절연층(21)으로 덮여 있다.

상기 제2 층간절연층(19)의 측면 및 상기 제3 층간절연층의 측면은 실시예 1 에서와 같이 상기 제1 층간절연층(17)의 상기 단차부의 측면에 정렬되며 연속이다. 이러한 측면은 실질적으로 상기 투명기판(11)에 수직이다.

상기 제1 층간절연층(17), 상기 제2 층간절연층(19) 및 상기 제3 층간절연층(21)의 측면은 상기 측부차광층(23D)으로 커버된다.

상기 측부차광층(23D)은 상기 다결정 실리콘층(31)의 측부 에지 및 상기 게이트 라인(12)의 측부 에지를 따르도록 소정의 형상으로 패터닝된다(도15a 및 도15b의 두꺼운 점선으로 나타냄). 상기 측부차광층(23D)의 상면은 상기 제3 층간절연층(21)의 상면과 같은 수준에 있고 연속이며, 실질적으로 평탄하다.

상기 더미절연층(24)은 상기 단차부를 제외한 상기 제1 층간절연층(17)상에 제공된다. 상기 더미절연층(24)은 상기 측부차광층(23D)으로부터 적절한 거리에 제공된다.

상기 더미층(24)의 상면은 실질적으로 상기 제3 층간절연층(21) 및 상기 측부차광층(23D)의 상면과 같은 수준이며, 실질적으로 평탄하다.

상기 제4 층간절연층(25)은 상기 더미층(24), 상기 제3 층간절연층(21) 및 상기 측부차광층(23D)을 덮도록 제공된다.

상기 제4 층간절연층(25)은 또한 상기 더미절연층(24) 및 상기 측부차광층 (23) 사이에 제공된다. 상기 제4 층간절연층(25)의 상면은 완전히 평탄하다.

상기 제1 콘택트홀(27) 및 상기 제2 콘택트홀(28)은 상기 제2 층간절연층 (19), 상기 제3 층간절연층(21) 및 상기 제4 층간절연층(25)에 형성된다.

제1 콘택트홀(27)은 TFT(60)의 소스 전극(33)을 형성하도록 신호 라인(13)의 재료와 동일한 도전체로 충전되게 된다. 소스 전극(33)은 신호 라인(13)과 다결정 실리콘층(31)의 소스 영역(31b)을 전기적으로 접속한다.

신호 라인(13)은 제4 층간절연막(25)상에 소정 패턴으로 제공된다.

제2 콘택트 홀(28)은 TFT(60)의 드레인 전극(34)을 형성하도록 접속 전극(26)의 재료와 동일한 도전체로 충전되게 된다. 드레인 전극(34)은 접속 전극 (26)과 다결정 실리콘층(31)의 드레인 영역(31c)을 전기적으로 접속한다.

접속 전극(26)은, 다결정 실리콘 층(31)의 일부 및 부가용량 전극(37)의 일부와 겹치도록 제4 층간절연막(25)상에 장방형 패턴으로 형성된다.

제5 콘택트 홀(39)은 용량 절연막(38), 제1 층간절연막(17), 제2 층간절연막 (19), 제3 층간절연막(21), 및 제4 층간절연막(25)에 형성된다.

제5 콘택트 홀(39)은, 접속 전극(26)과 부가용량 전극(37)이 서로 전기적으로 접속되도록 접속 전극(26)의 재료와 동일한 전도체로 충전된다.

상기 액정표시장치(100D)는, 상기한 점들을 제외하면, 도1 내지 도3을 참조하여 설명된 제1 실시예의 액정표시장치(100)와 사실상 동일한 구조를 가진다.

상기 액정표시장치(100D)는 다음과 같은 방식으로 제조된다.

도18a 내지 18g는 도15 내지 17에 도시된 액정표시장치(100D)의 액티브 매트릭스 기판(10D)을 제조하기 위한 공정들을 나타낸 단면도들이다. 도18a 내지 18g의 단면도들은 도17의 단면도에 대응한다.

먼저, 투명 기판(11)(도18a)상에, P(인)로 도프된 다결정 실리콘 층이, 예컨대 100nm의 두께로 형성되어 및 소정의 형태로 패터닝됨으로써, 도18a에 도시된 바 와 같은 부가용량 전극(37)을 형성한다.

다음, 도18b에 도시된 바와 같이, 상기 부가용량 전극(37)을 덮도록 SiO_2 로 형성된 용량 절연막(38)이 투명 기판(11)의 전면에, CVD법 등에 의해, 예컨대 50nm의 두께로 형성된다.

P로 도프된 다결정 실리콘 층이, 예컨대 50nm의 두께로 용량 절연막(38)의 전면에 형성된 후, WSi 층이 100nm의 두께로 형성된다. 이 층들은 소정의 형태로 패터닝되어, 도18c에 도시된 하부 차광층(16)을 형성한다.

그 후, SiO_2 로 형성된 제1 층간절연막(17)이, 예컨대 400nm의 두께로 용량 절연막(38)의 전면에 CVD법에 의해 형성된다(도18d).

다결정 실리콘 층(31)은 50nm의 두께로 제1 층간절연막(17)상에 CVD법에 의해 형성되어 소정의 형태로 패터닝된다.

그 후의 공정들은, 용량 전극(15)이 형성되지 않는 점을 제외하면, 도5j에 도시된 공정까지의 제1 실시예의 액정표시장치(100)의 제조 공정들과 동일하다.

도5j에 도시된 바와 같이, SiO_2 로 형성된 제4 층간절연막(25)이 예컨대 1.5㎛의 두께로 형성된다. 다음, 도18d에 도시된 바와 같이, 제4 층간절연막(25), 제3 층간절연막(21) 및 제2 층간절연막(19)의 소정의 부분들이 에칭되어, 다결정 실리콘층(31)의 소스 영역(31b)에 도달하는 제1 콘택트홀(27) 및 다결정 실리콘 층(31)의 드레인영역(31c)에 도달하는 제2 콘택트홀(28)을 형성한다.

도18e에 도시된 바와 같이, 제4 층간절연막(25), 제3 층간절연막(21), 제2 층간절연막(19), 제1 층간절연막(17) 및 용량 절연막(38)의 소정 부분들이 에칭되어, 다결정 실리콘층(31)과 겹치지 않고 상기 부가용량 전극(37)의 일부분에 도달하는 제5 콘택트홀(39)을 형성한다.

그 후, 상기 결과의 적층 상에 150nm의 두께를 가진 TiW 층, 400nm의 두께를 가진 Al 층, 및 100nm의 두께를 가진 TiW 층이 연속으로 형성된다. 또한, 이 층들은 제1 콘택트홀(27), 제2 콘택트홀(28) 및 제5 콘택트홀(39)을 매립하도록 제공된다. 따라서, 제1 콘택트홀(27)에 소스 전극(33)이 형성되고, 제2 콘택트홀(28)에 드레인전극(34)이 형성된다. 또한, 상기 부가용량 전극(37)에 전기적으로 접속되는 접속부가 제5 콘택트홀(39)에 형성된다.

제4 층간절연막(25)상에 형성된 TiW 층, Al 층 및 TiW 층이 소정의 형태로 패터닝되어, 제4 층간절연막(25)상에 접속 전극(26)과 신호 라인(13)을 형성한다. 상기 접속 전극(26)은 드레인전극(34) 및 접속부에 접속되며, 신호 라인(13)은 소스 전극(33)에 접속된다.

상기 결과의 적층 상에 제5 층간절연막(29)이 형성되어 평탄화된다. 상기 제5 층간절연막(29)의 소정 부분이 에칭되어, 접속 전극(26)에 도달하는 제3 콘택트홀(29a)을 형성한다.

125nm의 두께를 가진 TiW 층이 제3 콘택트홀(29a)을 매립하도록 제5 층간절연막(29)상에 형성되어 패터닝됨으로써, 상부 차광층(18)을 형성한다. 상부 차광층 (18)은 도전성이고 제3 콘택트홀(29a)을 통해 접속 전극(26)에 접속된다.

그 후, 예컨대 500nm의 두께를 가진 제6 층간절연막(32)이 원료 가스로서 TEOS를 이용하여 플라즈마 CVD법에 의해 상기 결과의 적층 상에 형성되어 평탄화된다.

제6 층간절연막(32)의 소정 부분이 에칭되어, 상기 도전성의 상부 차광층 (18)에 도달하는 제4 콘택트홀(32a)을 형성한다.

도18g에 도시된 바와 같이, 예컨대 100nm의 두께를 가진 ITO 층이 상기 결과의 적층의 전면에 형성되어, 소정의 형태로 패터닝됨으로써, 매트릭스 형태로 배열된 복수의 회소 전극(14)을 형성한다.

상기 모든 화소 전극(14)을 덮기 위한 제6 층간절연막(32)을 덮도록 배향막 (36)이 제공된다.

이 방식으로, 액티브 매트릭스 기판(10D)이 제조된다. 상기 액티브 매트릭스 기판(10D)과 대향 기판(40)은 그의 배향막들(36,43)이 그들 사이에 소정 간격을 두고 서로 대향하도록 배치된다. 상기 배향막들(36,43) 사이에 액정층(50)이 제공된다. 이로써, 액정표시장치(100D)가 제조된다.

제3 실시예에서, 하부 차광층(16)의 측면 에지들 위의 투명 기판(11)에 사실상 수직하고 그 사이에 제1 층간절연막(17)이 삽입되도록 측부 차광층들(23D)이 제공된다. 따라서, 상기 측부 차광층(23D)은 전기적으로 플로팅 상태이다. 본 발명은 이러한 구조로 한정되는 것은 아니다.

도19는 본 발명의 제3 실시예의 개조예로서의 액정표시장치(100E)의 단면도이다. 도19는 도16에 대응한다. 도20은 도19에 도시된 액정표시장치(100E)의 단면도이다. 도20은 도17에 대응한다.

도19 및 20에 도시된 바와 같이, 액정표시장치(100E)에서, 측부 차광층(23E)은 하부 차광층(16)의 측면 에지들과 접촉하며 투명 기판(11)에 사실상 수직하다. 하나 이상의 상기 측부 차광층(23E)이 하부 차광층(16)의 측면 에지들과

접촉되므로, 상기 측부 차광층(23E)은 하부 차광층(16)의 표면과 동 전위로 전기적으로 고정된다. 그 결과, 측부 차광층(23E) 및 그의 주변 영역의 기생 용량에 의해 야기될 수 있는 TFT(60)의 특성 변화가 억제된다.

(실시예 4)

제3 실시예에서, 다결정 실리콘층 위의 게이트 라인 및 다결정 실리콘층의 측면을 덮도록 측부 차광층들이 제공된다. 본 발명은 이러한 구조로 한정되지 않는다. 측부 차광층은 또한 다결정 실리콘층 위에 제공된 신호 라인의 측면을 덮도록 제공될 수도 있다.

본 발명의 제4 실시예에서는, 측부 차광층이 다결정 실리콘층 위에 제공된 게이트 라인 및 다결정 실리콘층의 측면에 더하여, 다결정 실리콘층 위에 제공된 신호 라인의 측면을 덮고 있는 액정표시장치에 대해 설명한다.

도21은 본 발명의 제4 실시예에 따른 액정표시장치(100F)의 단면도이다. 도21은 도16에 대응한다. 도22는 도21에 도시된 액정표시장치(100F)의 단면도이다. 도22는 도17에 대응한다.

상기 액정표시장치(100F)는, 측부 차광층(23F)이 다결정 실리콘층(31) 위에 제공된 게이트 라인(12) 및 다결정 실리콘층(31)의 측면들에 더하여 다결정 실리콘층(31) 위에 제공된 신호 라인(13)의 측면을 덮고 있는 점을 제외하면, 제3 실시예 에서 설명된 액정표시장치(100D)의 구성과 사실상 동일하다.

액정표시장치(100F)의 액티브 매트릭스 기판(10F)은 다음과 같은 방식으로 제조된다.

먼저, 제3 실시예에서 설명된 액티브 매트릭스 기판(10D)과 마찬가지로, 투명 기판(11)상에, P로 도프된 다결정 실리콘 층이 100nm의 두께로 형성되어 소정의 형태로 패터닝됨으로써, 부가용량 전극(37)을 형성한다. 상기 부가용량 전극(37)을 덮도록 SiO_2 로 형성된 용량 절연막(38)이 투명 기판(11)의 전면에, CVD법 등에 의해 예컨대 50nm의 두께로 형성된다.

그 후, P로 도프된 다결정 실리콘 층이 50nm의 두께로 그 위에 형성되고, 그 위에 WSi 층이 100nm의 두께로 형성된다. 이 층들은 소정의 형태로 패터닝되어, 하부 차광층(16)을 형성한다.

그 후, SiO_2 로 형성된 제1 층간절연막(17)이, 예컨대 400nm의 두께로 상기 결과의 적층의 전면에 CVD법에 의해 형성된다. 다음에, 다결정 실리콘 층(31)이 50nm의 두께로 그 위에 CVD법에 의해 소정의 패턴으로 형성된다.

그 후의 공정들은, 용량 전극(15)이 형성되지 않는 점을 제외하면, 도11a 내지 11i에 도시된 제2 실시예의 액정표시장치(100B)의 제조 공정들과 동일하다.

다른 공정들은 도18d 내지 18g에 도시된 공정들과 동일하다.

제4 실시예에서, 하부 차광층(16)의 측면 에지들 위의 투명 기판(11)에 사실상 수직하고 그 사이에 제1 층간절연막(17)이 삽입되도록 측부 차광층들(23F)이 제 공된다. 따라서, 상기 측부 차광층(23F)은 전기적으로 플로팅 상태이다. 본 발명은 이러한 구조로 한정되는 것은 아니다.

도23는 본 발명의 제4 실시예의 변형예로서의 액정표시장치(100G)의 단면도이다. 도24는 도16에 대응한다. 도24는 도23에 도시된 액정표시장치(100G)의 단면도이다. 도24는 도17에 대응한다.

도23 및 24에 도시된 바와 같이, 액정표시장치(100G)에서, 측부 차광층(23G)은 하부 차광층(16)의 측면 에지들과 접촉하며 투명 기판(11)에 사실상 수직하다. 하나 이상의 상기 측부 차광층(23G)이 하부 차광층(16)의 측면 에지들과 접촉되므로, 상기 측부 차광층(23G)은 하부 차광층(16)의 표면과 동 전위로 전기적으로 고정된다. 그 결과, 측부 차광층(23G) 및 그의 주변 영역의 기생 용량에 의해 야기될 수 있는 TFT(60)의 특성 변화가 억제된다.

(실시예 5)

제3 및 제4 실시예들에서, 하부 차광층 아래에 부가용량 전극이 제공된다. 본 발명은 이러한 구조로 한정되지 않는다. 상기 부가용량 전극은 하부 차광층 위에, 즉 하부 차광층과 TFT 사이에 제공될 수 있다.

본 발명의 제5 실시예에서, 상기 부가용량 전극이 하부 차광층 위에 제공되어 있는 액정표시장치에 대해 설명한다.

도25는 본 발명의 제5 실시예에 따른 액정표시장치(100H)의 단면도이다. 도25는 도16에 대응한다. 도26은 도25에 도시된 액정표시장치(100H)의 단면도이다. 도26은 도17에 대응한다.

상기 액정표시장치(100H)는, 하부 차광층(16)위에 부가용량 전극(37A)이 제공되는 점을 제외하면, 제3 실시예에서 설명된 액정표시장치(100D)의 구성과 동일하다.

하부 차광층(16)은 소정 패턴으로 투명 기판(11)상에 형성되어 절연층(45)으로 커버된다. 그 후, 상기 절연층(45)상에 상기 부가용량 전극(37A)이 소정 패턴으로 형성된다. 상기 부가용량 전극(37A)은 용량 절연막(38)으로 커버되고, 다음에는 제1 층간절연막(17)으로 커버된다. 상기 제1 층간절연막(17)상에 다결정 실리콘층 (31)이 소정 패턴으로 형성된다.

상기 다결정 실리콘층(31) 위에 제공된 접속 전극(26)은 제5 콘택트홀(39)의 드레인전극(34)을 통해 하부 차광층(16) 위의 상기 부가용량 전극(37A)에 전기적으로 접속된다.

액정표시장치(100H)의 액티브 매트릭스 기판(10H)은 다음과 같은 방식으로 제조된다.

P로 도프된 다결정 실리콘층이 50nm의 두께로 투명 기판(11)상에 형성되고, 그 위에 예컨대 100nm의 두께로 WSi 층이 형성된다. 이 층들은 소정 형태로 패터닝되어, 하부 차광층(16)을 형성한다.

다음, 상기 하부 차광층(16)을 덮도록 예컨대 50nm의 두께로 투명 기판(11)의 전면에 CVD법 등에 의해 SiO_2 로 형성된 절연층(45)이 형성된다.

그 위에 P로 도프된 다결정 실리콘층이 100nm의 두께로 형성되어 패터닝됨으 로써, 부가용량 전극(37A)을 형성한다.

상기 결과의 적층 상에 50nm의 두께로 CVD법 등에 의해 SiO_2 층이 형성되어, 용량 절연막(38)을 형성한다.

상기 결과의 적층 상에 SiO_2 로 형성된 제1 층간절연막(17)이, 예컨대 400nm의 두께로 CVD법에 의해 형성된다.

다음에, 다결정 실리콘 층(31)이 50nm의 두께로 제1 층간절연막(17) 위에 CVD법에 의해 소정의 패턴으로 형성된다.

그 후의 공정들은, 제5 콘택트홀(39)이 하부 차광층(16) 위의 부가용량 전극(37A)에 도달하도록 형성된 점을 제외하면, 제3 실시예의 액정표시장치(100D)의 제조 공정들과 동일하다.

제5 실시예에서, 하부 차광층(16)의 측면 에지들 위의 투명 기판(11)에 사실상 수직하고 그 사이에 제1 층간절연막(17)이 삽입되도록 측부 차광층들(23H)이 제공된다. 따라서, 상기 측부 차광층(23H)은 전기적으로 플로팅 상태이다. 본 발명은 이러한 구조로 한정되는 것은 아니다.

도27은 본 발명의 제5 실시예의 개조예로서의 액정표시장치(100I)의 단면도이다. 도27은 도16에 대응한다. 도28은 도27에 도시된 액정표시장치(100I)의 단면도이다. 도28은 도17에 대응한다.

도27 및 28에 도시된 바와 같이, 액정표시장치(100I)에서, 측부 차광층(23I)은 상기 부가용량 전극(37A)의 측면 에지들과 접촉하며 투명 기판(11)에 사실상 수 직하다. 하나 이상의 상기 측부 차광층(23I)이 부가용량 전극(37A)의 측면 에지들과 접촉되므로, 상기 측부 차광층(23I)은 부가용량 전극(37A)의 표면과 동 전위로 전기적으로 고정된다. 그 결과, 측부 차광층(23I) 및 그의 주변 영역의 기생 용량에 의해 야기될 수 있는 TFT(60)의 특성 변화가 억제된다.

(실시예 6)

제5 실시예에서, 다결정 실리콘층 위의 게이트 라인 및 다결정 실리콘층의 측면을 덮도록 측부 차광층이 제공된다. 본 발명은 이러한 구조로 한정되지 않는다. 상기 측부 차광층은 다결정 실리콘층 위에 제공된 신호 라인의 측면을 덮도록 제공될 수도 있다.

본 발명의 제6 실시예에서는, 측부 차광층이 다결정 실리콘층 위의 게이트 라인 및 다결정 실리콘층의 측면에 더하여, 다결정 실리콘층 위에 제공된 신호 라인의 측면을 커버하게 되는 액정표시장치에 대해 설명한다.

도29는 제6 실시예에 따른 액정표시장치(100J)의 단면도이다. 도29는 도26에 대응한다.

상기 액정표시장치(100J)는, 측부 차광층(23J)이 다결정 실리콘층(31) 위의 게이트 라인(12) 및 다결정 실리콘층(31)의 측면에 더하여, 다결정 실리콘층(31) 위에 제공된 신호 라인(13)의 측면을 덮는 점을 제외하면, 제5 실시예에서 설명된 액정표시장치(100H)의 구성과 사실상 동일하다.

액정표시장치(100J)의 액티브 매트릭스 기판(10J)은 다음과 같은 방식으로 제조된다.

P로 도프된 다결정 실리콘층이 50nm의 두께로 투명 기판(11)상에 형성되고, 그 위에 예컨대 100nm의 두께로 WSi층이 형성된다. 이 층들은 소정 형태로 패터닝되어, 하부 차광층(16)을 형성한다.

다음, 상기 하부 차광층(16)을 덮도록 예컨대 50nm의 두께로 투명 기판(11)상에 CVD법 등에 의해 SiO_2로 형성된 절연층(45)이 형성된다.

그 위에 P로 도프된 다결정 실리콘층이 100nm의 두께로 형성되어 소정 형태로 패터닝됨으로써, 부가용량 전극(37A)을 형성한다.

상기 결과의 적층 상에 50nm의 두께로 CVD법 등에 의해 SiO_2로 형성된 용량 절연막(38)을 형성한다.

상기 결과의 적층 상에 SiO_2로 형성된 제1 층간절연막(17)이, 예컨대 400nm의 두께로 CVD법에 의해 형성된다.

다음에, 다결정 실리콘 층(31)이 50nm의 두께로 제1 층간절연막(17) 위에 CVD법에 의해 형성되어 소정의 형태로 패터닝된다.

그 후의 공정들은, 제5 콘택트홀(39)이 하부 차광층(16) 위의 부가용량 전극(37)에 도달하도록 형성된 점을 제외하면, 제2 실시예의 액정표시장치(100B)의 제조 공정들과 동일하다.

제6 실시예에서, 하부 차광층(16)의 측면 에지들 위의 투명 기판(11)에 사실상 수직하고 그 사이에 제1 층간절연막(17)이 삽입되도록 측부 차광층들(23J)이 제공된다. 따라서, 상기 측부 차광층(23J)은 전기적으로 플로팅 상태이다. 본 발명은 이러한 구조로 한정되는 것은 아니다.

도30은 본 발명의 제6 실시예의 개조예로서의 액정표시장치(100K)의 단면도이다. 도30은 도17에 대응한다.

도30에 도시된 바와 같이, 액정표시장치(100K)에서, 측부 차광층(23K)은 상기 부가용량 전극(37A)의 측면 에지들과 접촉하며 투명 기판(11)에 사실상 수직하다. 하나 이상의 상기 측부 차광층(23K)이 부가용량 전극(37A)의 측면 에지들과 접촉되므로, 상기 측부 차광층(23K)은 부가용량 전극(37A)의 표면과 동 전위로 전기적으로 고정된다. 그 결과, 측부 차광층(23K) 및 그의 주변 영역의 기생 용량에 의해 야기될 수 있는 TFT(60)의 특성 변화가 억제된다.

(실시예 7)

제4 실시예에서, 하부 차광층 아래에 부가용량 전극이 제공되며, 상기 부가용량 전극과 접속 전극은 서로 직접 접속된다. 본 발명은 이러한 구조로 한정되지 않는다. 하부 차광층 아래에 제공된 상기 부가용량 전극은, 게이트 라인과 동일 레벨에 위치된 도전부를 통해 접속 전극에 접속될 수 있다.

본 발명의 제7 실시예에서는, 상기 부가용량 전극과 접속 전극을 전기적으로 접속하는 도전부를 포함하는 액정표시장치에 대해 설명한다.

도31a 및 31b는 각각 본 발명의 제7 실시예에 따른 액정표시장치(100L)의 액티브 매트릭스 기판(10L)의 일부분의 평면도로서, 하나의 게이트 라인(12)과 하나의 신호 라인(13)이 서로 교차하고 있다.

도31a 및 31b는 각각 하나의 게이트 라인(12)과 신호 라인(13)만을 나타내고 있지만, 상기 액티브 매트릭스 기판(10L)은 복수의 게이트 라인(12) 및 복수의 신호 라인(13)을 포함할 수 있다.

도31a 및 31b는 차광층의 위치들이 후술하는 바와 같이 분명하게 되는 동일한 액정표시장치(100L)를 나타낸다.

도31a에서, TFT(60) 위에 제공된 상부 차광층(18)은 그의 위치를 분명하게 나타내도록 사선으로 나타낸다. 상부 차광층(18)은 액티브 매트릭스 기판(10L) 위에서 TFT(60)로 광이 입사됨을 방지하도록 작용한다.

도31b에서, TFT(60) 아래에 제공된 하부 차광층(16)은 그의 위치를 분명하게 나타내도록 점선으로 나타낸다. 하부 차광층(16)은 액티브 매트릭스 기판(10L) 아래에서 TFT(60)로 광이 입사됨을 방지하도록 작용한다.

도31a에 도시된 바와 같이, 상부 차광층(18)은 제1 콘택트홀(27), 게이트 라인(12), 신호 라인(13), 다결정 실리콘(Si)층(31)의 일부, 부가용량 전극(37A)의 일부 및 TFT(60)의 일부를 덮도록 제공된다.

도31b에 도시된 바와 같이, 하부 차광층(16)은 게이트 라인(12)의 일부, 신호 라인(13), 제1 콘택트홀(27), 제2 콘택트홀(28), 제3 콘택트홀(29a), 제4 콘택트홀(32a), 다결정 실리콘(Si)층(31) 및 TFT(60)를 덮도록 제공된다.

도32는 도31a 및 31b의 A-A선의 액정표시장치(100L)의 단면도이다.

상기 액정표시장치(100L)는, 제5 콘택트홀(39)에 도전부(37a)가 제공되고 접속 전극(26)이 상기 도전부(37a)를 통해 부가용량 전극(37A)에 접속되는 점을 제외하면, 제3 실시예에서 설명된 액정표시장치(100D)의 구성과 동일하다.

도33a 내지 33g는 액정표시장치(100L)의 액티브 매트릭스 기판(10L)을 제조하는 공정들을 나타낸 단면도들이다. 도33a 내지 33g의 단면도들은 도32의 단면도에 대응한다.

상기 액정표시장치(100L)의 액티브 매트릭스 기판(10L)은 다음과 같은 방식으로 제조된다.

먼저, P로 도프된 다결정 실리콘층이 예컨대 100nm의 두께로 석영 유리로 형성된 투명 기판(11)(도33a)상에 형성되어 소정 형태로 패터닝됨으로써, 부가용량 전극(37)을 형성한다.

다음, 상기 부가용량 전극(37)을 덮도록 50nm의 두께로 투명 기판(11)의 전면에 CVD법 등에 의해 SiO_2 로 형성된 용량 절연막(38)이 형성된다.

그 위에 P로 도프된 다결정 실리콘층이 50nm의 두께로 형성되고, 그 위에 WSi 층이 100nm의 두께로 형성된다. 이 층들이 소정 형태로 패터닝되어, 하부 차광층(16)을 형성한다.

그 위에 SiO_2 로 형성된 제1 층간절연막(17)이 400nm의 두께로 CVD법 등에 의해 형성된다.

상기 결과의 적층 상에 다결정 실리콘 층(31)이 50nm의 두께로 CVD법 등에 의해 소정 패턴으로 형성된다.

상기 결과의 적층 상에 80nm의 두께게로 SiO_2 로 형성된 제2 층간절연막(게이트절연막)(19)이 형성된다(도33a).

다음, 도33b에 도시된 바와 같이, 제2 층간절연막(19), 제1 층간절연막(17) 및 용량 절연막(38)에 제5 콘택트홀(39)이 형성되며, 이 제5 콘택트홀(39)은 상기 부가용량 전극(37)에 도달하게 된다.

상기 결과의 적층 상에 P로 도프된 다결정 실리콘층이 150nm의 두께로 형성되고, WSi 층이 150nm의 두께로 형성된다. 이 층들은 소정 형태로 패터닝된다. 따라서, 도33c에 도시된 바와 같이, 게이트 라인(12)이 제2 층간절연막(19) 상에 형성되고, 제5 콘택트홀(39)에 도전부(37a)가 형성된다. 상기 도전부(37a)는 부가용량 전극(37)에 접속된다.

그 후, 제1 실시예에서 설명된 액정표시장치(100)와 동일한 방식으로 액정표시장치(100L)가 형성된다.

더 구체적으로, TFT(60)의 일부로서 사용되는 다결정 실리콘층(31)으로 불순물이 주입된다. 그 후, 상기 결과의 적층 상에 플라즈마 CVD법에 의해 SiO_2 막이 형성되어 소정 형태로 패터닝됨으로써, 제3 층간절연막(21)을 형성한다.

다음, 상기 결과의 적층 상에 다결정 실리콘층 및 WSi 층이 형성되어 패터닝됨으로써, 하부 차광층(16)의 측면 에지들상에 측부 차광층(23L)을 형성한다.

상기 결과의 적층 상에 더미 절연층(24)이 소정 패턴으로 형성된다.

그 후, 평탄한 표면을 가진 제4 층간절연막(25)이 상기 결과의 적층 상에 형성된다(도33d).

도33e에 도시된 바와 같이, 다결정 실리콘층(31)의 소스 영역(31b)과 드레인 영역(31c)을 노출하도록 제1 콘택트홀(27)과 제2 콘택트홀(28)이 형성된다. 상기 부가용량 전극(37)에 접속된 도전부(37a)를 노출시키도록 제6 콘택트홀(29b)이 형성된다.

그 후, 도33f에 도시된 바와 같이, 상기 결과의 적층 상에 도전층이 형성되어, 제1 콘택트홀(27)의 소스 전극(33) 및 제2 콘택트홀(28)의 드레인전극(34)을 형성한다. 그 후, 상기 결과의 적층 상에 도전층이 형성되어, 제6 콘택트홀(29b)의 도전부(37a)에 접속된 도전부, 소스 전극(33)에 접속된 신호 라인(13), 및 상기 제6 콘택트홀(29b)의 도전부와 드레인전극(34)에 접속된 접속 전극(26)을 형성한다.

도33g에 도시된 바와 같이, 플라즈마 CVD법에 의해 제5 층간절연막(29)이 형성되고, 상기 제5 층간절연막(29)에는 접속 전극(26)에 도달하는 제3 콘택트홀(29a)이 형성된다.

상기 결과의 적층 상에 기상 증착 또는 스퍼터링 등에 의해 도전층을 형성하여 패터닝함으로써, 접속 전극(26)에 접속된 상부 차광층(18)을 형성한다. 상기 상부 차광층(18)은 도전성이다.

상기 결과의 적층 상에 플라즈마 CVD법에 의해 제6 층간절연막(32)이 형성되고, 그 후 상기 제6 층간절연막(32)에 도전성 상부 차광층(18)에 도달하는 제4 콘택트홀(32a)을 형성한다.

상기 결과의 적층의 전면에 ITO 막이 형성되어 소정 형태로 패터닝됨으로써, 매트릭스 형태로 배열된 복수의 화소 전극(14)을 형성한다.

그 후, 제1 실시예에서와 같이, 모든 화소 전극(14)을 덮도록 제6 층간절연막(32)상에 배향막(36)이 형성된다. 이로써, 액티브 매트릭스 기판(10L)이 제조된다.

상기 액티브 매트릭스 기판(10L) 및 대향 기판(40)은 배향막(36,43)이 그들 사이에 소정 간격을 두고 서로 대향하도록 배치된다. 상기 배향막들(36,43) 사이에 액정층(50)이 제공된다. 이로써, 액정표시장치(100L)가 제조된다.

제7 실시예에서, 측부 차광층(23L)은 다결정 실리콘층(31) 위에 제공된 게이트 라인(12) 및 다결정 실리콘층(31)의 측면을 덮도록 제공된다. 본 발명은 이러한 구조로 한정되지 않는다. 상기 측부 차광층은 다결정 실리콘층(31) 위에 제공된 신호 라인(13)의 측면을 덮도록 제공될 수도 있다.

도34는 본 발명의 제7 실시예의 개조예로서의 액정표시장치(100M)의 단면도이다. 도34는 도32에 대응한다.

도34에 도시된 바와 같이, 액정표시장치(100M)는, 측부 차광층(23M)이 다결정 실리콘층(31) 위에 제공된 게이트 라인 및 다결정 실리콘층(31)의 측면에 더하여 다결정 실리콘층(31) 위에 제공된 신호 라인(13)의 측면을 덮는 점을 제외하면, 도31a 내지 33g를 참조하여 설명된 액정표시장치(100L)의 구성과 사실상 동일하다.

(실시예 8)

제1 내지 제7 실시예에서, 액티브 매트릭스 기판에 상부 차광층이 제공된다. 본 발명은 이러한 구조로 한정되지 않는다. 상기 상부 차광층은 대향 기판에 제공될 수 있다.

본 발명의 제8 실시예에서는, 대향 기판에 상부 차광층이 제공되어 있는 액정표시장치에 대해 설명한다.

도35는 제8 실시예의 액정표시장치(100N)의 단면도이다.

상기 액정표시장치(100N)는, 상부 차광층(44)이 액티브 매트릭스 기판(10N) 대신에 대향 기판(40N)에 제공된 점을 제외하면, 제1 실시예에서 설명된 액정표시장치(100)의 구성과 사실상 동일하다.

상기 상부 차광층(44)은 신호 라인(13), 게이트 라인(12) 및 용량 전극(15)을 덮도록 제공된다. 상부 차광층(44)은 도전성으로 될 필요는 없다.

액티브 매트릭스 기판(10N)의 제6 층간절연막(32)상에 제공된 화소 전극(14) 각각은 제6 층간절연막(32) 및 제5 층간절연막(29)에 형성된 콘택트홀(32b)을 통해 접속 전극(26)에 직접 접속된다.

(실시예 9)

제1 내지 제8 실시예에서, TFT는 n-형이고 도4에 도시된 통상의 LDD 구조를 가진다. 본 발명은 이러한 구조로 한정되지 않는다.

상기 TFT는 적어도 2개의 게이트 라인들(게이트전극)을 갖는 멀티 게이트 LDD 구조를 가진다.

도36a는 게이트 라인(12A,12B)을 가진 멀티 게이트 LDD 구조로 된 본 발명의 제9 실시예의 TFT(60A)의 단면도이다.

상기 TFT(60A)에서, 다결정 실리콘층(31)은 소스 영역(31b), 드레인영역 (31c), 게이트 라인(12A) 바로 아래에 배치된 제1 채널 영역(31e), 게이트 라인 (12B) 바로 아래에 배치된 제2 채널 영역(31f), 게이트 라인(12A) 및 게이트 라인 (12B) 사이에 배치된 고농도로 도프된 드레인영역(N^+)(31g), 소스 영역(31b) 및 제1 채널 영역(31e) 사이에 배치된 LDD 영역(N^-)(31h), 제1 채널 영역(31e) 및 고농도로 도프된 드레인영역(N^+)(31g) 사이에 배치된 LDD 영역(N^-)(31i), 고농도로 도프된 드레인영역(N^+)(31g) 및 제2 채널 영역(31f) 사이에 배치된 LDD 영역(N^-)(31

j), 및 제2 채널 영역(31f)과 드레인영역(31c) 사이에 배치된 LDD 영역(N⁻)(31k)을 포함한다.

이러한 구조를 가진 멀티 게이트형 TFT(60A)에서는, 하나의 게이트 라인을 가진 TFT에 비해 리크 전류가 감소된다.

도36b는 게이트 라인(12A,12B)을 가진 멀티 게이트 LDD 구조로 된 본 발명에 따른 다른 TFT(60B)의 단면도이다.

상기 TFT(60B)에서, 다결정 실리콘층(31)은 소스 영역(31b), 드레인영역 (31c), 게이트 라인(12A) 바로 아래에 배치된 제1 채널 영역(31e), 게이트 라인(12B) 바로 아래에 배치된 제2 채널 영역(31f), 소스 영역(31b) 및 제1 채널 영역(31e) 사이에 배치된 LDD 영역(N⁻)(31h), 제1 채널 영역(31e) 및 제2 채널 영역(31f) 사이에 배치된 LDD 영역(N⁻)(31l), 및 제2 채널 영역(31f)과 드레인영역 (31c) 사이에 배치된 LDD 영역(N⁻)(31k)을 포함한다.

이러한 구조를 가진 멀티 게이트형 TFT(60B)에서는, 하나의 게이트 라인을 가진 TFT에 비해 리크 전류가 감소된다.

어느 구조에서나, LDD 구조를 가진 TFT는 n-형 대신에 p-형으로 될 수 있다. 제1 내지 제9 실시예들에서, 액티브 매트릭스 기판의 기부 판(예컨대, 판(11))은 투명하다. 본 발명은 이러한 구조로 한정되지 않는다. 반사형의 액정표시장치에서, 액티브 매트릭스 기판의 기부 판은 투명할 필요가 없다.

발명의 효과

상기한 바와 같이, 본 발명에 따른 액정표시장치는 측부 차광층을 포함한다. 따라서, TFT로 경사 또는 측면으로 광이 입사됨이 확실하게 방지된다. 그 결과, TFT의 광 리크 전류를 크게 감소시킬 수 있다. 특히, 대광량을 사용하는 프로젝터 장치에 사용되는 액정표시장치에서는, 광 리크 전류에 의해 발생하는 콘트라스트 감소, 크로스토크 등으로 인해 열화되지 않는 뛰어난 표시 품위를 제공한다.

또한, 본 발명은 이러한 액정표시장치의 용이하고 확실한 제조 방법을 제공한다.

본 발명의 정신과 범위를 벗어나지 않고 당업자들에 의해 여러 가지 다른 개조들이 용이하게 실시될 수 있을 것이다. 따라서, 첨부된 특허청구의 범위는 본 명세서에서의 설명으로 한정되는 것이 아니라, 더 넓게 해석되어야 한다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스 기판;

대향 기판; 및

상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 협지된 액정층을 포함하는 액정표시장치로서,

상기 액티브 매트릭스 기판은,

기판;

상기 기판에 제공되는 박막 트랜지스터; 및

상기 박막 트랜지스터의 측면의 적어도 일부를 덮는 측부 차광층을 포함하는 액정표시장치.

청구항 2.

제1항에 있어서, 상기 액티브 매트릭스 기판은 반도체층을 더 포함하고,

상기 박막 트랜지스터는 반도체층의 부분을 포함하는 액정표시장치.

청구항 3.

제1항에 있어서, 상기 박막 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극을 포함하고,

상기 액티브 매트릭스 기판은 화소 전극, 상기 박막 트랜지스터의 게이트 전극으로서 기능하는 게이트 라인, 및 상기

박막 트랜지스터의 소스 전극에 접속된 신호 라인을 더 포함하는 액정표시장치.

청구항 4.
제2항에 있어서, 상기 액티브 매트릭스 기판은 상기 기판에 제공되고 상기 기판에 거의 수직인 측벽을 갖는 단차부를 갖는 절연층을 더 포함하고,

상기 반도체층은 절연층의 단차부에 제공되고,

상기 측벽 차광층은 절연층의 단차부의 측벽을 따라 제공되는 액정표시장치.

청구항 5.
제1항에 있어서, 상기 액티브 매트릭스 기판은 박막 트랜지스터 아래에 제공되는 하부 차광층을 더 포함하는 액정표시장치.

청구항 6.
제5항에 있어서, 상기 측부 차광층은 상기 하부 차광층과 접촉되어 있는 액정표시장치.

청구항 7.
제1항에 있어서, 상기 액티브 매트릭스 기판은 상기 박막 트랜지스터에 제공되는 상부 차광층을 더 포함하는 액정표시장치.

청구항 8.
제3항에 있어서, 상기 측부 차광층은 상기 게이트 라인의 측면을 덮도록 제공되는 액정표시장치.

청구항 9.
제3항에 있어서, 상기 측부 차광층은 상기 신호 라인의 측면을 덮도록 제공되는 액정표시장치.

청구항 10.
제5항에 있어서, 상기 액티브 매트릭스 기판은 부가 용량 전극을 더 포함하는 액정표시장치.

청구항 11.
제10항에 있어서, 상기 부가 용량 전극은 하부 차광층 아래에 제공되는 액정표시장치.

청구항 12.
제10항에 있어서, 상기 부가 용량 전극은 하부 차광층과 박막 트랜지스터 사이에 제공되는 액정표시장치.

청구항 13.
제10항에 있어서, 상기 부가 용량 전극은 박막 트랜지스터에 접속되어 있는 액정표시장치.

청구항 14.
제10항에 있어서, 상기 측부 차광층은 부가 용량 전극과 접촉되어 있는 액정표시장치.

청구항 15.
제1항에 있어서, 상기 박막 트랜지스터는 LDD 구조를 갖는 액정표시장치.

청구항 16.
제1항에 있어서, 상기 측부 차광층은 다결정 실리콘으로 형성되는 액정표시장치.

청구항 17.
제1항에 있어서, 상기 측부 차광층은 금속 또는 금속 실리사이드로 형성되는 액정표시장치.

청구항 18.
제1항에 있어서, 상기 측부 차광층은 금속 또는 금속 실리사이드 및 다결정 실리콘을 포함하는 2층 구조를 갖는 액정표시장치.

청구항 19.

액티브 매트릭스 기판, 대향 기판, 및 상기 액티브 매트릭스 기판과 상기 대향 기판 사이에 협지된 액정층을 포함하는 액정표시장치의 제조 방법으로서, 상기 방법은,

액티브 매트릭스 기판의 기판 위에 박막 트랜지스터를 형성하는 공정; 및

상기 박막 트랜지스터의 측면의 적어도 일부를 덮는 측부 차광층을 형성하는 공정을 포함하는 액정표시장치의 제조 방법.

청구항 20.
제19항에 있어서, 상기 박막 트랜지스터를 형성하는 공정은 상기 박막 트랜지스터의 부분으로서 사용되는 반도체층을 형성하는 공정을 포함하는 액정표시장치의 제조 방법.

청구항 21.
제20항에 있어서, 상기 기판에 제1 절연층을 형성하는 공정을 더 포함하고, 상기 제1 절연층은 상기 기판에 거의 수직인 측벽을 갖는 단차부를 갖고,

상기 반도체층을 형성하는 공정은 상기 제1 절연층의 단차부 위에 반도체층을 형성하는 공정을 포함하고,

상기 측부 차광층을 형성하는 공정은 상기 제1 절연층의 단차부의 측벽을 따라 측부 차광층을 형성하는 공정을 포함하는 액정표시장치의 제조 방법.

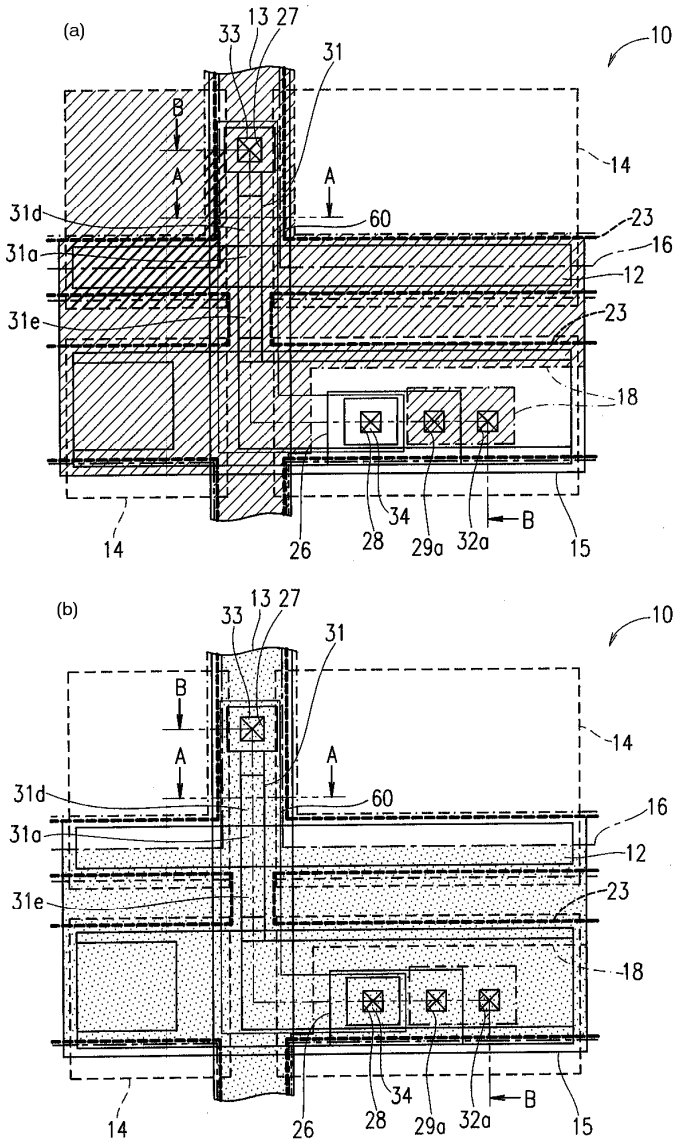
청구항 22.
제21항에 있어서, 상기 측부 차광층을 형성하는 공정은 제1 절연층의 단차부를 덮도록 상기 측부 차광층의 재료층을 형성하는 공정, 및 드라이 에칭에 의해 상기 층을 부분적으로 제거하는 공정을 포함하는 액정표시장치의 제조 방법.

청구항 23.
제21항에 있어서, 상기 반도체층에 제2 절연층을 형성하는 공정, 및 상기 제1 절연층의 단차부를 형성하기 전에 상기 제2 절연층의 표면을 평탄화시키는 공정을 더 포함하는 액정표시장치의 제조 방법.

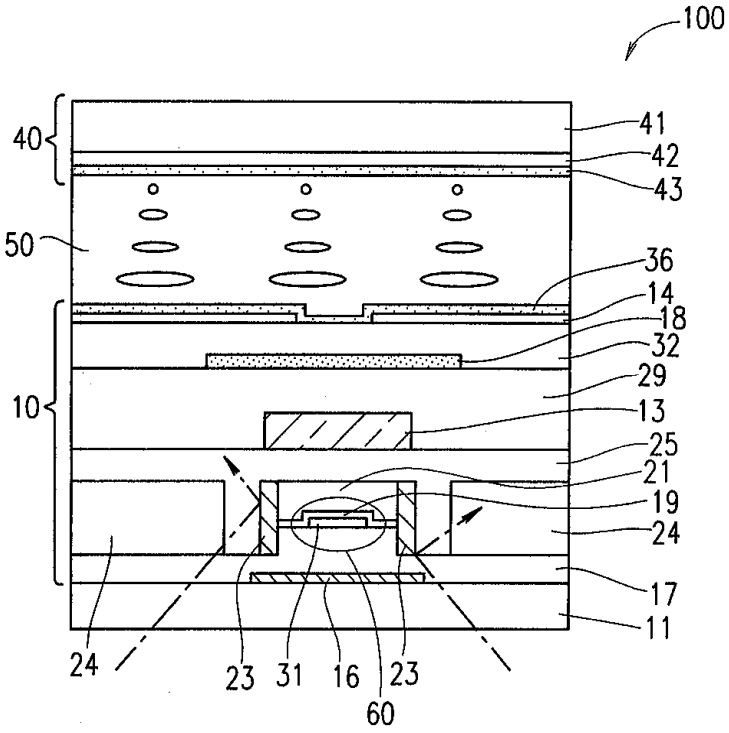
청구항 24.
제23항에 있어서, 상기 제2 절연층의 표면을 평탄화시키는 공정은 화학적 기계적 연마에 의해 상기 제2 절연층을 평탄화시키는 공정을 포함하는 액정표시장치의 제조 방법.

도면

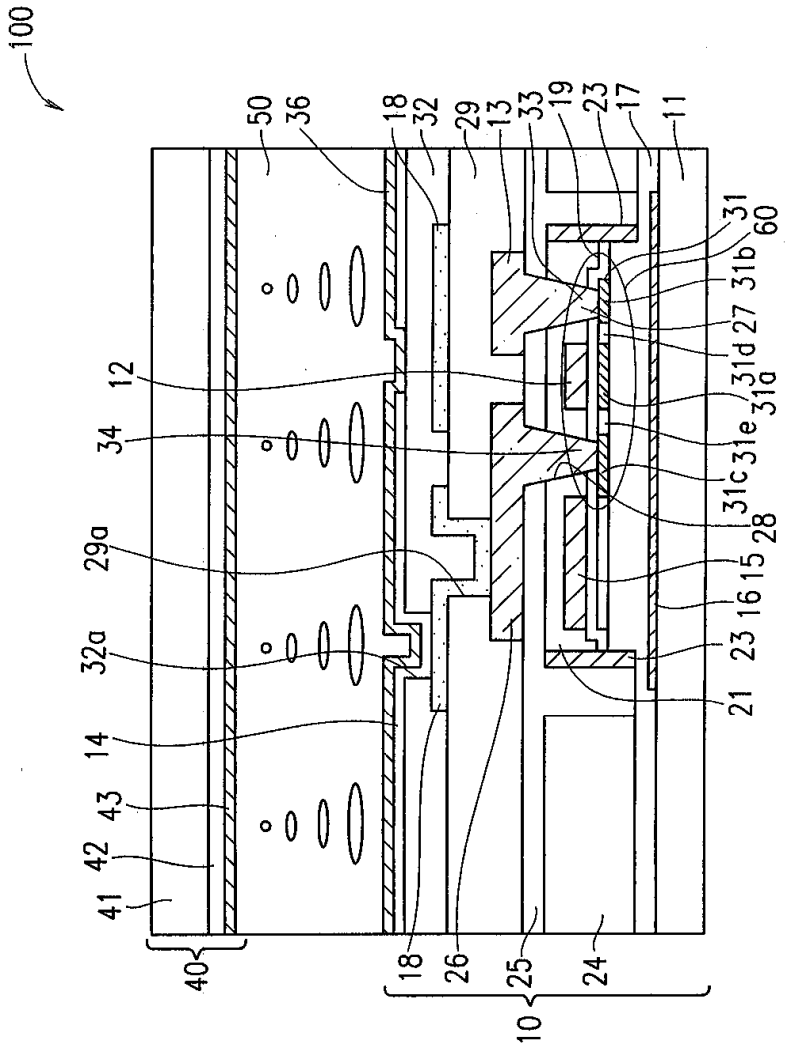
도면1


(a)
33
13 27
31
10
B
A
A
14
31d
60
23
31a
16
12
31e
23
18
34
B
14
26
28
29a
32a
15
(b)
33
13 27
31
10
B
A
A
14
31d
60
16
31a
12
31e
23
18
34
B
14
26
28
29a
32a
15

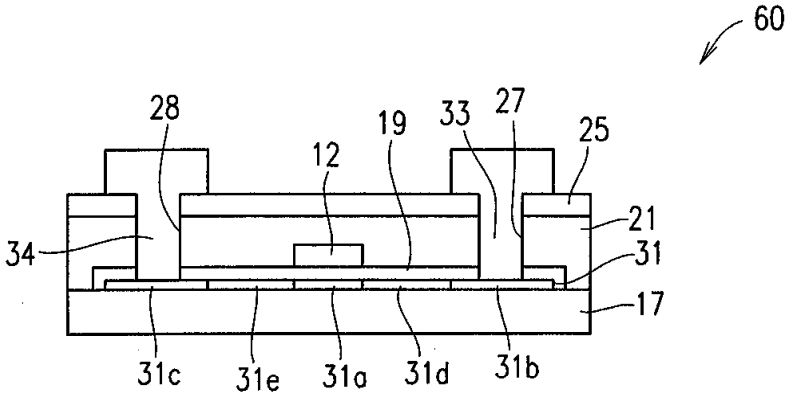
도면2


100
40
41
42
43
50
36
14
18
32
29
10
13
25
21
19
24
17
11
24
23
31
16
23
60

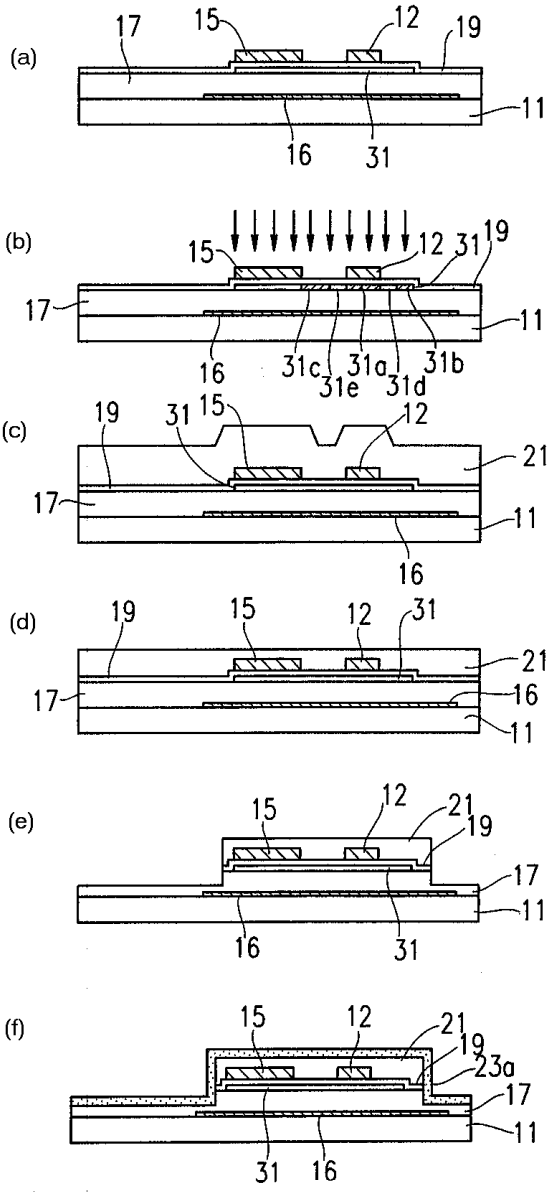
도면3


100
50
36
18
32
29
13
33
19
23
17
11
31
60
31b
27
31d
31a
31e
31c
28
15
16
23
21
12
34
29a
32a
14
43
42
41
40
18
26
25
24
10

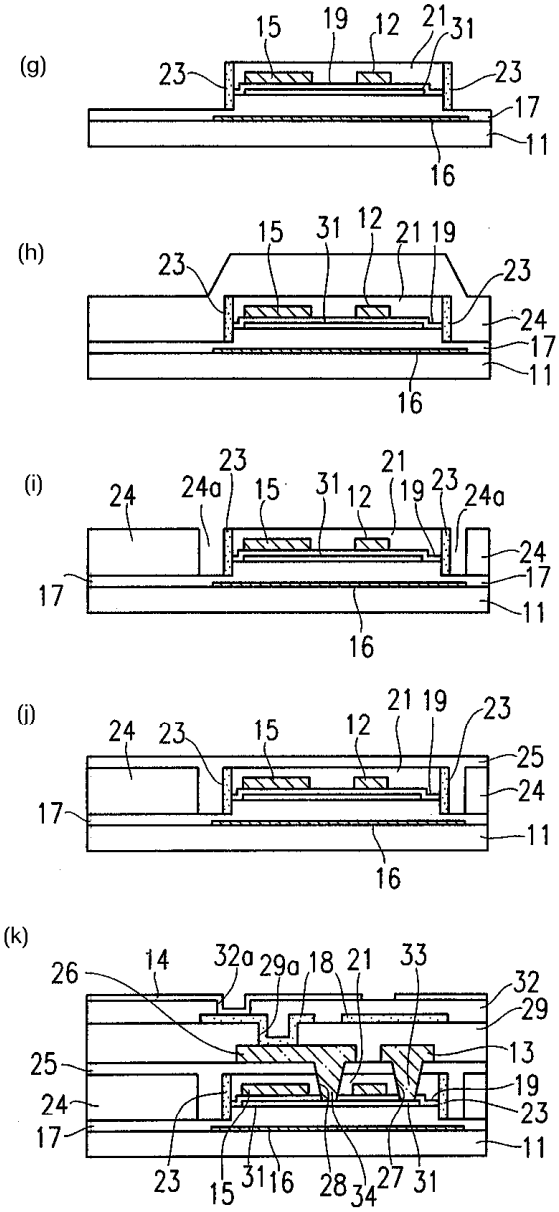
도면4


60
28
19
33
27
25
12
21
34
31
17
31c
31e
31a
31d
31b

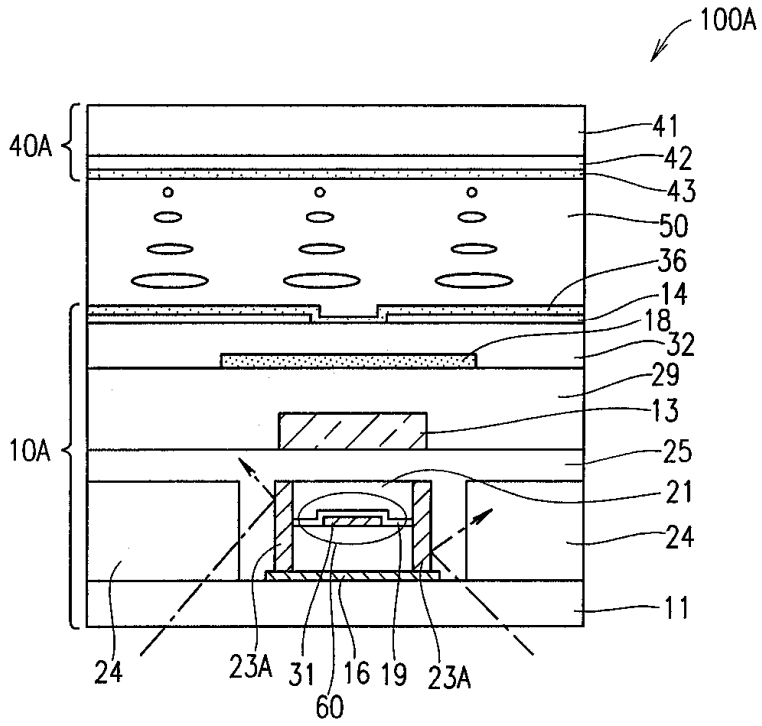
도면5abcdef


(a)
17
15
12
19
11
16
31
(b)
15
12
31
19
17
11
16
31c
31e
31a
31d
31b
(c)
19
31
15
12
21
17
11
16
(d)
19
15
12
31
21
17
16
11
(e)
15
12
21
19
17
11
16
31
(f)
15
12
21
19
23a
17
11
31
16

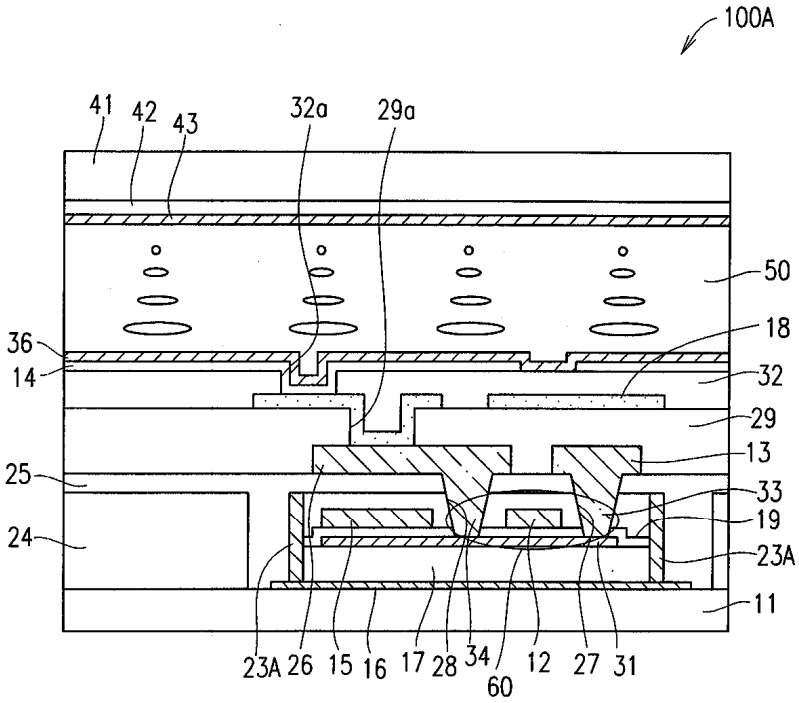
도면5ghijk


(g)
15
19
12
21
31
23
23
17
11
16
(h)
15
31
12
21
19
23
23
24
17
11
16
(i)
24
24a
23
15
31
12
21
19
23
24a
24
17
17
11
16
(j)
24
23
15
12
21
19
23
25
24
17
11
16
(k)
26
14
32a
29a
18
21
33
32
29
13
25
19
24
23
17
11
23
15
31
16
28
34
27
31

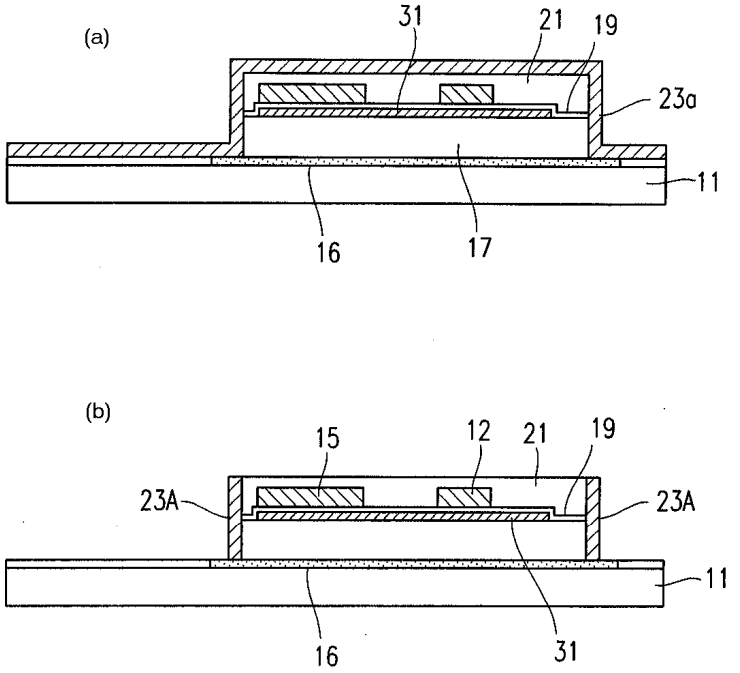
도면6


100A
40A
41
42
43
50
36
14
18
32
29
13
10A
25
21
24
11
24
23A
31
16
19
23A
60

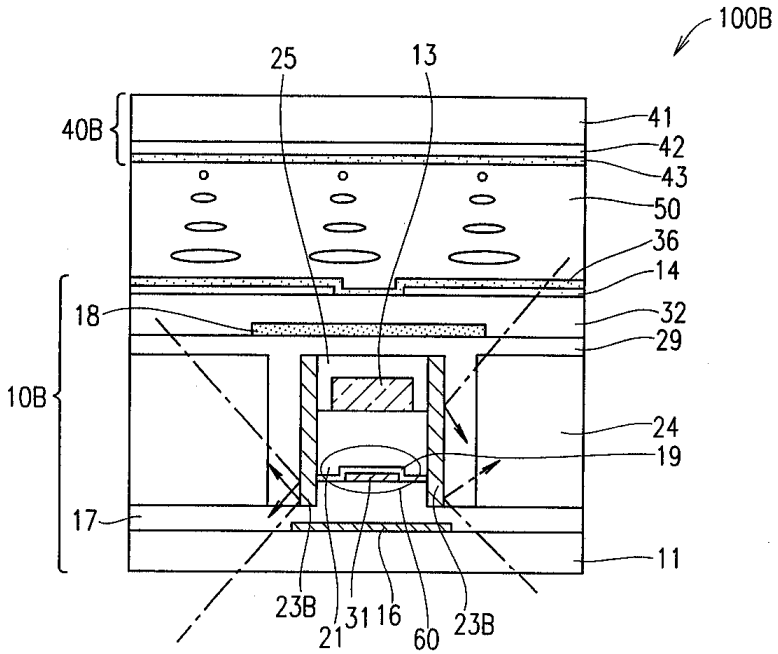
도면7


100A
41
42
43
32a
29a
50
36
14
18
32
29
13
25
33
19
24
23A
11
23A
26
15
16
17
28
34
60
12
27
31

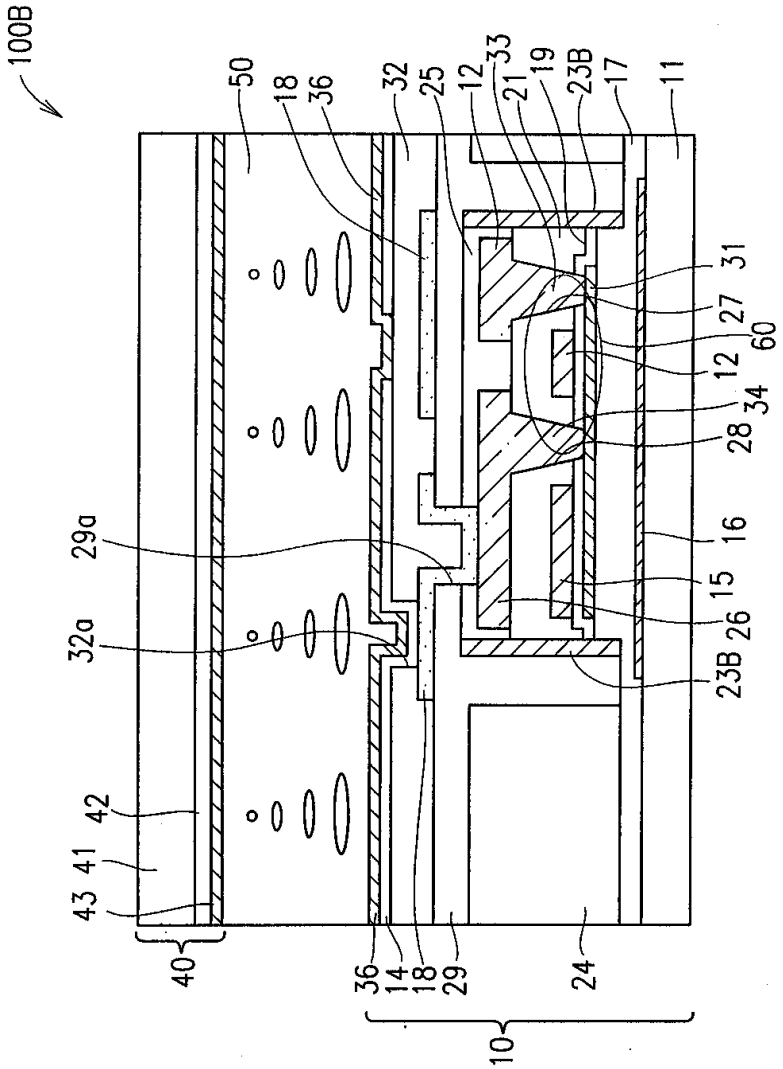
도면8


(a)
31
21
19
23a
11
16
17
(b)
15
12
21
19
23A
23A
11
16
31

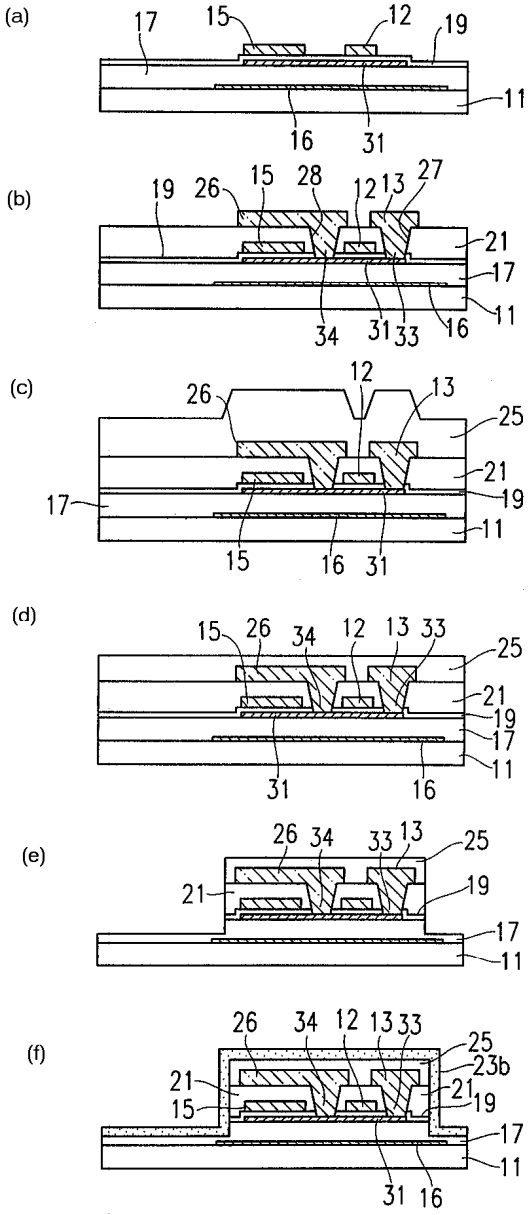
도면9


100B
25
13
40B
41
42
43
50
36
14
18
32
29
10B
24
19
17
11
23B
21
31
16
60
23B

도면10

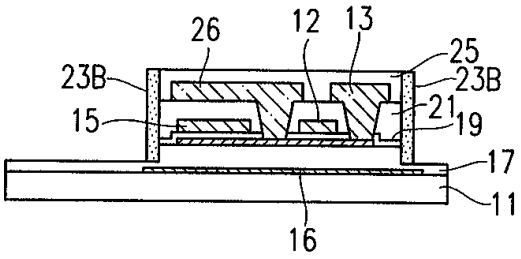

100B
50
18
36
32
25
12
33
21
19
23B
17
11
31
27
60
12
34
28
16
15
26
23B
29a
32a
42
41
43
40
36
14
18
29
24
10

도면11abcdef

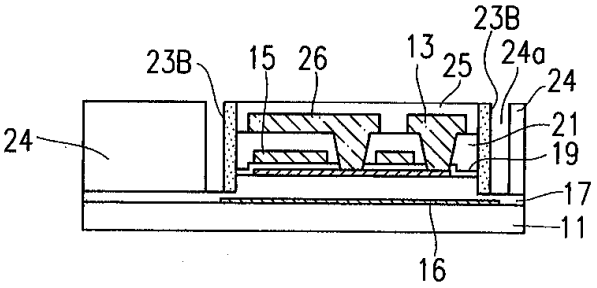

(a)
17
15
12
19
11
16
31
(b)
19
26
15
28
12
13
27
21
17
11
34
31
33
16
(c)
26
12
13
25
21
19
17
11
15
16
31
(d)
15
26
34
12
13
33
25
21
19
17
11
31
16
(e)
26
34
33
13
25
21
19
17
11
(f)
26
34
12
13
33
25
23b
21
21
15
19
17
11
31
16

도면11ghij

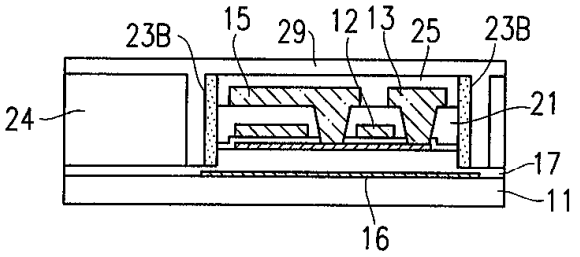
(g)



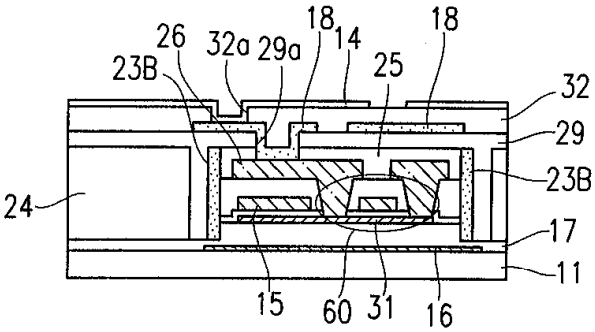
(h)



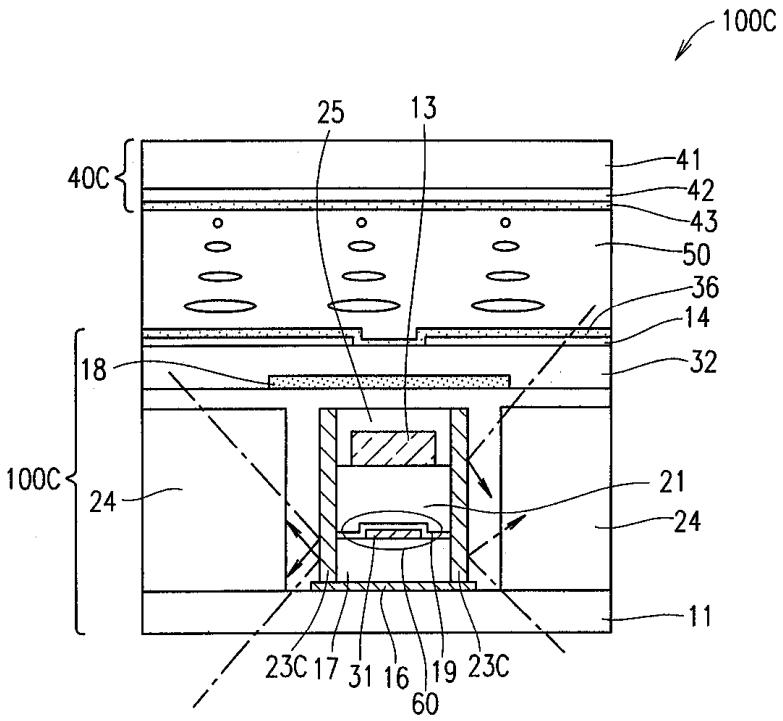
(i)



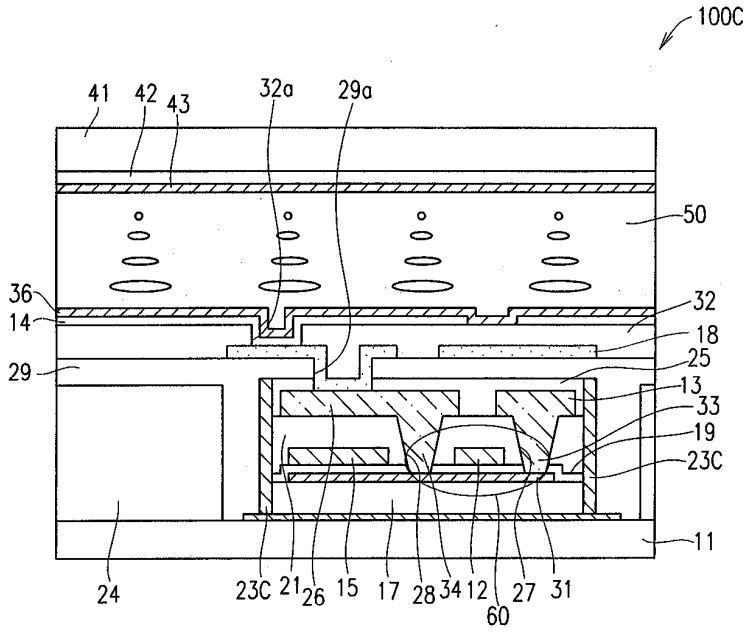
(j)



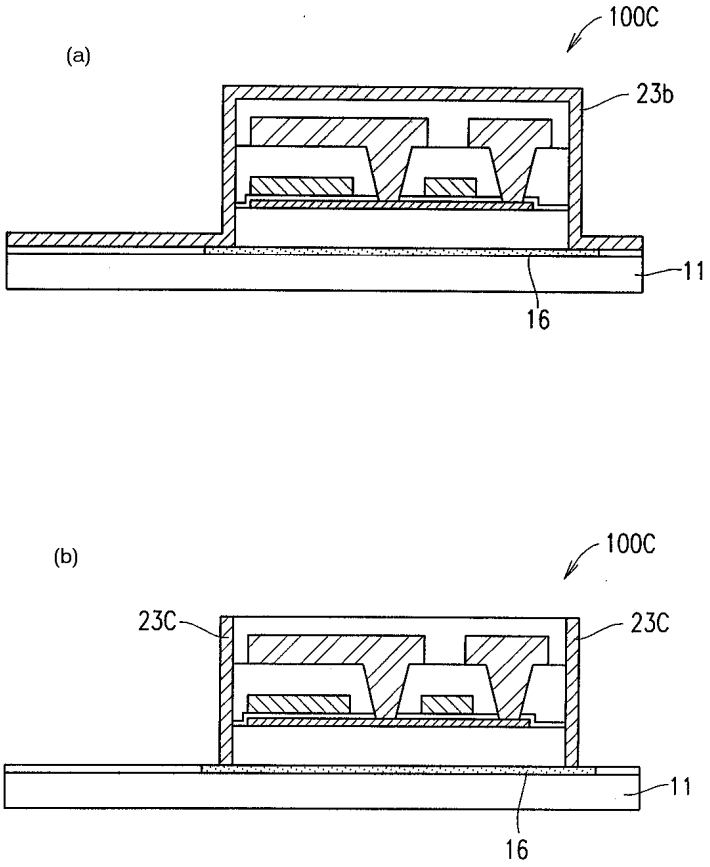
도면12


100C
25
13
40C
41
42
43
50
36
14
18
32
100C
24
21
24
11
23C
17
31
16
19
23C
60

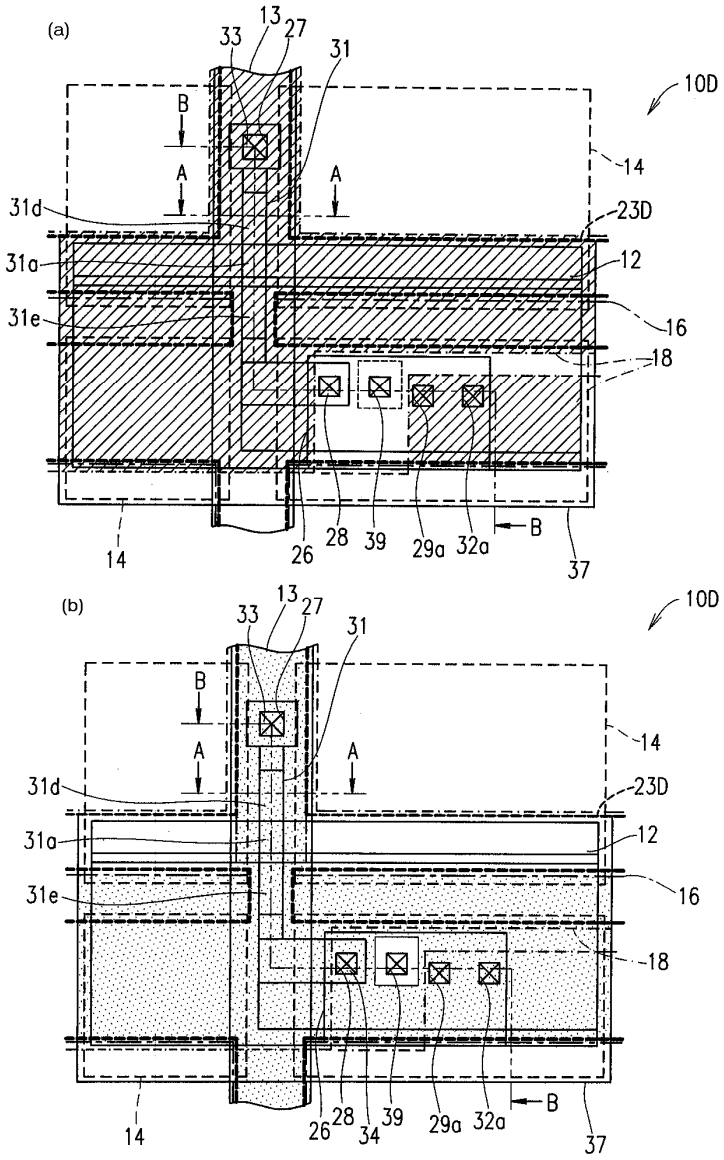
도면13


100C
41
42
43
32a
29a
50
36
14
32
18
29
25
13
33
19
23C
11
24
23C
21
26
15
17
28
34
12
27
31
60

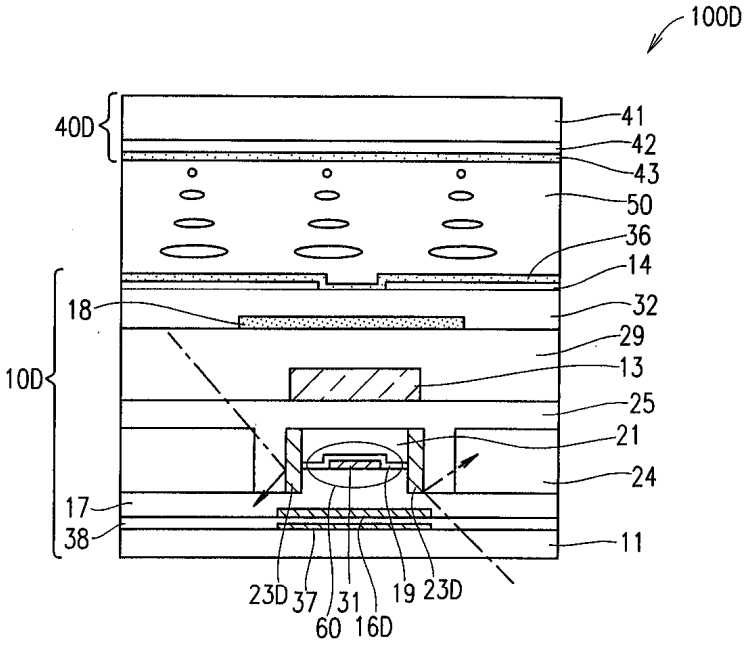
도면14



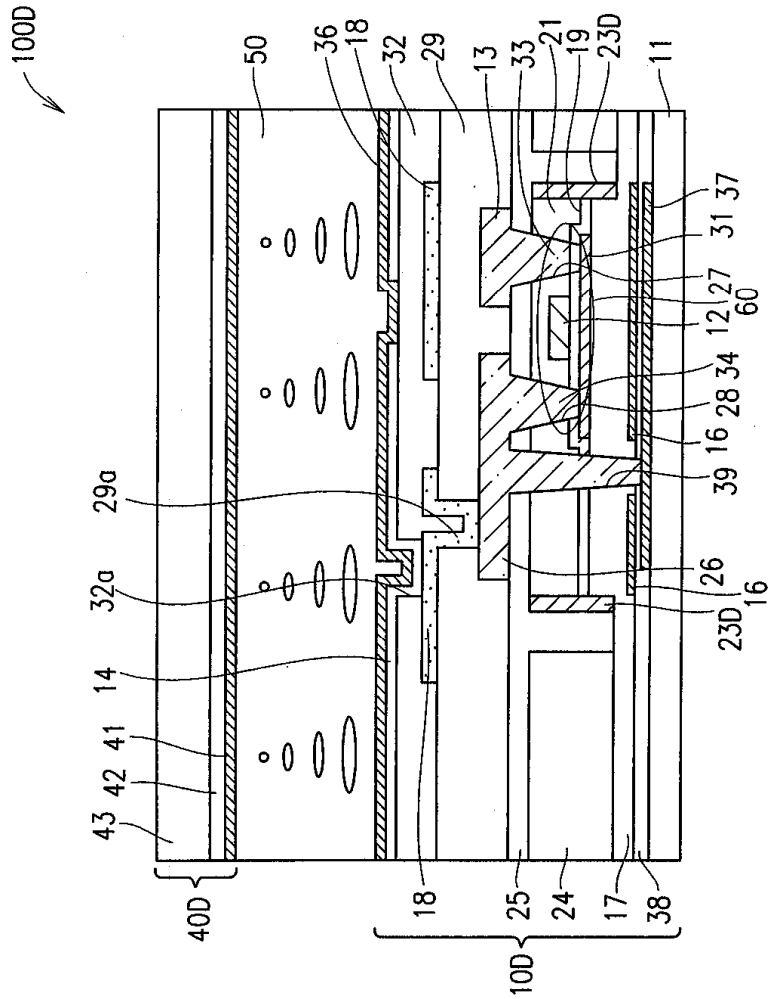
도면15


(a)
13
33
27
31
10D
B
A
A
14
31d
23D
31a
12
31e
16
18
14
26
28
39
29a
32a
B
37
(b)
13
33
27
31
10D
B
A
A
14
31d
23D
31a
12
31e
16
18
14
26
28
34
39
29a
32a
B
37

도면16

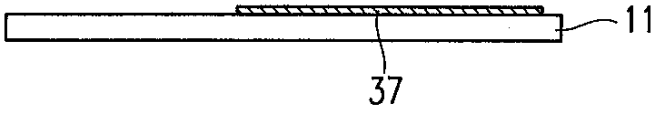

100D
40D
41
42
43
50
36
14
18
32
29
10D
13
25
21
24
17
38
11
23D
37
31
19
23D
60
16D

도면17


100D
50
36
18
32
29
13
33
21
19
23D
11
37
31
27
60
12
34
28
16
39
29a
32a
26
16
23D
14
41
42
43
40D
18
25
24
17
38
10D

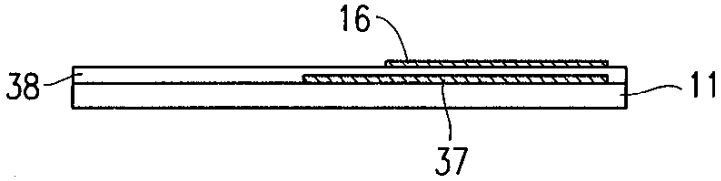
도면18abc

(a)



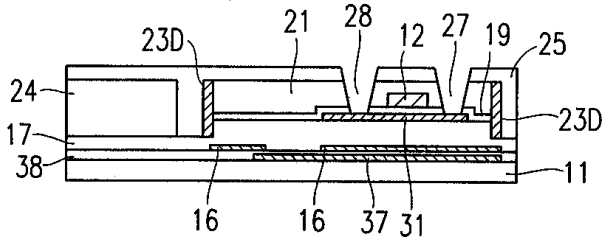
(b)

(c)

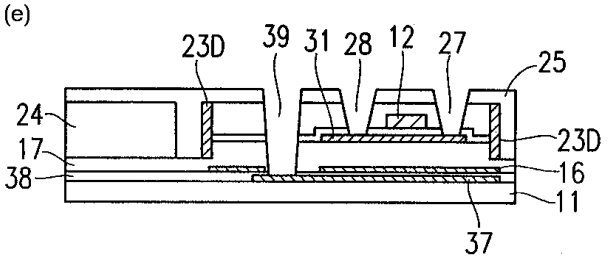


도면18defg

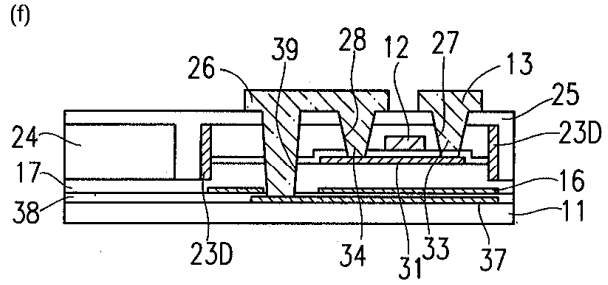
(d)



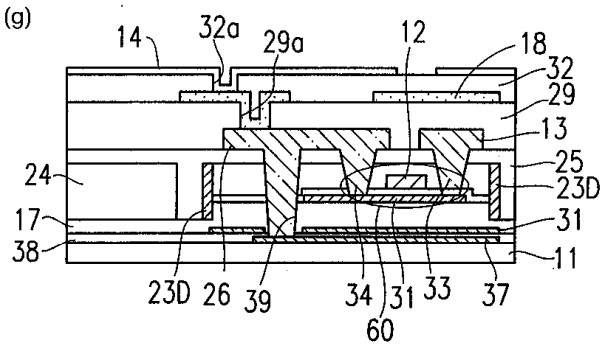
(e)



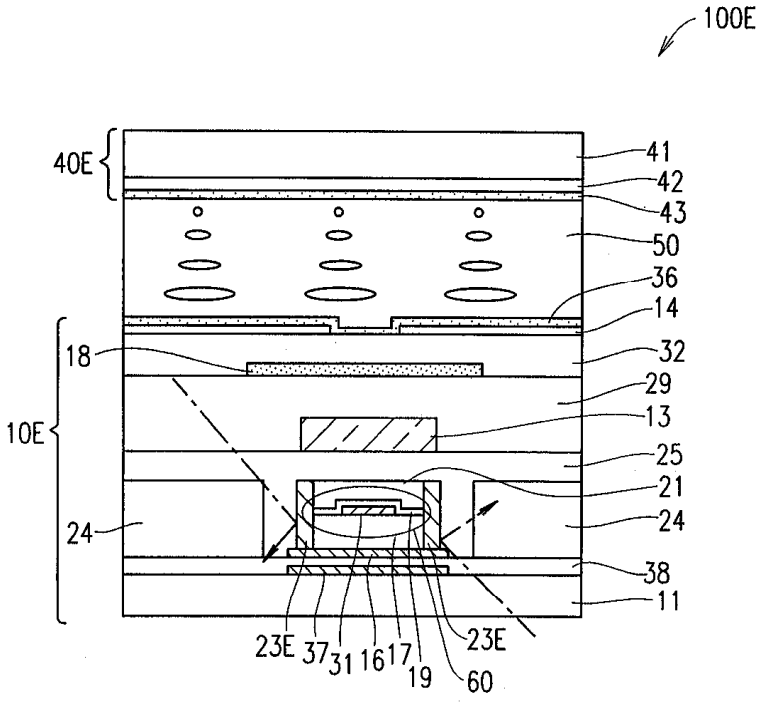
(f)



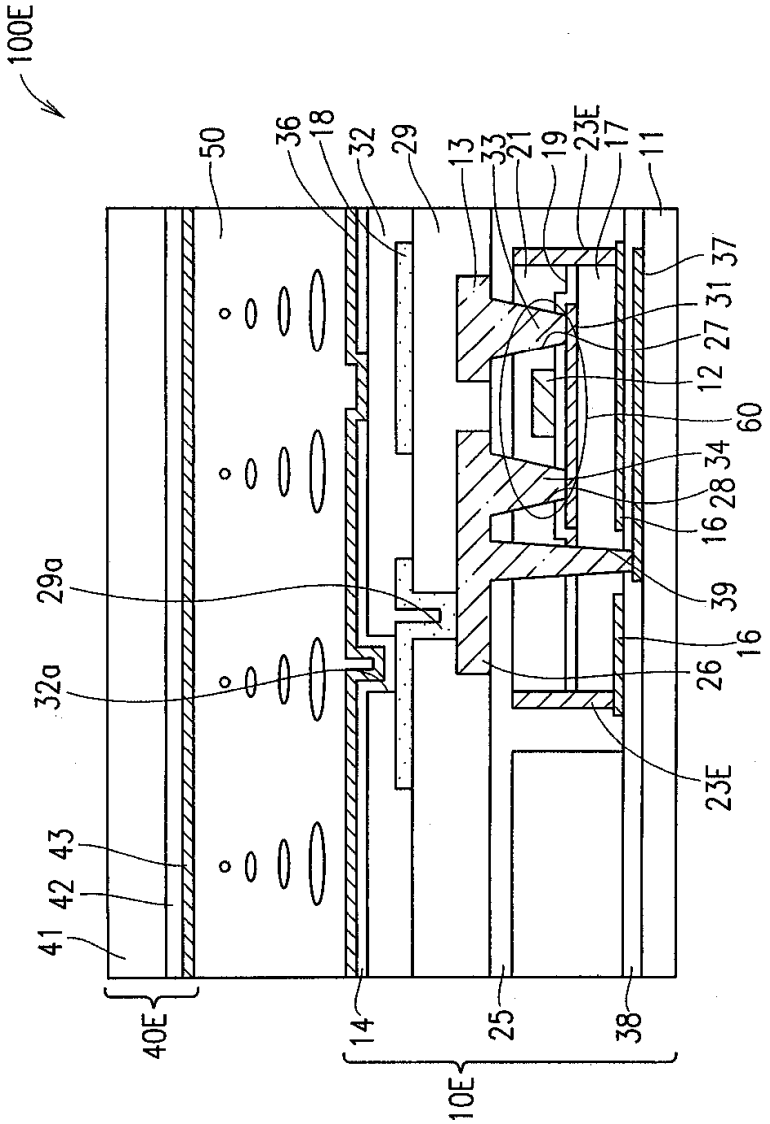
(g)



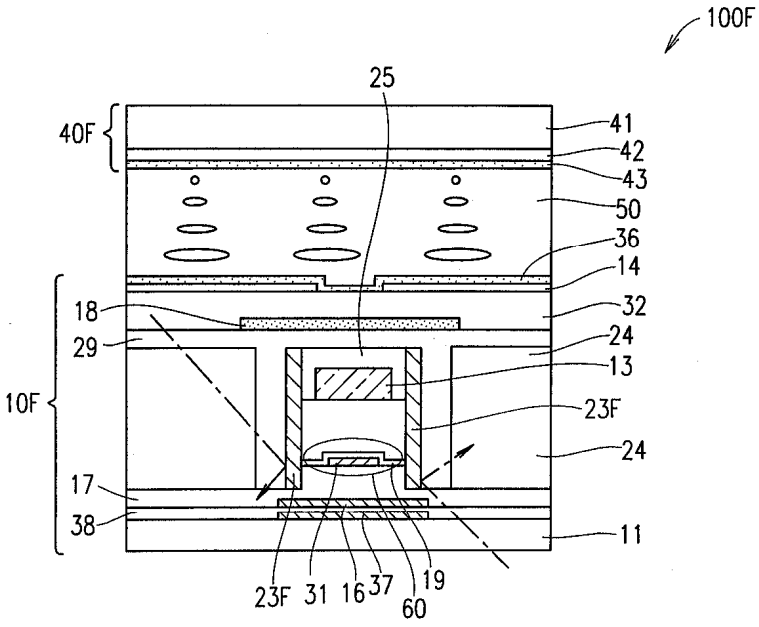
도면19


100E
40E
41
42
43
50
36
14
18
32
29
10E
13
25
21
24
24
38
11
23E
37
31
16
17
19
60
23E

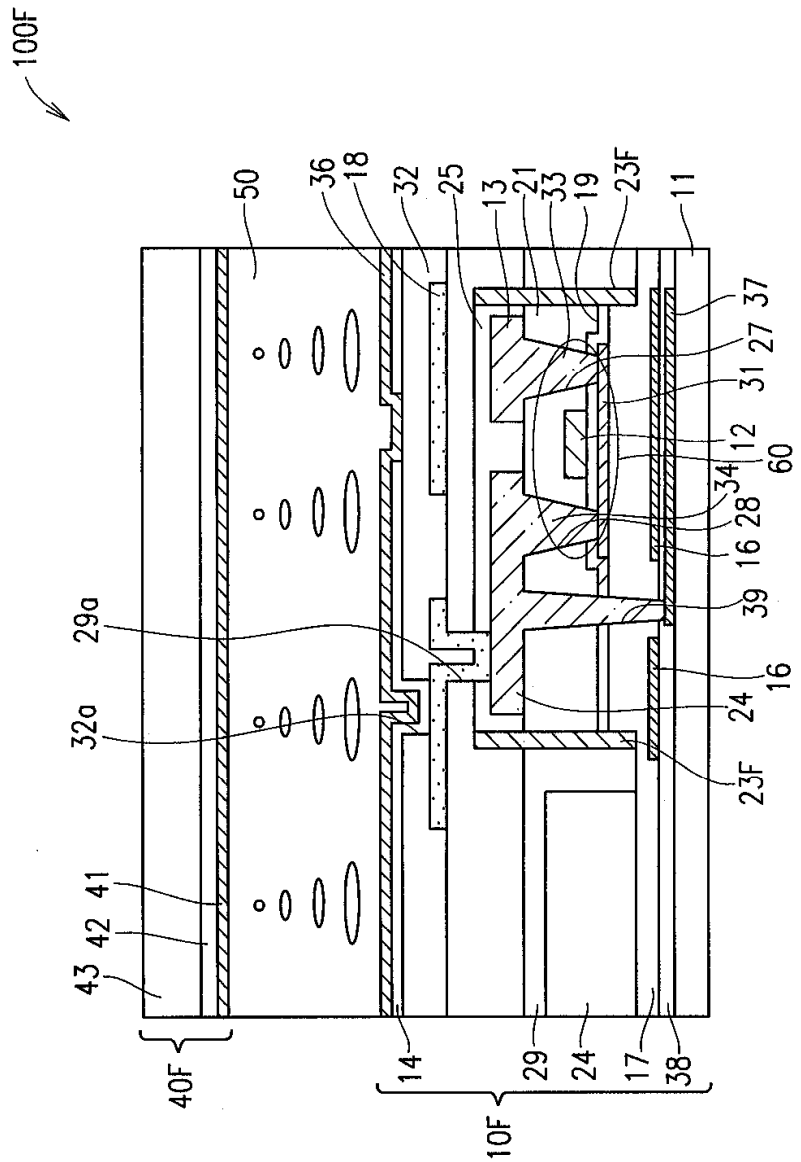
도면20


100E
50
36
18
32
29
13
33
21
19
23E
17
11
37
31
27
12
60
34
28
16
39
16
26
23E
29a
32a
43
42
41
40E
14
25
38
10E

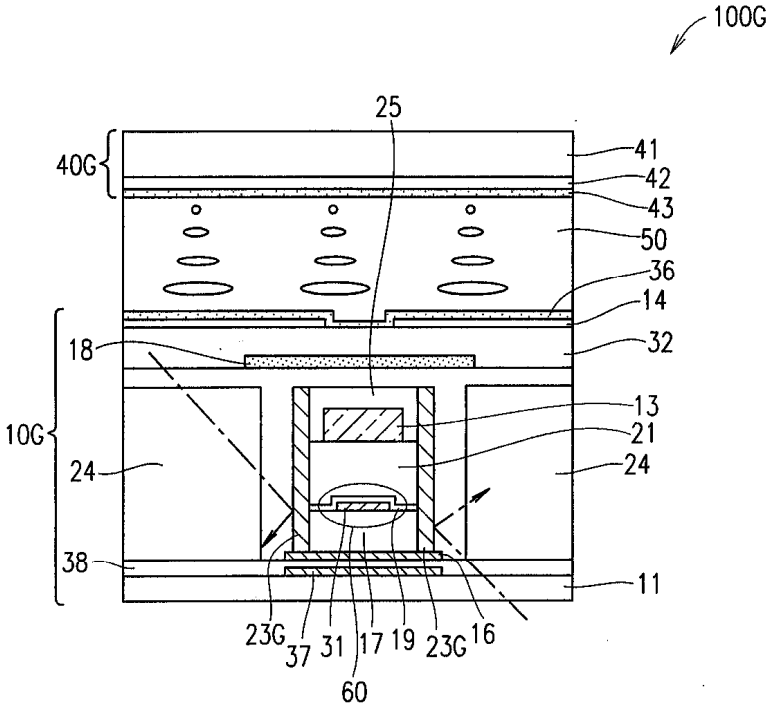
도면21


100F
25
40F
41
42
43
50
36
14
32
24
13
23F
24
11
18
29
10F
17
38
23F
31
16
37
19
60

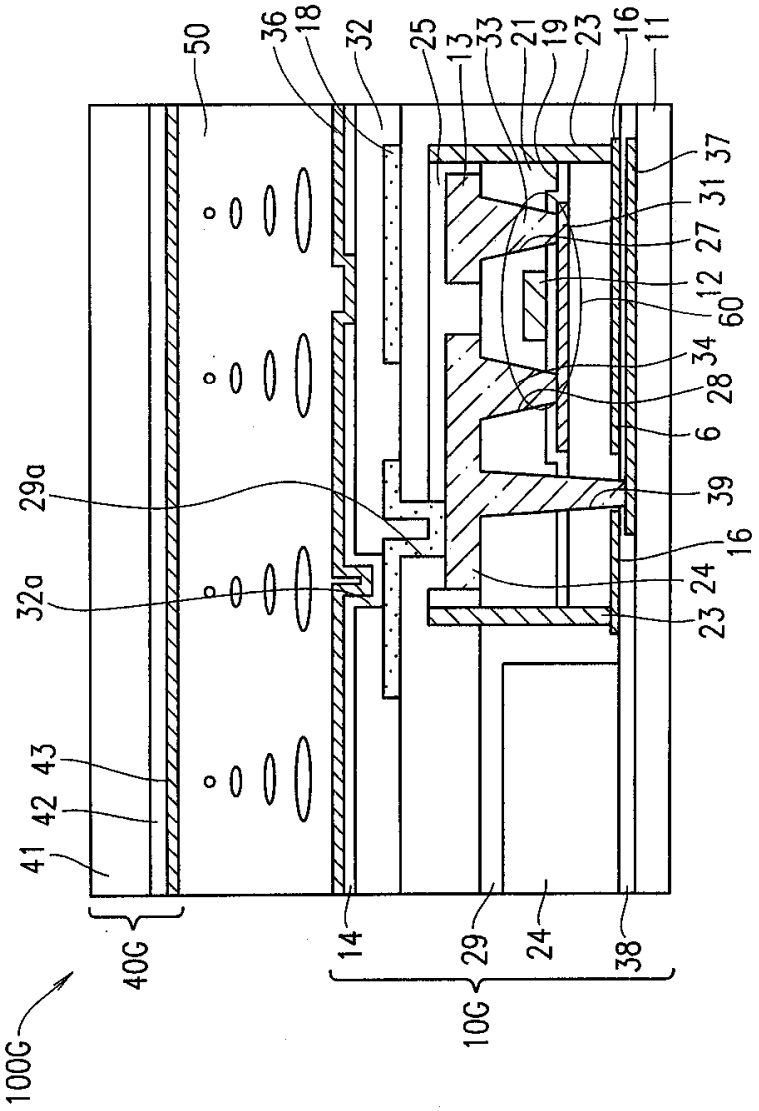
도면22


100F
50
36
18
32
25
13
21
33
19
23F
11
37
27
31
12
60
34
28
16
39
29a
16
24
32a
23F
41
42
43
40F
14
29
24
17
38
10F

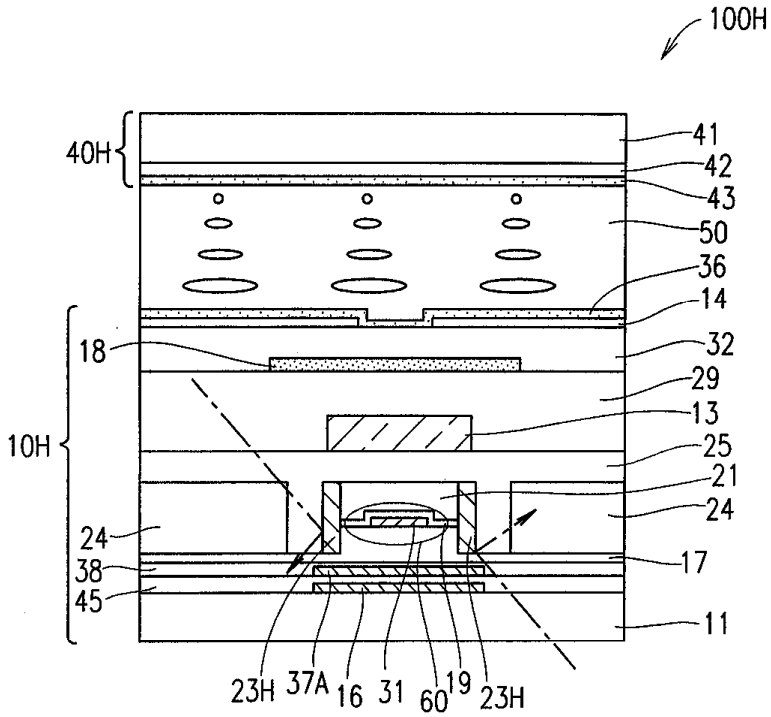
도면23


100G
25
40G
41
42
43
50
36
14
18
32
13
10G
21
24
24
38
11
23G
37
31
17
19
23G
16
60

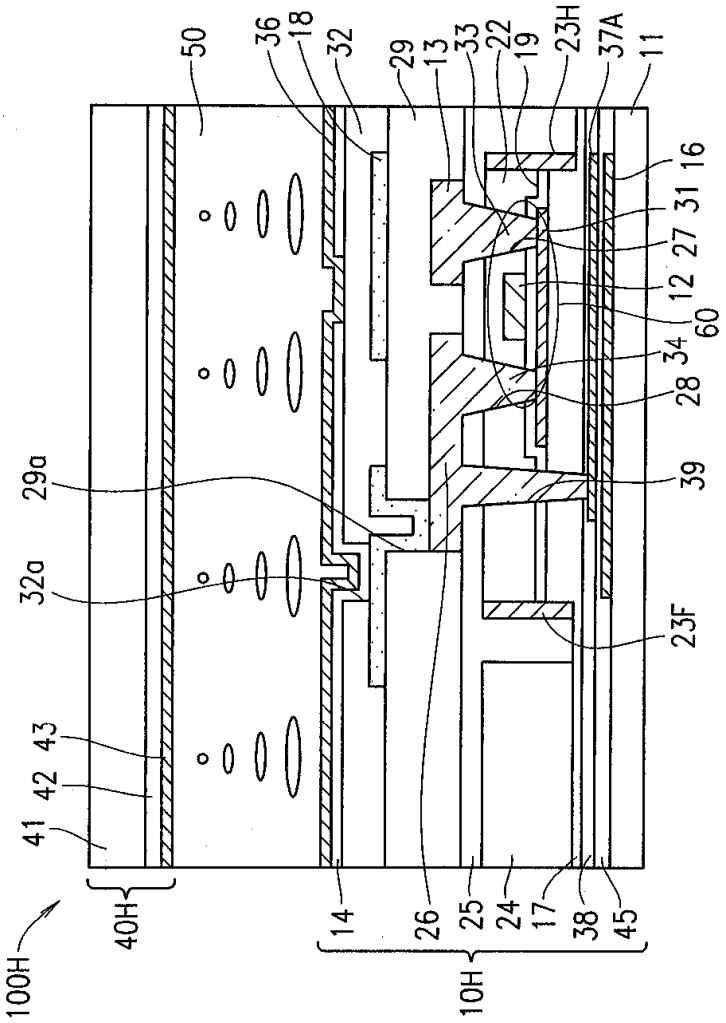
도면24


50
36
18
32
25
13
33
21
19
23
16
11
37
31
27
12
60
34
28
6
39
16
24
23
29a
32a
43
42
41
40G
14
29
24
38
10G
100G

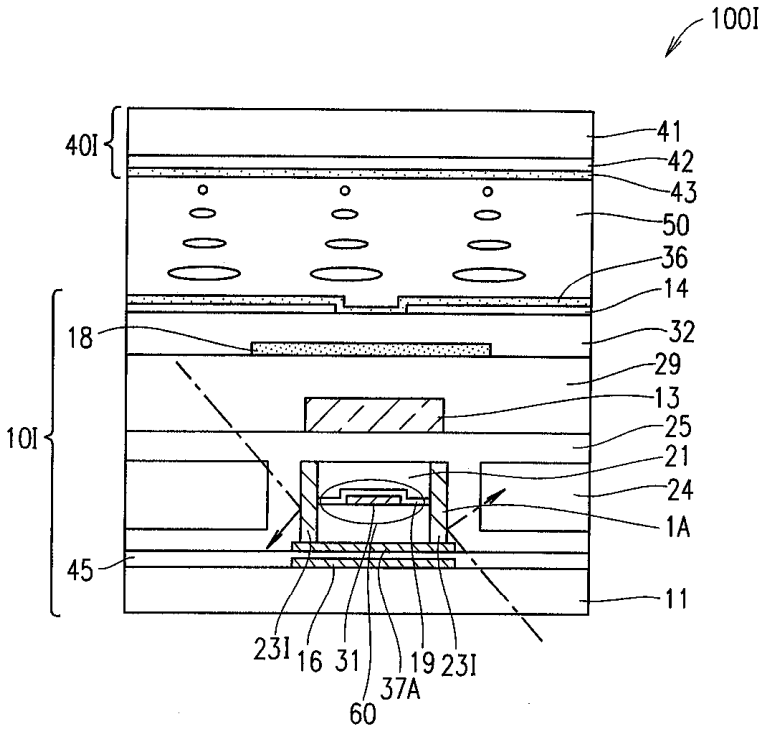
도면25


100H
40H
41
42
43
50
36
14
18
32
29
13
10H
25
21
24
24
17
38
45
11
23H
37A
16
31
60
19
23H

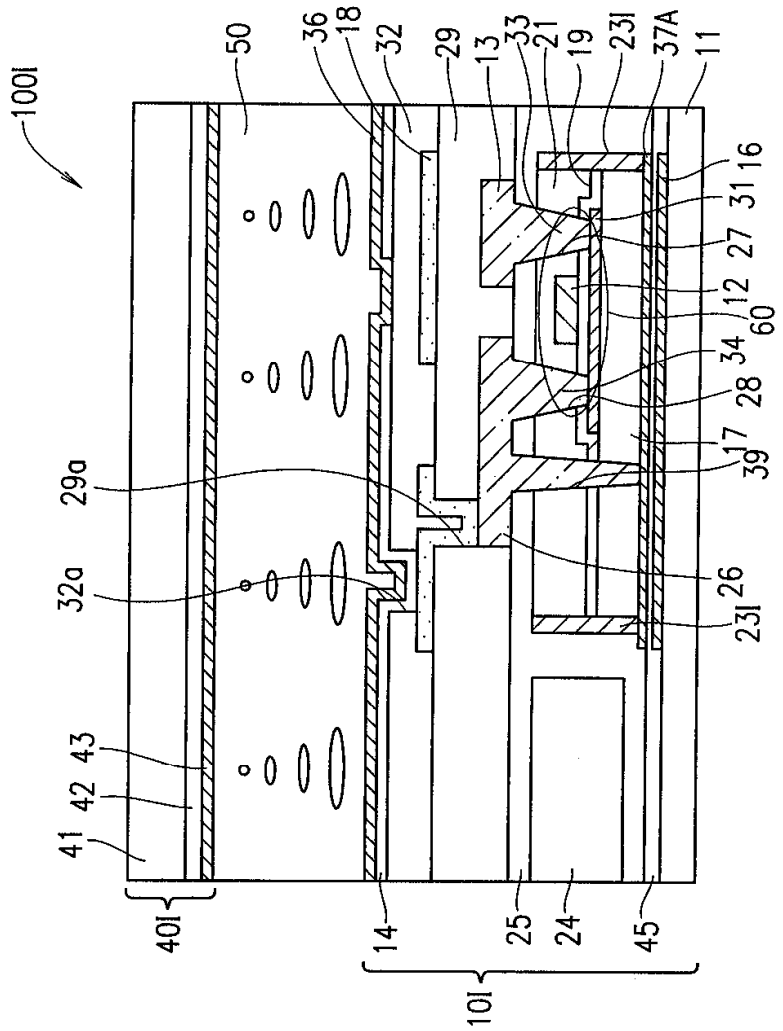
도면26


50
36
18
32
29
13
33
22
19
23H
37A
11
16
31
27
12
60
34
28
39
29a
32a
23F
43
42
41
40H
100H
14
26
25
24
17
38
45
10H

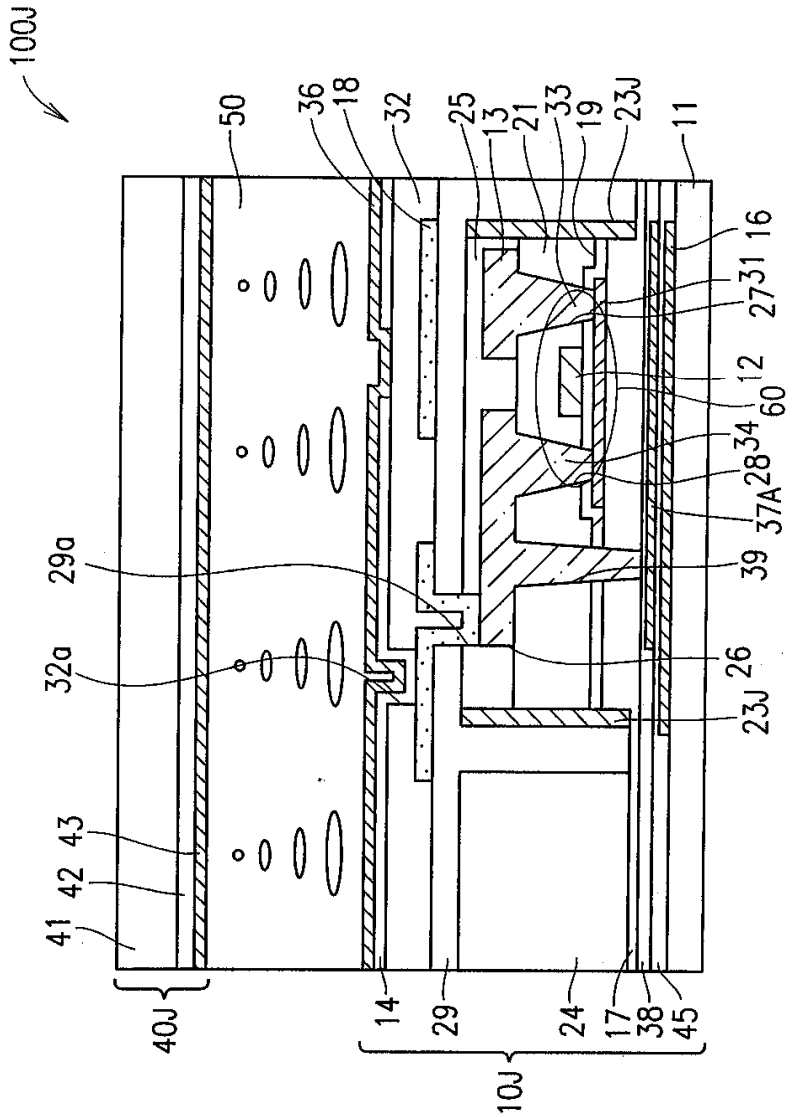
도면27


100I
40I
41
42
43
50
36
14
18
32
29
13
25
21
24
1A
10I
45
11
23I
16
31
37A
19
23I
60

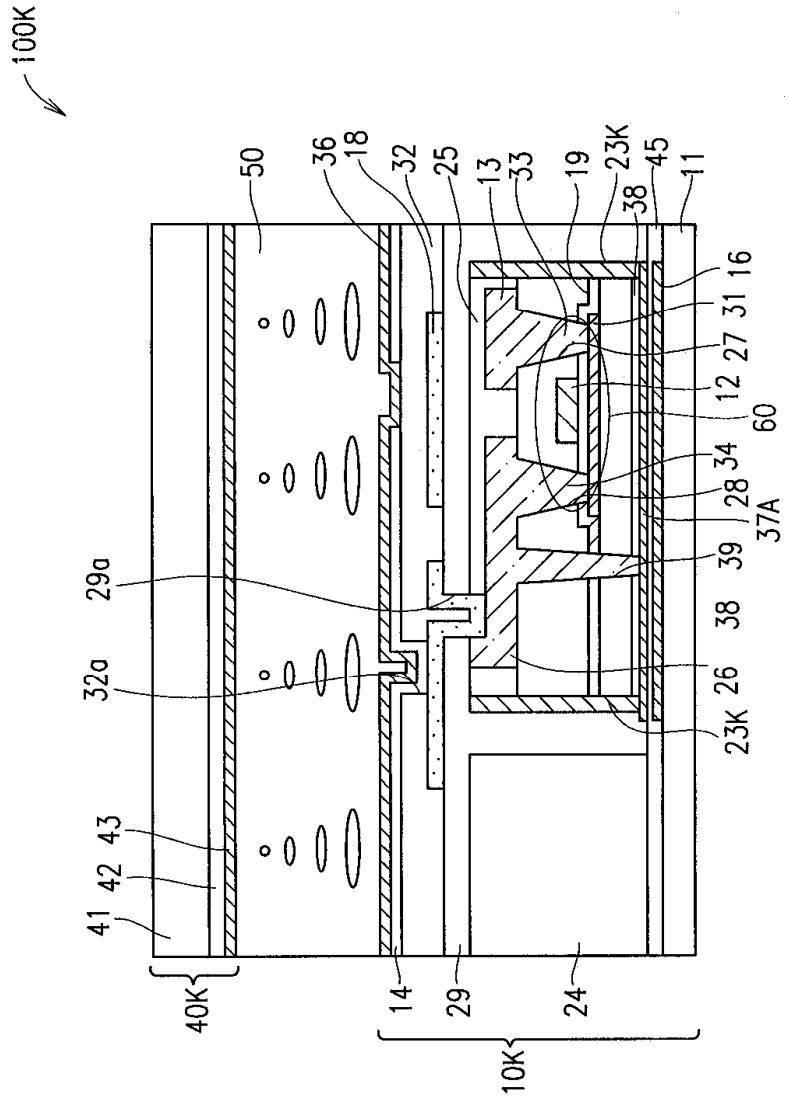
도면28


100I
50
36
18
32
29
13
33
21
19
23I
37A
11
16
31
27
12
60
34
28
17
39
29a
32a
26
23I
43
42
41
40I
14
25
24
45
10I

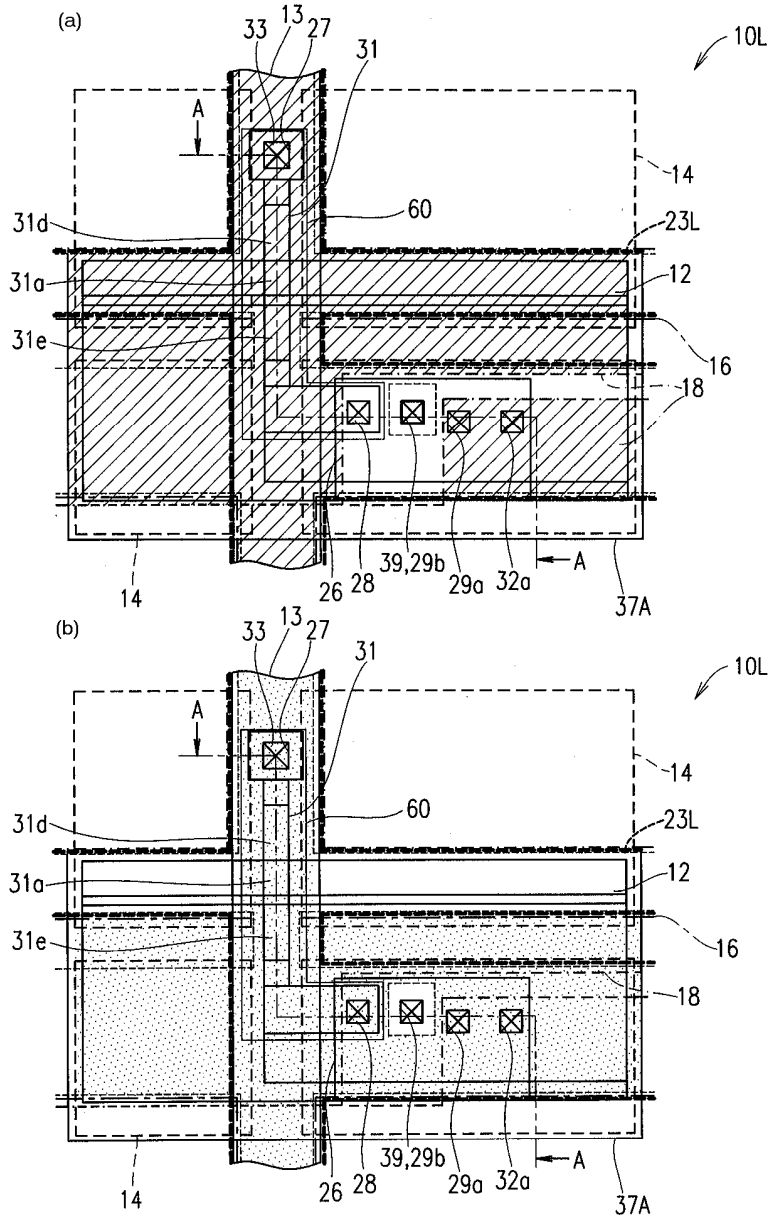
도면29


100J
50
36
18
32
25
13
21
33
19
23J
11
16
31
27
12
60
34
28
37A
39
29a
32a
26
23J
43
42
41
40J
14
29
24
17
38
45
10J

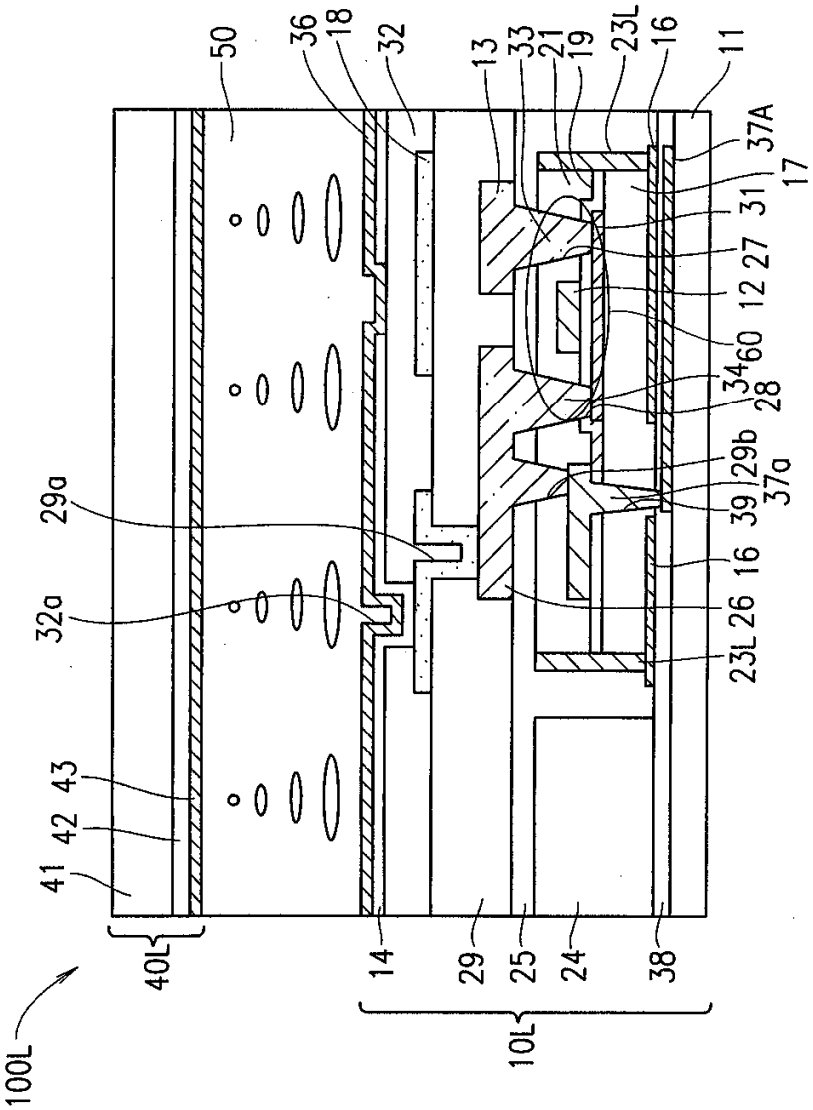
도면30


100K
50
36
18
32
25
13
33
19
23K
45
11
38
16
31
27
12
60
34
28
37A
39
38
26
23K
29a
32a
43
42
41
40K
14
29
24
10K

도면31

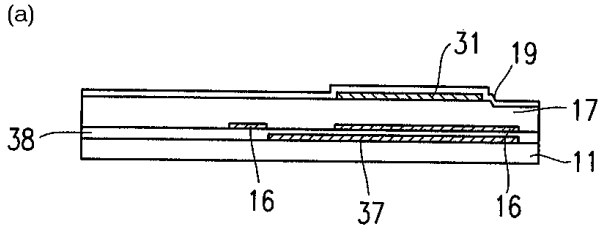

(a)
33
13
27
31
10L
A
14
60
31d
23L
31a
12
31e
16
18
14
26
28
39,29b
29a
32a
A
37A
(b)
33
13
27
31
10L
A
14
60
31d
23L
31a
12
31e
16
18
14
26
28
39,29b
29a
32a
A
37A

도면32

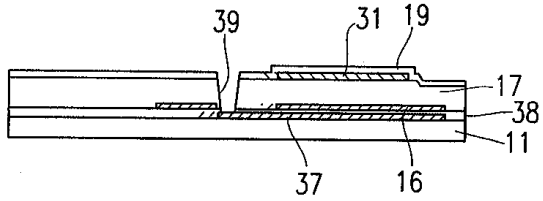

50
36
18
32
13
33
21
19
23L
16
11
37A
17
31
27
12
60
34
28
29b
37a
39
16
26
23L
29a
32a
43
42
41
40L
100L
14
29
25
24
38
10L

도면33abcd

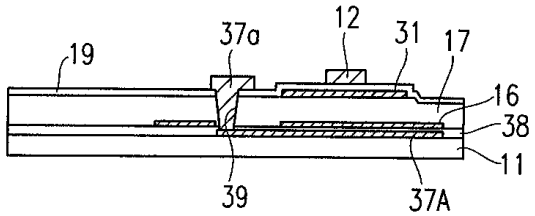
(a)



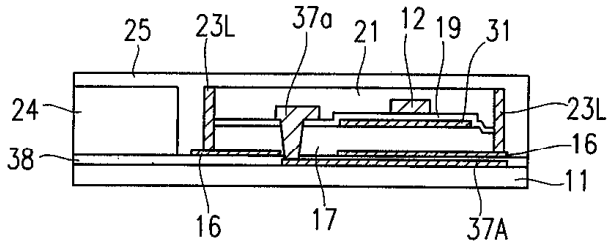
(b)



(c)

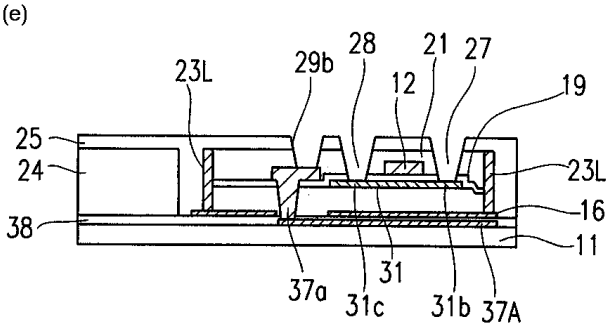


(d)

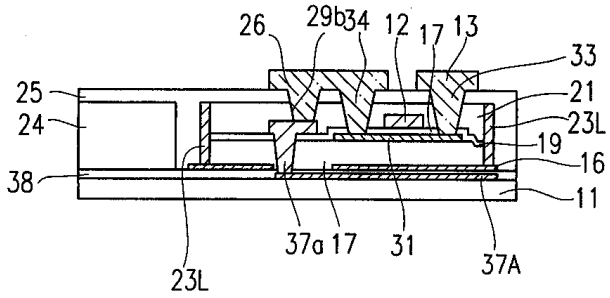


도면33efg

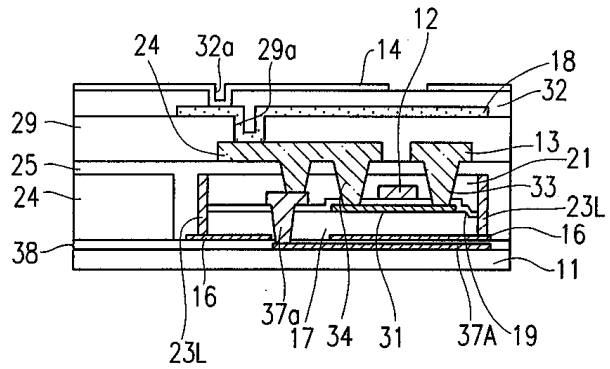
(e)


23L
29b
28
21
27
12
19
25
24
23L
16
38
11
37a
31c
31
31b
37A

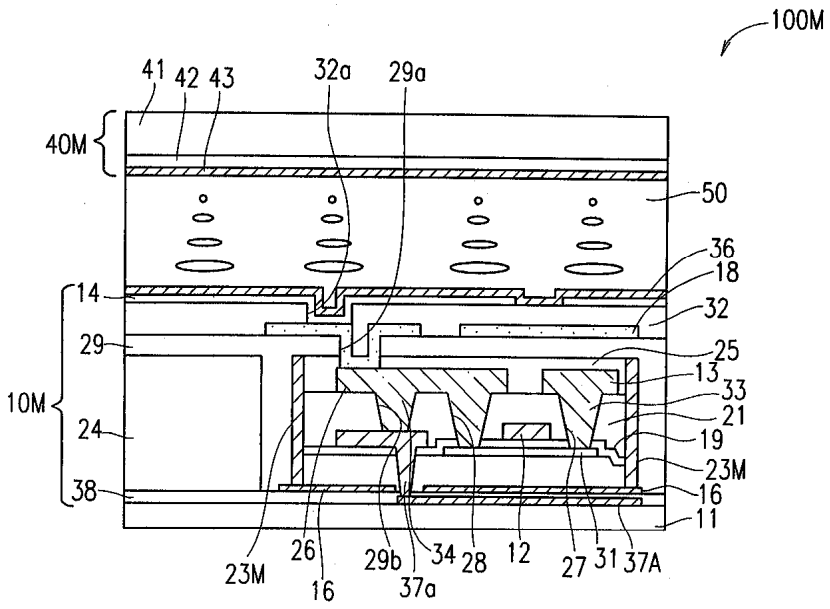
(f)


26
29b
34
12
17
13
33
25
21
24
23L
19
16
38
11
37a
17
31
37A
23L

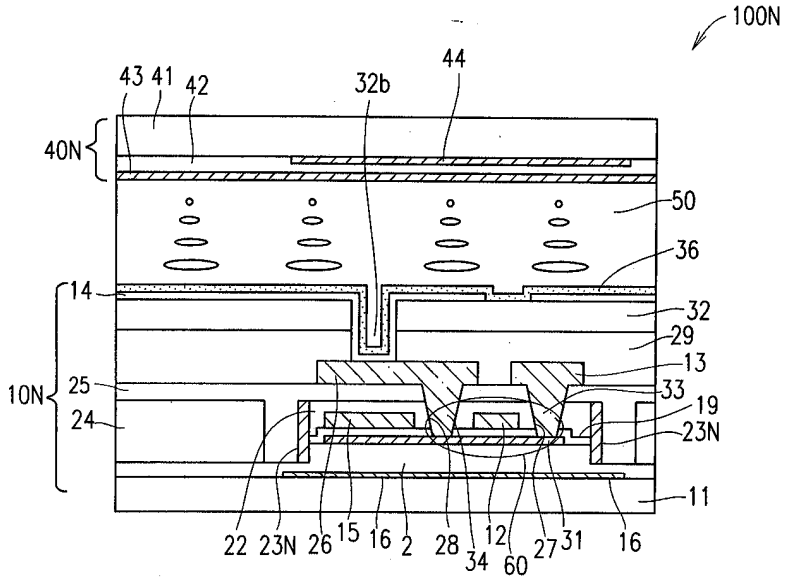
(g)


12
24
32a
29a
14
18
32
29
13
25
21
24
33
23L
16
38
11
16
37a
17
34
31
37A
19
23L

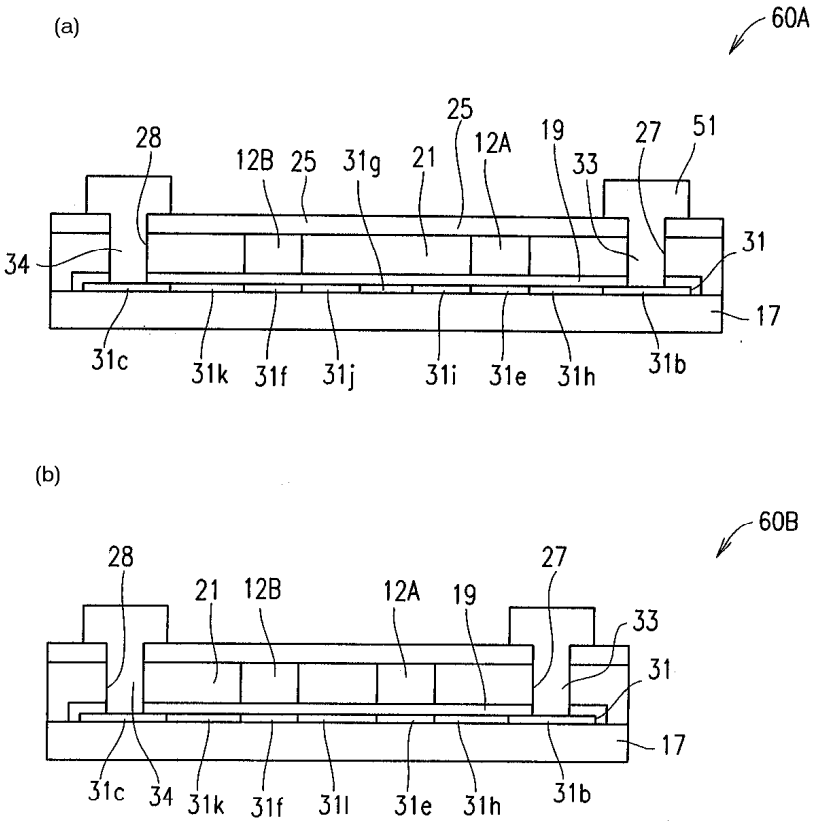
도면34


100M
41
42
43
32a
29a
40M
50
36
18
14
32
29
25
13
33
10M
21
24
19
23M
38
16
11
23M
26
16
29b
37a
34
28
12
27
31
37A

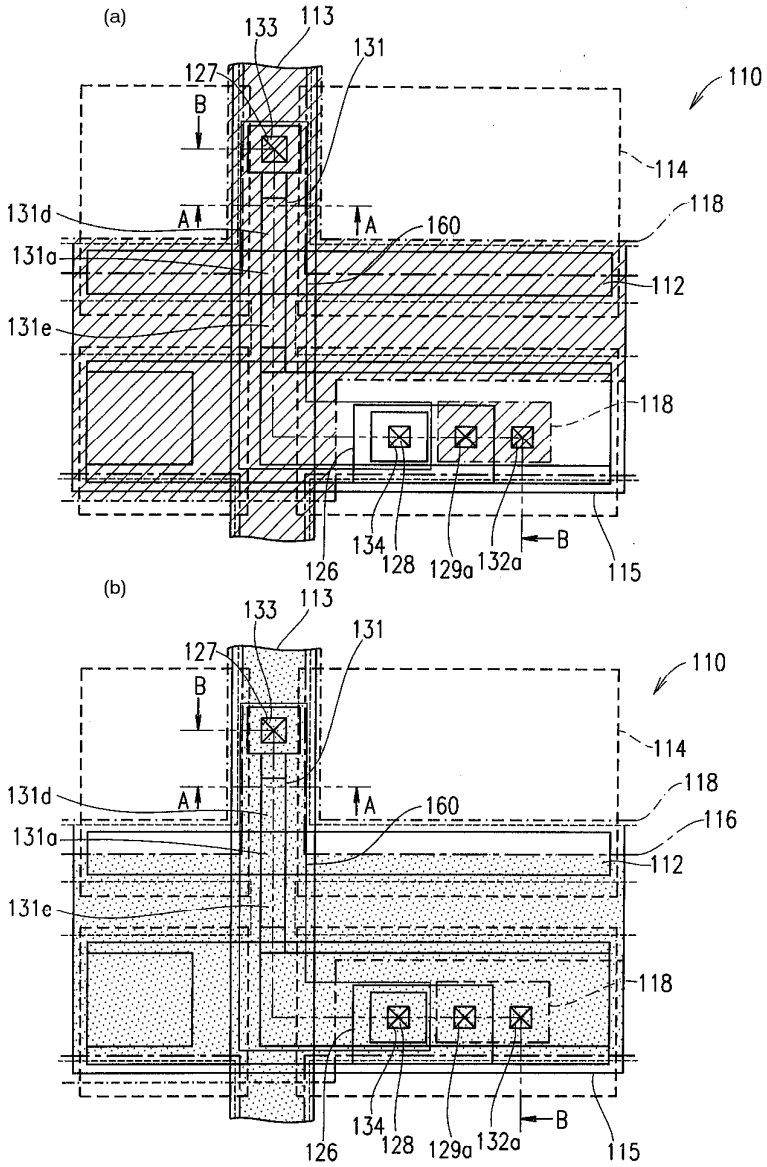
도면35


100N
43
41
42
44
32b
40N
50
36
14
32
29
13
25
33
10N
19
24
23N
11
22
23N
26
15
16
2
28
34
12
60
27
31
16

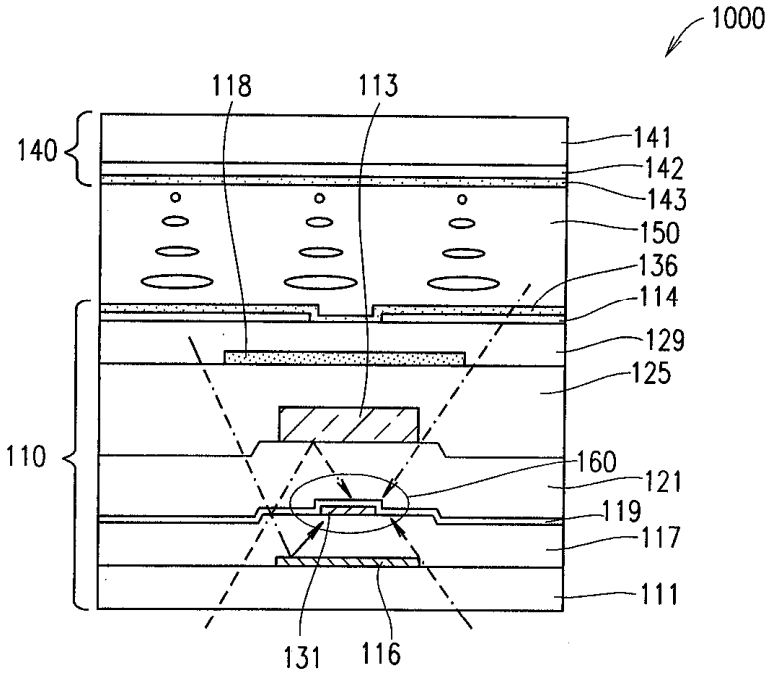
도면36


(a)
60A
28
12B
25
31g
21
25
12A
19
33
27
51
31
34
17
31c
31k
31f
31j
31i
31e
31h
31b
(b)
60B
28
21
12B
12A
19
27
33
31
17
31c
34
31k
31f
31l
31e
31h
31b

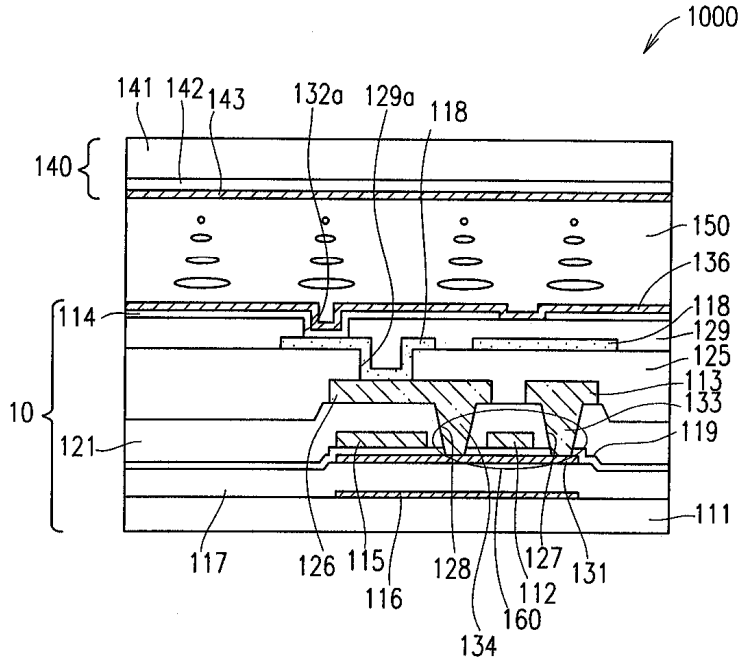
도면37


(a)
133
113
131
127
B
110
114
118
131d
A
A
160
131a
112
131e
118
134
128
129a
132a
B
126
115
(b)
133
113
131
127
B
110
114
118
131d
A
A
160
116
131a
112
131e
118
134
128
129a
132a
B
126
115

도면38


1000
118
113
140
141
142
143
150
136
114
129
125
110
160
121
119
117
111
131
116

도면39


1000
141
142
143
132a
129a
118
140
150
136
114
118
129
125
113
10
133
121
119
111
117
126
115
128
127
131
116
112
160
134

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020040005688A	公开(公告)日	2004-01-16
申请号	KR1020030046529	申请日	2003-07-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	UEDA TOHRU 우에다토루 INOGUCHI KAZUHIKO 이노구치카즈히코 HIGAMI YOSHINORI 히가미요시노리		
发明人	우에다토루 이노구치카즈히코 히가미요시노리		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1362 G02F1/1335 H01L29/786 G02F1/1343		
CPC分类号	H01L29/78633 G02F1/136209		
代理人(译)	LEE，金泰熙		
优先权	2002200578 2002-07-09 JP		
外部链接	Espacenet		

摘要(译)

液晶显示器包括有源矩阵基板：相对板，有源矩阵基板和夹在相对基板间隙中的液晶层。有源矩阵基板包括设置在基板上的薄膜晶体管：基板和侧光屏蔽层，其覆盖薄膜晶体管的侧面的至少一部分。