(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G09G 3/36

(11) 공개번호 10-2004-0003287
(43) 공개일자 2004년01월13일

(21) 출원번호 10-2002-0037946
(22) 출원일자 2002년07월02일

(71) 출원인 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 문승환
경기도용인시수지읍상현리만현마을현대I-PARK6차아파트205-1504

(74) 대리인 박영우

심사청구 : 없음

(54) 쉬프트 레지스터와 이를 구비하는 액정 표시 장치

요약

대화면, 고해상도의 a-Si TFT LCD에 적용이 가능한 쉬프트 레지스터와 이를 갖는 액정표시장치를 개시한다. 쉬프트 레지스터는 연결된 복수의 스테이지로 이루어지고, 각 스테이지는 풀업부와, 풀업구동부와, 풀다운부와, 풀다운구동부와, 제1 및 제2 클럭 중 대응되는 클럭을 다운 스테이지로의 전달을 제어하는 제1 캐리 버퍼와, 이전 스테이지의 제1 캐리 버퍼로부터 제공되어 풀업부에 인가되는 제1 및 제2 클럭 중 대응되는 캐리 전압을 다운시키는 제2 캐리 버퍼로 이루어진다. 이에 따라, 대화면, 고해상도의 a-Si TFT LCD에 적용시 임계 전압에 둔감한 쉬프트 레지스터를 제공할 수 있다.

대표도

도 12

색인어

액정, 쉬프트 레지스터, 충전, 쉬프트 레지스터, 임계 전압, 대화면

명세서

도면의 간단한 설명

도 1은 poly-TFT LCD의 TFT 기판의 구성을 나타낸 개략도이다.

도 2는 종래의 a-Si LCD의 TFT 기판의 구성을 나타낸 개략도이다.

도 3은 본 발명에 의한 a-Si TFT 액정 표시 장치의 분해 사시도를 나타낸다.

도 4는 본 발명에 의한 a-Si TFT LCD의 TFT 기판의 구성을 나타낸 도면이다.

도 5는 상기한 도 4의 데이터 구동회로의 쉬프트 레지스터의 블록도이다.

도 6은 상기한 도 4의 게이트 구동회로에 채용되는 쉬프트 레지스터를 설명하기 위한 블록도이다.

도 7은 상기한 도 6에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 나타낸 것이다.

도 8은 상기한 도 7에 의한 출력 파형도이다.

도 9는 상기한 도 6에 의한 구동 파형을 설명하기 위한 파형도이다.

도 10a 내지 도 10c는 상기한 도 7의 a-Si TFT 쉬프트 레지스터로부터 출력되는 게이트 신호 파형들에 대한 시뮬레이션 결과를 설명하기 위한 도면이다.

도 11은 상기한 도 4의 게이트 구동회로에 채용되는 쉬프트 레지스터를 설명하기 위한 블럭도이다.

도 12는 본 발명의 제1 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도이다.

도 13은 본 발명의 제2 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도이다.

도 14a 내지 도 14c는 상기한 도 13에 의한 출력 파형도이다.

도 15는 본 발명의 제3 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도이다.

도 16은 본 발명의 제4 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도이다.

도 17은 상기한 도 16의 캐패시터 노드의 충전 전위를 나타낸 도면이다.

<도면의 주요부분에 대한 부호의 설명>

110 : 액정표시패널 어셈블리 120: 백라이트 어셈블리

130 : 샤시 140 : 커버

150 : 표시 셀 어레이 회로 160 : 데이터 구동회로

162, 163, 169 : 외부연결단자 170 : 게이트 구동회로

171 : 풀업부 172 : 풀다운부

173 : 풀업구동부 174 : 풀다운구동부

175, 176, 275, 276, 375, 376, 475, 476 : 캐리 버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 쉬프트 레지스터와 이를 갖는 액정표시장치에 관한 것으로, 보다 상세하게는 대화면, 고해상도의 a-Si TFT LCD에 적용이 가능한 쉬프트 레지스터와 이를 갖는 액정표시장치에 관한 것이다.

최근 들어 정보 처리 기기는 다양한 형태, 다양한 기능, 더욱 빨라진 정보 처리 속도를 갖도록 급속하게 발전되고 있다. 이러한 정보처리 장치에서 처리된 정보는 전기적인 신호 형태를 갖는다. 사용자가 정보처리 장치에서 처리된 정보를 육안으로 확인하기 위해서는 인터페이스 역할을 하는 디스플레이 장치를 필요로 한다.

최근에 액정 표시 장치가 대표적인 CRT방식의 디스플레이 장치에 비하여, 경량, 소형이면서, 고해상도, 저전력 및 친환경적인 잇점을 가지며 풀 컬러화가 가능하여 차세대 디스플레이 장치로 부각되고 있다.

액정 표시 장치는 액정의 특정한 분자배열에 전압을 인가하여 다른 분자배열로 변환시키고, 이러한 분자 배열에 의해 발광하는 액정셀의 복굴절성, 선광성, 2색성 및 광산란특성 등의 광학적 성질의 변화를 시각 변화로 변환하는 것으로, 액정셀에 의한 빛의 변조를 이용한 디스플레이이다.

액정 표시 장치는 크게 TN(Twisted Nematic) 방식과 STN(Super-Twisted Nematic)방식으로 나뉘고, 구동방식의 차이로 스위칭 소자 및 TN액정을 이용한 액티브 매트릭스(Active matrix)표시방식과 STN 액정을 이용한 패시브 매트릭스(passive matrix)표시 방식이 있다.

이 두 방식의 큰 차이점은 액티브 매트릭스 표시 방식은 TFT-LCD에 사용되며, 이것은 TFT를 스위치로 이용하여 LCD를 구동하는 방식이며, 패시브 매트릭스 표시방식은 트랜지스터를 사용하지 않기 때문에 이와 관련한 복잡한 회로를 필요로 하지 않는다.

TFT-LCD는 a-Si TFT LCD와, poly-Si TFT LCD로 구분된다. poly-Si TFT LCD는 소비전력이 작고, 가격이 저렴하지만 a-Si TFT와 비교하여 TFT 제조 공정이 복잡한 단점이 있다. 그래서, poly-Si TFT LCD는 IMT-2000 폰의 디스플레이와 같이 소형 디스플레이 장치에 주로 적용된다.

a-Si TFT LCD는 대면적이 용이하고 수율이 높아서 주로 노트 북 PC, LCD 모니터, HDTV 등의 대화면 디스플레이 장치에 적용된다.

도 1은 poly-TFT LCD의 TFT 기판의 구성을 나타낸 개략도이고, 도 2는 종래의 a-Si LCD의 TFT 기판의 구성을 나타낸 개략도이다.

도 1에 도시한 바와 같이, poly-Si TFT LCD는 픽셀 어레이가 형성된 유리기판(10) 상에 데이터 구동회로(12) 및 게이트 구동회로(14)를 형성하고, 단자부(16)와 통합 인쇄 회로 기판(20)을 필름 케이블(18)로 연결한다. 이와 같은 구조는 제조 원가를 절감하고 구동회로의 일체화로 전력손실을 최소화할 수 있으며, 슬림한 표시장치를 제공할 수 있는 잇점을 갖는다.

그러나, 도 2에 도시한 바와 같이, a-Si TFT LCD는 연성 인쇄회로기판(32) 상에 COF(Chip On Film)방식으로 데이터 구동칩(34)을 형성하고, 연성 인쇄 회로 기판(32)을 통하여 데이터 인쇄회로기판(36)과 픽셀 어레이의 데이터 라인 단자부 를 연결한다. 또한, 연성 인쇄 회로 기판(38) 상에 상기한 COF 방식으로 게이트 구동칩(40)을 형성하고, 연성 인쇄 회로 기판(40)을 통하여 게이트 인쇄 회로 기판(42)과 픽셀 어레이의 게이트 라인 단자부를 연결한다.

즉, a-Si TFT LCD에서는 a-Si 공정의 장점인 높은 생산성에도 불구하고, poly Si-TFT LCD에서의 비용 측면과 슬림한 구조 측면에서 불리한 위치에 있다.

발명이 이루고자 하는 기술적 과제

이에 본 발명의 기술과 과제는 이러한 점에 착안한 것으로, 본 발명의 목적은 대화면, 고해상도의 a-Si TFT LCD에 적용이 가능한 쉬프트 레지스터를 제공하는 것이다.

또한 본 발명의 다른 목적은 상기한 쉬프트 레지스터를 구비하는 액정 표시 장치를 제공하는 것이다.

발명의 구성 및 작용

상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 쉬프트 레지스터는, 복수의 스테이지들이 배치되고, 첫번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며, 상기 각 스테이지는,

다음 스테이지에 상기 제1 및 제2 클럭 중 대응되는 클럭의 전달을 제어하는 제1 캐리 버퍼; 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리 버퍼로부터 제공되는 캐리 전압에 응답하여 상기 풀업부를 턴-온시

키고, 다음 스테이지로부터 제공되는 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부; 상기 풀다운부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리 버퍼로부터 제공되는 클럭에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부; 및 이전 스테이지의 제1 캐리 버퍼로부터 제공되어 상기 풀업부에 인가되는 제1 및 제2 클럭 중 대응되는 캐리 전압을 다운시키는 제2 캐리 버퍼를 포함하여 이루어진다.

또한 상기한 본 발명의 다른 목적을 실현하기 위한 하나의 특징에 따른 액정 표시 장치는, 투명기판 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정표시장치에 있어서, 상기 게이트 구동회로는 복수의 스테이지들이 배치되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성하고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며, 상기 각 스테이지는,

다음 스테이지에 상기 제1 및 제2 클럭 중 대응되는 클럭의 전달을 제어하는 제1 캐리 버퍼; 출력단자에 상기 제1 및 제2 클럭 중 대응되는 클럭을 제공하는 풀업부; 상기 출력단자에 제1 전원전압을 제공하는 풀다운부; 상기 풀업부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리 버퍼로부터 제공되는 클럭에 응답하여 상기 풀업부를 턴-온시키고, 다음 스테이지로부터 제공되는 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀업부를 턴-오프시키는 풀업구동부; 상기 풀다운부의 입력노드에 연결되고, 이전 스테이지의 제1 캐리 버퍼로부터 제공되는 캐리 전압에 응답하여 상기 풀다운부를 턴-오프시키고, 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀다운부를 턴-온시키는 풀다운구동부; 및 이전 스테이지의 제1 캐리 버퍼로부터 제공되어 상기 풀업부에 인가되는 제1 및 제2 클럭 중 대응되는 캐리 전압을 다운시키는 제2 캐리 버퍼를 포함하여 이루어진다.

이러한 쉬프트 레지스터 및 이를 갖는 액정 표시 장치에 의하면, 쉬프트 레지스터를 구성하는 각 스테이지 중간에 독립적으로 캐리 전압을 발생하는 캐리 버퍼를 내장하므로써, 대화면, 고해상도의 a-Si TFT LCD에 적용시 임계 전압에 둔감한 쉬프트 레지스터를 제공할 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

도 3은 본 발명에 의한 a-Si TFT 액정 표시 장치의 분해 사시도를 나타낸다.

도 3을 참조하면, 액정 표시장치(100)는 크게 액정표시패널 어셈블리(110), 백라이트 어셈블리(120), 샤시(130) 및 커버(140)를 포함한다.

액정표시패널 어셈블리(110)는 액정표시패널(112), 연성 인쇄회로기판(116), 통합 제어 및 데이터 구동칩(118)을 포함한다. 액정표시패널(112)은 TFT 기판(112a)과 칼라필터기판(112b)을 포함한다. TFT 기판(112a)에는 a-Si TFT 공정에 의해 표시셀 어레이 회로, 데이터 구동회로, 게이트 구동회로 및 외부연결단자들이 형성된다. 칼라필터기판(112b)에는 칼라필터 및 투명공통전극들이 형성된다. TFT 기판(112a)과 칼라필터기판(112b)은 서로 대향되고 이들 사이에 액정이 주입된 다음에 봉입된다.

연성 인쇄회로기판(116)에 설치된 통합 제어 및 데이터 구동칩(118)과 TFT 기판(112a)의 회로들은 연성 인쇄회로기판(116)에 의해 전기적으로 연결된다. 연성인쇄회로기판(116)은 데이터신호, 데이터 타이밍신호, 게이트 타이밍신호 및 게이트 구동전압들을 TFT 기판(112a)의 데이터 구동회로 및 게이트 구동회로에 제공한다.

백라이트 어셈블리(120)는 램프 어셈블리(122), 도광판(124), 광학시트들(126), 반사판(128) 및 몰드 프레임(129)을 포함하여 이루어진다.

도 4는 본 발명에 의한 a-Si TFT LCD의 TFT 기판의 구성을 나타낸 도면이다.

도 4를 참조하면, 본 발명의 TFT 기판(112a) 위에는 표시 셀 어레이 회로(150), 데이터 구동회로(160), 게이트 구동회로(170), 데이터 구동회로 외부연결단자(162, 163), 게이트 구동회로 외부연결단자부(169)가 TFT 공정시 함께 형성된다.

표시 셀 어레이 회로(150)는 컬럼 방향으로 연장된 m 개의 데이터 라인들(DL1~DLm)과 로우방향으로 연장된 n 개의 게이트 라인들(GL1~GLn)을 포함한다.

본 발명의 실시예는 2인치 액정표시패널에서 데이터 라인 및 게이트 라인의 수는 525(즉, 176×3)×192 해상도를 가

진다.

데이터 라인들과 게이트 라인들의 각 교차점들에는 스위칭 트랜지스터(ST)가 형성된다. 스위칭 트랜지스터(STi)의 드레인은 데이터 라인(DLi)에 연결되고, 게이트는 게이트 라인(GLi)에 연결된다. 스위칭 트랜지스터(STi)의 소오스는 투명화소전극(PE)에 연결된다. 투명화소전극(PE)과 칼라필터 기판(112b)에 형성된 투명공통전극(CE)의 사이에 액정(LC)이 위치하게 된다.

그러므로, 투명화소전극(PE)과 투명공통전극(CE) 사이에 인가된 전압에 의해 액정배열이 제어되어 통과되는 광량을 제어하여 각 픽셀의 계조 표시를 하게 된다.

데이터 구동회로(160)는 쉬프트 레지스터(164)와 528개의 스위칭 트랜지스터들(SWT)을 포함한다. 528개의 스위칭 트랜지스터들(SWT)은 66개씩 8개의 데이터 라인블록(BL1~BL8)을 형성한다.

각 데이터 라인블록(BLi)은 66개의 데이터 입력단자로 구성된 외부입력단자(163)에 66개의 입력단자들이 공통으로 연결되고, 대응하는 66개의 데이터 라인들에 66개의 출력단자들이 연결된다. 또한, 쉬프트 레지스터(164)의 8개의 출력단자들 중 대응하는 하나의 출력단자에 블록선택단자가 연결된다.

528개의 스위칭 트랜지스터들(SWT) 각각은 대응하는 데이터 라인에 소오스가 연결되고, 66개의 데이터 입력단자들 중 대응하는 입력단자에 드레인이 연결되고, 게이트에 블록선택단자에 연결된 a-Si TFT MOS 트랜지스터로 구성된다.

따라서, 528개의 데이터 라인들은 66개씩 8개의 블록으로 분할되고, 쉬프트 레지스터(164)의 8개의 블록선택신호에 의해 순차적으로 각 블록들이 선택된다.

쉬프트 레지스터(164)는 3단자의 외부연결단자(162)를 통하여 제1 클럭(CKH), 제2 클럭(CKHB), 블록선택 개시신호(STH)를 제공받는다. 쉬프트 레지스터(164)의 출력단자들은 각각 대응하는 라인 블록들의 블록선택단자에 연결된다.

도 5는 상기한 도 4의 데이터 구동회로의 쉬프트 레지스터의 블록도이다.

도 5를 참조하면, 본 발명에 의한 쉬프트 레지스터(164)는 9개의 스테이지(SRH1~SRH9)들이 연결된다. 즉, 각 스테이지의 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결된다. 스테이지들의 수는 데이터 라인 블록들에 대응하는 8개의 스테이지(SRH1~SRH8)와 하나의 더미 스테이지(SRH9)로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 가진다. 8개의 스테이지들(SRH1~SRH8)은 각 데이터 라인 블록들(BL1~BL8)의 블록선택단자에 블록선택 개시신호(DE1~DE8)들을 각각 제공한다. 블록선택 개시신호는 각 라인 블록들의 인에이블 신호이다.

홀수번째 스테이지들(SRH1, SRH3, SRH5, SRH7, SRH9)에는 제1 클럭(CKH)이 제공되고, 짝수번째 스테이지들(SRC2, SRC4, SRH6, SRH8)에는 제2 클럭(CKHB)이 제공된다. 제1 클럭(CKH)과 제2 클럭(CKHB)은 서로 반대되는 위상을 가진다. 클럭 CKH, CKHB의 듀티 기간은 1/66ms 이하로 한다.

각 스테이지들의 각 제어단자(CT)에는 다음 스테이지의 출력신호가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.

따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(즉, 하이 상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 데이터 라인 블록들이 선택되어 인에이블되게 된다.

더미 스테이지(SRH9)는 이전 스테이지(SRH8)의 제어단자(CT)에 제어신호를 제공하기 위한 것이다.

도 6은 상기한 도 4의 게이트 구동회로에 채용되는 쉬프트 레지스터를 설명하기 위한 블록도이다.

도 6을 참조하면, 상기한 도 4의 게이트 구동회로(170)는 하나의 쉬프트 레지스터로 구성되고, 상기한 쉬프트 레지스터는 복수의 스테이지들(SRC1~SRC193)이 연결된다. 즉, 각 스테이지의 출력단자(OUT)가 다음 스테이지의 입력단자(IN)에 연결된다. 스테이지들은 게이트 라인들에 대응하는 192개의 스테이지들(SRC1~SRC192)과 하나의 더미 스테이지(SRC193)로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD)를 가진다.

첫 번째 스테이지(SRC1)의 입력단자(IN)에는 스캔개시신호(STV)가 입력된다. 여기서 스캔개시신호(STV)는 수직동기신호(Vsync)에 동기된 펄스이다.

각 스테이지의 출력신호(GOUT1~GOUT192)는 대응되는 각 게이트 라인에 연결 된다. 홀수번째 스테이지들(SRC1, SRC3, ...)에는 제1 클럭(CKV)이 제공되고, 짝수번째 스테이지들(SRC2, SRC4, ...)에는 제2 클럭(CKVB)이 제공된다. 여기서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 서로 반대되는 위상을 가진다. 또한 제1 클럭(CKV)과 제2 클럭(CKVB)의 듀티 기간은 16.6/192ms의 기간이 될 것이다.

그러므로, 데이터 구동회로의 쉬프트 레지스터(164)의 클럭의 듀티기간에 비하여 게이트 구동회로의 쉬프트 레지스터(170)의 클럭의 듀티기간이 약 8배 이상이 된다.

각 스테이지(SRC1, SRC2, SRC3, ...)의 각 제어단자(CT)에는 다음 스테이지(SRC2, SRC3, SRC4, ...)의 출력신호(GOUT2, GOUT3, GOUT4)가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.

따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(하이 상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 수평라인이 선택되게 된다.

도 7은 상기한 도 6에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 나타낸 것이고, 도 8은 상기한 도 7에 의한 출력 파형도이다.

도 7을 참조하면, 쉬프트 레지스터(170)의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173) 및 풀다운구동부(174)를 포함한다.

풀업부(171)는 파워 클럭 입력단자(CKV)에 드레인이 연결되고, 제3 노드(N3)에 게이트가 연결되고, 출력단자(GOUT[N])에 소오스가 연결된 제1 NMOS 트랜지스터(M1)로 구성된다.

풀다운부(172)는 출력단자(GOUT[N])에 드레인이 연결되고, 제4 노드(N4)에 게이트가 연결되고, 소오스가 제1 전원전압(VSS)에 연결된 제2 NMOS 트랜지스터(M2)로 구성된다.

풀업구동부(173)는 캐패시터(C), 제3 내지 제5 NMOS 트랜지스터(M3~M5)로 구성된다. 캐패시터(C)는 제3 노드(N3)와 출력단자(GOUT[N]) 사이에 연결된다. 제3 트랜지스터(M3)는 드레인이 제2 전원 전압(VON)에 연결되고, 게이트가 입력단자(IN), 즉 이전 스테이지의 출력 신호(GOUT[N-1])에 연결되며, 소오스가 제3 노드(N3)에 연결된다. 제4 트랜지스터(M4)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제4 노드(N4)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 제5 트랜지스터(NT5)는 드레인이 제3 노드(N3)에 연결되고, 게이트가 제4 노드(N4)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제3 트랜지스터(M3)의 사이즈는 제5 트랜지스터(M5)의 사이즈보다 2배정도 크게 형성된다.

풀다운구동부(174)는 제6 및 제7 NMOS 트랜지스터들(M6, M7)로 구성된다. 제6 트랜지스터(M6)는 드레인과 게이트가 공통되어 제2 전원전압(VON)에 연결되고, 소오스가 제4 노드(N4)에 연결된다. 제7 트랜지스터(M7)는 드레인이 제4 노드(N4)에 연결되고, 게이트가 제3 노드(N3)에 연결되며, 소오스가 제1 전원전압(VOFF)에 연결된다. 이때, 제6 트랜지스터(M6)의 사이즈는 제7 트랜지스터(M7)의 사이즈보다 16배정도 크게 형성된다.

도 8에 도시한 바와 같이, 제1 및 제2 파워 클럭(CKV, CKVB)과 스캔개시신호(ST)가 쉬프트 레지스터에 공급되면, 첫 번째 스테이지(SRC1)에서는 스캔개시신호(ST)의 선단에 응답하여 제1 파워 클럭(CKV)의 하이레벨구간을 소정시간(Tdr1) 지연시켜서 출력단자(OUT)에 출력신호(GOUT1)로 발생한다.

이상에서 설명한 바와 같이, 어레이 기판이 배치되는 글라스상의 쉬프트 레지스터에는 스캔개시신호(STV)와 함께 제1 및 제2 파워 클럭(CKV, CKVB)이 공급되어 게이트 구동 회로로서 동작을 수행한다.

도 9는 상기한 도 6에 의한 구동 파형을 설명하기 위한 파형도이다.

도 9를 참조하면, 상기한 쉬프트 레지스터는 입력되는 2H를 1주기로 하여 제1 파워 클럭(CKV) 또는 상기 제1 파워 클럭(CKV)에 위상이 반전하는 제2 파워 클럭(CKVB) 중 어느 하나를 인가받아 복수의 게이트 신호(GOUT1, GOUT2, GOUT3, ...)를 TFT-LCD 게이트 라인에 순차적으로 출력한다. 이때 상기한 제1 및 제2 파워 클럭(CKV, CKVB)은 a-TFT를 구동하기 위해 타이밍 컨트롤러(미도시)의 출력인 0 내지 3V 진폭의 신호를, 예를 들어, -8 내지 24V 진폭의 신호로 증폭된 신호이다.

하지만, 상기한 쉬프트 레지스터를 게이트 구동회로로 이용하는 경우에는 525(176 ×3) ×192 해상도를 갖는 액정표시패널에 대해서 설명한 바와 같이, 소형 또는 중소형 화면에는 적합하나 고해상도를 갖는 대화면에는 적합하지 않다.

왜냐하면, 대화면에 해당하는 게이트 라인을 감당하기 위해 풀업/풀다운 기능을 수행하는 각 트랜지스터(M1/M2) 크기를 증가시켜야하나, 쉬프트 레지스터를 일정 공간에 집적하여 설계하기에는 부담스러운 크기가 된다.

따라서, 게이트 라인을 충분히 구동하지 못하는 풀업/풀다운 트랜지스터(M1/M2)의 크기와 아몰퍼스 특성상 온도 및 공정적으로 TFT의 임계 전압(Vth)이 변화가 다결정 실리콘(POLY-Si) 또는 단결정 실리콘 소자에 비해 무척 커서 신뢰성 및 수율에 문제가 된다.

도 10a 내지 도 10c는 상기한 도 7의 a-Si TFT 쉬프트 레지스터로부터 출력되는 게이트 신호 파형들에 대한 시뮬레이션 결과를 설명하기 위한 도면이다.

도 10a를 참조하면, 상온 및 정상적인 임계 전압에서 a-Si TFT 쉬프트 레지스터의 각 스테이지로부터 출력되는 게이트 신호(GOUT1, GOUT2, GOUT3, ...)들은 구형파의 기울기에 근접한 기울기와 함께 대략 25볼트의 동일 레벨을 갖는다.

한편, 도 10b를 참조하면, 온도가 증가함에 따라 임계 전압이 작아지므로 a-Si TFT 쉬프트 레지스터의 각 스테이지로부터 출력되는 게이트 신호(GOUT1', GOUT2', GOUT3', ...)들은 구형파의 기울기에 근접한 기울기를 갖으나, 첫 번째 게이트 신호(GOUT1')가 대략 20볼트 레벨을 갖고, 두 번째 게이트 신호(GOUT2')부터는 순차적으로 줄어드는 전압 레벨을 갖는다.

특히, 특정 게이트 라인에는 게이트 신호가 인가되기 이전에 스파크성 파형인 오버라이드(Override)가 인가되는 것을 확인할 수 있다. 이러한 오버라이드로 인하여 순차적으로 게이트 신호들의 레벨이 줄어들게 되어 각 스테이지의 출력 파형에는 오동작이 발생하게 된다.

한편, 도 10c를 참조하면, 온도가 감소함에 따라 임계 전압이 커지므로 a-Si TFT 쉬프트 레지스터의 각 스테이지로부터 출력되는 게이트 신호(GOUT1', GOUT2', GOUT3', ...)들은 완만한 기울기를 갖고, 또한 첫 번째 게이트 신호(GOUT1')가 대 략 22볼트 레벨을 갖고, 두 번째 게이트 신호(GOUT2')부터는 순차적으로 줄어드는 전압 레벨을 갖는다.

이상의 파형도들에서 설명한 바와 같이, 상온 및 정상적인 임계 전압(Vth)에서는 쉬프트 레지스터가 정상적으로 동작하고, 쉬프트레지스터의 각 스테이지로부터 출력되는 게이트 신호들은 균일한 전압 레벨로서 출력된다. 하지만, 온도가 증가 또는 감소함에 따라 임계 전압(Vth)이 변화하면 쉬프트 레지스터의 각 스테이지로부터 출력되는 게이트 신호들은 비정상적인 파형을 갖는다. 이러한 비정상적인 파형들은 결국 액정표시패널에 구비되는 스위칭 소자를 정상적으로 턴-온시키지 못하게 되어 정상적인 화면을 디스플레이하지 못하는 요인이 된다.

특히, 상기한 결과는 도 6에서 도시한 바와 같이, 전단 스테이지에서 출력되는 게이트 신호가 캐리가 되어 현재 스테이지에서 출력되는 게이트 신호에 악영향을 미치게 되는 회로 구조로부터 기인한 것으로 임계 전압(Vth)의 변동이 발생하고 연속적으로 각 스테이지가 구동되는 경우 게이트 신호를 출력하지 못하는 스테이지가 존재함을 확인할 수 있다.

상기의 결과는 게이트 라인의 길이에 비해 게이트 신호를 출력하는 풀업부(142)와 풀다운부(144)의 용량이 부족해지고, 스테이지 수가 많게되는 대화면, 고해상도의 액정표시패널에서 더욱 두드러지게 된다.

그러면, 대화면, 고해상도의 액정표시패널에 적용시 필수적인 임계 전압(Vth)에 대해 둔감한 a-Si TFT 쉬프트 레지스터를 첨부하는 도면들을 참조하여 설명한다.

도 11은 상기한 도 4의 게이트 구동회로에 채용되는 쉬프트 레지스터를 설명하기 위한 블럭도이다.

도 11을 참조하면, 상기한 도 4의 게이트 구동회로(170)는 하나의 쉬프트 레지스터로 구성되고, 상기한 쉬프트 레지스터는 복수의 스테이지들(SRC1, SRC2, SRC3, ..., SRCg, SRC(g+1))이 연결되고, 스테이지간에는 복수의 캐리 버퍼(CB1, CB2, ..., CBg)가 구비된다. 즉, 각 스테이지의 출력단자(GOUT)는 이전 스테이지의 제어단자(CT)에 연결된다. 여기서, 스테이지들은 게이트 라인들에 대응하는 g개의 스테이지들(SRC1~SRCg)과 하나의 더미 스테이지(SRC(g+1))로 구성된다. 각 스테이지는 입력단자(IN), 출력단자(OUT), 제어단자(CT), 클럭 입력단자(CK), 제1 전원전압단자(VSS), 제2 전원전압단자(VDD) 및 캐리출력단자(CRR)를 갖는다.

첫 번째 스테이지(SRC1)의 입력단자(IN)에는 스캔개시신호(STV)가 입력된다. 여기서 스캔개시신호(STV)는 외부의 그래픽 콘트롤러 등으로부터 제공되는 수직동기신호(Vsync)에 동기된 펄스이다.

두 번째 이후 스테이지(SRC2, SRC3, SRC4, ...)들의 입력단자(IN)에는 이전 스테이지의 캐리출력단자(CRR)로부터 제공되는 캐리 전압을 캐리 버퍼를 경유하여 제공받는다.

각 스테이지의 출력신호(GOUT1~GOUTg)는 대응되는 각 게이트 라인에 연결된다. 홀수번째 스테이지들(SRC1, SRC3, ...)에는 제1 클럭(CKV)이 제공되고, 짝수번째 스테이지들(SRC2, SRC4, ...)에는 제2 클럭(CKVB)이 제공된다. 여기서, 제1 클럭(CKV)과 제2 클럭(CKVB)은 서로 반대되는 위상을 가진다. 또한 제1 클럭(CKV)과 제2 클럭(CKVB)의 듀티 기간은 대략 16.6/g[ms]의 기간이 될 것이다.

각 스테이지(SRC1, SRC2, SRC3, ...)의 각 제어단자(CT)에는 다음 스테이지(SRC2, SRC3, SRC4, ...)의 출력신호(GOUT2, GOUT3, GOUT4)가 제어신호로 제어단자(CT)에 입력된다. 즉, 제어단자(CT)에 입력되는 제어신호는 자신의 출력신호의 듀티 기간만큼 지연된 신호가 된다.

따라서, 각 스테이지의 출력신호들이 순차적으로 액티브 구간(하이 상태)을 가지고 발생되므로, 각 출력신호의 액티브 구간에서 대응되는 수평라인이 선택되게 된다.

이처럼, 스테이지간에 구비되는 캐리 버퍼(CB1, CB2, ..., CBg)는 로드가 걸리는 게이트 신호 대신에 외부에서 직접 입력되는 클럭전압을 캐리(Carry)로 사용한다. 상기한 캐리 버퍼(CB1, CB2, ..., CBg)들은 각 스테이지들내에 구비하는 것이 바람직한데, 첨부하는 도면을 참조하여 스테이지내에 구비되는 캐리 버퍼에 대해서 설명한다.

도 12는 본 발명의 제1 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도로서, 특히, 상기한 도 11에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 설명하기 위한 도면이다. 도면상에서는 설명의 편의를 위해 2개의 스테이지만을 도시한다.

도 12를 참조하면, 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173), 풀다운구동부(174), 제1 캐리 버퍼(175) 및 제2 캐리 버퍼(176)를 포함한다. 상기한 도 7과 비교할 때 풀업부(171), 풀다운부(172), 풀업구동부(173) 및 풀다운구동부(174)는 동일하므로 동일한 도면 번호를 부여하고, 그 상세한 설명은 생략한다.

제1 캐리 버퍼(175)는 제1 트랜지스터(TR1)로 이루어져, 다음 스테이지에 제1 및 제2 클럭(CKV/CKVB) 중 대응되는 클럭의 전달을 제어한다.

보다 상세히는, 제1 트랜지스터(TR1)의 게이트는 풀다운구동부(174)의 입력단에 연결되고, 드레인은 외부로부터 입력되는 클럭단에 연결되며, 소오스는 다음 스테이지의 제2 캐리 버퍼(176)에 연결된다.

제2 캐리 버퍼(176)는 인버팅 기능을 수행하는 풀다운구동부(174)에 의해 제어받는 제2 트랜지스터(TR2)로 이루어져, 턴-온 상태로 있다가 이전 스테이지의 제1 캐리 버퍼(175)로부터 제공되어 풀업부(171)에 인가되는 제1 및 제2 클럭중 대응되는 클럭에 의해 버퍼 트랜지스터(M3)가 동작하여 풀다운구동부(174)가 반전되는 순간 턴-오프되어, 캐리 전압이 전달되는 시간동안 캐리 레벨이 저하되는 것을 방지한다.

여기서, 제2 트랜지스터(TR2)의 드레인은 이전 스테이지의 제1 트랜지스터(TR1)의 소오스 및 현재 스테이지의 풀업구동부(173)의 입력단에 각각 연결되고, 게이트는 풀다운부(172), 즉 트랜지스터(M2)의 게이트에 연결되고, 소오스는 제1 전원전압단자(VOFF)를 통해 제1 전원전압과 연결된다.

또한, 제2 캐리 버퍼(176)는 1H 시간 후에 다시 풀다운구동부(174)의 동작에 의해 턴-온 상태를 유지하여 버퍼 트랜지스터(M3)를 턴-오프시키는 제1 전원전압(VOFF)을 인가한다. 여기서, 제1 전원전압단자(VOFF)는 상기한 도 5에서 설명한 제1 전원전압단자(VSS)와 동일하다.

이처럼, 게이트 신호들을 출력하는 각각의 스테이지에 로드가 걸리는 이전 스테이지의 출력신호를 캐리로 사용하지 않고, 외부에서 입력되는 클럭을 캐리로 이용하므로써 각 스테이지로부터 출력되는 게이트 신호들에는 이전 스테이지의 출력신호와 무관한 게이트 신호들을 얻을 수 있다.

그러면, 도 12에 도시한 스테이지들 중 상단 스테이지를 이전 스테이지로 하고, 하단 스테이지를 현재 스테이지로 정의하고, 각 스테이지에 구비되는 구성 요소의 도면 번호를 동일하게 부여하여 본 발명의 제1 실시예에 따른 쉬프트 레지스터의 동작을 설명한다.

이전 스테이지에 구비된 제1 트랜지스터(TR1)는 게이트 신호(GOUT[N])를 활성화시키는 신호, 즉 풀업 트랜지스터(M1)의 제어신호인 클럭(CKV)을 샘플링하고, 샘플링된 신호를 캐리 전압으로 하여 현재 스테이지에 전달한다. 즉, 항상 일정한 클럭 레벨을 캐리 전압으로 사용하게 되므로 스테이지 출력 전압 저하시 발생할 수 있었던 연쇄 반응을 제거할 수 있다.

제2 트랜지스터(TR2)는 현재 스테이지의 풀업구동부(173)에 구비되는 캐패시터가 충전되면 하이 임피던스(즉, 턴-오프) 상태가 되며, 현재 스테이지가 아이들 상태일 때에는 제2 트랜지스터(TR2)에 걸리는 전압(VOFF)이 버퍼 트랜지스터(M3)의 게이트에 인가되어 버퍼 트랜지스터(M3)를 턴-오프 상태로 유지시킨다.

보다 상세히는, 현재 스테이지의 풀업구동부(173)에 구비되는 트랜지스터(M3)는 턴-오프 상태를 유지하다가 이전 스테이지의 제1 트랜지스터(TR1)를 경유하여 캐리 전압이 입력될 때, 아이들 상태로 천이된다. 이때 트랜지스터(M3)의 게이트에 인가되는 전압은 제1 트랜지스터(TR1)의 저항치와 제2 트랜지스터(TR2)의 저항치와 아직 턴-온 상태인 제2 트랜지스터(TR2)의 저항치에 의해 전압 분할된 클럭전압이다.

이어 일정 시간이 경과하여 제2 트랜지스터(TR2)가 턴-오프되고, 버퍼 트랜지스터(M3)의 게이트에 클럭과 같은 캐리 전압이 인가되면 드레인을 통해 인가되는 전압(VON)에 따르는 전압이 캐패시터에 충전되도록 경로를 형성한다.

이어 일정 시간이 경과하여 버퍼 트랜지스터(M3)의 게이트에 로우 레벨의 클럭 전압, 예를 들어, VOFF 레벨의 클럭 전압이 인가되는 경우에는 턴-오프된다.

도 13은 본 발명의 제2 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도로서, 특히, 상기한 도 11에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 설명하기 위한 도면이다. 도면상에서는 설명의 편의를 위해 2개의 스테이지만을 도시한다.

도 13을 참조하면, 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173), 풀다운구동부(174), 제1 캐리 버퍼(275) 및 제2 캐리 버퍼(276)를 포함한다. 상기한 도 7과 비교할 때 풀업부(171), 풀다운부(172), 풀업구동부(173) 및 풀다운구동부(174)는 동일하므로 동일한 도면번호를 부여하고, 그 상세한 설명은 생략한다.

제1 캐리 버퍼(275)는 제1 트랜지스터(TR1)로 이루어져, 제1 및 제2 클럭(CKV/CKVB) 중 대응되는 클럭이 다음 스테이지에 전달되도록 제어한다.

보다 상세히는, 제1 트랜지스터(TR1)의 게이트는 풀다운구동부(174)의 입력단에 연결되고, 드레인은 외부로부터 입력되는 클럭단(CKV 또는 CKVB)에 연결되며, 소오스는 다음 스테이지의 제2 캐리 버퍼(176)에 연결된다.

제2 캐리 버퍼(276)는 제2 및 제3 트랜지스터(TR2, TR3)로 이루어져, 초기에 턴-온 상태로 있다가 이전 스테이지의 제1 캐리 버퍼(175)로부터 제공되어 풀업부(171)에 인가되는 제1 및 제2 클럭 중 대응되는 클럭에 의해 버퍼 트랜지스터(M3)가 동작하여 인버팅 동작을 수행하는 풀다운구동부(174)가 반전되는 순간 턴-오프되어 캐리 전압이 전달되는 시간동안 캐리 레벨이 저하되는 것을 방지하고, 1H 시간 후에 다시 풀다운구동부(174)의 동작에 의해 턴-온 상태를 유지하여 버퍼 트랜지스터(M3)를 턴-오프시키는 전압을 인가한다.

여기서, 제2 트랜지스터(TR2)의 드레인은 이전 스테이지의 제1 트랜지스터(TR1)의 소오스 및 현재 스테이지의 풀업구동부(173)의 입력단에 각각 연결되고, 게이트는 풀다운부(172), 즉 트랜지스터(M2)의 게이트에 연결되고, 소오스는 제3 트랜지스터(TR3)에 연결된다. 이때, 제1 전원전압단자(VOFF)는 상기한 도 5에서 설명한 제1 전원전압단자(VSS)와 동일하다.

또한, 제3 트랜지스터(TR3)의 드레인과 게이트는 공통되어 제2 트랜지스터(TR2)의 소오스에 연결되고, 소오스는 제1 전원전압단자(VOFF)를 통해 제1 전원전압과 연결된다.

그러면, 도 13에 도시한 스테이지중 상단 스테이지를 이전 스테이지로 하고, 하단 스테이지를 현재 스테이지로 정의하고, 각 스테이지에 구비되는 구성 요소의 도면 번호를 동일하게 부여하여 본 발명의 제2 실시예에 따른 쉬프트 레지스터의 동작을 설명한다.

이전 스테이지에 구비된 제1 트랜지스터(TR1)는 게이트 신호(GOUT[N])를 활성화시키는 신호, 즉 풀업 트랜지스터(M1)의 제어신호인 클럭(CKV)을 샘플링하고, 샘플링된 신호를 캐리 전압으로 하여 현재 스테이지에 전달한다. 즉, 항상 일정한 클럭 레벨을 캐리 전압으로 사용하게 되므로 스테이지 출력 전압 저하시 발생할 수 있었던 연쇄 반응을 제거할 수 있다.

제2 트랜지스터(TR2)는 현재 스테이지의 풀업구동부(173)에 구비되는 캐패시터가 충전되면 하이 임피던스(즉, 턴-오프) 상태가 되며, 현재 스테이지가 아이들 상태일 때에는 제3 트랜지스터(TR3)에 걸리는 전압(VOFF+Vth)이 버퍼 트랜지스터(M3)의 게이트에 인가되어 버퍼 트랜지스터(M3)를 턴-오프 상태로 유지시킨다.

보다 상세히는, 현재 스테이지의 풀업구동부(173)에 구비되는 트랜지스터(M3)는 턴-오프 상태를 유지하다가 이전 스테이지의 제1 트랜지스터(TR1)를 경유하여 캐리 전압이 입력될 때 아이들 상태로 천이한다. 이때 트랜지스터(M3)의 게이트에 인가되는 전압은 제1 트랜지스터의 저항치와 아직 턴-온 상태인 제2 트랜지스터(TR2)의 저항치, 그리고 제3 트랜지스터(TR3)의 문턱전압에 의해 전압 분할된 클럭전압이다.

이어 일정 시간이 경과하여 제2 트랜지스터(TR2)가 아이들 상태에서 턴-오프 상태로 천이되고, 버퍼 트랜지스터(M3)의 게이트에 제일 높은 캐리 전압이 인가되 면 드레인을 통해 인가되는 전압(VON)에 따른 전압이 캐패시터에 충전되도록 경로를 형성한다.

이어 일정 시간이 경과하여 버퍼 트랜지스터(M3)의 게이트에 로우 레벨의 클럭 전압, 예를 들어 VOFF 레벨의 클럭 전압이 인가되는 경우에는 턴-오프된다. 이때, 현재 스테이지의 풀업구동부(173)에 구비되는 버퍼 트랜지스터(M3)의 게이트에 인가되는 전압레벨에 따라 버퍼 트랜지스터(M3)의 턴-온/오프 시점이 달라진다.

이러한 턴-온/오프 시점은 해당 버퍼 트랜지스터(M3)의 문턱전압에 반비례한다. 즉, 주변 온도 등이 상승하여 문턱전압치가 떨어지는 경우에는 턴-온시점이 정상 온도 구동 시점보다 당겨지고, 주변 온도 등이 하강하여 문턱전압치가 올라가는 경우에는 턴-온시점이 정상 온도 구동 시점보다 지연되므로 온도 변화에 따라 캐패시터 충전량이 달라지고, 이에 따른 게이트 신호가 출력될 수 있다.

이는 제2 트랜지스터(TR2)가 충분히 턴-오프 상태가 아닌 천이 과정에서, 임계 전압(Vth)이 낮아지는 경우에 발생하는 오버라이드(Override) 현상을 방지할 수 있다. 여기서, 상기한 오버라이드 현상은 상기한 도 10b에서 설명한 시뮬레이션 결과에서 볼 수 있듯이 각 스테이지 출력 파형이 발생되기 이전에 작은 스파크성 파형이다. 상기한 스파크성 파형은 전단 스테이지의 방전 트랜지스터를 동작시켜서 캐패시터 전위인 풀업기능을 수행하는 트랜지스터의 컨트롤 전압을 낮추어 전단 스테이지의 출력전압이 낮아지는 원인을 제공한다.

이상에서 설명한 본 발명의 제2 실시예에서는 버퍼 트랜지스터(M3)의 게이트에 인가되는 전압은 제2 및 제3 트랜지스터(TR2, TR3)에 의한 저항치와 문턱 전압, 그리고 제1 트랜지스터(TR1)에 의한 저항치에 의해 분할된 클럭이 인가되므로 온도 보상 동작을 수행할 수 있다. 즉, 버퍼 트랜지스터(M3)가 온도에 따라 문턱 전압이 변경되더라도 제3 트랜지스터(TR3)도 역시 온도에 따라 문턱 전압이 변경되고, 온도에 연동하는 캐리 전압이 버퍼 트랜지스터의 게이트에 인가되어 서로 상쇄되므로 온도에 따라 게이트 신호의 출력이 변경되는 문제점을 해결할 수 있다.

도 14a 내지 도 14c는 상기한 도 13에 의한 출력 파형도이다.

도 14a를 참조하면, 상온 및 정상적인 임계 전압에서 a-Si TFT 쉬프트 레지스터의 각 스테이지로부터 출력되는 게이트 신호(GOUTn1, GOUTn2, GOUTn3, ...)들은 구형파에 근접한 동일 기울기를 갖고서, 대략 25볼트의 동일 레벨을 갖는다. 여기서, 상기한 도 14a에서 도시한 게이트 신호(GOUTn1, GOUTn2, GOUTn3, ...)들의 파형과 상기한 도 10a에서 도시한 게이트 신호(GOUT1, GOUT2, GOUT3, ...)들의 파형은 동일함을 확인할 수 있다.

한편, 도 14b를 참조하면, 온도가 증가함에 따라 임계 전압이 작아지므로 a-Si TFT 쉬프트 레지스터의 각 스테이지로부터 출력되는 게이트 신호(GOUTn1', GOUTn2', GOUTn3', ...)들은 구형파에 근접한 동일 기울기를 갖고서, 대략 25볼트의 동일 레벨을 갖는다. 여기서, 임의의 게이트 라인에는 임의의 게이트 신호가 출력되기 이전에 스파크성 파형인 오버라이드(Override)가 발생하나, 상기한 도 10b에 도시한 오버라이드보다는 훨씬 줄어든 레벨의 파형임을 확인할 수 있다. 이처럼, 줄어든 레벨의 오버라이드로 인하여 게이트 신호들의 레벨은 줄어들지 않게 된다.

한편, 도 14c를 참조하면, 온도가 감소함에 따라 임계 전압이 커지므로 a-Si TFT 쉬프트 레지스터의 각 스테이지로부터 출력되는 게이트 신호(GOUTn1', GOUTn2', GOUTn3', ...)들은 구형파의 기울기에 비해 완만한 기울기를 갖으나, 대략 25볼트의 동일 레벨을 갖는다. 상기한 도 10c와 비교할 때 파형의 기울기는 구형파의 기울기에 가깝고, 레벨 역시 줄어들지 않음을 확인할 수 있다.

이상의 파형도들에서 알 수 있듯이, a-Si TFT 쉬프트 레지스터를 구성하는 스테이지내에 캐리 버퍼를 구현하므로써, a-Si TFT의 임계 전압(Vth)이 정상적일 때는 물론 온도가 변동하여 오동작을 유발하는 임계 전압이 변동하더라도 a-Si TFT 쉬프트 레지스터는 정상적으로 동작함을 알 수 있다.

이상에서 설명한 본 발명의 제2 실시예에 의하면, 시프트 레지스터를 구성하는 각 스테이지에 제1 내지 제3 트랜지스터(TR1, TR2, TR3)로 구성되는 캐리 버퍼를 구성하므로써, 일정한 제1 또는 제2 클럭전압(CKV 또는 CKVB)을 다

음 스테이지에 전달할 수 있음은 물론 a-Si TFT의 임계 전압(Vth) 변동에 따라 보상되는 캐리 전압을 발생시킬 수 있다. 이에 따라 대화면 및 고해상도 TFT LCD에 적용시, 신뢰성 및 생산성 측면에서 수율이 좋게되는 임계 전압(Vth)에 둔감한 a-Si TFT 쉬프트 레지스터를 구현할 수 있다.

도 15는 본 발명의 제3 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도로서, 특히 상기한 도 11에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 설명하기 위한 도면이다. 도면상에서는 설명의 편의를 위해 2개의 스테이지만을 도시한다.

도 15를 참조하면, 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173), 풀다운구동부(174), 제1 캐리 버퍼(375) 및 제2 캐리 버퍼(376)를 포함한다. 상기한 도 7, 14 및 15와 비교할 때 풀업부(171), 풀다운부(172), 풀업구동부(173) 및 풀다운구동부(174)는 동일하므로 동일한 도면번호를 부여하고, 그 상세한 설명은 생략한다.

또한, 제1 캐리 버퍼(375)는 상기한 도 12 및 도 13에서 각각 설명한 제1 캐리 버퍼(175, 275)와 도면 번호만 상이할 뿐 동일한 동작을 수행하므로 그 상세 설명을 생략한다.

제2 캐리 버퍼(376)는 제2 트랜지스터(TR2)와 제4 트랜지스터(TR4)로 이루어져, 초기에 턴-온 상태를 유지하고 있다가 이전 스테이지의 제1 캐리 버퍼(375)로부터 제공되어 풀업부(171)에 인가되는 제1 및 제2 클럭 중 대응되는 클럭에 의해 버퍼 트랜지스터(M3)가 동작하여 인버팅 동작을 수행하는 풀다운구동부(174)가 반전되는 순간 턴-오프되어 캐리 전압이 전달되는 시간 동안 캐리 레벨이 저하되는 것을 방지하고, 1H 시간 후에 다시 인버팅 동작에 의해 턴-온 상태를 유지하여 버퍼 트랜지스터(M3)를 턴-오프시키는 전압을 인가하게 된다.

여기서, 제2 트랜지스터(TR2)는 드레인이 제1 트랜지스터(TR1)의 소오스에 연결되고, 게이트가 풀업구동부(173)에 연결되며, 소오스가 제1 전원전압단자(VOFF)를 통해 제1 전원전압과 연결된다. 이때, 제1 전원전압단자(VOFF)는 상기한 도 5에서 설명한 제1 전원전압단자(VOFF)와 동일하다.

또한, 제4 트랜지스터(TR4)는 드레인이 제2 트랜지스터(TR2)의 게이트에 연결되고, 게이트가 제2 트랜지스터의 드레인에 연결되며, 소오스가 제1 전원전압단자(VOFF)를 통해 제1 전원전압과 연결된다.

그러면, 도 15에 도시한 스테이지중 상단 스테이지를 이전 스테이지로 하고, 하단 스테이지를 현재 스테이지로 정의하며, 각 스테이지에 구비되는 구성 요소의 도면 번호를 동일하게 부여하여 본 발명의 제3 실시예에 따른 쉬프트 레지스터의 동작을 설명한다.

이전 스테이지에 구비된 제1 트랜지스터(TR1)는 게이트 신호(GOUT[N])를 활성화시키는 신호, 즉 풀업 트랜지스터(M1)의 제어신호인 클럭(CKV)을 샘플링하고, 샘플링된 신호를 캐리 전압으로 하여 현재 스테이지에 전달한다. 즉, 모든 스테이지에 항상 일정한 클럭 레벨을 캐리 전압으로서 사용하게 되므로 스테이지 출력 전압 저하시 발생할 수 있었던 연쇄 반응을 제거할 수 있다.

제2 트랜지스터(TR2)는 현재 스테이지의 풀업구동부(173)에 구비되는 캐패시터가 충전되면 하이 임피던스(즉, 턴-오프) 상태가 되며, 현재 스테이지가 아이들 상태일 때에는 제2 트랜지스터(TR2)에 걸리는 전압(VOFF)이 버퍼 트랜지스터(M3)의 게이트에 인가되어 버퍼 트랜지스터(M3)를 턴-오프 상태로 유지시킨다.

보다 상세히는, 현재 스테이지의 풀업구동부(173)에 구비되는 트랜지스터(M3)는 턴-오프 상태를 유지하다가 이전 스테이지의 제1 트랜지스터(TR1)를 경유하여 캐리 전압이 입력될 때, 트랜지스터(M3)의 게이트에 인가되는 전압은 제1 트랜지스터(TR1)의 저항치와 제2 트랜지스터(TR2)의 저항치와 아직 턴-온 상태인 제2 트랜지스터(TR2)의 저항치에 의해 전압 분할된 클럭 전압이다.

이어 일정 시간이 경과하여 제2 트랜지스터(TR2)가 턴-오프되고, 버퍼 트랜지스터(M3)의 게이트에 클럭과 같은 캐리 전압이 인가되면 드레인을 통해 인가되는 전압(VON)에 따르는 전압이 캐패시터에 충전되도록 경로를 형성한다.

이어 일정 시간이 경과하여 버퍼 트랜지스터(M3)의 게이트에 로우 레벨의 클럭 전압, 예를 들어 VOFF 레벨의 클럭 전압이 인가되는 경우에는 턴-오프된다.

제4 트랜지스터(TR4)는 전단 스테이지로부터 캐리 전압이 발생되어 게이트에 인가됨에 따라 턴-온되어 제2 트랜지스터(TR2)의 게이트 전압을 보다 빨리 낮추게 하여 제2 트랜지스터(TR2)가 턴-온에서 턴-오프로 절환하는 스위칭 속도를 증가시키는 가속 스위치 역할을 수행한다. 이러한 가속 스위치를 통해 캐리 버퍼의 속도를 고속화할 수 있다.

도 16은 본 발명의 제4 실시예에 따른 쉬프트 레지스터를 설명하기 위한 회로도로서, 특히 상기한 도 11에 도시된 쉬프트 레지스터의 각 스테이지의 구체적인 회로 구성을 설명하기 위한 도면이다. 도면상에서는 설명의 편의를 위해 2개의 스테이지만을 도시한다.

도 16을 참조하면, 본 발명의 제4 실시예에 따른 쉬프트 레지스터의 각 스테이지는 풀업부(171), 풀다운부(172), 풀업구동부(173), 풀다운구동부(174), 제1 캐리 버퍼(375) 및 제2 캐리 버퍼(376)를 포함한다. 상기한 도 7과 비교할 때 풀업부(171), 풀다운부(172), 풀업구동부(173) 및 풀다운구동부(174)는 동일하므로 동일한 도면번호를 부여하고, 그 상세한 설명은 생략한다.

제1 캐리 버퍼(375)는 제1 트랜지스터(TR1)로 이루어져, 다음 스테이지에 제1 및 제2 클럭(CKV/CKVB) 중 대응되는 클럭의 전달을 제어한다. 보다 상세히는, 제1 트랜지스터(TR1)의 게이트는 풀다운구동부(174)의 입력단에 연결되고, 드레인은 외부로부터 입력되는 클럭단(CKV 또는 CKVB)에 연결되며, 소오스는 다음 스테이지의 제2 캐리 버퍼(476)에 연결된다.

제2 캐리 버퍼(476)는 제2 내지 제4 트랜지스터(TR2, TR3, TR4)로 이루어져, 초기에 턴-온 상태로 있다가 이전 스테이지의 제1 캐리 버퍼(475)로부터 제공되어 풀업부(171)에 인가되는 제1 및 제2 클럭 중 대응되는 클럭에 의해 버퍼 트랜지스터(M3)가 동작하여 풀다운구동부(174)가 반전되는 순간 턴-오프되어 캐리 전압이 전달되는 시간동안 캐리 레벨이 저하되는 것을 방지하고 1H 시간 후에 다시 풀다운구동부(174)의 동작에 의해 턴-온 상태를 유지하여 버퍼 트랜지스터(M3)를 턴-오프시키는 전압을 인가한다.

여기서, 제2 트랜지스터(TR2)는 드레인이 제1 트랜지스터(TR1)의 소오스에 연결되고, 게이트가 풀업구동부(173)에 연결되며, 소오스가 제3 트랜지스터(TR3)에 연결된다.

또한, 제3 트랜지스터(TR3)의 드레인과 게이트는 공통되어 제2 트랜지스터(TR2)의 소오스에 연결되고, 소오스는 제1 전원전압단자(VOFF)를 통해 제1 전원전압과 연결된다. 이때, 제1 전원전압단자(VOFF)는 상기한 도 5에서 설명한 제1 전원전압단자(VSS)와 동일하다.

또한, 제4 트랜지스터(TR4)는 드레인이 제2 트랜지스터(TR2)의 게이트에 연결되고, 게이트가 제2 트랜지스터(TR2)의 드레인에 연결되며, 소오스가 제1 전원전압단자(VOFF)를 통해 제1 전원전압과 연결된다. 동작시, 제4 트랜지스터(TR4)는 전단 스테이지로부터 캐리 전압이 발생되어 게이트에 인가됨에 따라 턴-온되어 제2 트랜지스터(TR2)의 게이트 전압을 보다 빨리 낮추게 하여 제2 트랜지스터(TR2)가 턴-온에서 턴-오프로 절환하는 스위칭 속도를 증가시키는 가속 스위치 역할을 수행한다. 이러한 가속 스위치를 통해 캐리 버퍼의 속도를 고속화할 수 있다.

이상에서 설명한 본 발명의 제4 실시예에 의하면, 제2 트랜지스터(TR2)의 턴-온/오프를 제어할 수 있는 제4 트랜지스터(TR4)를 장착하므로써 제2 트랜지스터(TR2)의 턴-온에서 턴-오프하는 스위칭 속도를 증가시킬 수 있는 가속 스위치를 추가하여 캐리 버퍼의 속도를 올릴 수 있다.

도 17은 상기한 도 16의 캐패시터 노드의 충전 전위를 나타낸 도면으로, 특히, A는 본 발명의 제1 및 제2 실시예와 같이 가속 스위치인 제4 트랜지스터(TR4)가 없을 때, B는 본 발명의 제3 및 제4 실시예와 같이 가속 스위치인 제4 트랜지스터(TR4)를 추가했을 때 각 캐패시터 노드의 충전 전위의 변화를 나타낸 파형도이다.

상기한 도 17에서 확인할 수 있듯이, 제4 트랜지스터(TR4)를 추가함으로써 제2 트랜지스터(TR2)의 턴-오프 시간을 단축시켜 버퍼 트랜지스터(M3)를 보다 빨리 구동할 수 있기 때문에 캐패시터 노드의 충전 전위를 상대적으로 높일 수 있다. 이는 충전 시간이 부족해지는 고해상도 구동시에 유리하고, 또한 버퍼 트랜지스터(M3)를 최대한의 컨트롤 전압으로 구동할 수 있어 a-Si TFT 쉬프트 레지스터의 성능을 향상시킬 수 있다.

이상의 다양한 실시예들에서 설명한 바와 같이, 전단 스테이지의 출력을 다음 스테이지의 캐리로 사용하는 방법 대신에 전단 스테이지에서 독립적으로 캐리를 발생하는 캐리 버퍼를 매 스테이지에 별도로 내장하므로써, a-Si TFT 쉬프트 레지스터의 임계 전압(Vth) 산포에 따른 오동작을 방지할 수 있다. 이러한 오동작 방지에 따라 상대적으로 넓은 온도 환경에서 신뢰성이 높고, 생산시 임계 전압(Vth) 산포에 대해서도 둔감하게 되어 수율높은 a-Si TFT 쉬프트 레지스터를 장착한 액정표시모듈을 제공할 수 있다.

이상에서는 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

발명의 효과

이상에서 설명한 바와 같이, 본 발명에 따르면 쉬프트 레지스터를 구성하는 각 스테이지에 독립적으로 캐리를 발생하는 캐리 버퍼를 내장하므로써, 대화면, 고해상도의 TFT LCD에 적용시 임계 전압(Vth)에 둔감한 쉬프트 레지스터를 제공한다. 즉, a-Si TFT 쉬프트 레지스터의 임계 전압(Vth) 산포에 따른 오동작을 방지할 수 있어서 상대적으로 넓은 온도 환경에서 신뢰성을 높일 수 있다.

또한, 생산시 임계 전압(Vth) 산포에 대해서도 둔감하게 되어 수율높은 a-Si TFT 쉬프트 레지스터를 장착한 액정 표시 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

복수의 스테이지들이 배치되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호들을 순차적으로 출력하는 쉬프트 레지스터에 있어서,

상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며,

상기 각 스테이지는,

다음 스테이지에 상기 제1 및 제2 클럭중 대응되는 클럭의 전달을 제어하는 제1 캐리수단;

출력단자에 상기 제1 및 제2 클럭중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운수단;

상기 풀업수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리수단으로부터 제공되는 캐리에 응답하여 상기 풀업수단을 턴-온시키고, 다음 스테이지로부터 제공되는 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀업수단을 턴-오프시키는 풀업구동수단;

상기 풀다운수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리수단으로부터 제공되는 클럭에 응답하여 상기 풀다운수단을 턴-오프시키고, 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀다운수단을 턴-온시키는 풀다운구동수단; 및

이전 스테이지의 제1 캐리 버퍼로부터 제공되어 상기 풀업수단에 인가되는 제1 및 제2 클럭중 대응되는 캐리 전압을 다운시키는 제2 캐리수단을 포함하는 쉬프트 레지스터.

청구항 2.

제1항에 있어서, 상기 제1 캐리수단은 드레인에 인가되는 상기 제1 및 제2 클럭중 대응되는 클럭을 게이트에 인가되는 상기 풀다운수동수단의 입력신호에 응답하여 샘플링하고, 상기 샘플링된 신호를 소오스를 통해 다음 스테이지에 출력하는 제1 트랜지스터인 것을 특징으로 하는 쉬프트 레지스터.

청구항 3.

제1항에 있어서, 상기 제2 캐리수단은 드레인이 상기 제1 캐리수단의 출력단에 연결되고, 게이트가 상기 풀업구동수단의 입력단에 연결되며, 소오스가 상기 제1 전원전압을 제공받는 제2 트랜지스터를 더 구비하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 4.

제1항에 있어서, 상기 제2 캐리수단은,

드레인이 상기 제1 캐리수단의 출력단에 연결되고, 게이트가 상기 풀업구동수단의 입력단에 연결된 제2 트랜지스터; 및

드레인과 게이트가 공통되어 상기 제2 트랜지스터의 소오스에 연결되고, 소 오스가 상기 제1 전원전압을 제공받는 제3 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 5.
제1항에 있어서, 상기 제2 캐리수단은,

드레인이 상기 제1 캐리수단의 출력단에 연결되고, 게이트가 상기 풀다운구동수단의 입력단에 연결된 제2 트랜지스터; 및

드레인이 상기 제2 트랜지스터의 게이트와 연결되고, 게이트가 상기 제2 트랜지스터의 드레인과 연결되며, 소오스가 상기 제1 전원전압을 제공받는 제3 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 6.
제1항에 있어서, 상기 제2 캐리수단은,

드레인이 상기 제1 캐리수단의 출력단에 연결되고, 게이트가 상기 풀다운구동수단의 입력단에 연결된 제2 트랜지스터;

드레인과 게이트가 공통되어 상기 제2 트랜지스터의 소오스에 연결되고, 소오스가 상기 제1 전원전압을 제공받는 제3 트랜지스터; 및

드레인이 상기 제2 트랜지스터의 게이트와 연결되고, 게이트가 상기 제2 트랜지스터의 드레인과 연결되며, 소오스가 상기 제1 전원전압을 제공받는 제4 트랜지스터를 포함하는 것을 특징으로 하는 쉬프트 레지스터.

청구항 7.
투명기판 상에 형성된 표시 셀 어레이 회로, 데이터 구동회로, 게이트 구동 회로를 포함하고, 상기 표시 셀 어레이 회로는 복수의 데이터 라인들과 복수의 게이트 라인을 포함하고, 각 표시 셀회로는 대응하는 데이터 및 게이트 라인 쌍에 연결된 액정표시장치에 있어서,

상기 게이트 구동회로는 복수의 스테이지들이 배치되고, 첫 번째 스테이지에는 개시신호가 입력단자에 결합되고, 각 스테이지들의 출력신호에 의해 상기 복수의 게이트 라인들을 순차적으로 선택하는 쉬프트 레지스터로 구성하고, 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 상기 쉬프트 레지스터의 홀수번째 스테이지들에는 제1 클럭과, 상기 제1 클럭의 출력을 제거하기 위한 제1 제어신호가 제공되고, 짝수번째 스테이지들에는 상기 제1 클럭에 위상 반전된 제2 클럭과, 상기 제2 클럭의 출력을 제거하기 위한 제2 제어신호가 제공되며,

상기 각 스테이지는,

다음 스테이지에 상기 제1 및 제2 클럭중 대응되는 클럭의 전달을 제어하는 제1 캐리수단;

출력단자에 상기 제1 및 제2 클럭중 대응되는 클럭을 제공하는 풀업수단;

상기 출력단자에 제1 전원전압을 제공하는 풀다운수단;

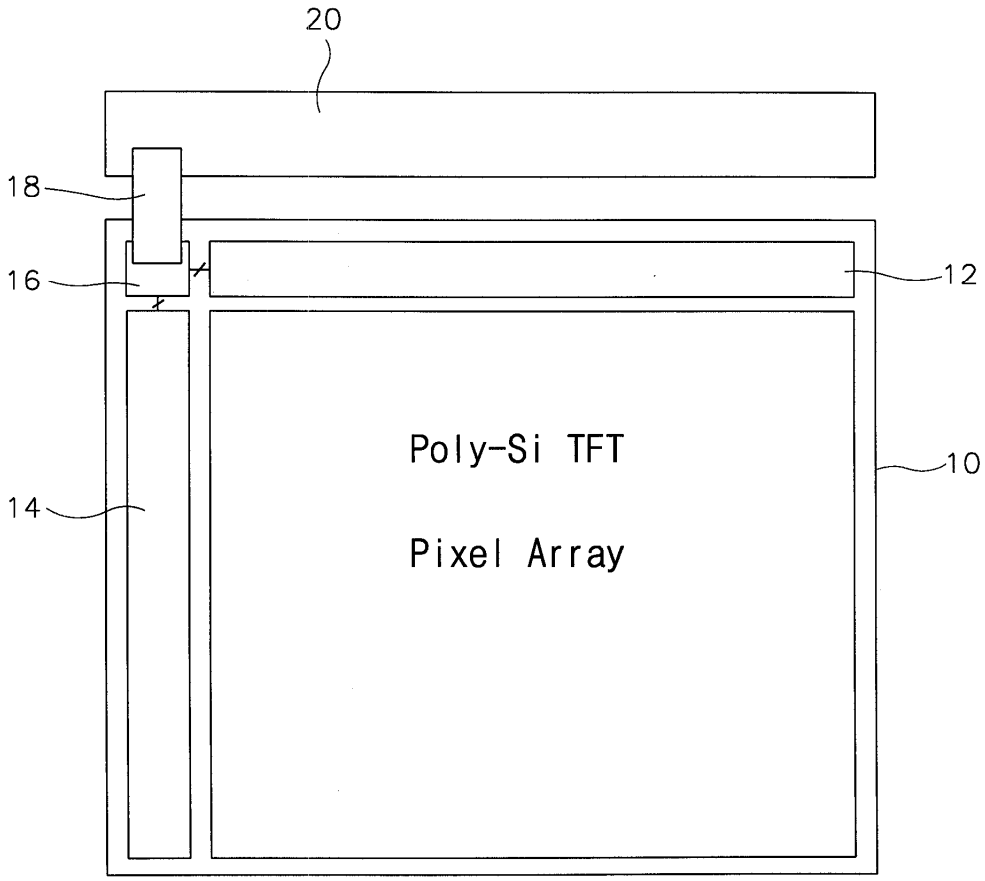
상기 풀업수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리수단으로부터 제공되는 클럭에 응답하여 상기 풀업수단을 턴-온시키고, 다음 스테이지로부터 제공되는 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀업수단을 턴-오프시키는 풀업구동수단;

상기 풀다운수단의 입력노드에 연결되고, 이전 스테이지의 제1 캐리수단으로 부터 제공되는 클럭에 응답하여 상기 풀다운수단을 턴-오프시키고, 상기 제1 또는 제2 제어신호의 선단에 응답하여 상기 풀다운수단을 턴-온시키는 풀다운구동수단; 및

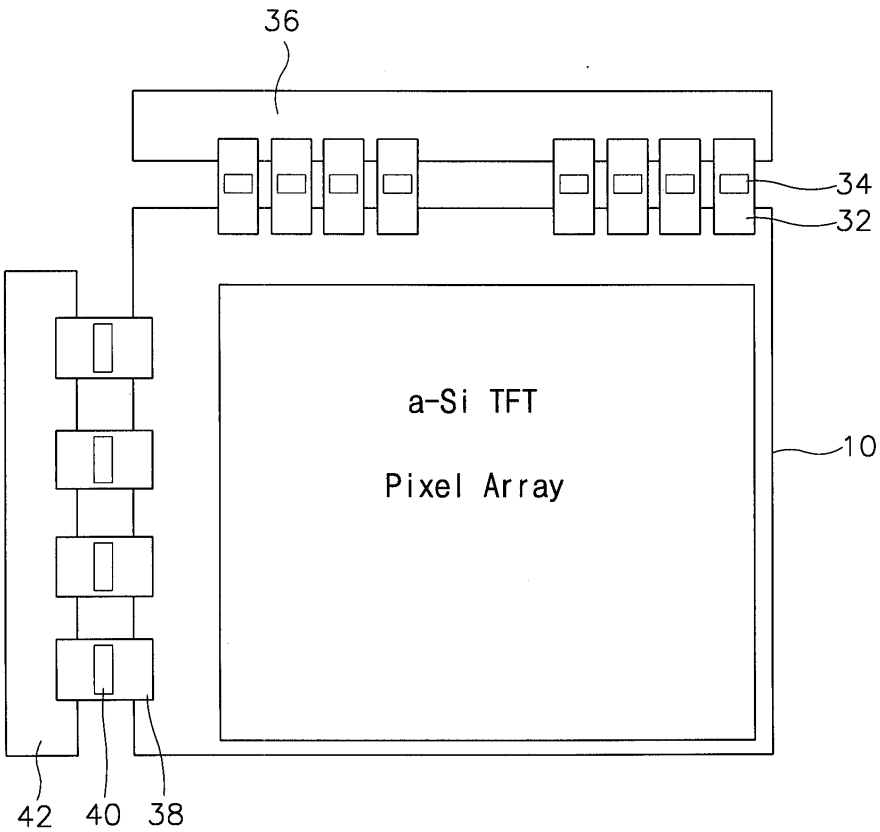
이전 스테이지의 제1 캐리 버퍼로부터 제공되어 상기 풀업수단에 인가되는 제1 및 제2 클럭중 대응되는 캐리 전압을 다운시키는 제2 캐리수단을 포함하는 것을 특징으로 하는 액정 표시 장치.

도면

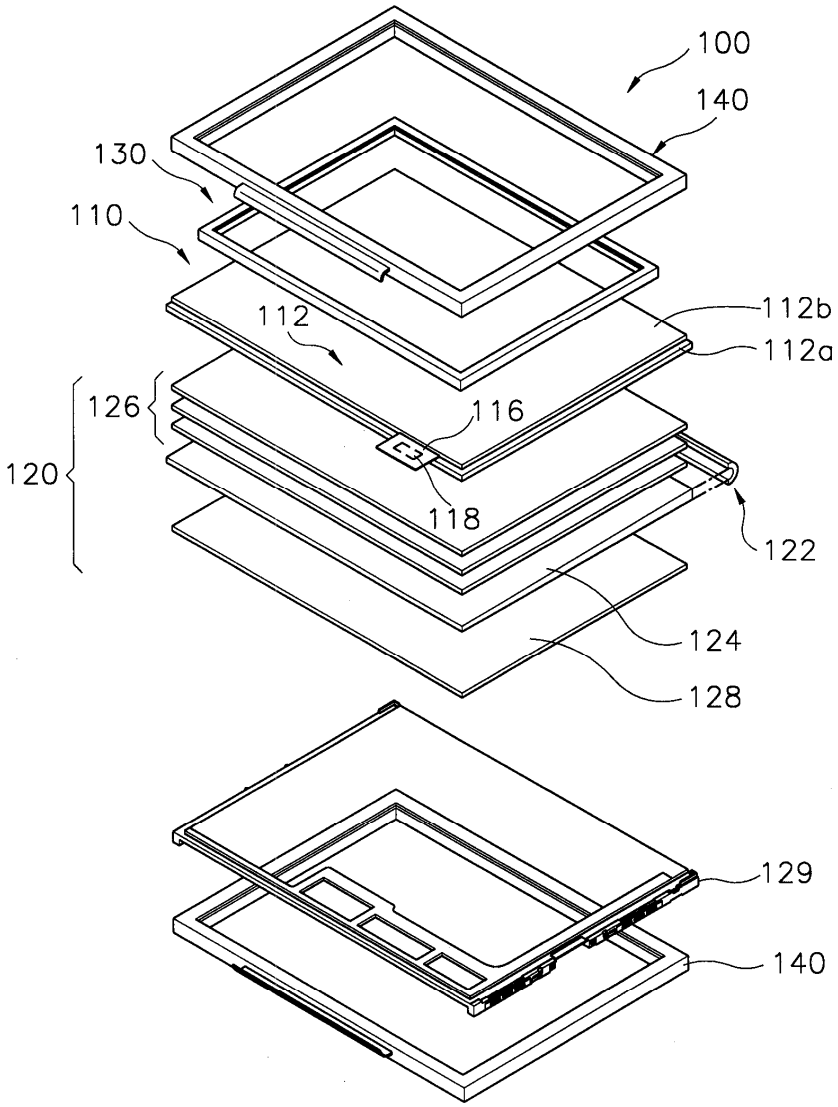
도면1


20
18
16
12
Poly-Si TFT
Pixel Array
10
14

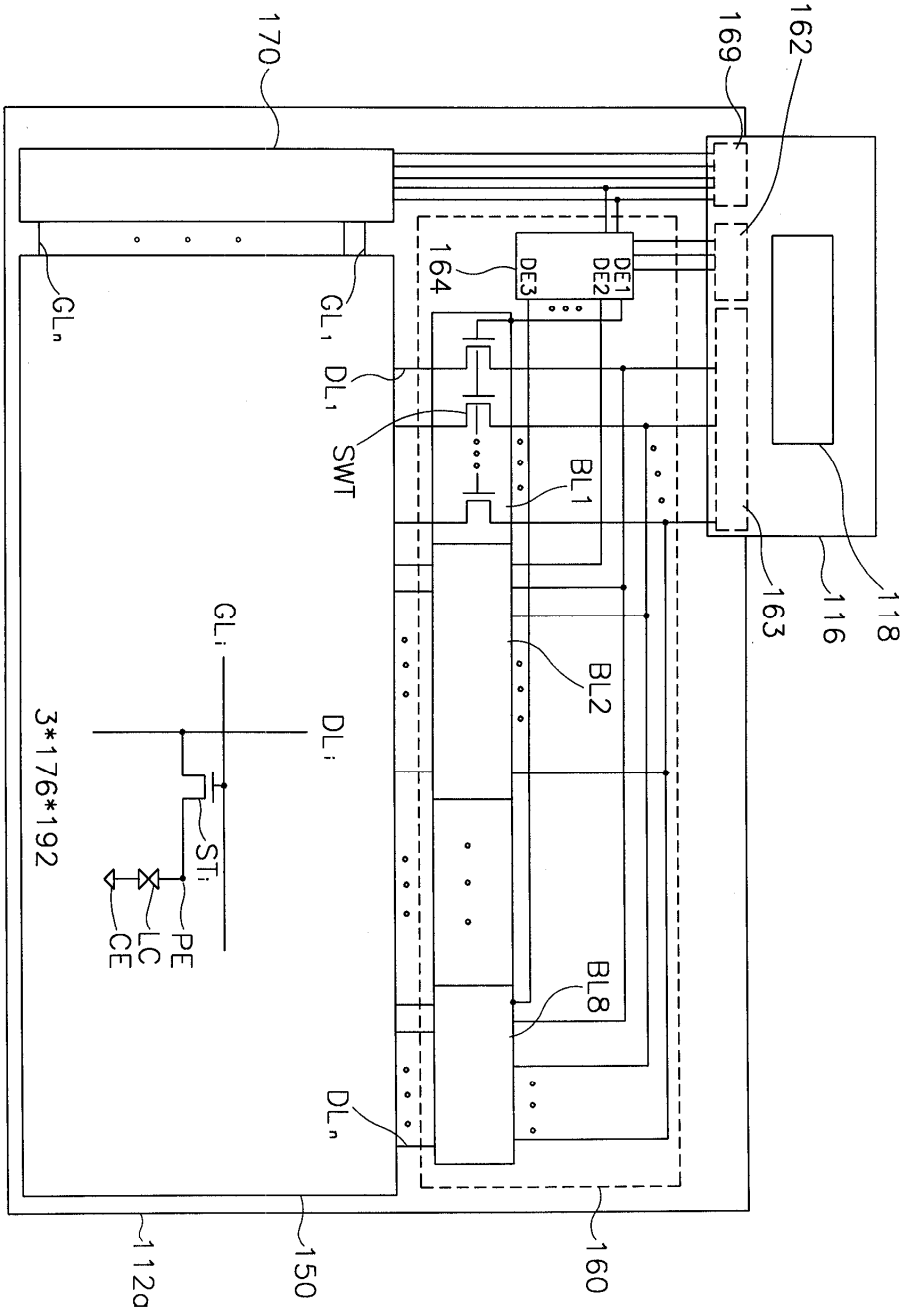
도면2


36
34
32
a-Si TFT
Pixel Array
10
42
40
38

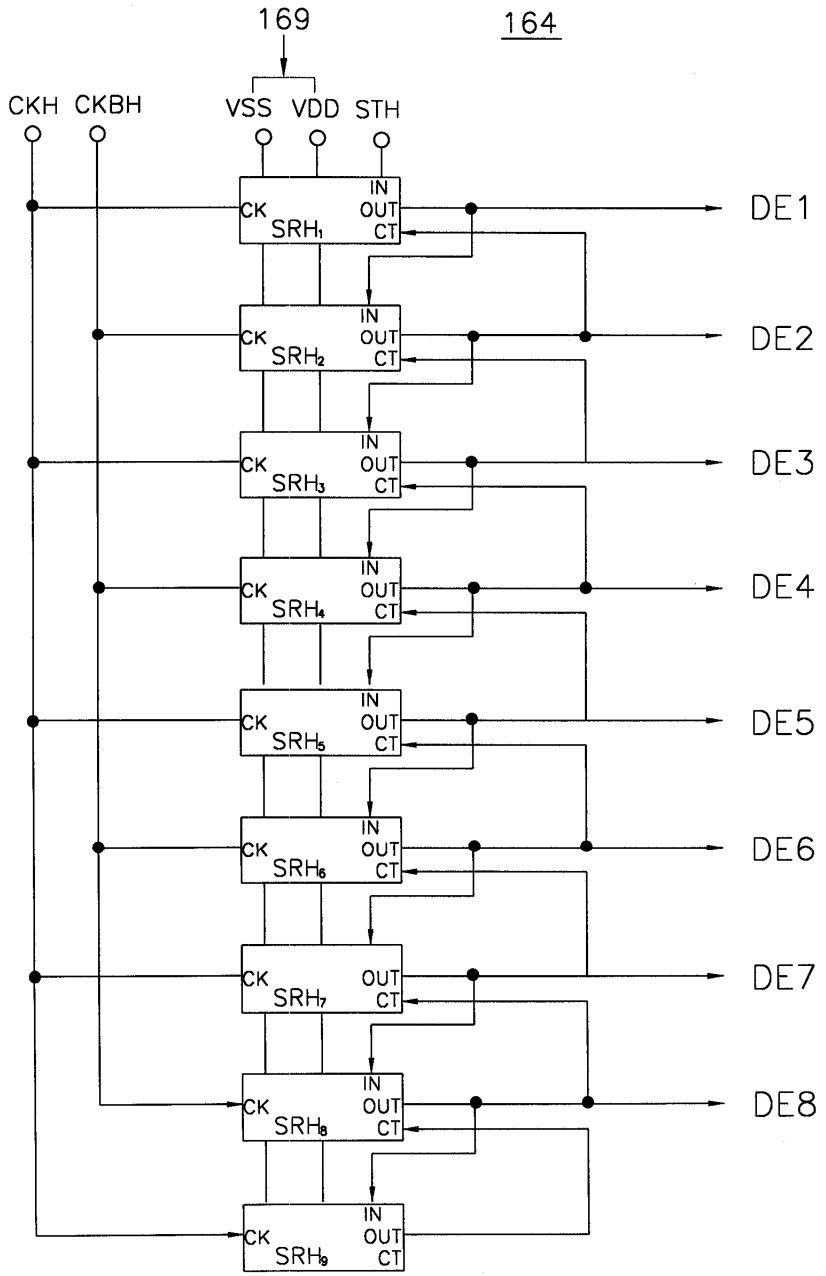
도면3


100
140
130
110
112
112b
112a
126
116
120
118
122
124
128
129
140

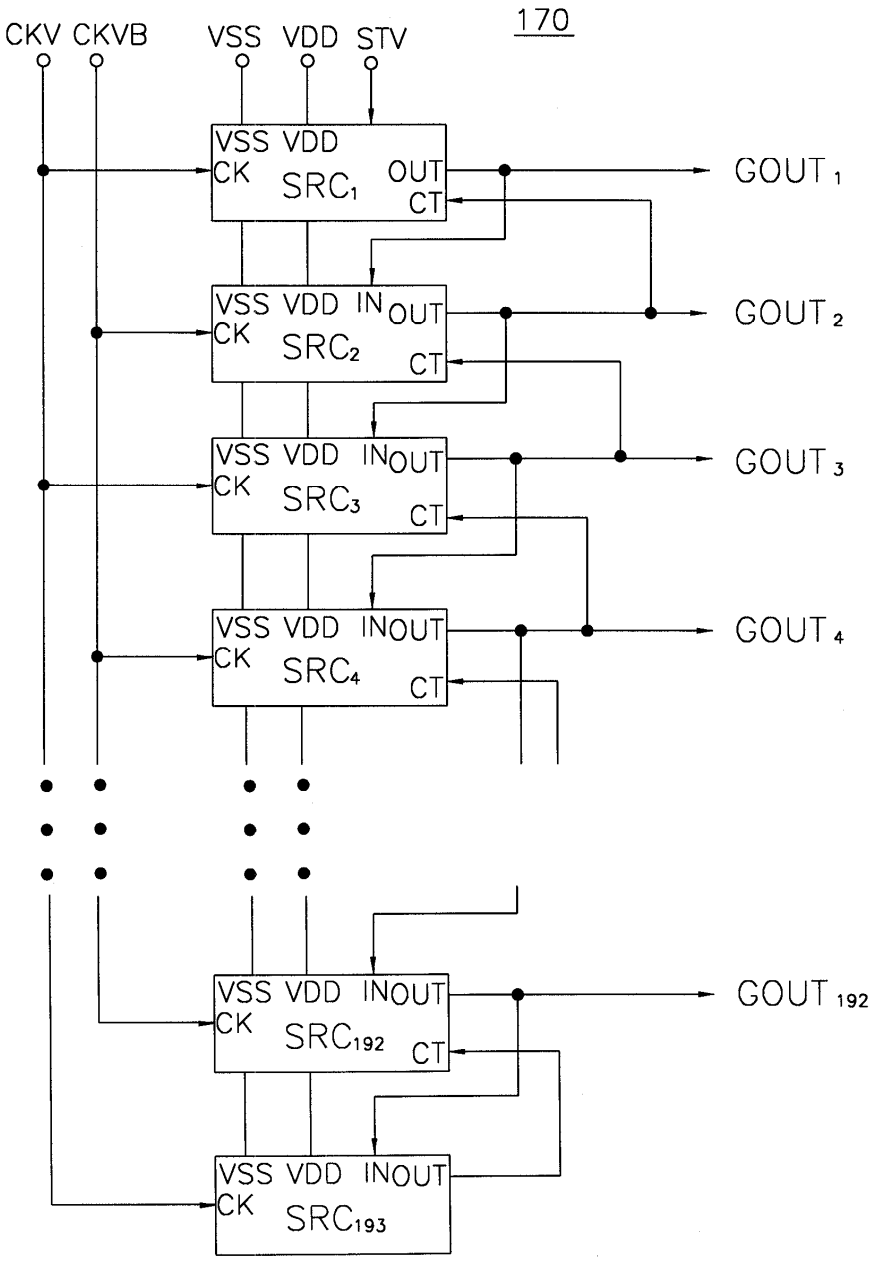
도면4


170
169
162
164
DE3
DE1
DE2
GLn
GL1
DL1
SWT
BL1
BL2
BL8
163
116
118
GLi
DLi
DLn
STi
PE
LC
CE
3*176*192
112a
150
160

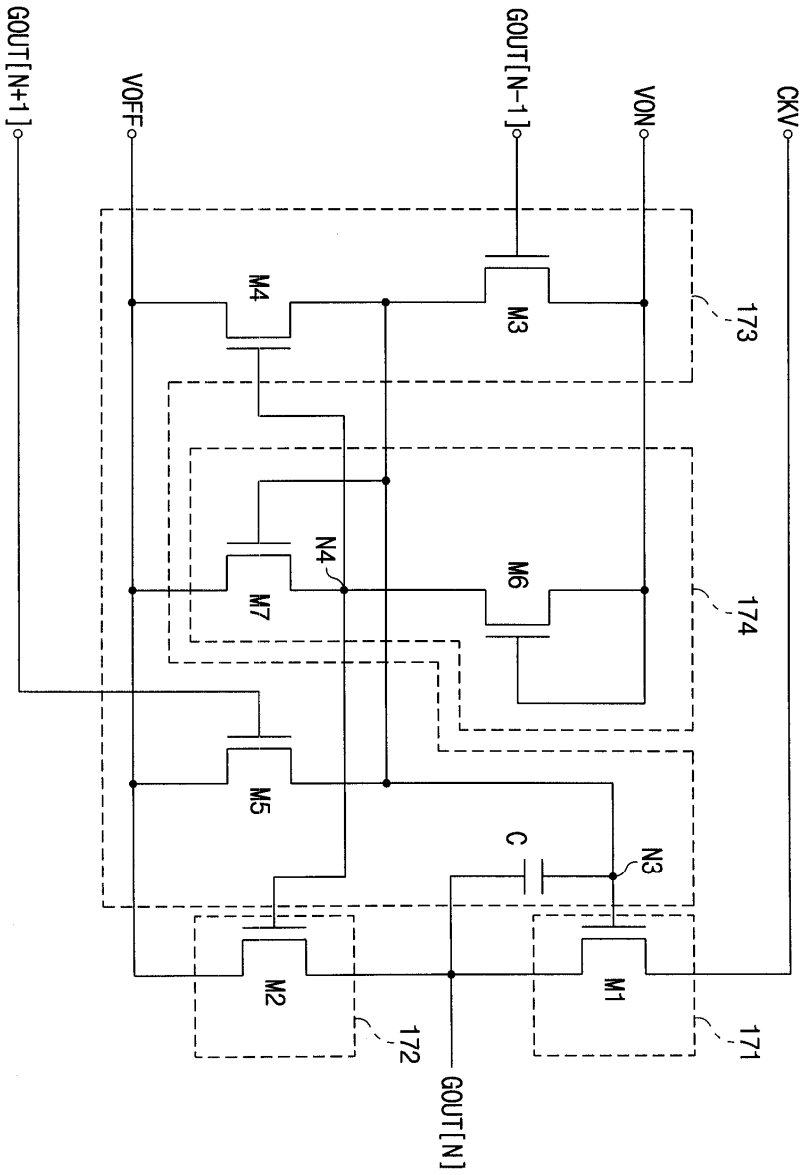
도면5


169
164
CKH
CKBH
VSS
VDD
STH
IN
CK
OUT
CT
SRH1
SRH2
SRH3
SRH4
SRH5
SRH6
SRH7
SRH8
SRH9
DE1
DE2
DE3
DE4
DE5
DE6
DE7
DE8

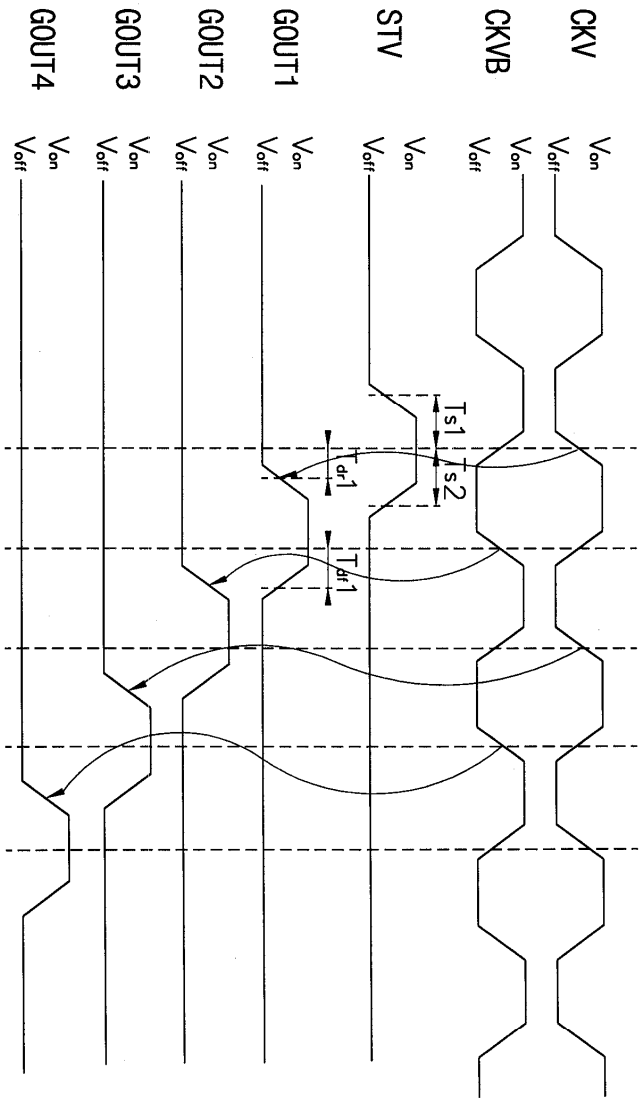
도면6


170
CKV
CKVB
VSS
VDD
STV
VSS VDD
CK
SRC1
OUT
CT
GOUT 1
VSS VDD IN
CK
SRC2
OUT
CT
GOUT 2
VSS VDD IN
CK
SRC3
OUT
CT
GOUT 3
VSS VDD IN
CK
SRC4
OUT
CT
GOUT 4
VSS VDD IN
CK
SRC192
OUT
CT
GOUT 192
VSS VDD IN
CK
SRC193
OUT

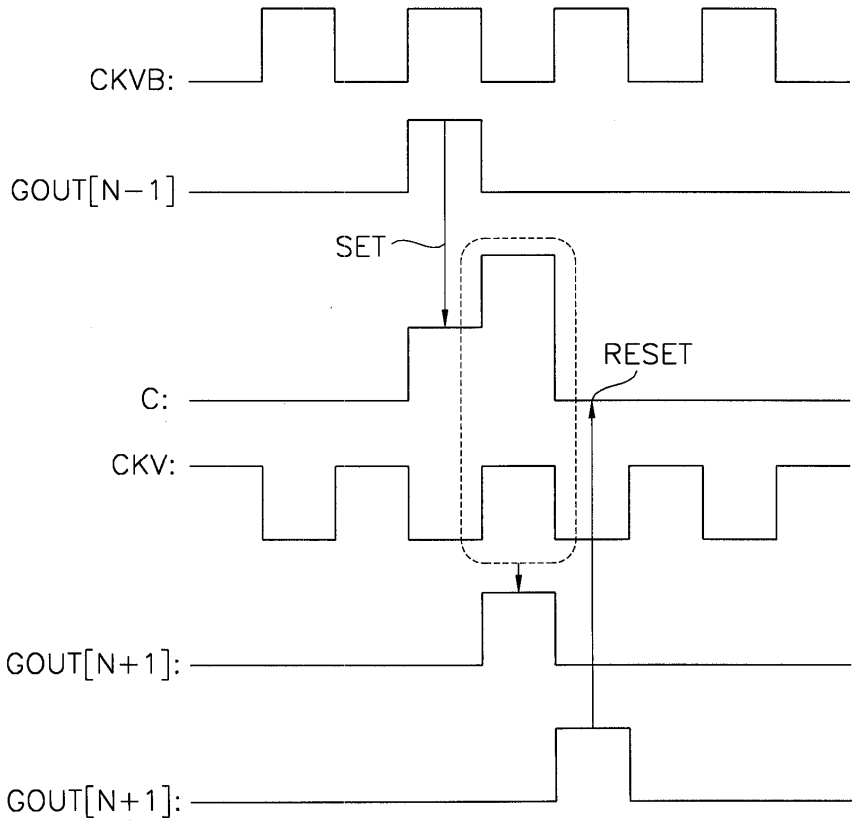
도면7


GOUT[N+1]
VOFF
GOUT[N-1]
VON
CKV
M4
M3
173
N4
M7
M6
174
M5
C
N3
M2
M1
172
171
GOUT[N]

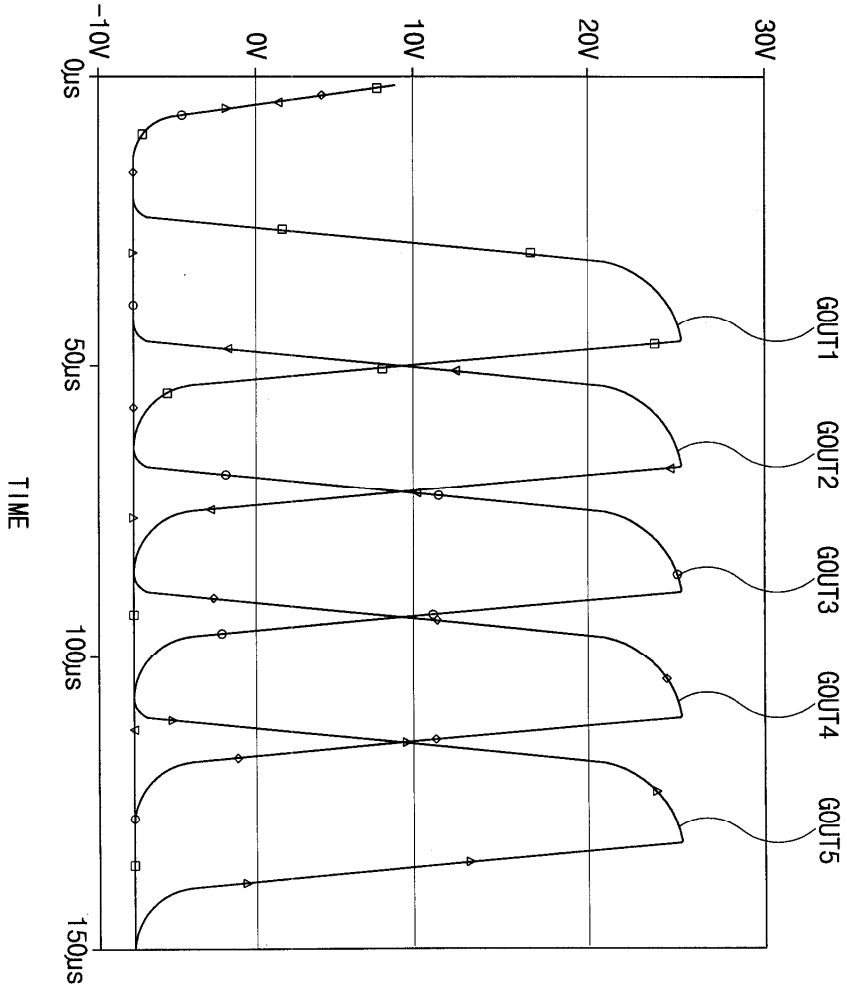
도면8


CKV
CKVB
STV
GOUT1
GOUT2
GOUT3
GOUT4
Von
Voff
Ts1
Ts2
Tdr1
Tdf1

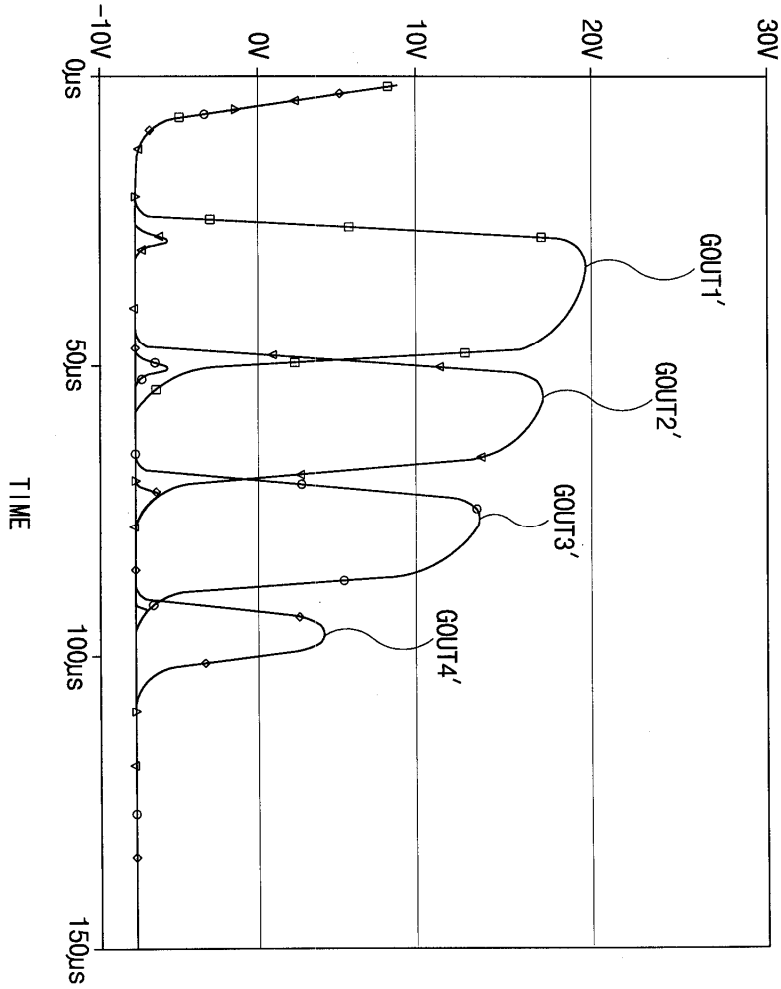
도면9



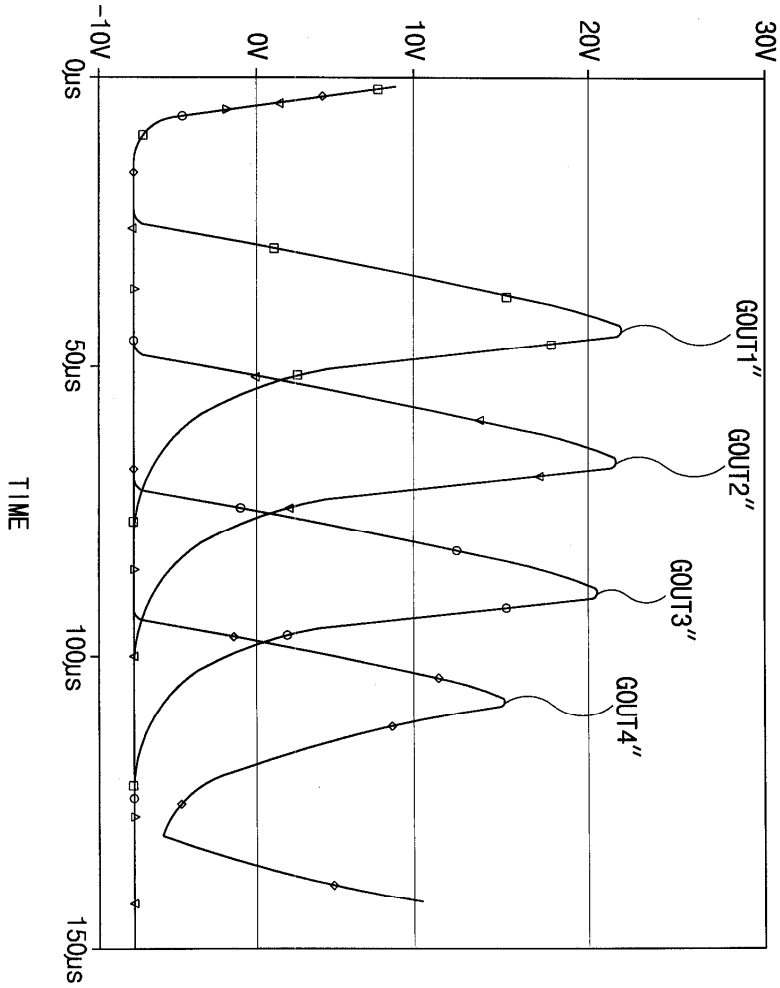
도면10a


-10V
0V
10V
20V
30V
0μs
50μs
100μs
150μs
TIME
GOUT1
GOUT2
GOUT3
GOUT4
GOUT5

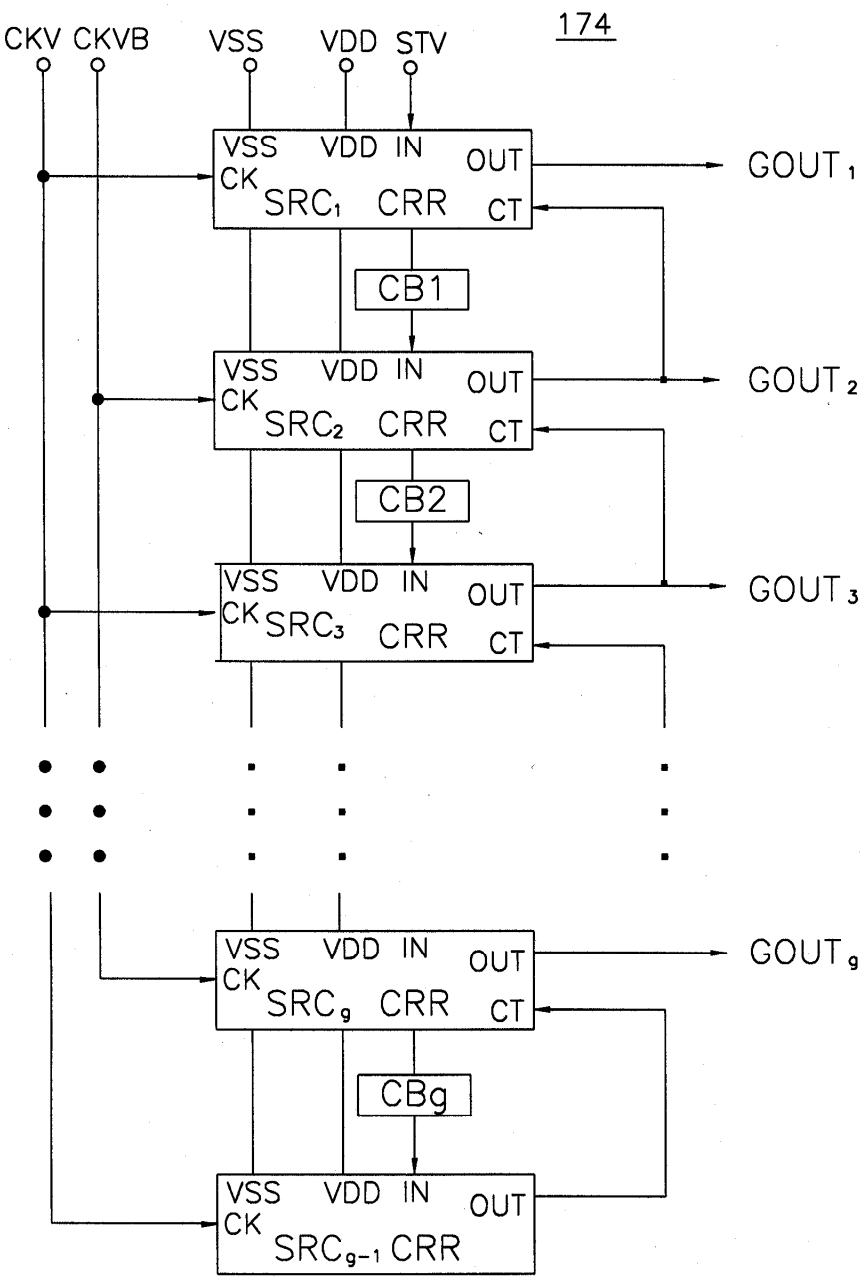
도면10b


-10V
0V
10V
20V
30V
0μs
50μs
100μs
150μs
TIME
GOUT1′
GOUT2′
GOUT3′
GOUT4′

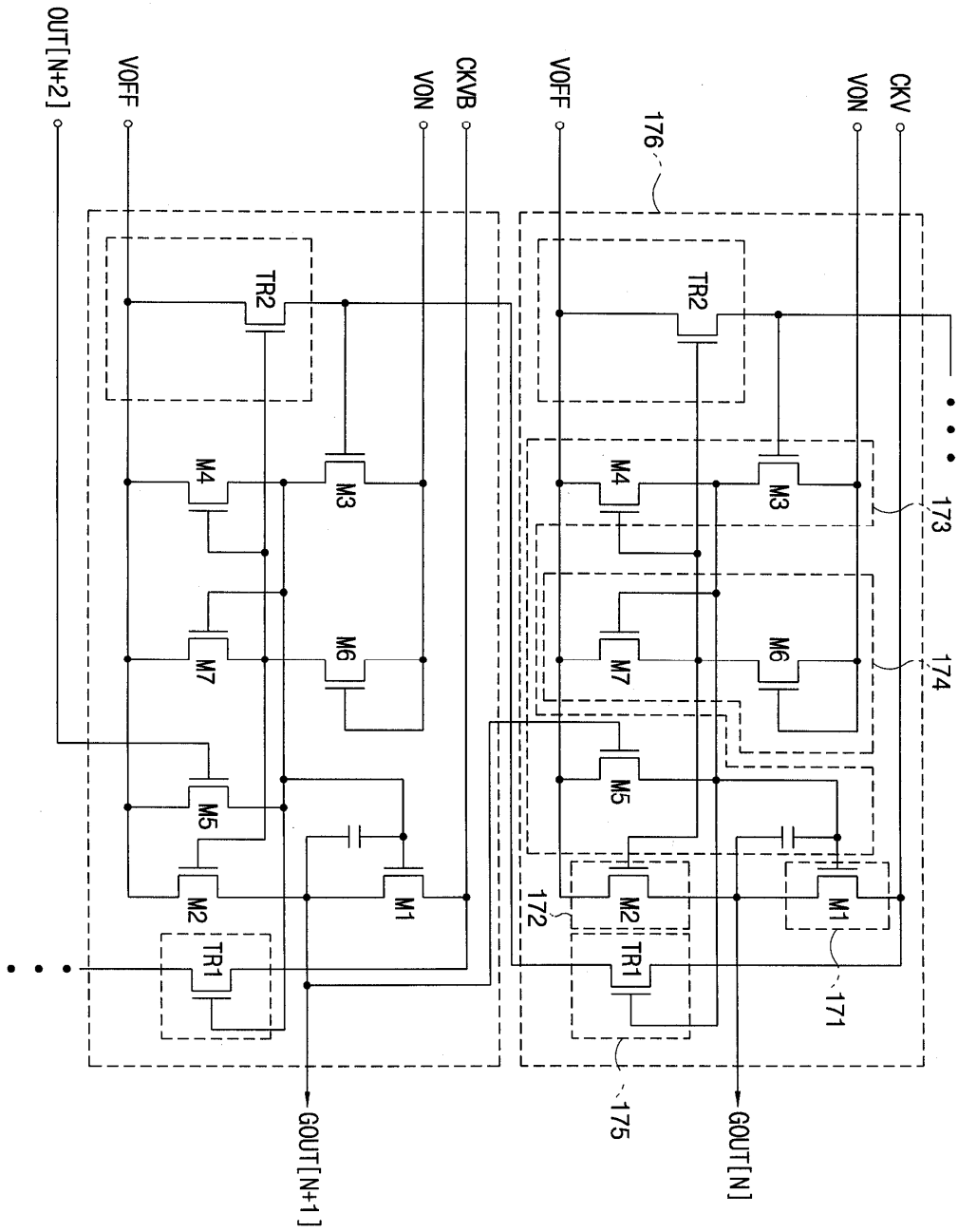
도면10c


30V
20V
10V
0V
-10V
0μs
50μs
100μs
150μs
TIME
GOUT1″
GOUT2″
GOUT3″
GOUT4″

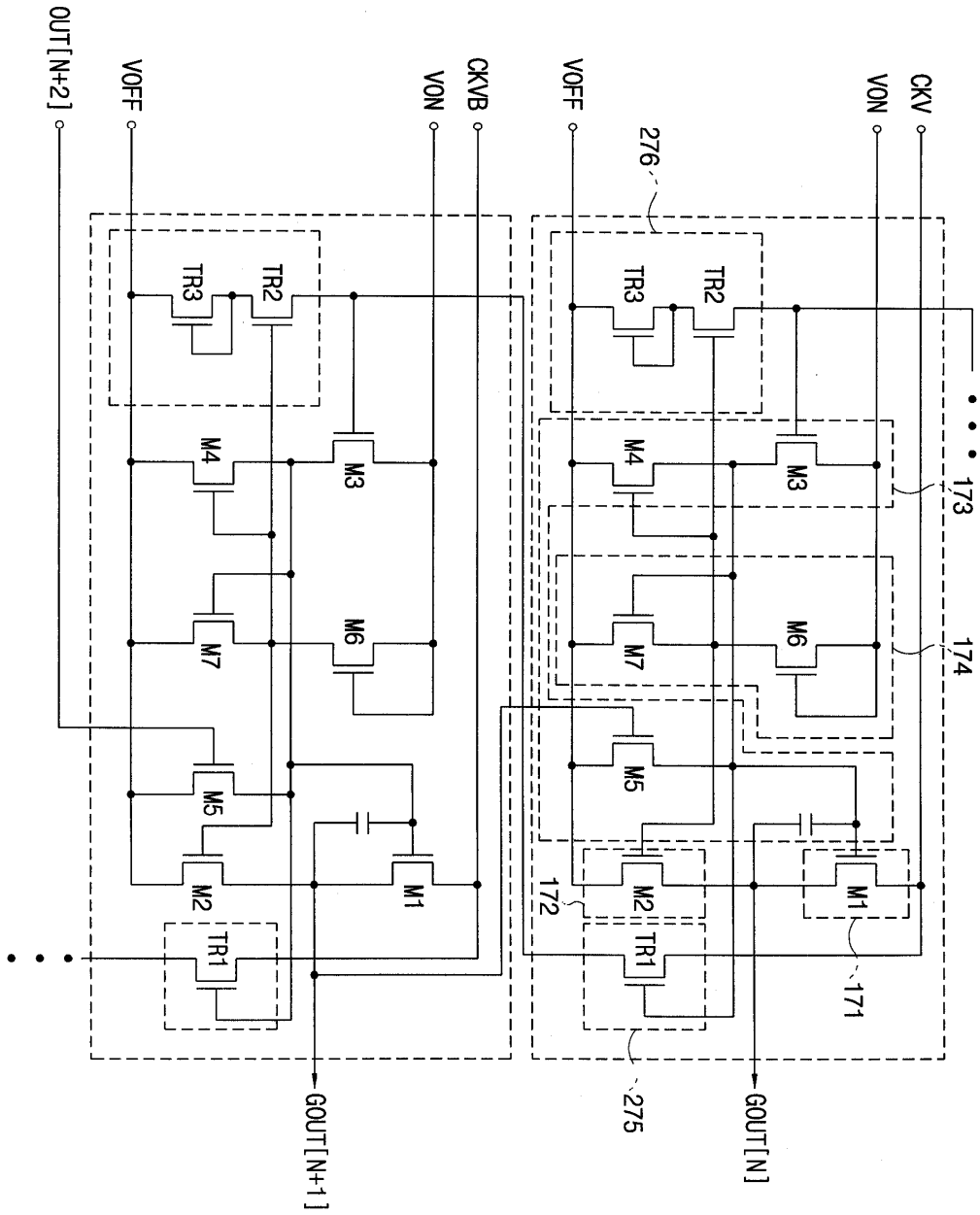
도면11


174
CKV
CKVB
VSS
VDD
STV
VSS
VDD
IN
CK
OUT
CT
SRC1
CRR
GOUT1
CB1
SRC2
GOUT2
CB2
SRC3
GOUT3
SRCg
GOUTg
CBg
SRCg-1

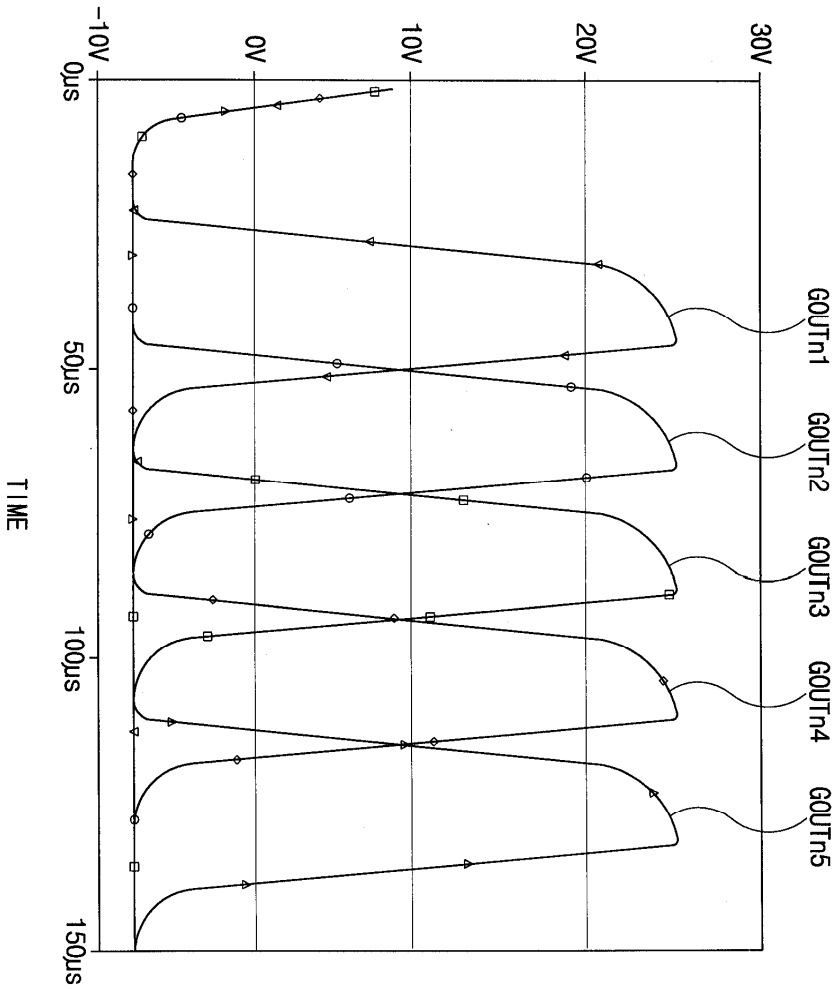
도면12


CKV
VON
VOFF
176
TR2
M4
M3
M7
M6
M5
M2
M1
TR1
173
174
172
171
175
GOUT[N]
CKVB
VON
VOFF
OUT[N+2]
GOUT[N+1]

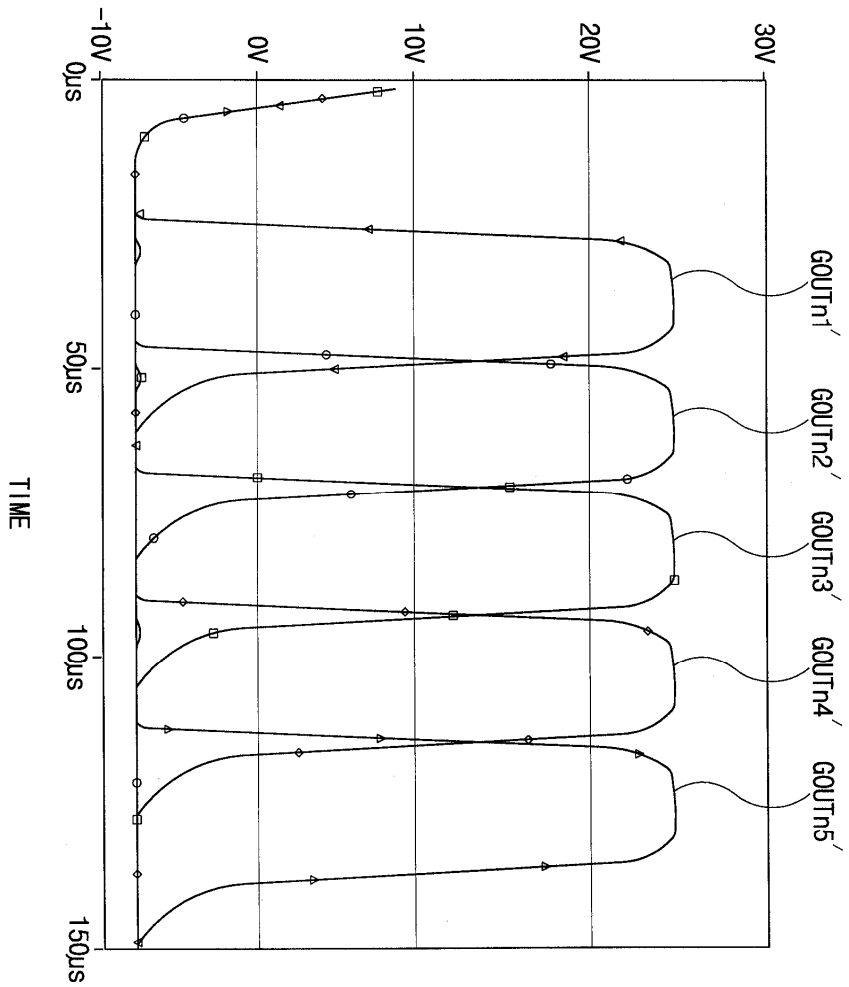
도면13


OUT[N+2]
VOFF
CKVB
VON
VOFF
276
VON
CKV
TR3
TR2
M4
M3
M7
M6
M5
M2
M1
TR1
173
174
172
171
275
GOUT[N+1]
GOUT[N]

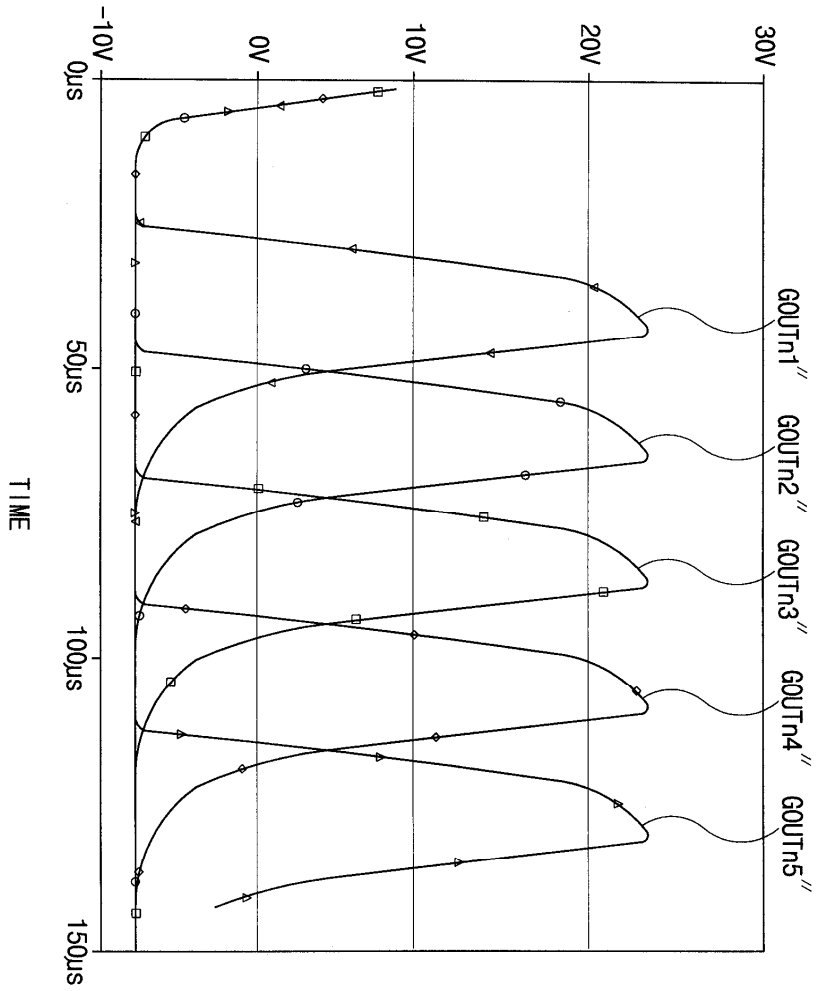
도면14a


-10V
0V
10V
20V
30V
0μs
50μs
100μs
150μs
TIME
GOUTn1
GOUTn2
GOUTn3
GOUTn4
GOUTn5

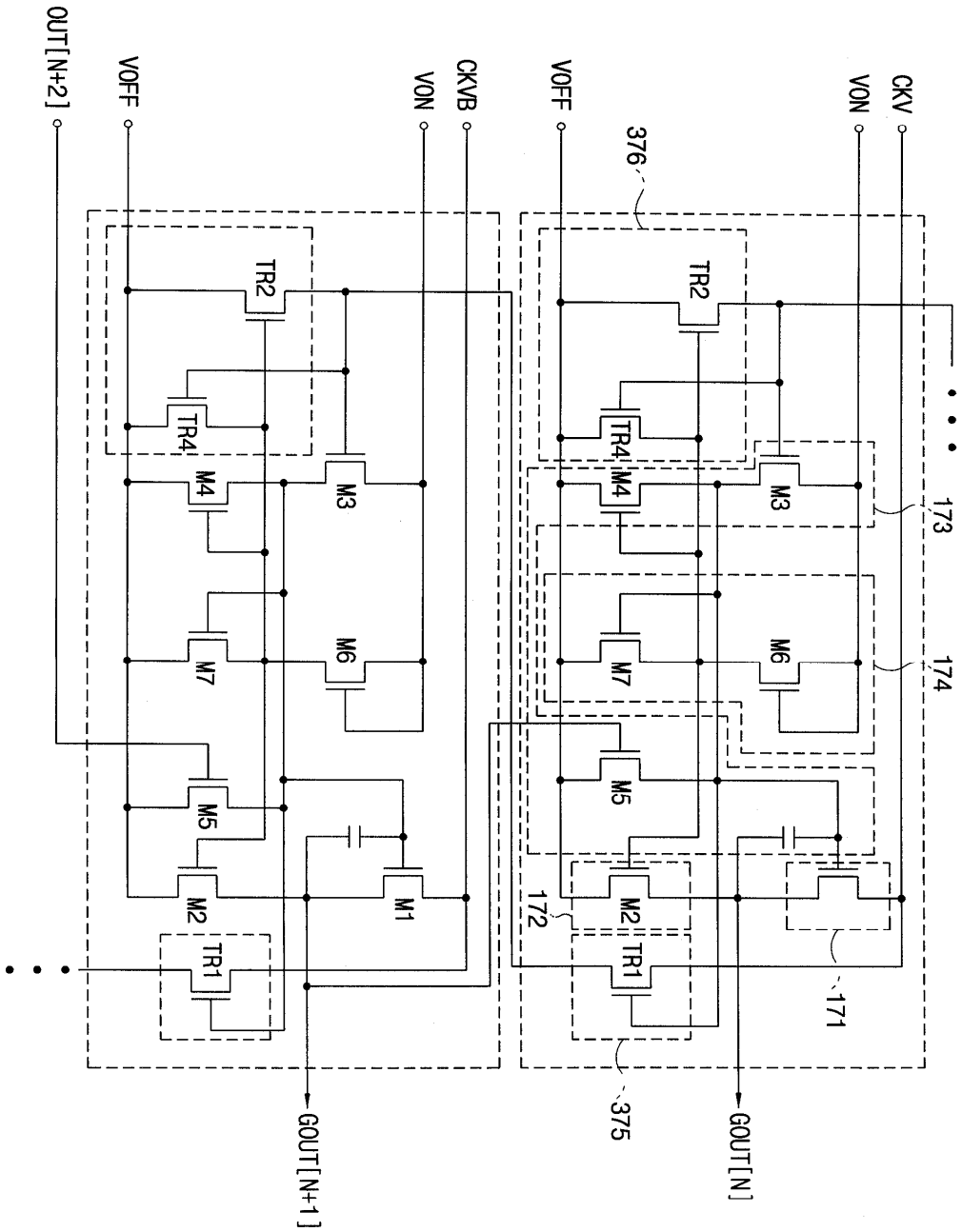
도면14b


-10V
0V
10V
20V
30V
0μs
50μs
100μs
150μs
TIME
GOUTn1'
GOUTn2'
GOUTn3'
GOUTn4'
GOUTn5'

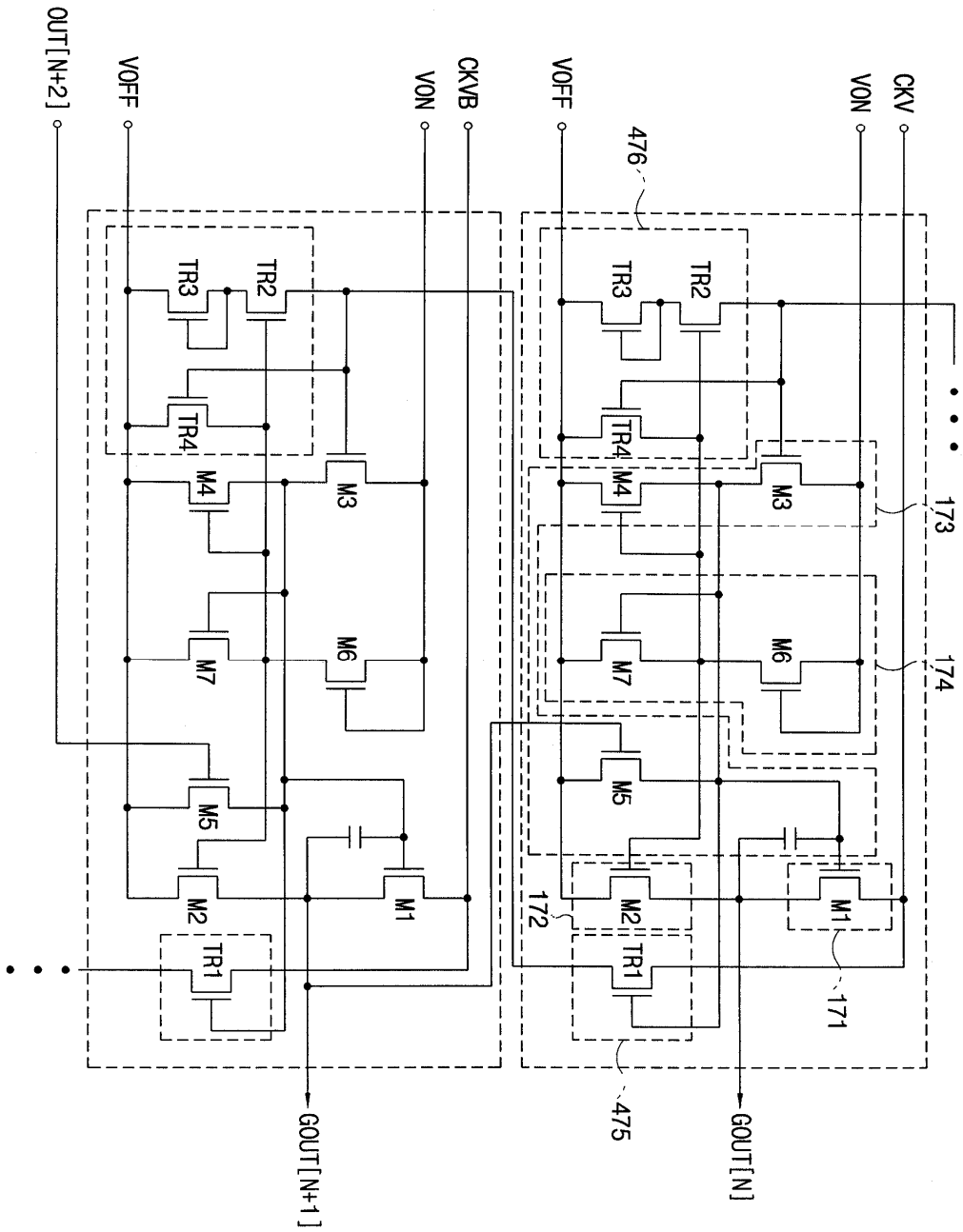
도면14c


−10V
0V
10V
20V
30V
0μs
50μs
100μs
150μs
TIME
GOUTn1
GOUTn2
GOUTn3
GOUTn4
GOUTn5

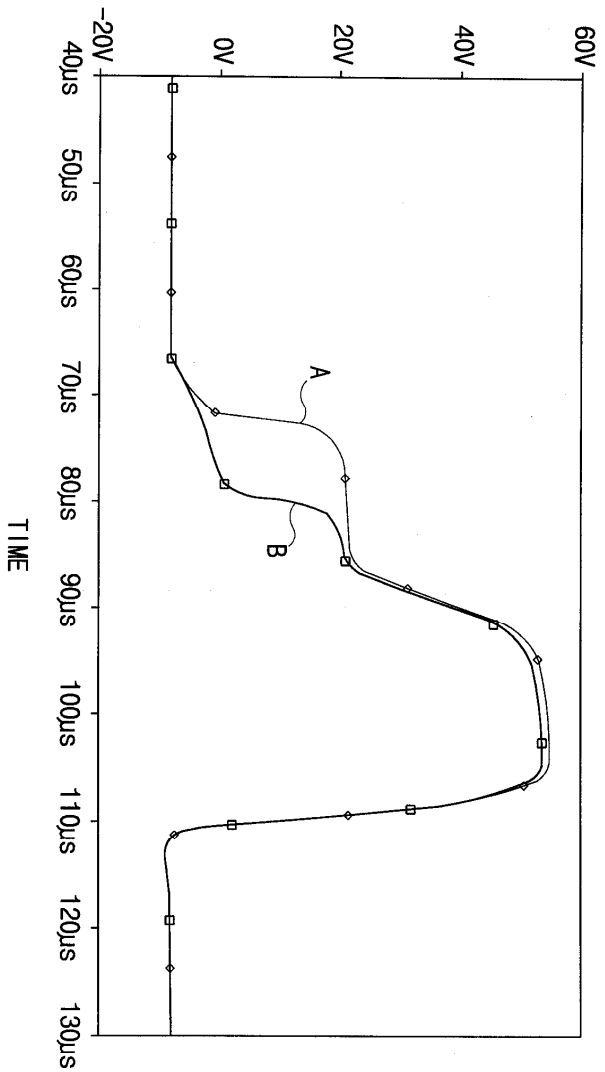
도면15


CKV
VON
VOFF
376
TR2
TR4
M4
M3
173
M7
M6
174
M5
M2
TR1
172
171
375
GOUT[N]
OUT[N+2]
VOFF
VON
CKVB
TR2
TR4
M4
M3
M7
M6
M5
M2
M1
TR1
GOUT[N+1]

도면16


OUT[N+2]
VOFF
VON
CKVB
VOFF
476
VON
CKV
TR3
TR2
TR4
M4
M3
M7
M6
M5
M2
M1
TR1
173
174
172
171
475
GOUT[N+1]
GOUT[N]

도면17


-20V
0V
20V
40V
60V
40μs
50μs
60μs
70μs
80μs
90μs
100μs
110μs
120μs
130μs
TIME
A
B

专利名称(译)	移位寄存器和具有它的液晶显示器件		
公开(公告)号	KR1020040003287A	公开(公告)日	2004-01-13
申请号	KR1020020037946	申请日	2002-07-02
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	MOON SEUNGHWAN 문승환		
发明人	문승환		
IPC分类号	G09G3/36		
CPC分类号	B65G47/90 B65G61/00 B65G2201/025		
代理人(译)	PARK，YOUNG WOO		
其他公开文献	KR100863502B1		
外部链接	Espacenet		

摘要(译)

公开了一种适用于具有高分辨率的大尺寸a-Si TFT LCD的移位寄存器和具有该移位寄存器的液晶显示装置。每个级包括上拉部分，上拉驱动部分，下拉部分，下拉驱动部分，以及用于控制第一和第二时钟之间的相应时钟到下行级的传输的控制部分。从前级的第一进位缓冲器提供的1个进位缓冲器和第二进位缓冲器，以减小施加到上拉单元的第一和第二时钟中的相应进位电压。因此，当应用于大规模a-Si TFT LCD时，可以提供对阈值电压不敏感的移位寄存器。 12 指数方面 液晶，移位寄存器，充电，移位寄存器，阈值电压，大屏幕