



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월18일
(11) 등록번호 10-1244656
(24) 등록일자 2013년03월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01)

(21) 출원번호 10-2006-0054825

(22) 출원일자 2006년06월19일

심사청구일자 2011년06월01일

(65) 공개번호 10-2007-0120276

(43) 공개일자 2007년12월24일

(56) 선행기술조사문헌

JP11344724 A*

JP2004117689 A

JP평성11344724 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

문태웅

경기도 성남시 분당구 중앙공원로 53, 삼성아파트
129동 1301호 (서현동)

박권식

서울특별시 강남구 언주로 123, 개포한신아파트
5-406 (도곡동)

윤수영

경기도 고양시 덕양구 무원로 63, 1010동 802호
(행신동, 무원마을)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 4 항

심사관 : 김홍섭

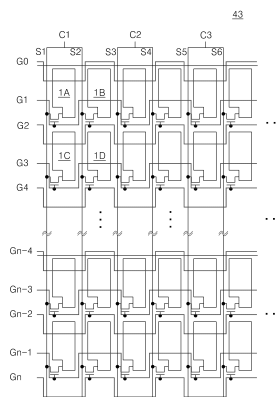
(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 데이터 드라이브 집적회로의 수를 줄이고 데이터라인의 부하를 줄이도록 한 액정표시장치에 관한 것이다.

이 액정표시장치는 데이터전압이 공급되는 제1 데이터라인; 화소열을 사이에 두고 상기 제1 데이터라인으로부터 이격되며 상단과 하단에서 상기 제1 데이터라인과 접속되어 상기 데이터전압이 공통으로 공급되는 제2 데이터라인; 상기 제1 및 제2 데이터라인에 교차되고 제1 스캔펄스가 공급되는 제1 게이트라인; 상기 제1 및 제2 데이터라인에 교차되고 제2 스캔펄스가 공급되는 제2 게이트라인; 상기 제1 스캔펄스에 응답하여 상기 제1 데이터라인으로부터의 상기 데이터전압을 기수 화소열의 화소전극에 공급하는 제1 스위치소자; 및 상기 제2 스캔펄스에 응답하여 상기 제2 데이터라인으로부터의 상기 데이터전압을 우수 화소열의 화소전극에 공급하는 제2 스위치소자를 구비하며, 상기 제1 게이트라인은 상기 우수 화소열의 화소전극과 중첩되고 상기 제1 스위치소자의 제어단자에 접속되며, 상기 제2 게이트라인은 상기 기수 화소열의 화소전극과 중첩되고 상기 제2 스위치소자의 제어단자에 접속되며, 상기 제1 및 제2 게이트 라인 각각은 지그재그 형태로 형성되며, 상기 기수 화소열의 화소 전극과 접속되는 제1 스위치 소자와, 상기 우수 화소열의 화소 전극과 접속되는 제2 스위치 소자는 동일한 행에 배열되는 것을 특징으로 한다.

대표도 - 도5



특허청구의 범위

청구항 1

데이터전압이 공급되는 제1 데이터라인;

화소열을 사이에 두고 상기 제1 데이터라인으로부터 이격되며 상단과 하단에서 상기 제1 데이터라인과 접속되어 상기 데이터전압이 공통으로 공급되는 제2 데이터라인;

상기 제1 및 제2 데이터라인에 교차되고 제1 스캔펄스가 공급되는 제1 게이트라인;

상기 제1 및 제2 데이터라인에 교차되고 제2 스캔펄스가 공급되는 제2 게이트라인;

상기 제1 스캔펄스에 응답하여 상기 제1 데이터라인으로부터의 상기 데이터전압을 기수 화소열의 화소전극에 공급하는 제1 스위치소자;

상기 제2 스캔펄스에 응답하여 상기 제2 데이터라인으로부터의 상기 데이터전압을 우수 화소열의 화소전극에 공급하는 제2 스위치소자를 구비하며,

상기 제1 게이트라인은 상기 우수 화소열의 화소전극과 중첩되고 상기 제1 스위치소자의 제어단자에 접속되며,

상기 제2 게이트라인은 상기 기수 화소열의 화소전극과 중첩되고 상기 제2 스위치소자의 제어단자에 접속되며,

상기 제1 및 제2 게이트 라인 각각은 지그재그 형태로 형성되며,

상기 기수 화소열의 화소 전극과 접속되는 제1 스위치 소자와, 상기 우수 화소열의 화소 전극과 접속되는 제2 스위치 소자는 동일한 행에 배열되는 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 데이터전압을 출력채널을 통해 발생하는 데이터 구동회로;

상기 스캔펄스들을 순차적으로 발생하는 게이트 구동회로를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 데이터 전압은 대략 1/2 수평기간 동안 상기 데이터라인들에 공급되고;

상기 스캔펄스들은 상기 데이터전압과 동기하여 상기 대략 1/2 수평기간 동안 고전위 전압을 유지하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 스캔펄스들의 저전위 전압은 상기 화소전극과 대향하는 액정셀의 공통전극의 전압과 동일한 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 액정표시장치에 관한 것으로 특히, 데이터 드라이브 집적회로의 수를 줄이고 데이터라인의 부하를 줄이도록 한 액정표시장치에 관한 것이다.
- [0012] 최근의 정보화 사회에서 표시소자는 시각정보 전달매체로서 그 중요성이 어느 때보다 강조되고 있다. 현재 주류를 이루고 있는 음극선관(Cathode Ray Tube) 또는 브라운관은 무게와 부피가 큰 문제점이 있었다. 이러한 음극선관의 한계를 극복할 수 있는 많은 종류의 평판표시소자(Flat Panel Display)가 개발되고 있다.
- [0013] 평판표시소자에는 액정표시소자(Liquid Crystal Display : LCD), 전계 방출 표시소자(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 및 일렉트로루미네센스(Electroluminescence : EL) 등이 있고 이들 대부분이 실용화되어 시판되고 있다.
- [0014] 액정표시소자는 전자제품의 경박단소 추세를 만족할 수 있고 양산성이 향상되고 있어 많은 응용분야에서 음극선관을 빠른 속도로 대체하고 있다.
- [0015] 특히, 박막트랜지스터(Thin Film Transistor : 이하, "TFT"라 한다)를 이용하여 액정셀을 구동하는 액티브 매트릭스 타입의 액정표시소자는 화질이 우수하고 소비전력이 낮은 장점이 있으며, 최근의 양산기술 확보와 연구개발의 성과로 대형화와 고해상도화로 급속히 발전하고 있다.
- [0016] 도 1 및 도 2는 액티브 매트릭스 타입의 액정표시장치와 그 구동신호를 나타낸 것이다.
- [0017] 도 1 및 도 2를 참조하면, 액티브 매트릭스 타입의 액정표시장치는 $m \times n$ 개의 액정셀들(C1c)이 매트릭스 타입으로 배열되고 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차되며 그 교차부에 TFT가 형성된 액정표시패널(13)과, 액정표시패널(13)의 데이터라인들(D1 내지 Dm)에 데이터를 공급하기 위한 데이터 구동회로(11)와, 게이트라인들(G1 내지 Gn)에 스캔펄스를 공급하기 위한 게이트 구동회로(12)를 구비한다.
- [0018] 액정표시패널(13)은 두 장의 유리기관 사이에 액정분자들이 주입된다. 이 액정표시패널(13)의 하부 유리기관 상에 형성된 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)은 상호 직교된다. 데이터라인들(D1 내지 Dm)과 게이트라인들(G1 내지 Gn)의 교차부에 형성된 TFT는 게이트라인(G1 내지 Gn)으로부터의 스캔펄스에 응답하여 데이터라인들(D1 내지 Dn)을 경유하여 공급되는 데이터 전압을 액정셀(C1c)에 공급하게 된다. 이를 위하여, TFT의 게이트전극은 게이트라인(G1 내지 Gn)에 접속되며, 드레인전극은 데이터라인(D1 내지 Dm)에 접속된다. 그리고 TFT의 소스전극은 액정셀(C1c)의 화소전극에 접속된다. 액정표시패널(13)의 상부 유리기관 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다.
- [0019] 액정표시패널(13)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0020] 액정표시패널(13)의 액정셀(C1c) 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 액정셀(C1c)의 화소전극과 전단 게이트라인 사이에 형성되거나, 액정셀(C1c)의 화소전극과 도시하지 않은 공통전극라인 사이에 형성되어 액정셀(C1c)의 전압을 일정하게 유지시킨다.
- [0021] 데이터 구동회로(11)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(11)는 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 아날로그 감마보상전압으로 변환하여 데이터라인들(D1 내지 Dm)에 공급한다.
- [0022] 게이트 구동회로(12)는 1 수평주기마다 스타트펄스를 순차적으로 쉬프트시커 스캔펄스를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀(C1c)의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성된다. 이 게이트 구동회로(12)는 스캔펄스를 게이트라인들(G1 내지 Gn)에 순차적으로 공급하여 데이터가 공급되는 액정표시패널(13)의 수평라인을 선택한다.
- [0023] 도 2에서, 'Vd'는 데이터 구동회로(11)에 의해 출력되어 데이터라인들(D1 내지 Dm)에 공급되는 데이터전압이며, 'Vlc'는 액정셀(C1c)에서 충방전되는 데이터전압이다. 그리고 'Scp'는 1 수평기간으로 발생하는 스캔펄스이다. 'Vcom'은 액정셀들(C1c)의 공통전극에 공급되는 공통전압이다.
- [0024] 이 액정표시장치는 액정표시패널(13)에 형성되는 데이터라인들(D1 내지 Dm)이 많고 그 데이터라인들(D1 내지

Dm)에 데이터전압을 공급하기 위한 데이터 구동회로(11)의 드라이브 집적회로들로 인하여 코스트 부담이 큰 문제점이 있다. 이러한 코스트 부담은 해상도가 높아지거나 액정표시패널(13)이 대화면화될수록 더 가중된다.

[0025] 데이터라인과 데이터 드라이브 집적회로의 증가로 인한 문제점을 해결하기 위하여, 하나의 데이터라인으로 두 개의 액정셀 열을 구동함으로써 데이터라인과 드라이브 집적회로의 수를 줄일 수 있는 기술이 개발된다. 이러한 데이터라인 저감 기술의 일예는 도 3과 같다. 도 3과 같은 액정표시장치는 화소 어레이에서 데이터라인들(D1, D2, D3)의 좌우에 서로 다른 액정셀을 구동하기 위한 TFT를 접속시키고, 데이터에 동기되는 스캔펄스를 1/2 수평기간 동안 순차적으로 두 개의 게이트라인들에 인가하여 좌우에 배치된 두 개의 액정셀들을 시분할 구동함으로써 데이터라인 수를 줄인다.

[0026] 도 3과 같은 액정표시장치는 데이터라인의 수를 줄일 수는 있으나 데이터라인의 좌우에 TFT들이 접속되어 데이터라인의 부하가 증가하는 단점이 있다.

발명이 이루고자 하는 기술적 과제

[0027] 따라서, 본 발명의 목적은 데이터 드라이브 집적회로의 수를 줄이고 데이터라인의 부하를 줄이도록 한 액정표시장치를 제공하는데 있다.

발명의 구성 및 작용

[0028] 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 데이터전압이 공급되는 제1 데이터라인; 화소열을 사이에 두고 상기 제1 데이터라인으로부터 이격되며 상단과 하단에서 상기 제1 데이터라인과 접속되어 상기 데이터전압이 공통으로 공급되는 제2 데이터라인; 상기 제1 및 제2 데이터라인에 교차되고 제1 스캔펄스가 공급되는 제1 게이트라인; 상기 제1 및 제2 데이터라인에 교차되고 제2 스캔펄스가 공급되는 제2 게이트라인; 상기 제1 스캔펄스에 응답하여 상기 제1 데이터라인으로부터의 상기 데이터전압을 기수 화소열의 화소전극에 공급하는 제1 스위치소자; 및 상기 제2 스캔펄스에 응답하여 상기 제2 데이터라인으로부터의 상기 데이터전압을 우수 화소열의 화소전극에 공급하는 제2 스위치소자를 구비하며, 상기 제1 게이트라인은 상기 우수 화소열의 화소전극과 중첩되고 상기 제1 스위치소자의 제어단자에 접속되며, 상기 제2 게이트라인은 상기 기수 화소열의 화소전극과 중첩되고 상기 제2 스위치소자의 제어단자에 접속되며, 상기 제1 및 제2 게이트 라인 각각은 지그재그 형태로 형성되며, 상기 기수 화소열의 화소 전극과 접속되는 제1 스위치 소자와, 상기 우수 화소열의 화소 전극과 접속되는 제2 스위치 소자는 동일한 행에 배열되는 것을 특징으로 한다.

[0029] 이하 도 4 내지 도 7을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0030] 도 4 및 도 5는 본 발명의 실시예에 따른 액정표시장치를 나타낸다.

[0031] 도 4 및 도 5를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 $m \times n$ 개의 액정셀들(C1c)이 매트릭스 타입으로 배열되는 액정표시패널(43), $m/2$ 개의 데이터 출력 채널들(C1 내지 Cm/2)을 통해 데이터를 출력하는 데이터 구동회로(41), 게이트라인들(G0 내지 Gn)에 스캔펄스를 공급하기 위한 게이트 구동회로(42), 데이터 구동회로(41)와 게이트 구동회로(42)를 제어하기 위한 타이밍 콘트롤러(44)를 구비한다.

[0032] 액정표시패널(43)은 두 장의 유리기판 사이에 액정분자들이 주입된다. 이 액정표시패널(43)의 하부 유리기판 상에 형성된 m 개의 데이터라인들(S1 내지 Sm/2)과 n 개의 게이트라인들(G0 내지 Gn)이 직교된다.

[0033] 액정표시패널(43)에서 이웃하는 기수 데이터라인(S1, S3, ... Sn-1)과 우수 데이터라인(S1 내지 Sm)은 상단과 하단 각각에서 전기적으로 접속되어 하나의 화소열을 감싸는 형태의 페루프를 형성한다.

[0034] 페루프를 형성하는 기수 데이터라인(S1, S3, ... Sn-1)과 우수 데이터라인(S1 내지 Sm)의 상단은 데이터 구동회로의 출력채널(C1 내지 Cm/2)에 전기적으로 접속된다. 여기서, 하나의 데이터 라인 페루프는 하나의 데이터 출력 채널에 접속된다.

[0035] 게이트라인들(G0 내지 Gn)은 지그재그 형태로 패터닝된다. 이러한 지그재그 패턴 구조에 의해, 기수 게이트라인들(G1, G3, ... Gn-1)은 우수 화소열에 배치된 화소전극들(1B, 1D)에 중첩되고 기수 화소열에 배치된 TFT들의 게이트전극에 접속된다. 우수 게이트라인들(G0, G2, G4, ... Gn)은 우수 화소열에 배치된 TFT들의 게이트전극

에 접속되고 기수 화소열(1A, 1C)에 배치된 화소전극들에 중첩된다.

- [0036] 데이터라인들(S1 내지 Sm)과 게이트라인들(G0 내지 Gn)의 교차부들에는 TFT들이 접속된다. TFT들은 데이터라인들(S1 내지 Sm)의 좌측에 배치된다. 이러한 TFT들은 게이트 구동회로(42)로부터의 스캔신호에 응답하여 데이터라인(S1 내지 Sm)으로부터의 데이터전압을 화소전극(1)에 공급한다. 이를 위하여, TFT의 게이트전극은 게이트라인(G0 내지 Gn)에 접속되며, 드레인전극은 데이터라인(S1 내지 Sm)에 접속된다. 그리고 TFT의 소스전극은 액정셀(C1c)의 화소전극(1)에 접속된다. 화소전극(1)과 대향하는 공통전극(2)에는 공통전압(Vcom)이 공급된다.
- [0037] 액정표시패널(43)의 액정셀 각각에는 스토리지 캐패시터(Cst)가 형성된다. 스토리지 캐패시터(Cst)는 유전체를 사이에 두고 중첩되는 게이트라인(G0 내지 Gn)과 화소전극에 의해 형성된다. 이러한 스토리지 캐패시터(Cst)는 액정셀(C1c)의 전압을 일정하게 유지시킨다. 최상층의 제1 라인에 배치되는 화소들에서 스토리지 캐패시터(Cst)는 스캔펄스가 공급되지 않고 공통전압(Vcom)이 공급되는 최상단의 게이트라인(G0)과 제1 라인의 화소전극 사이에 형성된다.
- [0038] 액정표시패널(43)의 상부 유리기관 상에는 도시하지 않은 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 한편, 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다.
- [0039] 액정표시패널(43)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내측 면 상에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0040] 데이터 구동회로(41)는 쉬프트 레지스터, 래치, 디지털-아날로그 변환기 및 출력 버퍼를 각각 포함하는 다수의 데이터 드라이브 집적회로들로 구성된다. 이 데이터 구동회로(41)는 타이밍 콘트롤러(44)의 제어 하에 디지털 비디오 데이터를 래치하고 그 디지털 비디오 데이터를 정극성/부극성 아날로그 감마보상전압으로 변환하여 정극성/부극성 데이터전압으로써 데이터 출력채널들(C1 내지 Cm/2)을 통해 출력된다. 데이터 출력채널들(C1 내지 Cm/2)은 데이터라인들(S1 내지 Sm)과 1 : 2로 접속된다. 즉, 하나의 데이터 출력 채널은 페루프로 접속된 두 개의 데이터라인들에 접속된다. 데이터전압들은 스캔신호들에 동기되어 대략 1/2 수평기간을 주기로 출력되어 페루프로 접속된 두 개의 데이터라인들에 공급된다.
- [0041] 게이트 구동회로(42)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G0 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 집적회로들로 구성되어 대략 1/2 수평기간 단위로 스캔펄스들을 순차적으로 출력한다.
- [0042] 타이밍 콘트롤러(44)는 수직/수평 동기신호와 클럭신호를 입력받아 게이트 구동회로(42)를 제어하기 위한 게이트 제어신호(GDC)와 데이터 구동회로(41)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 게이트 제어신호(GDC)는 게이트 스타트 펄스(Gate Start Pulse : GSP), 쉬프트 레지스터를 구동하기 위한 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 신호(Gate Output Enable : GOE) 등을 포함한다. 여기서, 스캔펄스의 펄스폭이 대략 1/2 수평기간이 되도록 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭신호(GSC) 등은 대략 1/2 수평기간의 펄스폭으로 발생된다. 데이터 제어신호(DDC)는 소스 스타트 펄스(Source Start Pulse : SSP), 소스 쉬프트 클럭(Source Shift Clock : SSC), 소스 출력 신호(Source Output Enable : SOE), 극성신호(Polarity : POL) 등을 포함한다. 여기서, 소스 출력 신호(SOE)와 극성신호(POL) 등은 정극성/부극성 데이터전압이 대략 1/2 수평기간 동안 출력되도록 대략 1/2 수평주기로 발생된다.
- [0043] 구동회로들(41, 42)의 타이밍 제어와 함께 타이밍 콘트롤러(44)는 디지털 비디오 데이터(RGB)를 샘플링한 후에 재정렬하여 데이터 구동회로(41)에 공급하는 역할을 겸한다.
- [0044] 이러한 본 발명의 액정표시장치는 데이터라인들(S1 내지 Sn)에 접속되는 TFT의 개수가 작고 페루프 구조에 의해 데이터라인의 폭이 넓어지므로 부하 특히, 전기적 저항이 작아지게 된다. 따라서, 본 발명의 액정표시장치는 데이터라인들의 부하 즉, RC 부하를 줄여 데이터전압의 전압강하와 지연을 줄일 수 있다.
- [0045] 도 6은 본 발명의 실시예에 따른 액정표시장치의 구동파형을 나타낸다.
- [0046] 도 6을 참조하면, 데이터 구동회로(41)는 출력채널들(C1 내지 Cm/2)을 통해 데이터 전압을 대략 1/2 수평기간 주기로 발생하고, 게이트 구동회로(42)는 데이터전압에 동기되는 스캔펄스를 대략 1/2 수평기간 동안 발생한다.

- [0047] 제1 게이트라인(G1)에 제1 스캔펄스가 공급되는 대략 1/2 수평기간의 제1 스캔기간 동안, 제1 라인의 데이터전압이 데이터라인들(S1 내지 Sn)에 공급된다. 이 때, 제1 스캔펄스에 의해 제1 라인의 기수 화소열에 배치된 TFT들만이 턴-온되므로 그 기수 화소열의 화소전극들(1A, 1C)에 데이터전압이 충전된다.
- [0048] 이어서, 제2 게이트라인(G1)에 제2 스캔펄스가 공급되는 대략 1/2 수평기간의 제2 스캔기간 동안, 제2 라인의 데이터전압이 데이터라인들(S1 내지 Sn)에 공급된다. 이 때, 제2 스캔펄스에 의해 제1 라인의 우수 화소열에 배치된 TFT들만이 턴-온되므로 그 우수 화소열의 화소전극들(1B, 1D)에 데이터전압이 충전된다. 이렇게 제1 라인의 우수 화소열이 선택되는 동안, 제1 라인의 기수 화소열에 배치된 TFT는 게이트 로우전압 즉, 공통전압(Vcom)에 의해 턴-오프된다. 따라서, 제1 라인의 우수 화소열이 선택되는 동안, 기수 화소열에 배치된 액정셀들(C1c)은 제0 게이트라인(G0)과 화소전극(1A) 사이에 형성된 스토리지 커패시터(Cst)에 의해 제1 스캔기간 동안 공급된 데이터전압을 유지한다.
- [0049] 스캔펄스는 TFT의 문턱전압 이상의 게이트 하이 전압(VGH)과 TFT의 문턱전압 미만의 게이트 로우 전압(VGL) 사이에서 스위칭한다. 여기서, 게이트 로우 전압(VGL)은 액정셀(C1c)에서 데이터전압이 일정하게 유지되도록 공통전극(2)에 공급되는 공통전압(Vcom)과 동일한 전압으로 발생되어야 한다.
- [0050] 본 발명의 액정표시패널은 제조공정에서 발생하는 패턴 불량으로 인하여, 도 7과 같이 데이터라인(S1 내지 Sm)의 일부가 개방되는 경우에 데이터라인들(S1 내지 Sm)이 페루프 회로를 형성하므로 정상적으로 데이터전압이 전달될 수 있다. 따라서, 본 발명에 따른 액정표시패널은 데이터라인이 점선원 부분에서 개방되어 단선되었다 하더라도 리페어공정없이 정상적으로 구동될 수 있다.
- [0051] 전술한 실시예는 데이터 구동회로(41)의 한 출력채널이 두 개의 데이터라인에 접속되는 것을 중심으로 설명하였지만, 데이터 구동회로(41)의 한 출력채널은 두 개 이상의 데이터라인들에 접속될 수 있다. 예컨대, 본 발명에서 데이터 전압을 1/3 수평기간 주기로 시분할하여 데이터 구동회로(41)의 한 출력채널로부터 순차적으로 발생하는 3 개의 데이터전압을 3 개의 데이터라인으로 시분할 공급할 수 있다. 이 경우, 데이터 구동회로(41)의 채널 수는 종래에 비하여 1/3로 줄어든다.

발명의 효과

- [0052] 상술한 바와 같이, 본 발명에 따른 액정표시장치는 데이터 드라이브 집적회로의 출력 채널에 그 출력 채널 수보다 정수 배 이상 많은 데이터라인들을 접속시키고, 다수의 데이터라인들을 상단과 하단에서 단락시켜 페루프를 형성함으로써 데이터라인의 전기적 저항을 줄여 부하를 줄일 수 있다. 나아가, 본 발명은 상기 페루프로 접속된 데이터라인들의 일부가 단선되었다 하더라도 데이터전압을 모든 화소 어레이에 정상적으로 공급할 수 있다.
- [0053] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

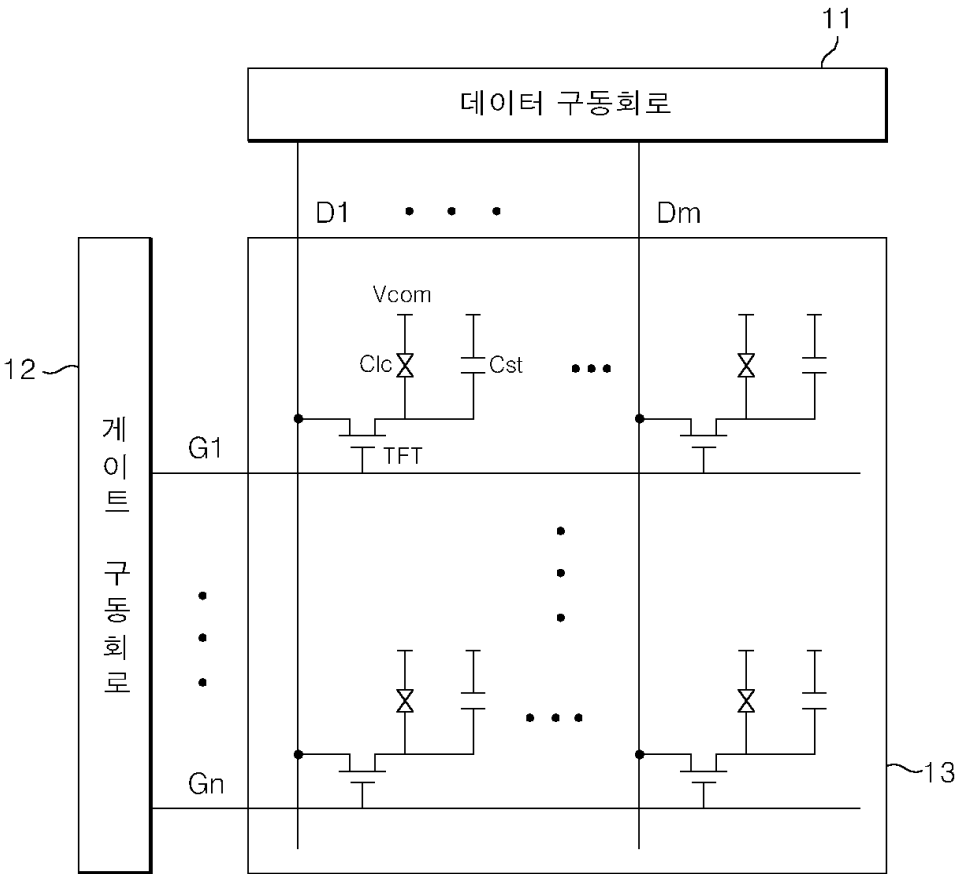
도면의 간단한 설명

- [0001] 도 1은 액정표시장치를 나타내는 도면이다.
- [0002] 도 2는 도 1에 도시된 액정표시패널에 액정셀들에 공급되는 구동신호와 그 액정셀에 공급되는 데이터 전압을 보여주는 파형도이다.
- [0003] 도 3은 데이터라인 수를 줄이기 위한 종래의 신호배선들을 나타내는 도면.
- [0004] 도 4는 본 발명의 실시예에 따른 액정표시장치를 나타내는 도면.
- [0005] 도 5는 도 4에 도시된 액정표시패널의 신호배선들을 상세히 나타내는 도면.
- [0006] 도 6은 도 4에 도시된 액정표시패널의 구동신호들을 보여 주는 파형도.
- [0007] 도 7은 도 5에 도시된 신호배선들 중 일부가 단선된 상태를 보여 주는 도면.

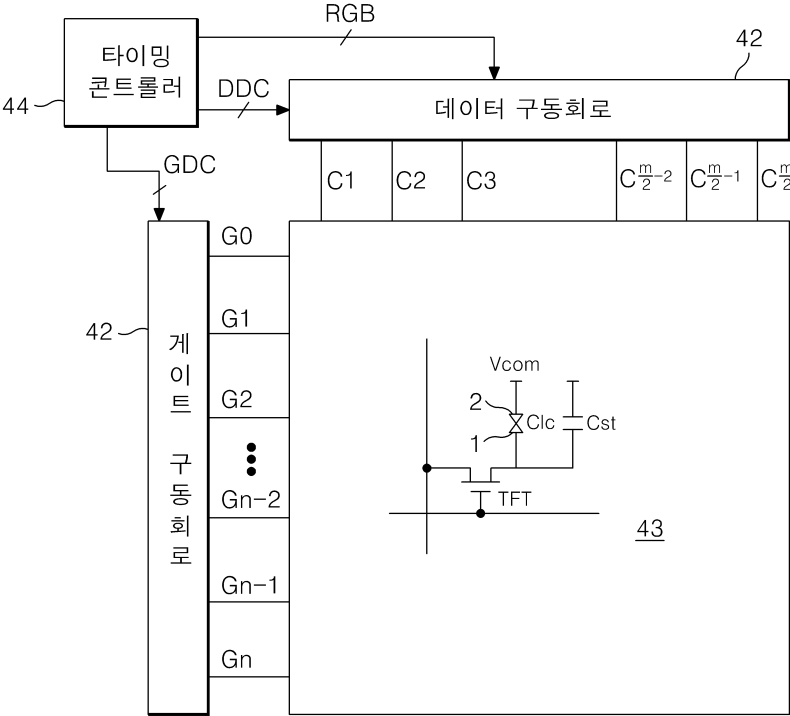
- [0008]< 도면의 주요 부분에 대한 부호의 설명 >
- [0009]41 : 데이터 구동회로42 : 게이트 구동회로
- [0010]43 : 타이밍 콘트롤러44 : 액정표시패널

도면

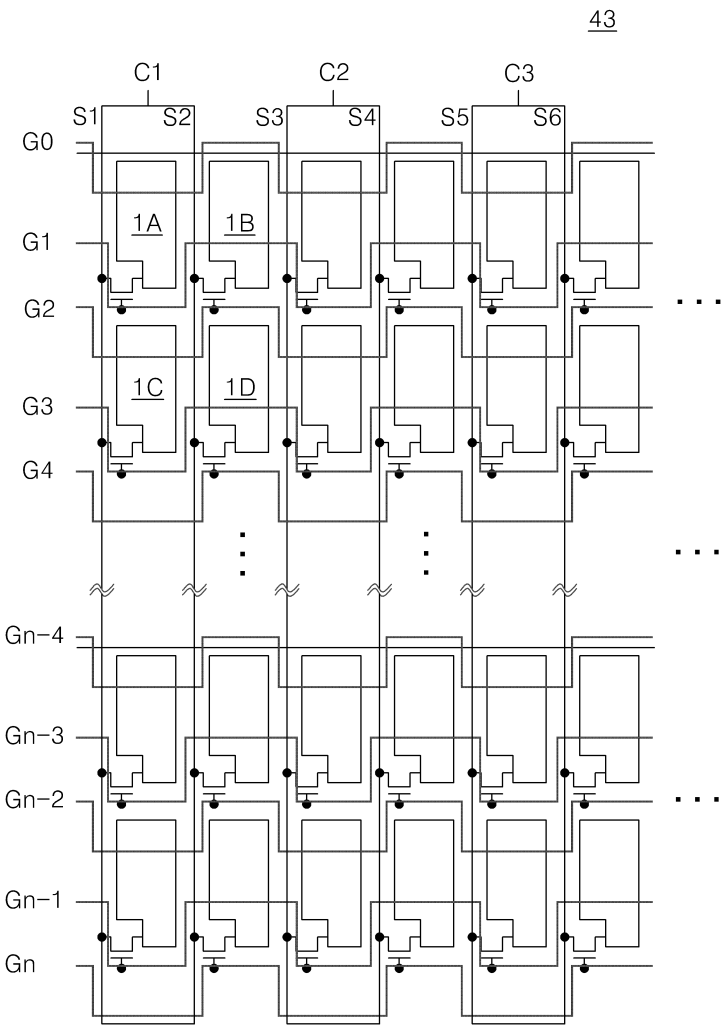
도면1



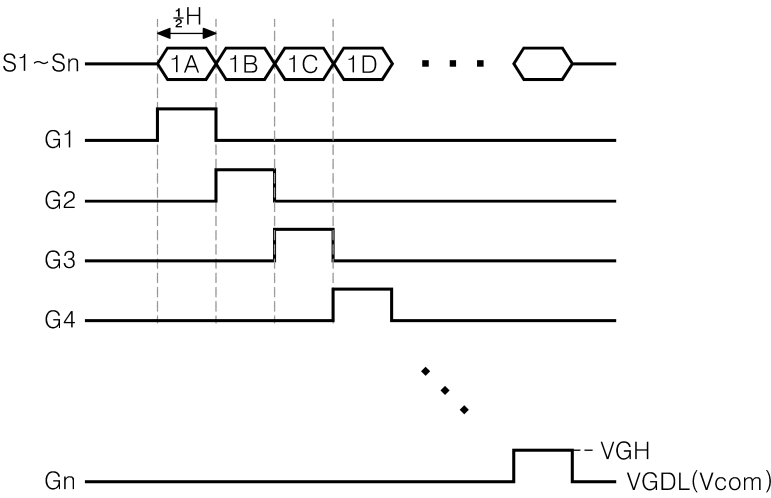
도면4



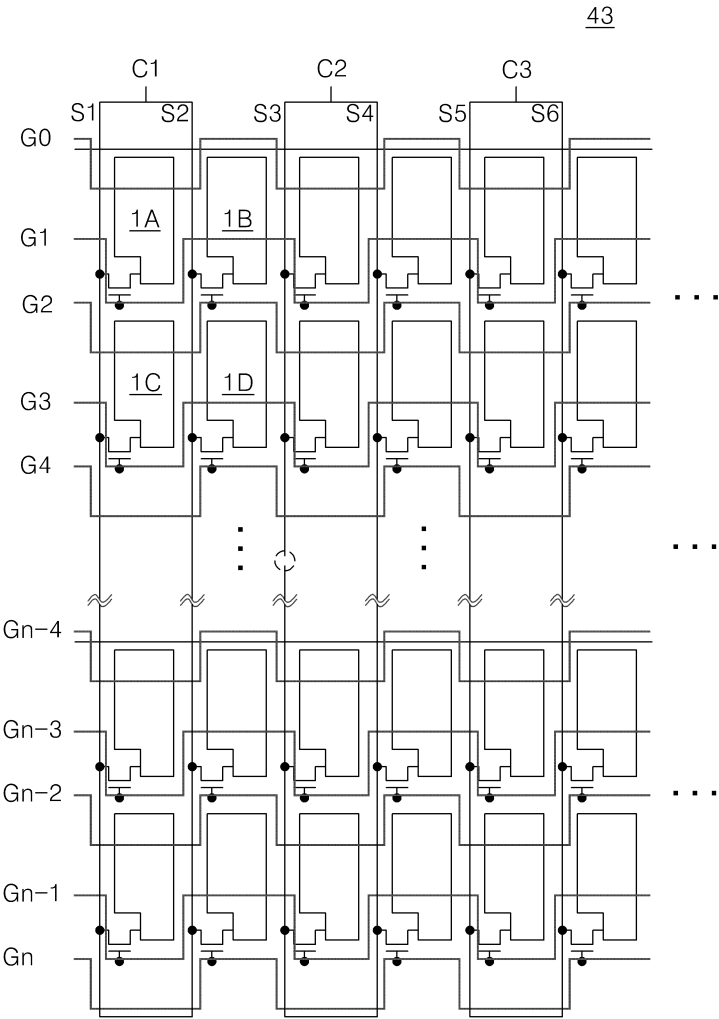
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR101244656B1	公开(公告)日	2013-03-18
申请号	KR1020060054825	申请日	2006-06-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MOON TAE WOONG 문태웅 PARK KWON SHIK 박권식 YOON SOO YOUNG 윤수영		
发明人	문태웅 박권식 윤수영		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3688 G09G3/3677 G09G2300/0426		
代理人(译)	Gimyongin Bakyoungbok		
其他公开文献	KR1020070120276A		
外部链接	Espacenet		

摘要(译)

用途：通过将数据线连接到数据驱动集成电路的输出通道并在上端和下端短路多条数据线，提供LCD以减少数据线的电阻.CONSTITUTION：第一条数据线接收数据电压。第二数据线与第一数据线分开，其间具有像素行，并且在上端和下端连接到第一数据线以共同接收数据线。第一栅极线 (G₁) 与第一和第二数据线相交，并接收第一扫描脉冲。第二栅极线与第一和第二数据线相交，并接收第二扫描脉冲。第一开关装置响应于第一扫描脉冲将来自第一数据线的的数据电压提供给奇数像素行的像素电极。第二开关器件响应于第二扫描脉冲将来自第二数据线的的数据电压提供给偶数像素行的像素电极。©KIPO 2008

