



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년11월13일
(11) 등록번호 10-1201127
(24) 등록일자 2012년11월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2005-0056543
(22) 출원일자 2005년06월28일
심사청구일자 2010년06월18일
(65) 공개번호 10-2007-0000880
(43) 공개일자 2007년01월03일
(56) 선행기술조사문헌
KR1020030069652 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강신호
경기도 수원시 팔달구 권광로 246, 주공아파트
112-105 (인계동)
홍진철
경상북도 구미시 금오대로12길 11-2, 대동3차아
파트 102동 1105호 (오태동)
하성철
경북 칠곡군 석적면 중리 224-1번지 204동 518호
(74) 대리인
서교준

전체 청구항 수 : 총 12 항

심사관 : 이성현

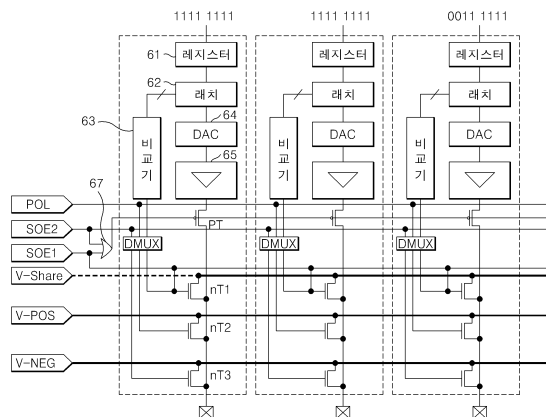
(54) 발명의 명칭 액정표시장치와 그 구동방법

(57) 요약

본 발명은 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.

이 액정표시장치는 데이터의 전압을 판단하는 비교기와; 상기 데이터의 전압이 제1 전압이면 차지웨어전압으로 액정표시패널의 데이터라인을 1차 프리차지한 후에 상기 차지웨어전압보다 절대치가 높은 프리차지 전압으로 상기 데이터라인을 2차 프리차지하는 반면에 상기 데이터의 전압이 상기 제1 전압보다 낮은 제2 전압이면 상기 차지웨어전압으로만 상기 데이터라인을 프리차지하는 프리차지 제어부를 구비한다.

대표도 - 도6



특허청구의 범위

청구항 1

데이터의 전압을 판단하는 비교기와;

상기 데이터의 전압이 제1 전압이면 차지웨어전압으로 액정표시패널의 데이터라인을 1차 프리차지한 후에 상기 차지웨어전압보다 절대치가 높은 프리차지 전압으로 상기 데이터라인을 2차 프리차지하는 반면에 상기 데이터의 전압이 상기 제1 전압보다 낮은 제2 전압이면 상기 차지웨어전압으로만 상기 데이터라인을 프리차지하는 프리차지 제어부를 구비하고,

상기 프리차지 제어부는,

제1 소스출력인에이블신호, 상기 제1 소스출력인에이블신호보다 위상이 늦은 제2 소스출력인에이블신호 및 상기 데이터의 극성을 제어하는 극성제어신호를 입력받고;

상기 비교기의 출력과 상기 극성제어신호의 출력에 따라 상기 제2 소스출력인에이블신호를 다수의 출력단자 중 어느 하나로 출력하는 디멀티플렉서와;

상기 디멀티플렉서의 출력에 따라 상기 제2 전압의 데이터에서 상기 차지웨어 전압을 상기 데이터라인에 공급하기 위한 제1 트랜지스터와;

상기 디멀티플렉서의 출력에 따라 상기 제1 전압의 데이터에서 정극성 프리차지 전압을 상기 데이터라인에 공급하기 위한 제2 트랜지스터와;

상기 디멀티플렉서의 출력에 따라 상기 제1 전압의 데이터에서 부극성 프리차지 전압을 상기 데이터라인에 공급하기 위한 제3 트랜지스터를 구비하고;

상기 제1 트랜지스터는 상기 제1 소스출력인에이블신호에 응답하여 상기 제1 전압의 데이터에서 상기 차지웨어 전압을 상기 데이터라인에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 비교기와 상기 프리차지 제어부는 상기 데이터라인을 구동하기 위한 데이터 집적회로 내에 내장되는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 비교기는,

상기 데이터의 비트 중 어느 하나를 상기 디멀티플렉서에 공급하는 신호배선을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 비교기는,

상기 데이터의 상위 비트들을 논리합 연산하는 적어도 하나 이상의 게이트소자들을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 비교기는,

상기 데이터의 2^5 가중치의 제1 상위 비트와 2^6 가중치의 제2 상위 비트를 논리합 연산하는 OR 게이트와;

상기 OR 게이트의 출력과 상기 데이터의 2^7 가중치의 제3 상위 비트를 논리곱 연산하는 AND 게이트를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 비교기는,

상기 데이터의 2^6 가중치의 제1 상위 비트와 2^7 가중치의 제2 상위 비트를 논리곱 연산하는 AND 게이트를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 5 항에 있어서,

상기 비교기는,

상기 데이터의 2^5 가중치의 제1 상위 비트와 2^6 가중치의 제2 상위 비트를 논리합 연산하는 제1 AND 게이트와;

상기 제1 AND 게이트의 출력과 상기 데이터의 2^7 가중치의 제3 상위 비트를 논리곱 연산하는 제2 AND 게이트를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 제1 전압은 127 계조 이상의 높은 데이터 전압, 160 계조 이상의 높은 데이터 전압, 191 계조 이상의 높은 데이터 전압, 224 계조 이상의 높은 데이터 전압 중 어느 하나이고;

상기 제2 전압은 상기 127 계조 미만의 낮은 데이터 전압, 상기 160 계조 미만의 낮은 데이터 전압, 상기 191 계조 미만의 낮은 데이터 전압, 상기 224 계조 미만의 낮은 데이터 전압 중 어느 하나인 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 제2 전압은,

상기 프리차지 전압보다 절대치가 낮은 전압범위 내에서 전압이 서로 다른 적어도 두 개 이상의 차지웨어전압을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

데이터의 전압을 판단하는 단계와;

상기 데이터의 전압이 제1 전압이면 차지웨어전압으로 액정표시패널의 데이터라인을 1차 프리차지한 후에 상기 차지웨어전압보다 절대치가 높은 프리차지 전압으로 상기 데이터라인을 2차 프리차지하는 단계와;

상기 데이터의 전압이 상기 제1 전압보다 낮은 제2 전압이면 상기 차지웨어전압으로만 상기 데이터라인을 프리차지하는 단계를 포함하고,

상기 데이터 라인을 프리차지하는 단계는 프리차지 제어부에 의해 제어되며,

상기 프리차지 제어부는,

제1 소스출력인에이블신호, 상기 제1 소스출력인에이블신호보다 위상이 늦은 제2 소스출력인에이블신호 및 상기 데이터의 극성을 제어하는 극성제어신호를 입력받고;

상기 데이터의 전압을 판단하는 단계에 의해 판단된 데이터의 전압과 상기 극성제어신호의 출력에 따라 상기 제2 소스출력인에이블신호를 다수의 출력단자 중 어느 하나로 출력하는 디멀티플렉서와;

상기 디멀티플렉서의 출력에 따라 상기 제2 전압의 데이터에서 상기 차지웨어 전압을 상기 데이터라인에 공급하기 위한 제1 트랜지스터와;

상기 디멀티플렉서의 출력에 따라 상기 제1 전압의 데이터에서 정극성 프리차지 전압을 상기 데이터라인에 공급하기 위한 제2 트랜지스터와;

상기 디멀티플렉서의 출력에 따라 상기 제1 전압의 데이터에서 부극성 프리차지 전압을 상기 데이터라인에 공급하기 위한 제3 트랜지스터를 구비하고;

상기 제1 트랜지스터는 상기 제1 소스출력인에이블신호에 응답하여 상기 제1 전압의 데이터에서 상기 차지웨어 전압을 상기 데이터라인에 공급하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제 11 항에 있어서,

상기 제1 전압은 127 계조 이상의 높은 데이터 전압, 160 계조 이상의 높은 데이터 전압, 191 계조 이상의 높은 데이터 전압, 224 계조 이상의 높은 데이터 전압 중 어느 하나이고;

상기 제2 전압은 상기 127 계조 미만의 낮은 데이터 전압, 상기 160 계조 미만의 낮은 데이터 전압, 상기 191 계조 미만의 낮은 데이터 전압, 상기 224 계조 미만의 낮은 데이터 전압 중 어느 하나인 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 13

제 11 항에 있어서,

상기 제2 전압은,

상기 프리차지 전압보다 절대치가 낮은 전압범위 내에서 전압이 서로 다른 적어도 두 개 이상의 차지웨어전압을 포함하는 것을 특징으로 하는 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0022] 본 발명은 액정표시장치에 관한 것으로, 특히 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법에 관한 것이다.
- [0023] 액정표시장치(Liquid Crystal Display)는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다.
- [0024] 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 스위칭소자의 능동적인 제어가 가능하기 때문에 동영상 구현에 유리하다. 액티브 매트릭스 타입의 액정표시장치에 사용되는 스위칭소자로는 주로 박막트랜지스터(Thin Film Transistor; 이하 "TFT"라 한다)가 이용되고 있다.
- [0025] 이러한 액정표시장치는 도 1과 같이 다수의 데이터라인들(5)과 다수의 게이트라인들(6)이 교차되며 그 교차부에 액정셀들을 구동하기 위한 TFT들이 형성된 액정표시패널(2)과, 데이터라인들(5)에 데이터를 공급하기 위한 데이터 구동부(3)와, 게이트라인들(6)에 스캔펄스를 공급하기 위한 게이트 구동부(4)와, 데이터 구동부(3)와 게이트 구동부(4)를 제어하기 위한 타이밍 콘트롤러(1)를 구비한다.
- [0026] 액정표시패널(2)은 두 장의 유리기관 사이에 액정이 주입되며, 그 하부 유리기관 상에 데이터라인들(5)과 게이트라인들(6)이 직교된다. 데이터라인들(5)과 게이트라인들(6)의 교차부에 형성된 TFT는 게이트라인(6)으로부터의 스캔펄스에 응답하여 데이터라인들(5)로부터의 데이터를 액정셀에 공급하게 된다. 이를 위하여, TFT

의 게이트전극은 게이트라인(6)에 접속되며, 소스전극은 데이터라인(5)에 접속된다. 그리고 TFT의 드레인전극은 액정셀(C1c)의 화소전극에 접속된다. 또한, 액정표시패널(2)의 하부유리기판 상에는 액정셀의 전압을 유지시키기 위한 스토리지 캐패시터(Storage Capacitor, Cst)가 형성된다.

[0027] 타이밍 콘트롤러(1)는 디지털 비디오 데이터(RGB), 수평 동기신호(H), 수직 동기신호(H, V) 및 클럭신호(CLK)를 입력받고 게이트 구동부(4)를 제어하기 위한 게이트 제어신호(GDC)를 발생함과 아울러 데이터 구동부(3)를 제어하기 위한 데이터 제어신호(DDC)를 발생한다. 또한, 타이밍 콘트롤러(1)는 시스템으로부터의 데이터(RGB)를 데이터 구동부(3)에 공급한다. 데이터 제어신호(DDC)는 소스스위프트클럭(SSC), 소스스타트펄스(SSP), 극성제어신호(POL) 및 소스출력인에이블신호(SOE) 등을 포함하여 데이터 구동부(3)에 공급된다. 게이트 제어신호(GDC)는 게이트스타트펄스(GSP), 게이트스위프트클럭(GSC) 및 게이트출력인에이블(GOE) 등을 포함하여 게이트 구동부(4)에 공급된다.

[0028] 게이트 구동부(4)는 타이밍 콘트롤러(1)로부터의 게이트 제어신호(GDC)에 응답하여 스캔펄스를 순차적으로 발생하는 쉬프트 레지스터, 스캔펄스의 스윙폭을 액정셀(C1c)의 구동에 적합한 레벨로 쉬프트 시키기 위한 레벨 쉬프터, 출력버퍼 등으로 구성된다. 이 게이트 구동부(4)는 스캔펄스를 게이트라인(6)에 공급함으로써 그 게이트라인(6)에 접속된 TFT들을 턴-온(Turn-on)시켜 데이터의 화소전압 즉, 아날로그 감마보상전압이 공급될 1 수평라인의 액정셀들(C1c)을 선택한다. 데이터 구동부(3)로부터 발생되는 데이터들은 스캔펄스에 의해 선택된 수평라인의 액정셀(C1c)에 공급된다.

[0029] 데이터 구동부(3)는 타이밍 콘트롤러(1)로부터 공급되는 데이터구동 제어신호(DDC)에 응답하여 데이터를 데이터라인들(5)에 공급하게 된다. 이 데이터 구동부(3)는 타이밍 콘트롤러(1)로부터의 디지털 데이터(RGB)를 샘플링하고 그 데이터를 래치한 다음, 아날로그 감마전압으로 변환하게 된다. 이 데이터 구동부(3)는 도 2와 같은 구성을 가지는 다수의 데이터 집적회로(Integrated Circuit : 이하, "IC"라 한다)(2a)로 구현된다.

[0030] 각각의 데이터 IC(3a)는 도 2와 같이 타이밍 콘트롤러(1)로부터 디지털 데이터(RGB)가 입력되는 데이터 레지스터(21)와, 샘플링 클럭을 발생하기 위한 쉬프트 레지스터(22)와, 쉬프트 레지스터(22)와 k(단, k는 m보다 작은 정수) 개의 데이터라인들(DL1 내지 DLk) 사이에 접속된 제1 래치(23), 제2 래치(24), 디지털/아날로그 변환기(Digital to Analog Converter : 이하, "DAC"라 한다)(25) 및 출력회로(26)와, 감마기준전압 발생부(4)와 DAC(25) 사이에 접속된 감마전압 공급부(27)를 구비한다.

[0031] 데이터 레지스터(21)는 타이밍 콘트롤러(1)로부터의 디지털 데이터(RGB)를 제1 래치(23)에 공급한다. 쉬프트 레지스터(22)는 타이밍 콘트롤러(1)로부터의 소스 스타트 펄스(SSP)를 소스 샘플링 클럭신호(SSC)에 따라 쉬프트시켜 샘플링신호를 발생하게 된다. 또한, 쉬프트 레지스터(22)는 소스 스타트 펄스(SSP)를 쉬프트시켜 다음 단의 쉬프트 레지스터(22)에 캐리신호(CAR)를 전달하게 된다. 제1 래치(23)는 쉬프트 레지스터(22)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(21)로부터의 디지털 데이터(RGB)를 순차적으로 샘플링한다. 제2 래치(24)는 제1 래치(23)로부터 입력되는 데이터를 래치한 다음, 래치된 데이터를 타이밍 콘트롤러(1)로부터의 소스 출력 인에이블신호(SOE)에 응답하여 동시에 출력한다. DAC(25)는 제2 래치(24)로부터의 데이터를 감마전압 공급부(27)로부터의 감마전압(DGH, DGL)으로 변환하게 된다. 감마전압(DGH, DGL)은 디지털 입력 데이터의 계조값 각각에 대응하는 아날로그 전압이다. 출력회로(26)는 데이터라인들 각각에 접속된 출력 버퍼(Output Buffer)를 포함한다. 감마전압 공급부(27)는 감마기준전압 발생부(4)로부터 입력되는 감마 기준전압을 세분화하여 각 계조에 대응하는 감마전압을 DAC(25)에 공급하게 된다.

[0032] 이러한 데이터 IC(3a)는 액정표시장치가 대형화, 고정세화로 발전하면서 부하가 증가하고 구동 주파수가 상승하여 발열량이 많아지게 되었다. 이러한 데이터 IC(3a)의 발열로 인하여 데이터 IC(3a)의 구동 신뢰성이 떨어지게 되었고 심지어는 발화되는 등의 안전상 위험성이 커지고 있다. 데이터 IC(3a)의 발열을 일으키는 주요 원인은 도 3과 같이 출력버퍼(26a)이다. 이 출력버퍼(26a)의 내부저항성분을 통해 흐르는 전류(i_{SOURCE} , i_{SINK})로 인한 전력소모에 의해 데이터 IC(3a)가 발열된다.

[0033] 최근에는 액정셀의 충전특성을 개선하고 소비전력을 줄이기 위하여 이웃하는 데이터라인들을 접속시켜 그 데이터라인들 사이의 차지 쉐어로 인하여 발생하는 차지쉐어전압(Charge share voltage)으로 데이터라인을 프리차지한 후에 데이터라인들을 분리한 상태에서 데이터전압을 각 데이터라인에 공급하는 차지쉐어 방식이나 미리 설정된 외부전압인 프리차지전압(Pre-charge)으로 데이터라인을 프리차지시킨 후에 데이터전압을 그 데이터라인에 공급하는 프리차지 방식으로 데이터 IC가 구현되고 있는 추세에 있다.

[0034] 차지쉐어 방식은 도 4와 같이 차지쉐어전압(Vshare)으로부터 데이터전압으로 변하는 출력버퍼 구동구간에서

출력버퍼(26a)에 많은 전류가 흘러 발열과 소비전력이 크게 된다. 프리차지 방식은 도 5와 같이 데이터전압이 높을 때 예를 들면 노말리 블랙(Normaly black)에서 화이트전압에서 미리 비교적 높은 외부전압으로 공급되는 프리차지전압(+Vpre, -Vpre)로 인하여 출력버퍼(26a)의 구동영역의 전압이 줄어들어 데이터 IC(3a)의 온도를 낮출 수 있으나 중간 이하의 데이터전압에서 높은 외부에서 공급되는 프리차지전압(+Vpre, -Vpre)으로 인하여 낮은 데이터전압의 프리차지 구동영역(51, 52)에서 데이터 IC(3a)의 온도가 상승하고 소비전력이 급증한다.

발명이 이루고자 하는 기술적 과제

[0035] 따라서, 본 발명의 목적은 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄이도록 한 액정표시장치와 그 구동방법을 제공함에 있다.

발명의 구성 및 작용

[0036] 상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시장치는 데이터의 전압을 판단하는 비교기와; 상기 데이터의 전압이 제1 전압이면 차지웨어전압으로 액정표시패널의 데이터라인을 1차 프리차지한 후에 상기 차지웨어전압보다 절대치가 높은 프리차지 전압으로 상기 데이터라인을 2차 프리차지하는 반면에 상기 데이터의 전압이 상기 제1 전압보다 낮은 제2 전압이면 상기 차지웨어전압으로만 상기 데이터라인을 프리차지하는 프리차지 제어부를 구비한다.

[0037] 상기 비교기와 상기 프리차지 제어부는 상기 데이터라인을 구동하기 위한 데이터 집적회로 내에 내장된다.

[0038] 상기 프리차지 제어부는 제1 소스출력인에이블신호, 상기 제1 소스출력인에이블신호보다 위상이 늦은 제2 소스출력인에이블신호 및 상기 데이터의 극성을 제어하는 극성제어신호를 입력받는다.

[0039] 상기 프리차지 제어부는 상기 비교기의 출력과 상기 극성제어신호의 출력에 따라 상기 제2 소스출력인에이블신호를 다수의 출력단자 중 어느 하나로 출력하는 디멀티플렉서와; 상기 디멀티플렉서의 출력에 따라 상기 제2 전압의 데이터에서 상기 차지웨어 전압을 상기 데이터라인에 공급하기 위한 제1 트랜지스터와; 상기 디멀티플렉서의 출력에 따라 상기 제1 전압의 데이터에서 정극성 프리차지 전압을 상기 데이터라인에 공급하기 위한 제2 트랜지스터와; 상기 디멀티플렉서의 출력에 따라 상기 제1 전압의 데이터에서 부극성 프리차지 전압을 상기 데이터라인에 공급하기 위한 제3 트랜지스터를 구비한다.

[0040] 상기 제1 트랜지스터는 상기 제1 소스출력인에이블신호에 응답하여 상기 제1 전압의 데이터에서 상기 차지웨어 전압을 상기 데이터라인에 공급한다.

[0041] 상기 비교기는 상기 데이터의 비트 중 어느 하나를 상기 디멀티플렉서에 공급하는 신호배선을 구비한다.

[0042] 상기 비교기는 상기 데이터의 상위 비트들을 논리합 연산하는 적어도 하나 이상의 게이트소자들을 구비한다.

[0043] 상기 비교기는 상기 데이터의 2^5 가중치의 제1 상위 비트와 2^6 가중치의 제2 상위 비트를 논리합 연산하는 OR 게이트와; 상기 OR 게이트의 출력과 상기 데이터의 2^7 가중치의 제3 상위 비트를 논리곱 연산하는 AND 게이트를 구비한다.

[0044] 상기 비교기는 상기 데이터의 2^6 가중치의 제1 상위 비트와 2^7 가중치의 제2 상위 비트를 논리곱 연산하는 AND 게이트를 구비한다.

[0045] 상기 비교기는 상기 데이터의 2^5 가중치의 제1 상위 비트와 2^6 가중치의 제2 상위 비트를 논리합 연산하는 제1 AND 게이트와; 상기 제1 AND 게이트의 출력과 상기 데이터의 2^7 가중치의 제3 상위 비트를 논리곱 연산하는 제2 AND 게이트를 구비한다.

[0046] 상기 제1 전압은 127 계조 이상의 높은 데이터 전압, 160 계조 이상의 높은 데이터 전압, 191 계조 이상의 높은 데이터 전압, 224 계조 이상의 높은 데이터 전압 중 어느 하나이다.

[0047] 상기 제2 전압은 상기 127 계조 미만의 낮은 데이터 전압, 상기 160 계조 미만의 낮은 데이터 전압, 상기 191

계조 미만의 낮은 데이터 전압, 상기 224 계조 미만의 낮은 데이터 전압 중 어느 하나이다.

- [0048] 상기 제2 전압은 상기 프리차지 전압보다 절대치가 낮은 전압범위 내에서 전압이 서로 다른 적어도 두 개의 상의 차지웨어전압을 포함한다.
- [0049] 상기 액정표시장치의 구동방법은 데이터의 전압을 판단하는 단계와; 상기 데이터의 전압이 제1 전압이면 차지웨어전압으로 액정표시패널의 데이터라인을 1차 프리차지한 후에 상기 차지웨어전압보다 절대치가 높은 프리차지 전압으로 상기 데이터라인을 2차 프리차지하는 단계와; 상기 데이터의 전압이 상기 제1 전압보다 낮은 제2 전압이면 상기 차지웨어전압으로만 상기 데이터라인을 프리차지하는 단계를 포함한다.
- [0050] 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예의 설명을 통하여 명백하게 드러나게 될 것이다.
- [0051] 이하, 도 6 내지 도 13을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- [0052] 도 6은 본 발명의 실시예에 따른 액정표시장치의 데이터 IC의 회로 구성을 보여 주는 회로도이며, 도 7은 도 6에 도시된 소스출력인에이블신호들(SOE1, SOE2)와 극성제어신호(POL)의 파형을 보여 주는 파형도이다.
- [0053] 도 6 및 도 7을 참조하면, 본 발명의 실시예에 따른 액정표시장치의 데이터 IC는 데이터 레지스터(61), 래치(62), 비교기(63), DAC(64), 출력버퍼(65), 디멀티플렉서(이하, "DMUX"라 함)(66), OR 게이트(67), 및 트랜지스터들(pT, nT1, nT2, nT3)를 구비한다.
- [0054] 도 7에 있어서, 제1 소스출력인에이블신호(SOE1)는 차지웨어전압(V-Share)의 출력을 지시하는 제어신호이며, 제2 소스출력인에이블신호(SOE2)는 프리차지전압(V-POS, V-NEG)의 출력을 지시하는 제어신호이다. 제2 소스출력인에이블신호(SOE2)는 제1 소스출력인에이블신호(SOE1)의 한 펄스폭 만큼 쉬프트된다. 이 소스출력인에이블신호들(SOE1, SOE2)은 1 수평기간 간격으로 발생된다. 극성제어신호(POL)는 1 수평기간 주기로 그 논리값이 반전되어 액정표시패널의 데이터라인들에 공급되는 데이터전압의 극성을 제어한다. 이러한 소스출력인에이블신호들(SOE1, SOE2)과 극성제어신호(POL)는 타이밍 콘트롤러에서 발생된다.
- [0055] 데이터 레지스터(61)는 타이밍 콘트롤러로부터의 디지털 데이터들을 래치(62)에 공급한다. 래치(62)는 쉬프트 레지스터로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(61)로부터의 디지털 데이터를 순차적으로 샘플링하여 래치한 다음, 동시에 출력하여 데이터의 직렬체계를 병렬체계로 변환한다. DAC(64)는 래치(62)로부터의 데이터를 아날로그 감마전압으로 변환한다. 출력버퍼(65)는 DAC(64)로부터의 아날로그 전압을 손실없이 p 타입 트랜지스터(pT)의 드레인단자에 공급한다. p 타입 트랜지스터(pT)는 OR 게이트(67)의 출력이 로우논리 전압일 때 턴-온되어 출력버퍼(65)로부터의 아날로그 데이터 전압을 액정표시패널의 데이터라인으로 출력한다. OR 게이트(67)는 제1 소스출력인에이블신호(SOE1)와 제2 소스출력인에이블신호(SOE2)를 논리합 연산하여 출력신호를 발생하고 그 출력신호로 p 타입 트랜지스터(pT)를 제어한다.
- [0056] 비교기(66)는 래치(62)로부터의 데이터를 입력받아 디지털 데이터의 계조값을 판단하고 그 디지털 데이터에 따라 DMUX(66)를 제어한다. 이 비교기(66)는 데이터전압이 높을 때 예컨대, 노말리 블랙모드에서 화이트 계조 전압과 그에 가까운전압에서 하이논리전압의 출력신호를 발생하는 반면에, 데이터전압이 상대적으로 낮을 때 예컨대, 노말리 블랙모드에서 블랙 계조 전압과 그에 가까운전압에서 로우논리전압의 출력신호를 발생한다. 데이터전압이 높은 전압 구간은 디지털 데이터가 8비트를 포함하여 표현 가능한 계조수가 256 개를 가정할 때 127 계조 이상의 전압, 160 계조 이상의 전압, 191 계조 이상의 전압 또는 224 계조 이상의 전압 중 어느 한 계조 전압 구간이며, 데이터전압이 상대적으로 낮은 전압 구간은 127 계조 미만의 전압, 160 계조 미만의 전압, 191 계조 미만의 전압 또는 224 계조 미만의 전압이다. 비교되는 계조값에 따라 비교기(66)는 입력되는 데이터의 상위 비트 수와 회로구성이 달라지며 이에 대한 상세한 설명은 도 8 내지 도 11을 결부하여 후술하기로 한다.
- [0057] DMUX(66)는 도 8과 같이 비교기(63)의 출력신호와 극성제어신호(POL)에 따라 소스출력인에이블신호(SOE)를 다수의 출력단자(M0 내지 M3) 중 어느 하나로 출력한다. DMUX(66)의 제1 및 제2 출력단자(M0, M1)에는 OR 게이트가 접속되고 그 OR 게이트의 출력단은 제1 n 타입 트랜지스터(nT1)의 게이트단자에 공급된다. 이러한 DMUX(66)는 도 8의 진리표에서와 같이 극성제어신호(POL)의 논리값에 관계없이 비교기(66)의 출력신호의 전압이 로우논리전압일 때 즉, 데이터전압이 저전압일 때 하이논리전압의 제2 소스출력인에이블신호(SOE2)를 OR 게이트를 경유하여 제1 n 타입 트랜지스터(nT1)의 게이트단자에 공급하여 프리차지전압(V-POS, V-NEG)보다 낮은 차지웨어전압(Vshare)을 액정표시패널의 데이터라인에 공급한다. 이와 달리, DMUX(66)는 비교기(66)의 출력신호의 전압이 하이논리전압이고 극성제어신호(POL)의 전압이 로우논리전압일 때 즉, 데이터전압이 상대적

으로 고전압이고 그 극성이 정극성(positive)일 때 하이논리전압의 제2 소스출력인에이블신호(SOE2)를 제2 n 타입 트랜지스터(nT2)의 게이트단자에 공급하여 정극성 프리차지전압(V-POS)을 액정표시패널의 데이터라인에 공급한다. 또한, DMUX(66)는 비교기(66)의 출력신호의 전압이 하이논리전압이고 극성제어신호(POL)의 전압이 하이논리전압일 때 즉, 데이터전압이 상대적으로 고전압이고 그 극성이 부극성(negative)일 때 하이논리전압의 제2 소스출력인에이블신호(SOE2)를 제3 n 타입 트랜지스터(nT3)의 게이트단자에 공급하여 부극성 프리차지전압(V-NEG)을 액정표시패널의 데이터라인에 공급한다. 이러한 DMUX(66), 트랜지스터들(pT, nT1, nT2, nT3) 및 제어/구동전압(POL, SOE1, SOE2, V-share, V-POS, V-NEG)는 데이터라인의 프리차지를 제어하는 프리차지 제어부 역할을 한다.

[0058] 제1 소스출력인에이블신호(SOE1)는 제2 소스출력인에이블신호(SOE)에 앞서 제1 n 타입 트랜지스터(nT1)의 게이트단자에 공급되어 데이터전압이 고전압일 때에도 프리차지전압(V-POS, V-NEG)에 앞서 차지쉐어전압(V-Share)으로 데이터라인을 프리차지시킨다.

[0059] 한편, 차지쉐어전압(V-Share)은 데이터 IC의 외부에 배치된 전원회로에서 별도로 발생될 수도 있고 데이터 IC 내에서 데이터라인들의 차지쉐어로 생성되는 전압일 수도 있다. 이러한 차지쉐어전압(V-Share)은 정극성 프리차지전압(V-POS)보다 낮고 부극성 프리차지전압(V-NEG)보다 낮은 전압 범위 내에서 두 개 이상으로 나뉘어 질 수 있다.

[0060] 도 9 내지 도 12는 비교기(63)의 다양한 실시예를 보여 주는 도면들이다.

[0061] 본 발명의 제1 실시예에 따른 비교기(63)는 도 9와 같이 노말리 블랙 모드에서 127 계조 이상에서 하이논리로 발생되고 127 계조 미만에서 로우논리로 발생되는 2^7 가중치의 D7 bit를 DMUX(66)의 S1 입력단자에 입력한다. 따라서, 이 실시예의 비교기(63)는 D7 bit를 공급하기 위한 배선만으로 구현된다. 이러한 비교기(63)로 구현될 때, 본 발명에 따른 데이터 IC는 127 계조 이상의 데이터 전압에서 높은 프리차지 전압(V-POS, V-NEG)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이고 127 계조 미만의 데이터 전압에서 낮은 차지쉐어전압(V-Share)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이게 된다.

[0062] 본 발명의 제2 실시예에 따른 비교기(63)는 도 10과 같이 2^6 가중치의 D6 bit와 2^5 가중치의 D5 bit를 논리합하는 OR 게이트와, 그 OR 게이트의 출력과 2^7 가중치의 D7 bit를 논리곱하는 AND 게이트로 구성된다. 이 비교기(63)의 AND 게이트 출력은 노말리 블랙 모드에서 160 계조 이상에서 하이논리로 발생되고 160 계조 미만에서 로우논리로 발생되어 DMUX(66)의 S1 입력단자에 입력한다. 따라서, 이 실시예의 비교기(63)는 두 개의 논리 게이트 소자로 구현된다. 이러한 비교기(63)로 구현될 때, 본 발명에 따른 데이터 IC는 160 계조 이상의 데이터 전압에서 높은 프리차지 전압(V-POS, V-NEG)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이고 160 계조 미만의 데이터 전압에서 낮은 차지쉐어전압(V-Share)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이게 된다.

[0063] 본 발명의 제3 실시예에 따른 비교기(63)는 도 11과 같이 2^6 가중치의 D6 bit와 2^7 가중치의 D7 bit를 논리곱하는 AND 게이트로 구성된다. 이 비교기(63)의 AND 게이트 출력은 노말리 블랙 모드에서 191 계조 이상에서 하이논리로 발생되고 191 계조 미만에서 로우논리로 발생되어 DMUX(66)의 S1 입력단자에 입력한다. 따라서, 이 실시예의 비교기(63)는 하나의 논리 게이트 소자로 구현된다. 이러한 비교기(63)로 구현될 때, 본 발명에 따른 데이터 IC는 191 계조 이상의 데이터 전압에서 높은 프리차지 전압(V-POS, V-NEG)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이고 191 계조 미만의 데이터 전압에서 낮은 차지쉐어전압(V-Share)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이게 된다.

[0064] 본 발명의 제4 실시예에 따른 비교기(63)는 도 12와 같이 2^6 가중치의 D6 bit와 2^5 가중치의 D5 bit를 논리곱하는 제1 AND 게이트와, 그 제1 AND 게이트의 출력과 2^7 가중치의 D7 bit를 논리곱하는 제2 AND 게이트로 구성된다. 이 비교기(63)의 AND 게이트 출력은 노말리 블랙 모드에서 224 계조 이상에서 하이논리로 발생되고 224 계조 미만에서 로우논리로 발생되어 DMUX(66)의 S1 입력단자에 입력한다. 따라서, 이 실시예의 비교기(63)는 두 개의 논리 게이트 소자로 구현된다. 이러한 비교기(63)로 구현될 때, 본 발명에 따른 데이터 IC는 224 계조 이상의 데이터 전압에서 높은 프리차지 전압(V-POS, V-NEG)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이고 224 계조 미만의 데이터 전압에서 낮은 차지쉐어전압(V-Share)으로 데이터라인을 충전시켜 데이터 IC의 부담을 줄이게 된다.

[0065] 도 6에서 8 bit의 제1 디지털 데이터가 256 계조(1111 1111)이면 비교기(63)의 출력이 하이논리전압으로 되고

극성제어신호(POL)가 하이논리전압일 때 제1 소스출력인에이블신호(SOE1)에 의해 차지웨어전압(V-Share)으로 액정표시패널의 제1 데이터라인이 1차 프리차지된 후에 정극성 프리차지전압(V-POS)으로 제1 데이터라인이 2차 프리차지된다. 제1 디지털 데이터와 인접하는 제2 디지털 데이터가 제1 디지털 데이터와 동일하게 (1111 1111)이면 극성제어신호만 반전되어 차지웨어전압(V-Share)으로 액정표시패널의 제2 데이터라인이 1차 프리차지된 후에 부극성 프리차지전압(V-NEG)으로 제2 데이터라인이 프리차지된다. 제2 디지털 데이터와 인접한 제3 디지털 데이터와 그 제3 디지털 데이터와 인접하는 제4 디지털 데이터가 63 계조(0011 1111)이면 비교기(63)의 출력이 로우논리전압으로 반전되어 차지웨어 전압(V-Share)으로 액정표시패널의 제3 및 제4 데이터라인이 프리차지된다.

[0066] 도 13은 도 4 및 도 5와 동일한 데이터전압에서 본 발명에 따른 데이터 IC의 출력파형을 나타낸다.

[0067] 도 13을 참조하면, 본 발명에 따른 데이터 IC는 고전압의 데이터전압이 입력되면 차지체어에 있어서 프리차지 기능을 사용하고 상대적으로 저전압의 데이터전압이 입력될 경우에 차지체어기능만을 사용하여 출력버퍼의 동작구간을 최소화하여 전체 소비전류가 줄뿐 아니라 프리차지전압을 더 높여 최고전압에서의 데이터 IC 발열온도를 낮출 수 있다.

발명의 효과

[0068] 상술한 바와 같이, 본 발명에 따른 액정표시장치와 그 구동방법은 고전압의 데이터에서 차지웨어전압으로 데이터라인을 1차 프리차지시킨 후에 그 차지웨어전압 보다 높은 프리차지전압으로 데이터라인을 2차 프리차지시키는 반면 저전압의 데이터에서 차지웨어전압만으로 데이터라인을 프리차지시킴으로써 데이터 집적회로의 발열 온도를 낮추고 소비전력을 줄일 수 있다.

[0069] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여 져야만 할 것이다.

도면의 간단한 설명

[0001] 도 1은 액정표시장치를 개략적으로 나타내는 블록도.

[0002] 도 2는 도 1에 도시된 데이터 구동부를 상세히 나타내는 블록도.

[0003] 도 3은 출력버퍼 내의 내부저항과 그 내부저항을 통해 흐르는 전류를 나타내는 회로도.

[0004] 도 4는 외부 프리차지 전압으로 데이터라인을 프리차지하는 프리차징방식의 일예를 보여 주는 파형도.

[0005] 도 5는 차지쉐어 전압으로 데이터라인을 프리차지하는 차지쉐어방식의 일예를 보여 주는 파형도.

[0006] 도 6은 본 발명의 실시예에 따른 액정표시장치의 아날로그 샘플링 장치를 나타내는 회로도.

[0007] 도 7은 도 6에 도시된 소스출력인에이블신호들과 극성제어신호를 나타내는 파형도이다.

[0008] 도 8은 도 6에 도시된 디멀티플렉서를 상세히 나타내는 회로도.

[0009] 도 9는 도 6에 도시된 비교기의 제1 실시예를 나타내는 회로도.

[0010] 도 10은 도 6에 도시된 비교기의 제2 실시예를 나타내는 회로도.

[0011] 도 11은 도 6에 도시된 비교기의 제3 실시예를 나타내는 회로도.

[0012] 도 12는 도 6에 도시된 비교기의 제4 실시예를 나타내는 회로도.

[0013] 도 13은 본 발명의 실시예에 따른 액정표시장치의 데이터 집적회로부터 출력되는 파형의 일예를 나타내는 파형도.

[0014] < 도면의 주요 부분에 대한 부호의 설명 >

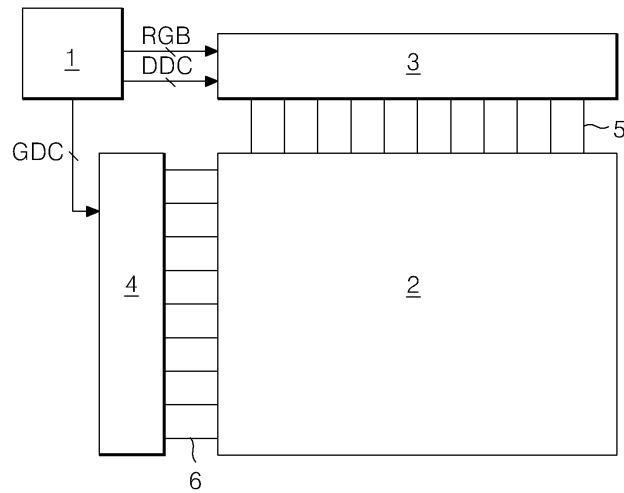
[0015] 1 : 타이밍 컨트롤러 2 : 액정표시패널

[0016] 3 : 데이터 구동부 4 : 게이트 구동부

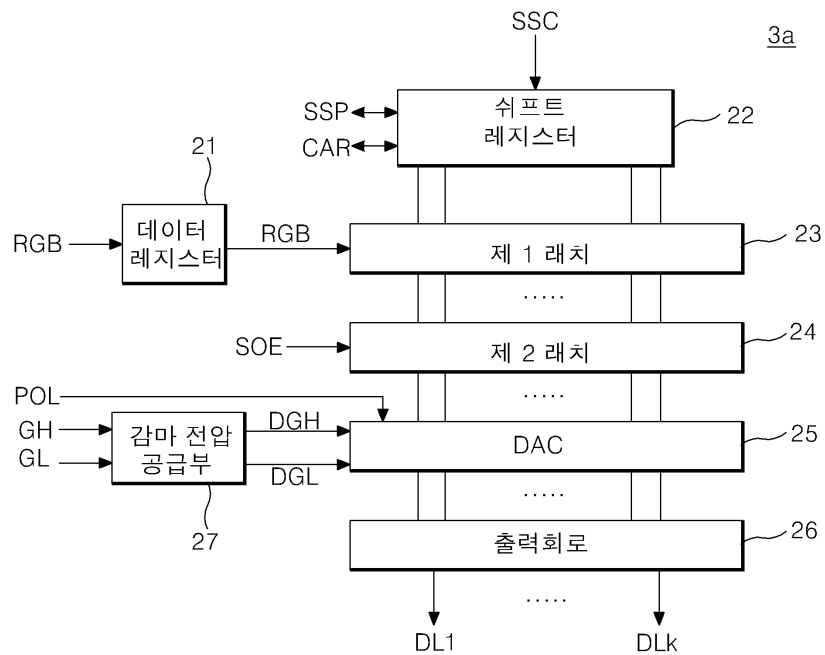
[0017]	21, 61 : 데이터 레지스터	22 : 쉬프트 레지스터
[0018]	23, 24, 62 : 래치	25, 64 : 디지털/아날로그 변환기
[0019]	26a, 65 : 출력버퍼	27 : 감마전압 공급부
[0020]	63 : 비교기	66 : 디멀티플렉서
[0021]	pT, nT1, nT2, nT3 : 트랜지스터	

도면

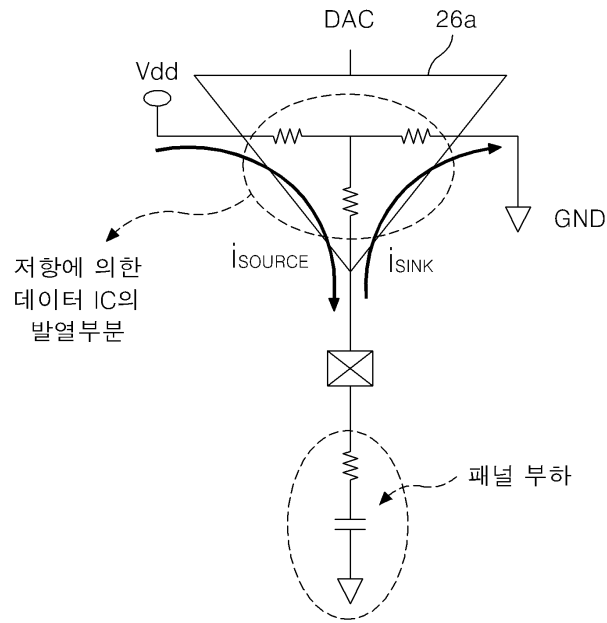
도면1



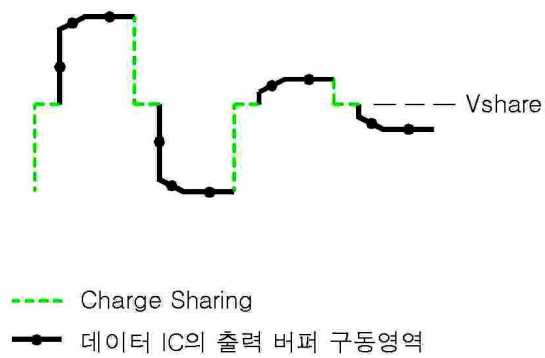
도면2



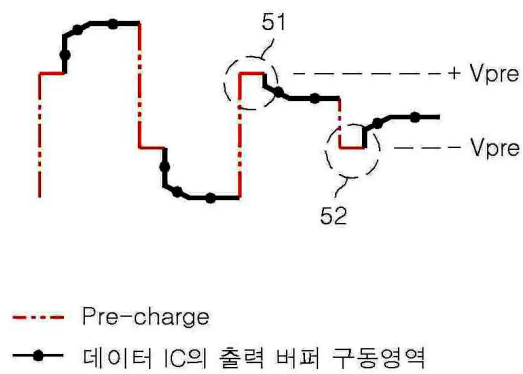
도면3



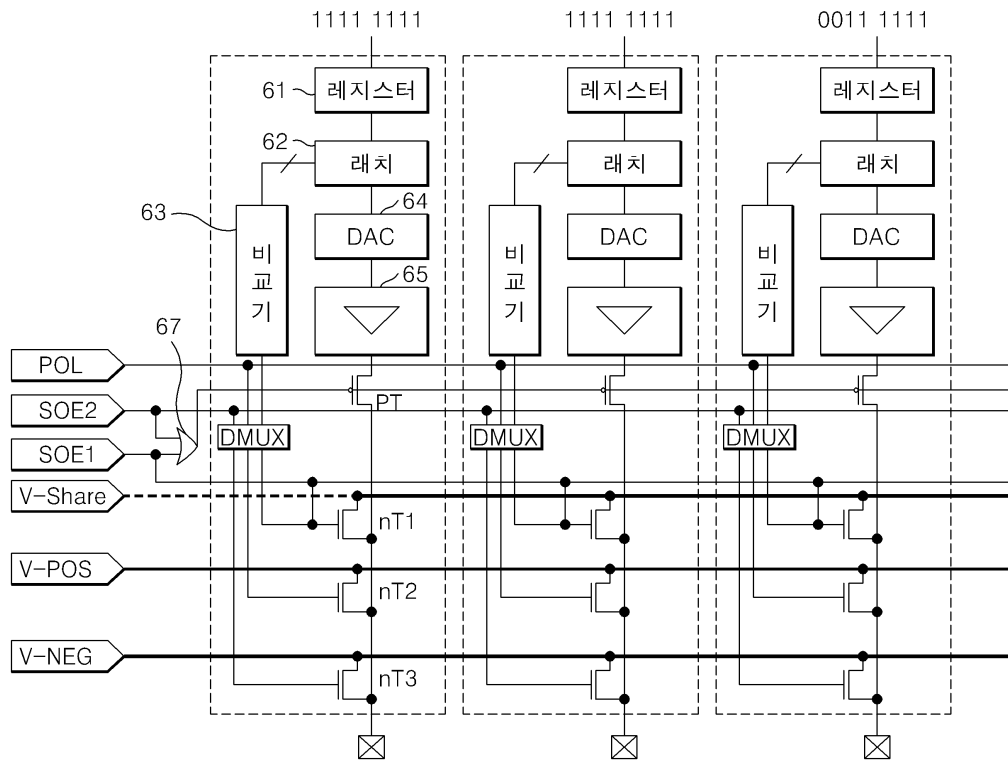
도면4



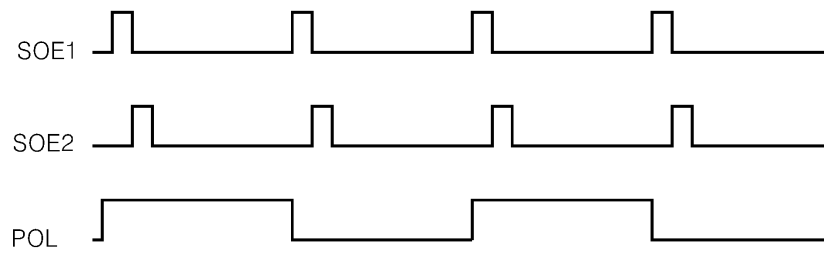
도면5



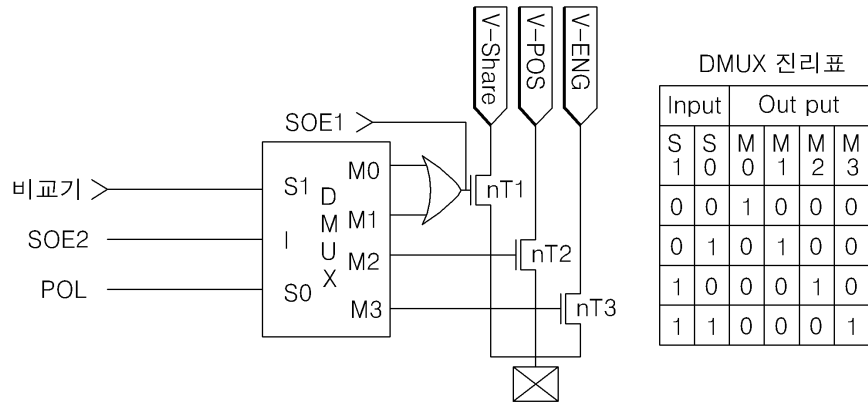
도면6



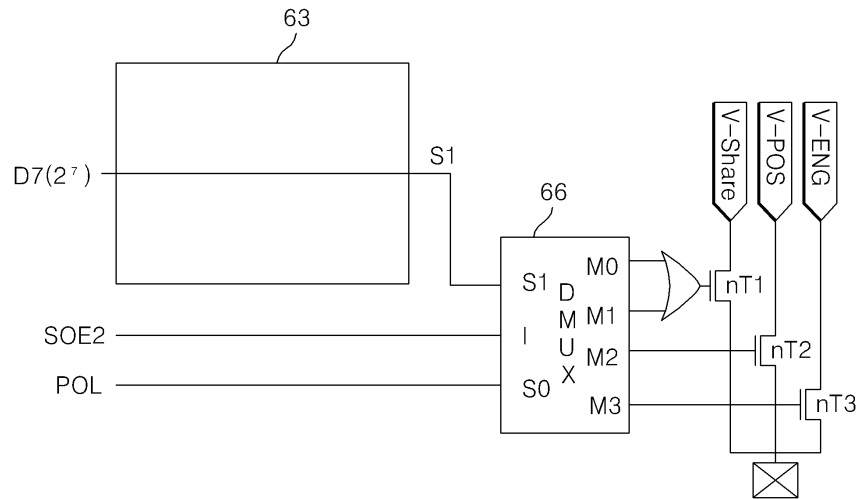
도면7



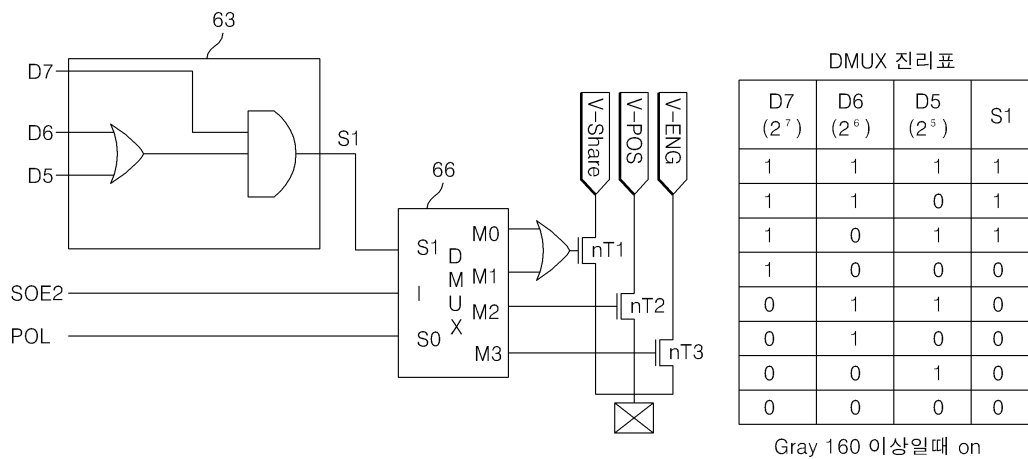
도면8



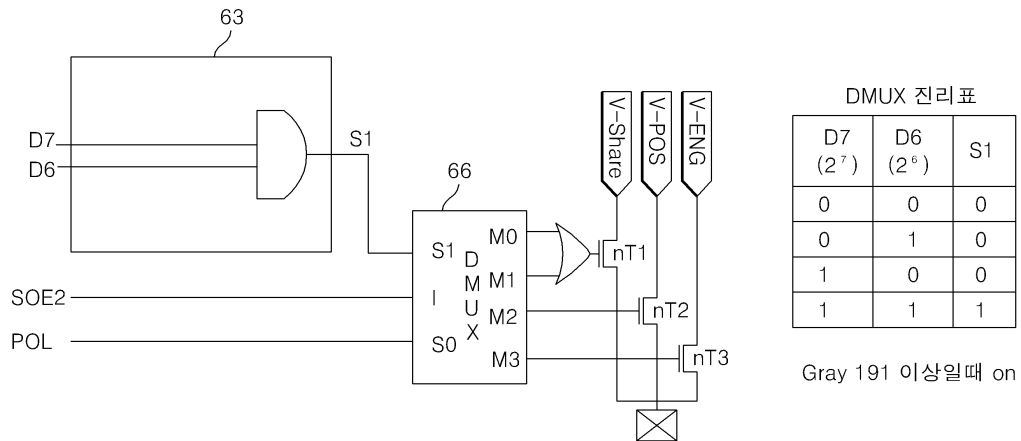
도면9



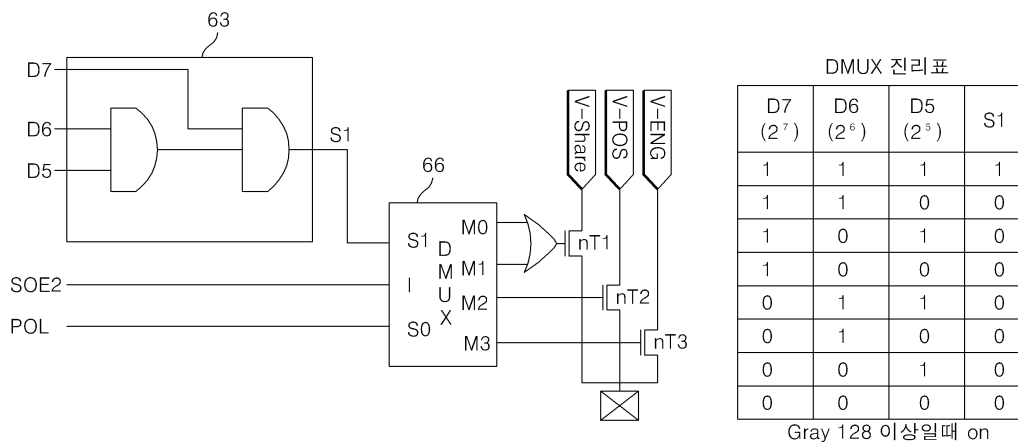
도면10



도면11



도면12



도면13

