



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월24일
(11) 등록번호 10-0965979
(24) 등록일자 2010년06월16일

- (51) Int. Cl.
G02F 1/1343 (2006.01) G02F 1/1337 (2006.01)
- (21) 출원번호 10-2008-7004012
- (22) 출원일자(국제출원일자) 2006년04월25일
심사청구일자 2008년02월20일
- (85) 번역문제출일자 2008년02월20일
- (65) 공개번호 10-2008-0038165
- (43) 공개일자 2008년05월02일
- (86) 국제출원번호 PCT/JP2006/309131
- (87) 국제공개번호 WO 2007/088644
국제공개일자 2007년08월09일
- (30) 우선권주장
JP-P-2006-00022438 2006년01월31일 일본(JP)
- (56) 선행기술조사문헌
KR1020010003748 A*
KR1020020063498 A*
KR1020020041426 A*
KR1020020085237 A*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가시오계산기 가부시킴가이샤
일본국 도쿄도 시부야구 혼마치 1초메 6반 2고
- (72) 발명자
시모마키 신이치
일본국 도쿄도 205-8555 하무라시 사카에초 3초메 2반 1고가시오계산기 가부시킴가이샤 하무라기쥬츠센터 지적재산부내
- (74) 대리인
김문중, 손은진

전체 청구항 수 : 총 9 항

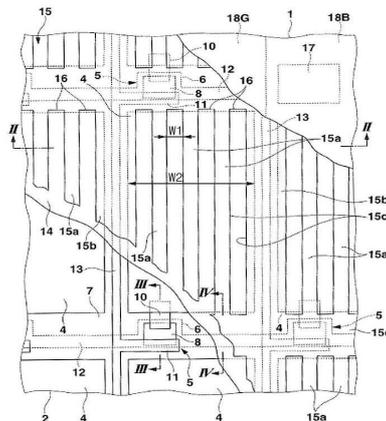
심사관 : 윤성주

(54) 기관면에 평행한 전계를 사용하는 액정표시장치

(57) 요약

액정표시장치는, 기관면에 평행하여, 액정 분자가 한 방향으로 정렬된 상태에서 제 1 및 제 2 기관 사이의 틈에 개재된 액정층을 포함한다. 복수의 박막 트랜지스터가 제 1 기관의 상측에 행 및 열 방향에 배치된다. 화소 전극은 제 1 기관의 상측에 구비되어 박막 트랜지스터와 전기적으로 연결된다. 공통 전극이 기관 및 액정층 사이의 제 1 기관의 상측에 형성되어, 절연막을 통해 화소 전극과 상응하며, 화소 전극과의 사이에서 기관 표면에 평행한 평면에서 액정 분자의 정렬 방향을 제어하는 전계를 발생한다.

대표도 - 도1



특허청구의 범위

청구항 1

액정층을 통해 대향하여 배치된 한 쌍의 기관들을 구비한 액정표시장치로서,
 복수의 표시 화소 각각에 배치되고, 대응하는 박막 트랜지스터에 접속된 화소전극;
 인접한 2개의 상기 화소전극 사이에 배치되고 상기 박막 트랜지스터를 통해 상기 화소전극에 표시신호를 공급하
 는 신호라인;
 절연막을 통해 상기 신호라인 및 상기 각 화소전극 보다도 상기 액정층 측에 배치된 공통전극을 구비하며,
 상기 화소전극은 상기 신호라인과 교차하는 방향으로 제1의 폭(W_1)을 가지는 형상으로 형성되고,
 상기 공통전극에는 상기 신호라인과 상기 화소전극 사이의 영역 및 상기 신호라인을 덮도록 형성됨과 동시에 상
 기 화소전극과 겹치는 영역에 상기 제1 폭 방향의 해당 제1 폭(W_1)보다 좁은 제2의 폭(W_2)을 가지는 슬릿이 형성
 되고,
 상기 슬릿의 한 쌍의 단변들이 모두 상기 화소전극과 겹치지 않도록 상기 슬릿의 장변 방향의 길이가 상기 화소
 전극의 장변 방향의 길이보다 길게 상기 슬릿이 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 공통 전극은 상기 신호라인을 따라 연장하도록 형성된 금속도전막과, 상기 화소전극에 중첩하도록 형성된
 투명도전막을 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,
 상기 각 화소전극은, 사각형 형상을 가진 투명성 도전막이고, 상기 표시화소마다 하나씩만 형성되고 있는 것을
 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,
 상기 슬릿은 상기 신호라인과 중첩영역을 피하도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 6

삭제

청구항 7

제 1 항에 있어서,
 상기 슬릿은 표시영역마다 복수 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,
 상기 슬릿은 표시영역마다 서로 평행하도록 형성되는 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 액정층은 액정분자의 장축이 상기 한 쌍의 기관 면과 평행으로 되도록 배열되고 있는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 기관면의 예지부에 대해 액정분자를 경사 방향으로 초기 배향시키는 배향막이 상기 공통전극 위에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 11

제 1 항에 있어서,

상기 액정층은 유전율 이방성이 양인 액정분자로 이루어진 것을 특징으로 하는 액정표시장치.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

기술분야

[0001] 본 발명은 기관면에 평행한 전계를 사용하여, 기관면에 평행한 평면의 액정분자의 방향을 제어하여 표시를 실행하는 액정표시장치에 관한 것이다.

배경기술

[0002] 액정표시장치로서, 틸을 사이에 두고 대향하는 한 쌍의 기관 사이에, 한 방향으로 정렬된 장축을 축으로 하여

기관면에 평행하게 정렬된 액정분자를 갖는 구성의 액정표시장치가 있다. 기관과 평행하는 평면에서 액정분자의 정렬 방향을 제어하는 전계를 발생하기 위하여, 서로 절연되는 화소 전극 및 공통 전극이 대향하는 기관 중 하나의 내면에 구비된다.

[0003] 종래의 액정표시장치는, 기관 중 하나의 내면에, 각 화소 영역에 상응하는 공통 전극, 및 공통 전극과 일치하여 공통 전극을 덮는 절연층에 구비된 복수의 화소 전극을 포함하는 구성을 갖는다. 복수의 박막 트랜지스터는 각각 이러한 화소 전극에 연결되며, 각 행(row)에는 박막 트랜지스터에 게이트 신호를 공급하는 복수의 주사 라인이 구비되는데, 이러한 장치는 예를 들면, 일본 특허 출원 공개 제 2002-82357호에 개시되어 있다.

[0004] 종래의 액정표시장치에서는, 주사 라인 또는 신호 라인 및 화소 전극 사이에서 발생하는 전계의 영향으로, 각 화소의 주변 영역의 액정 분자의 정렬이 와해되고, 화소의 주변부에서 빛이 누설되어 콘트라스트가 낮아진다. 또한, 이러한 누광을 방지하기 위하여 블랙 마스크가 구비되는 경우, 개구율이 감소되어 표시 영상이 어두워지는 문제가 있다.

발명의 상세한 설명

[0005] 본 발명의 목적은 각 화소의 주변부의 누광을 제거하고, 콘트라스트 및 개구율을 증가하여 밝은 영상을 표시하는 액정표시장치를 제공하는 것이다.

[0006] 본 발명의 제 1 관점에 따른 액정표시장치는, 액정층을 통해 대향하여 배치된 한 쌍의 기관들을 구비한 액정표시장치로서, 복수의 표시 화소 각각에 배치되고, 대응하는 박막 트랜지스터에 접속된 화소전극; 인접한 2개의 상기 화소전극 사이에 배치되고 상기 박막 트랜지스터를 통해 상기 화소전극에 표시신호를 공급하는 신호라인; 절연막을 통해 상기 신호라인 및 상기 각 화소전극 보다도 상기 액정층 측에 배치된 공통전극을 구비하며, 상기 화소전극은 상기 신호라인과 교차하는 방향으로 제1의 폭(W_1)을 가지는 형상으로 형성되고, 상기 공통전극에는 상기 신호라인과 상기 화소전극 사이의 영역 및 상기 신호라인을 덮도록 형성됨과 동시에 상기 화소전극과 겹치는 영역에 상기 제1 폭 방향의 해당 제1 폭(W_1)보다 좁은 제2의 폭(W_2)을 가지는 슬릿이 형성되고, 상기 슬릿의 한 쌍의 단면들이 모두 상기 화소전극과 겹치지 않도록 상기 슬릿의 장변 방향의 길이가 상기 화소전극의 장변 방향의 길이보다 길게 상기 슬릿이 형성된 것을 특징으로 한다.

[0007] 이러한 액정표시장치에는, 공통 전극의 적어도 일부가 화소 전극 상에 중첩되며, 화소 전극에 상응하는 각 영역과 일치하여 각 화소를 정의하는 적어도 하나의 에지부가 공통 전극에 형성되는 것이 바람직하다. 또한, 공통 전극과 화소 전극 사이의 기관의 내면과 평행하는 방향에서 전계를 발생하기 위하여, 공통 전극에는, 화소 전극에 상응하는 각 영역과 일치하여 각 화소를 정의하는 하나의 에지부, 및 화소 영역의 내측에 배치되는 복수의 에지부가 형성되는 것이 바람직하다.

[0008] 이러한 액정표시장치에는, 행 방향을 따라 각 화소 전극 행 사이에 각각 배치되며, 각 행의 박막 트랜지스터에 주사 신호를 공급하는 복수의 주사 라인, 및 열 방향을 따라 각 화소 전극 열 사이에 각각 배치되며, 각 열의 박막 트랜지스터에 표시 신호를 공급하는 복수의 신호 라인이 일측 기관의 내면에 더 구비되는 것이 바람직하다. 또한, 복수의 화소 전극, 박막 트랜지스터, 주사 라인 및 신호 라인을 덮는 절연층상에, 주사 라인을 사이에 두고 서로 인접한 화소 전극들 사이의 영역 및 신호 라인을 사이에 두고 서로 인접한 화소 전극들 사이의 영역 중 적어도 하나를 덮는 영역에 의해, 화소의 행 방향 및 열 방향 중 적어도 어느 하나로 연장되는 연속적인 형태로 공통 전극이 형성되며, 간격을 두고 서로 평행하게 정렬되는 복수의 부분-전극이 화소 전극에 상응하는 공통 전극의 일부에 형성되며, 그리고, 액정 분자의 정렬 방향을 제어하는 전계가 화소 전극 및 각 부분-전극의 에지부 사이에서 발생된다.

[0009] 부가하여, 이러한 액정표시장치에는, 일측 기관상의 화소 전극 및 공통 전극 사이에 개재된 절연막은, 화소 전극, 박막 트랜지스터 및 박막 트랜지스터에 연결된 배선을 덮기 위하여 형성되는 평탄화된 막을 포함하며, 평면으로서 일측 기관의 내면을 형성하는 것이 바람직하다.

[0010] 이러한 액정표시장치에는, 행 방향을 따라 각 화소 전극 행 사이에 각각 배치되며 각 행의 박막 트랜지스터에 주사 신호를 공급하는 복수의 주사 라인, 및 열 방향을 따라 각 화소 전극 열 사이에 각각 배치되며 각 열의 박막 트랜지스터에 표시 신호를 공급하는 복수의 신호 라인이 일측 기관의 내면에 더 구비된다.

[0011] 또한, 주사 라인을 사이에 두고 서로 인접한 화소 전극들 사이의 영역 및 신호 라인을 사이에 두고 서로 인접한 화소 전극들 사이의 영역의 양쪽 영역을 덮기 위하여, 복수의 화소 전극, 박막 트랜지스터, 주사 라인 및 신호 라인을 덮는 절연층상에 공통 전극이 형성되며, 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 화소 전극

에 상응하는 공통 전극의 영역에 형성되며, 그리고, 액정 분자의 정렬 방향을 제어하는 전계가 화소 전극 및 각 에지부 사이에서 발생된다.

[0012] 이러한 경우, 일측 기관의 절연막에서, 공통 전극은, 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 형성되는 투명 전기전도성막, 및 서로 인접한 화소들 사이의 행 방향에 연장된 주사 라인 및 서로 인접한 화소들 사이의 열 방향에 연장된 신호 라인 중 어느 하나를 따라 형성된 금속 전기전도성막으로 이루어진다. 또한, 일측 기관의 절연막에서, 공통 전극은, 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 형성된 투명 전기전도성막, 및 주사 라인 및 박막 트랜지스터를 덮기 위하여, 적어도, 서로 인접한 화소 사이에서 행 방향으로 연장된 주사 라인 및 서로 인접한 화소 사이에서 열 방향으로 연장된 신호 라인을 따라 형성된 금속 전기전도성막으로 이루어진다. 또한, 일측 기관의 절연막상에서, 공통 전극은, 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 형성된 투명 전기전도성막, 및 주사 라인을 덮기 위하여, 박막 트랜지스터에 상응하는 영역을 제외한 부분에서, 적어도, 서로 인접한 화소 사이에서 행 방향으로 연장된 주사 라인 및 서로 인접한 화소 사이에서 열 방향으로 연장된 신호 라인을 따라 형성된 금속 전기전도성막으로 이루어진다. 부가하여, 이러한 경우, 박막 트랜지스터 각각에 상응하는 영역에서, 한 쌍의 기관 중 타측의 내면 측에 형성된 광차단막을 더 포함하는 것이 바람직하다. 또한, 공통 전극은, 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 형성된 투명 전기전도성막, 및 일측 기관의 절연막상의 서로 인접한 화소들 사이에서 행 방향으로 연장된 주사 라인 및 서로 인접한 화소들 사이에서 열 방향으로 연장된 신호 라인의 양쪽 라인을 따라 형성된 금속 전기전도성막으로 이루어진다.

[0013] 이러한 액정표시장치에서는, 공통 전극은 복수의 화소 전극 및 박막 트랜지스터를 덮는 절연막의 상층의 전체 표면에 형성되며, 그리고, 화소 전극 사이의 액정 분자의 정렬 방향을 제어하는 전계를 발생하기 위하여 간격을 두고 서로 평행하게 정렬된 복수의 에지부를 형성하는 슬릿이 화소 전극에 상응하는 공통 전극의 영역에 형성된다. 이러한 경우, 공통 전극에 형성된 슬릿은 정렬막의 정렬 처리 방향에 경사쳐 교차하는 방향을 향하여 형성되어, 일측 기관의 표면에 형성된 정렬막에 의해 정렬된 액정 분자의 장축 방향을, 수직 및 평행한 상태를 제외하고, 경사쳐 교차하는 에지부를 형성한다. 또한, 화소 전극 각각은 화소에 상응하는 영역에서 공통 전극에 형성된 슬릿에 상응하는 형태를 갖으며, 공통 전극의 슬릿과 겹치는 영역에 형성된 개구부를 갖는 투명 전기전도성막으로 이루어진다.

[0014] 이러한 액정표시장치에서, 화소 전극 각각은 화소에 상응하는 영역을 갖는 하나의 직방형 투명 전기전도성막으로 이루어진다.

[0015] 본 발명의 제 2 관점에 따른 액정표시장치는, 액정층을 통해 대향하여 배치된 한 쌍의 기관들을 구비한 액정표시장치로서, 표시 화소마다에 배치되고, 대응하는 박막 트랜지스터에 접속된 화소전극; 인접한 2개의 상기 화소 전극 사이에 배치되고 상기박막 트랜지스터를 통해 상기 화소전극에 표시신호를 공급하는 주사라인; 절연막을 통해 상기 신호라인 및 상기 각 화소전극 보다도 상기 액정층 측에 배치되어, 상기 화소전극의 일부 및 상기 주사라인을 덮도록 형성된 전극 영역과, 이 전극영역에 둘러싸인 개구영역의 적어도 일부를 상기 개구영역의 단변 방향으로 향하게 하여 상기 화소전극에 중첩하도록 형성된 슬릿을 가지는 공통전극을 구비하며, 상기 슬릿은 장변방향의 길이가 상기 화소전극의 장변방향의 길이보다 길게 형성된 것을 특징으로 한다.

[0016] 이러한 액정표시장치에서는, 복수의 화소 전극, 박막 트랜지스터, 주사라인 및 신호 라인을 덮는 절연막의 전체 표면에 공통 전극이 형성되며, 공통 전극 및 화소 전극 사이에서 액정 분자의 정렬 방향을 제어하는 전계를 발생하기 위하여 간격을 두고 서로 평행하게 정렬된 복수의 에지부를 형성하는 슬릿이 화소 전극에 상응하는 공통 전극의 영역에 제공되며, 공통 전극이 V-형상으로 절곡되어, 기관면에 형성된 정렬막의 정렬 처리 방향을 수직 및 평행을 제외하고 경사진 상태로 교차하는 에지부를 형성한다. 또한, 일측 기관에 형성된 화소 전극은 화소에 상응하는 영역을 갖는 직방형의 투명 전기전도성막으로 이루어지는 것이 바람직하다.

[0017] 본 발명의 제 3 관점에 따른 액정표시장치는: 틈 사이에 두고 대향하는 한 쌍의 기관; 기관면에 평행하여, 한 방향으로 정렬된 액정 분자를 장축으로 한 쌍의 기관 사이의 틈에 구비된 액정층; 한 쌍의 기관 중 타측의 기관과 대향하는 일측 기관의 내면에 행 방향 및 열 방향으로 배치되며, 표시 데이터에 상응하는 표시 신호가 공급되는 복수의 박막 트랜지스터; 박막 트랜지스터와 전기적으로 연결되는 일측 기관의 내면에 구비되며, 박막 트랜지스터로부터 표시 신호가 공급되는 복수의 화소 전극; 제 1 기관의 내면 측의 행 방향을 따라 각 화소 전극 사이에 각각 배치되며, 각 행의 박막 트랜지스터에 주사 신호를 공급하는 복수의 주사 라인; 열 방향을 따라 각 화소 전극 사이에 각각 배치되며, 각 열의 박막 트랜지스터에 표시 신호를 공급하는 복수의 주사 라인; 및 화소 전극 및 액정층의 사이에서 화소 전극에 상응하는 제 1 기관의 내면의 절연막에 형성되는 공통 전극으로서, 여

기서, 공통 전극은, 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 형성된 투명 전기전도성막, 및 주사 라인 및 박막 트랜지스터를 덮기 위하여, 적어도, 서로 인접한 화소 사이에서 행 방향으로 연장된 주사 라인 및 서로 인접한 화소 사이에서 열 방향으로 연장된 신호 라인을 따라 형성된 금속 전기전도성막으로 이루어지며, 화소 전극과의 사이에서 기판면과 평행하는 평면에서 액정 분자의 정렬 방향을 제어하는 전계를 발생하는 공통 전극; 및 한 쌍의 기관 중 타측의 내면에서, 일측 기관에 형성된 박막 트랜지스터에 상응하는 영역에 형성된 광차단막을 포함한다.

[0018] 본 발명의 제 1 관점에 따른 액정표시장치에서는, 절연막을 통해 화소 전극을 덮기 위하여 공통 전극은 화소 전극으로부터 이격된 액정층에서 중첩되며, 적어도 하나의 에지부가 화소 전극에 상응하는 각 영역과 일치하여 형성되고, 기판면과 평행하는 평면에서 액정 분자의 정렬 방향을 제어하는 전계가 화소 전극 및 에지부 사이에서 발생된다. 따라서, 화소 전극 및 공통 전극 사이의 부분을 제외하고, 화소 전극의 주변부에서 발생하는 전계는 액정층에 대하여 차단되며, 그에 따라, 화소 주변부에서 정렬이 와해되는 것이 방지되어 누광을 차단한다.

[0019] 이러한 액정표시장치에서는, 공통 전극에, 복수의 화소 전극과 상응하는 영역과 일치하여 화소 전극에 대항하는 에지를 형성하는 복수의 슬릿을 형성하는 것이 바람직하다. 이러한 구성을 채용함으로써, 화소 전극 및 공통 전극의 각 에지부 사이에서 균일한 강도를 갖는 전계를 발생하여, 우수한 품질의 영상을 표시할 수 있다.

[0020] 부가하여, 이러한 액정표시장치에서는, 각 화소 전극 행을 따라 각각 형성되며 각 행의 박막 트랜지스터에 게이트 신호를 공급하는 복수의 주사 라인, 각 화소 전극 열을 따라 각각 형성되며 각 열의 박막 트랜지스터에 데이터 신호를 공급하는 복수의 신호 라인이 하나의 전극의 내면에 제공되며, 공통 전극이 복수의 화소 전극, 박막 트랜지스터, 주사 라인 및 신호 라인을 덮는 절연막 상에, 주사 라인을 사이에 두고 서로 인접한 화소 전극 사이의 영역 및 신호 라인을 사이에 두고 서로 인접한 화소 전극 사이의 영역 중 적어도 하나를 덮는 영역에 의해, 화소 전극 행 방향 및 화소 전극 열 방향 중 적어도 어느 하나로 연장되는 형태로 형성되며, 화소 전극에 상응하는 공통 전극의 일부는 간격을 두고 서로 평행하게 정렬된 복수의 부분 전극으로 이루어지고, 그리고, 액정 분자의 정렬 방향을 제어하는 전계가 화소 전극 및 각 부분 전극의 에지부 사이에서 발생된다. 그에 따라, 주사 라인 및 신호 라인 및 화소 전극의 에지부 중 적어도 어느 하나의 사이에서 발생하는 전계는 공통 전극에 의해 차단될 수 있으며, 전계로 인해 각 화소 주변의 영역에서 액정 분자의 정렬이 와해되는 것이 방지될 수 있다. 따라서, 화소 주변부에서의 누광이 차단되어, 높은 콘트라스트 및 높은 개구율을 갖는 우수한 품질의 영상을 표시할 수 있다.

[0021] 이러한 액정표시장치에서는, 주사 라인을 사이에 두고 서로 인접한 화소 전극 사이의 영역 및 신호 라인을 사이에 두고 서로 인접한 화소 전극 사이의 영역의 양쪽 영역에 상응하기 위하여 공통 전극이 형성되어, 이러한 공통 전극은, 복수의 화소 전극 각각에 상응하는 각 부분에서, 간격을 두고 평행하게 정렬된 복수의 부분 전극을 형성하는 복수의 슬릿이 형성되는 전기도전성막으로 형성된다. 그에 따라, 화소 주변부의 전체 주변에서 누광이 차단될 수 있으며, 화소 전극 및 서로 인접한 화소 전극 사이의 영역에 상응하는 공통 전극의 부분에 상응하는 공통 전극의 복수의 부분 전극은 동일한 전위를 갖을 수 있고, 균일한 강도를 갖는 전계가 공통 전극 및 화소 전극의 각 에지부 사이에서 발생되어, 우수한 품질의 영상을 표시할 수 있다.

[0022] 또한, 소정의 전체 화소 영역에 상응하는 형태로 복수의 화소 전극을 형성하는 것이 바람직하다. 이러한 구성을 채용함으로써, 전체적인 화소 전극의 전위를 균일화하고, 화소 전극 및 공통 전극의 에지부 사이에서 균일한 강도를 갖는 전계를 발생할 수 있다.

[0023] 또한, 이러한 액정표시장치에서는, 저저항을 갖는 금속 전기전도성막으로 형성된 공통 전극 라인이 주사 라인 및 신호 라인을 따라 이러한 영역의 전체 길이를 따라 화소 전극 사이의 영역에 상응하는 공통 전극의 일부에 제공된다. 그 결과, 행 방향 및 열 방향에 배치된 복수의 화소의 공통 전극은 동일한 전위를 갖을 수 있어, 일관적인 휘도를 갖는 영상을 표시할 수 있다.

[0024] 본 발명의 제 2 관점에 따른 액정표시장치에서는, 공통 전극은: 화소 전극으로부터 이격된 액정층상에서 절연막을 통해 화소 전극에 상응하도록 형성되며, 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 형성되는 투명 전기전도성막; 및 주사 라인 및 박막 트랜지스터를 덮기 위하여, 적어도, 서로 인접한 화소 사이에서 행 방향으로 연장된 주사 라인 및 서로 인접한 화소 사이에서 열 방향으로 연장된 신호 라인을 따라 형성된 금속 전기전도성막으로 이루어진다. 또한, 기판면과 평행한 평면에서 액정 분자의 정렬 방향을 제어하는 전계가 공통 전극 및 화소 전극 사이에서 발생된다. 그에 따라, 화소 전극 및 공통 전극 사이의 부분 이외의 화소 전극의 주변부에서 발생하는 전계는 액정층에 대하여 차단된다. 그 결과, 화소 주변부의 정렬의 와해 없이 누광이 차단되며, 높은 콘트라스트 및 개구를 갖는 밝은 표시를 가능하게 한다. 또한, 금속 전기전도성

성막이 주사 라인 및 신호 라인 양쪽을 따라 공통 전극에 형성되기 때문에, 공통 전극의 전기적 저항이 감소될 수 있으며, 균일한 전극이 각 화소에 인가될 수 있다. 부가하여, 금속 전기도전성막이 각 박막 트랜지스터에 상응하도록 형성되기 때문에, 이러한 박막 트랜지스터의 광차단이 실행될 수 있어, 안정적인 표시를 수행할 수 있다.

[0025] 이러한 액정표시장치에서는, V-형상의 슬릿이 공통 전극에 제공되기 때문에, 전계의 인가에 의한 액정 분자의 행동이 안정화될 수 있다. 또한, 화소 전극이 직방형 투명 전기도전성막으로 형성될 때, 제조가 용이해질 수 있으며, 각 화소의 전계를 균일화할 수 있다.

[0026] 본 발명의 제 3 관점에 따른 액정표시장치에서는, 공통 전극은: 화소 전극으로부터 이격된 액정층상에서 절연막을 통해 화소 전극에 상응하도록 형성되며, 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부가 형성되는 투명 전기도전성막; 및 박막 트랜지스터에 상응하는 영역을 제외하고, 주사 라인 및 박막 트랜지스터를 덮기 위하여, 적어도, 서로 인접한 화소 사이에서 행 방향으로 연장된 주사 라인 및 서로 인접한 화소 사이에서 열 방향으로 연장된 신호 라인을 따라 형성된 금속 전기도전성막으로 이루어진다. 또한, 기관면에 평행하는 평면에서 액정 분자의 정렬 방향을 제어하는 전계가 공통 전극 및 화소 전극 사이에 발생된다. 그에 따라, 화소 전극 및 공통 전극 사이의 부분 이외에서, 화소 전극의 주변부에서 발생하는 전계가 액정층에 대하여 차단된다. 그 결과, 화소 주변부의 정렬이 와해되지 않고 누광이 차단되어, 높은 콘트라스트 및 높은 수치적 개구를 갖는 밝은 표시를 가능하게 한다. 또한, 금속 전기도전성막이 주사 라인 및 신호 라인의 양쪽을 따라 공통 전극 상에 형성되기 때문에, 공통 전극의 전기적 저항이 감소되며, 균일한 전극이 각 화소에 인가될 수 있다. 부가하여, 금속 전기도전성막이 박막 트랜지스터에 상응하는 영역을 제외한 부분에 형성되며, 광차단막이 박막 트랜지스터에 상응하는 영역에서 타측 기관의 내면에 형성된다. 그에 따라, 박막 트랜지스터 및 공통 전극 사이에서 발생하는 포유용량이 감소되어, 이러한 액정처리장치의 구동기에 가해지는 로드를 감소할 수 있다.

[0027] 부가하여, 본 상술된 본 발명의 목적 및 이점은 이하의 설명으로 더욱 분명해지거나 본 발명의 실시를 통해 습득될 수 있을 것이다. 본 발명의 목적 및 이점은 여기에 기술된 실시예 및 조합을 통해 구현될 수 있다.

실시예

(제 1 실시예)

[0042] (제 1 실시예)
 [0043] 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치의 일부를 도시하는 평면도이다. 도 2는 도 1의 II-II을 따라 절단한 단면도이며, 도 3은 도 1의 III-III을 따라 절단한 단면도이고, 도 4은 도 1의 IV-IV을 따라 절단한 단면도이다.

[0044] 액정표시장치는 능동형 매트리스 액정표시장치이며, 도 1 내지 4에 도시된 바와 같이, 한 방향으로 정렬된 장축으로, 틸을 사이에 두고 대향하는 한 쌍의 투명 기관(1, 2)의 면과 평행하게 정렬되어 있는 액정 분자를 포함하는 액정층(3)이 기관(1,2) 사이에 개재된다.

[0045] 한 쌍의 기관(1,2)의 반대편의 내면 중 하나에, 예를 들면, 기관(2)의 내면에는 다음의 부재들이 구비된다. 먼저, 행 방향(도 1의 횡 방향) 및 열 방향(도 1의 수직 방향)에 배치된 일정한 제1의 폭(W_1)을 가지는 복수의 투명 화소 전극(4)이 제공된다. 복수의 박막 트랜지스터(5)(이하 TFT로 언급)는 이러한 화소 전극(4)에 각각 연결된다. 복수의 주사 라인(12)은 각 화소 전극 행의 일측을 따라 각각 형성되며, 각 행에서 TFT(5)로 게이트 신호를 공급한다. 복수의 신호라인(13)이 각 화소 전극 열의 일측을 따라 형성되며, 각 열의 TFT(5)에 데이터 신호를 공급한다. 마지막으로, 투명 공통 전극(15)이 복수의 화소 전극(4)의 액정층(3) 측에 중첩되어, 절연막(14)을 통해 화소 전극(4)을 덮는다. 적어도 하나의 에지부(15d)가 화소 전극(4)의 상응하는 영역과 일치하여 형성된다. 공통 전극(15)은 화소 전극(4) 및 에지부(15d) 사이에서 전계를 발생한다. 전계는 기관(1,2)에 평행하는 위치에서 액정층(3)에 있는 액정 분자의 정렬방향을 제어한다.

[0046] 한 쌍의 기관(1,2)의 각 주변 부분은 미도시된 프레임형 실링재로 결합된다. 기관(1,2) 사이의 실링재에 의해 둘러싸인 영역에서 양성 유전체 이방성을 갖는 네마틱 액정을 실링함으로써, 액정층(3)이 형성된다.

[0047] TFT(5)은 다음과 같은 구성을 갖는다. 즉, 게이트 전극(6)이 기관(2)의 상면에 형성되고, 투명 게이트 절연막(7)이 기관(2)의 전체 상면에 형성되어 게이트 전극(6)을 덮는다. i-형 도핑된 반도체막(8)이 이러한 게이트 절연막(7)에 형성되어 게이트 전극(6)과 대향한다. 소스 전극(10) 및 드레인 전극(11)은 채널 영역을 사이에 두고, n-형 반도체막(9)을 통해 i-형 반도체막(8)의 양측에 각각 구비된다.

[0048] 복수의 주사 라인(12)이 기관(2)의 상면에 형성되어 TFT(5)의 게이트 전극(6)과 전기적으로 연결되며, 복수의

신호 라인(13)이 게이트 절연막(7)에 형성되어 TFT(5)의 드레인 전극과 전기적으로 연결된다.

- [0049] 복수의 화소 전극(4) 각각은, ITO막 등의 투명 전기전도성 막을 사용하여, 게이트 절연막(7)에서 소정의 전체 화소 영역과 상응하는 직사각형 형태로 형성된다. 각 화소 전극(4)에 상응하는 TFT(5)의 소스 전극(10)은 화소 전극(4)의 코너부와 전기적으로 연결된다.
- [0050] 복수의 화소 전극(4), TFT(5), 주사 라인(12) 및 신호 라인(13)을 덮는 투명 중간층 절연막(14)이 기판(2)의 전체 내면에 형성된다. 공통 전극(15)은 게이트 절연막(7) 및 화소 전극(4)을 덮는 중간층 절연막(14)으로 이루어진 절연층에 형성된다.
- [0051] 공통 전극(15)은 ITO 막과 같이 하나의 투명 전기도전막으로 형성된다. 이러한 공통 전극은 화소 전극(4)의 상측뿐 아니라, 주사 라인(12)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역, 및 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4) 사이의 영역 모두에 상응하도록 형성된다. 공통 전극(15)은 복수의 기다란 부분전극(전극부)(15a)으로 이루어지며, 이때 부분전극(15a)은 각 화소 전극(4)에 상응하는 부분의 열 방향을 따라 간격을 두고 서로 평행하게 연장된다. 이러한 전극부(15a)는 열 방향에서의 양단부를 제외하고, 이러한 부분전극(15a) 사이에 형성된 각 슬릿(16)에 의해 서로 이격되어 있다. 각 전극부(15a)는 슬릿(16) 측의 각 슬릿(16)을 따라 길게 연장된 예지부(15d)를 갖는다.
- [0052] 이러한 실시예에서, 열 방향을 따라 서로 평행한 4 개의 슬릿(16)은, 투명 전기도전막의 복수의 화소 전극(4) 각각에 상응하는 부분에 형성되며, 3 개의 부분전극(15a)이 이러한 슬릿 사이에 형성된다.
- [0053] 각 화소 전극(4)에 상응하는 이러한 공통 전극(15)의 부분에 형성된 복수의 기다란 부분전극(15a) 각각의 폭은 서로 인접한 부분전극(15a) 사이의 갭(슬릿(16)의 폭(W_2)=제2의 폭)과 동일하도록 설정된다.
- [0054] 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4) 사이의 공통 전극(15)의 부분에 상응하는 영역에 위치하는 공통 전극(15)의 주변부의 양측 예지부(열 방향으로 길게 연장된 연장부분)는, 도 2에 도시된 바와 같이, 서로 인접한 화소 전극(4)의 양측 각 주변부에 대향하는 폭을 갖도록 형성된다.
- [0055] 각 슬릿(16)은 열 방향에서 화소 전극(4)의 길이와 거의 동일한 길이(본 실시예에서 도 1에 도시된 바와 같이 약간 긴)를 갖도록 형성된다. 도 3에 도시된 바와 같이, 동작 라인(12)을 사이에 둔 화소 전극(4)들 사이의 부분에 상응하는 공통 전극(15)의 영역에 위치하는, 슬릿(16)의 단부 사이의 공통 전극의 주변부(15c)(행 방향으로 길게 연장된 기다란 부분)의 폭에 대하여, 서로 인접한 화소 전극(4)의 양측 주변부와 겹쳐지도록 양측 예지부의 폭이 형성된다.
- [0056] 기관(1)의 외부를 향해 횡적으로 길게 연장된 단자 배치부는, 행 방향 및 열 방향 중 적어도 어느 한 방향의 일단의 예지부에서 기관(2)에 형성된다. 복수의 주사 라인(12) 및 신호 라인(13)은 단자 배치부에 배치 및 형성된 복수의 주사 라인 단자 및 신호 라인 단자와 전기적으로 연결된다. 공통 전극(15)은, 외부 주변부 중 하나 이상의 위치로부터 이어진 납 배선을 통해 단자 배치부에 형성된 공통 전극 단자와 전기적으로 연결된다.
- [0057] TFT(5)의 빛으로 인해 오작동 되는 것을 방지하는 복수의 광차단막(17)이 타측 기관(1)의 내면에 구비되어, 복수의 TFT(5)와 각각 대향한다. 또한, 적색, 녹색, 청색의 3 가지 색을 갖는 컬러 필터(18R, 18G, 18B)가 복수의 화소 전극(4) 및 공통 전극(15)으로 형성된 각 화소(화소 전극(4) 및 공통 전극(15)의 각 부분-전극(15a)의 측면 예지부 사이에서 발생하는 전계에 의해, 액정 분자의 정렬 상태가 제어되는 영역)에 각각 상응하기 위하여 구비된다. 동질성의 정렬막(19, 20)은, 컬러 필터(18R, 18G, 18B) 및 공통 전극(15)을 덮기 위하여 프레임형 실링재에 의해 둘러싸인 영역에서 기관(1, 2)의 내면측에 각각 구비된다. 공통 전극(15)의 각 부분전극(15a)의 길게 연장된 방향에 대하여, 5° 내지 15° 범위의 소정의 각에서 비스듬하게 교차하는 방향을 따라 반대로 마찰되는 상태에서, 이러한 정렬막(19, 20)에는 정렬 처리가 각각 가해진다. 정렬막 근처의, 액정층(3)의 액정 분자는 기관(1, 2)면에 평행하게 정렬되며, 장축이 상응하는 정렬막(19, 20)의 정렬 처리 방향으로 정렬된다.
- [0058] 비록 도시되지는 않았지만, 이러한 액정표시장치는, 한 쌍의 기관(1, 2)의 외부측에 각각 배치된 한 쌍의 편광판을 포함한다. 이러한 편광판 중에서, 하나의 편광판은 투과축이 정렬막(19, 20)의 정렬 처리와 평행하게 되도록 배치되며, 다른 편광판은 그 투과축이 상기 하나의 편광판의 투과축에 대하여 수직 또는 평행하도록 배치된다.
- [0059] 이러한 액정표시장치에서, 각 TFT(5)를 통해 복수의 화소 전극(4) 각각에 표시 신호가 인가될 때, 부분전극(15a) 사이의 부분에 상응하는 화소 전극(4) 및 공통 전극(15)의 각 부분전극(15a)의 예지부 사이에서 전계가 발생하고, 이러한 전계에 의해 기관(1, 2)면과 평행한 평면에서 액정 분자의 정렬 방향이 제어되어, 효과적인 표시를 실행한다.

- [0060] 이러한 액정표시장치에서는, 절연막(층간층)을 통해 화소 전극(4)을 덮기 위해 화소 전극(4)으로부터 이격된 액정층(3)상에 공통 전극(15)이 증착되며, 각 화소 전극(4)에 상응하는 각 영역과 일치하여 적어도 하나의 에지부(15d)가 형성되고, 기관(1,2)면과 평행하는 평면에서 액정 분자의 정렬 방향을 제어하는 전계가 화소 전극(4) 및 에지부(15d) 사이에 발생된다. 따라서, 화소 전극(4) 및 공통 전극(15) 사이의 부분을 제외하고 화소 전극(4)의 주변부에서 발생하는 전계는 액정층(3)에 대하여 차단된다. 그 결과, 화소 주변부의 정렬을 와해하지 않고 누광을 방지할 수 있다.
- [0061] 이러한 액정표시장치에서는, 화소 전극(4)과 대향하는 에지부(15d)를 형성하는 복수의 슬릿(16)이 복수의 화소 전극(4) 각각의 상응하는 각 영역과 일치하여 공통 전극(15)에 형성된다. 따라서, 일정한 강도를 갖는 전계가 화소 전극(4) 및 공통 전극(15)의 에지부(15d) 사이에 발생할 수 있으며, 그에 따라, 고품질의 영상을 표시할 수 있다.
- [0062] 또한, 액정표시장치에서는, 각 화소 전극 행을 따라 형성되며 각 행의 TFT(5)에 게이트 신호를 공급하는 복수의 주사 라인(12), 및 각 화소 전극 열을 따라 형성되며 각 열의 TFT(5)에 데이터 신호를 공급하는 복수의 신호 라인(13)이 기관(2)의 내면에 구비된다. 복수의 화소 전극(4), TFT(5), 주사 라인(12) 및 신호 라인(13)을 덮는 절연층(TFT(5)의 게이트 전극(6) 및 주사 라인(12)을 덮는 게이트 절연막(7)으로 형성된 라미네이트막, 및 화소 전극(4), TFT(5), 신호 라인(13)을 덮는 층간층 절연막(14))에, 주사 라인(12)을 사이에 두고 서로 인접한 화소 전극(4) 사이의 영역과 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4) 사이의 두 영역에 의해, 화소 전극의 행 방향 및 열 방향으로 길게 연장된 형태로 공통 전극(15)이 형성된다. 화소 전극(4)에 상응하는 공통 전극(15)의 일부는 간격을 두고 서로 평행하게 정렬된 복수의 부분전극(15a)으로 이루어지며, 액정 분자의 정렬 방향을 제어하는 전계가 화소 전극(4) 및 각 부분전극(15a)의 에지부(15d) 사이에 발생한다. 따라서, 주사 및 신호 라인(12,13)과 화소 전극(4)의 에지부 사이에 발생하는 전계는 공통 전극(15)에 의해 차단될 수 있고, 전계로 인한 각 화소 주변의 액정 분자의 정렬이 와해되는 것을 방지할 수 있다. 따라서, 서로 인접한 화소 사이의 누광이 제거되며, 우수한 품질의 영상을 표시할 수 있다.
- [0063] 즉, 액정표시장치에서, 공통 전극(15)은, 주사 라인(12)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역, 및 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역의 양측 영역에 상응하도록 구성된다.
- [0064] 간격을 두고 평행하게 정렬된 복수의 부분전극(15a)을 형성하는 복수의 슬릿(16)이 복수의 화소 전극(4)에 상응하는 전기전도성막의 일부에 구비된다. 따라서, 서로 인접한 화소 전극(4) 사이의 영역에 상응하는 공통 전극(15)의 부분(15b,15c)에 의해, 주사 라인(12) 및 화소 전극(4)의 에지부 사이에 발생하는 전계, 및 신호 라인(13) 및 화소 전극(4)의 에지부 사이에 발생하는 전계 모두를 차단하는 것이 가능하다.
- [0065] 따라서, 주사 라인(12) 및 화소 전극(4)의 에지부 사이에 발생하는 전계, 및 신호 라인(13) 및 화소 전극(4)의 에지부 사이에 발생하는 전계는 액정층(3)에 영향을 주지 않으며, 서로 인접한 화소 사이의 영역에서 액정 분자의 정렬이 와해되지 않는다. 따라서, 전체 화소 주변부에서 누광을 방지할 수 있다.
- [0066] 또한, 이러한 액정표시장치에 따른 공통 전극(15)은, 복수의 화소 전극(4)에 상응하는 부분에 구비되는 복수의 부분전극(15a)을 형성하는 복수의 슬릿(16)을 포함하는 도전성 막으로 형성된다. 따라서, 화소 전극(4)에 상응하는 복수의 부분전극(15a) 및 공통 전극(15)에서 서로 인접한 화소 전극(4) 사이의 영역에 상응하는 부분(15b,15c)은 동일한 전위를 갖으며, 공통 전극(15)의 각 부분전극(15a)의 에지부(15d)와 부분전극(15a) 사이의 부분에 상응하는 화소 전극(4)의 부분 사이에서, 일정한 강도를 갖는 전계가 발생할 수 있으며, 그에 따라, 화소의 전 영역에서 액정 분자의 정렬 방향을 일정하게 제어할 수 있다.
- [0067] 따라서, 액정표시장치에서, 그 사이에 주사 라인(12)을 두고 인접한 화소 사이의 부분 및 그 사이에 신호 라인(13)을 두고 인접한 화소 사이의 부분의 양쪽 부분에서 누광이 발생하지 않는다. 그에 따라, 각 화소 주위에 누광을 차단하기 위한 블랙 마스크가 제공될 필요가 없으며, 개구율이 증가되어, 높은 콘트라스트로 밝은 영상을 표시할 수 있다. 또한, 공통 전극(15)에 비교하여 기관층에 근접하여 화소 전극(4)이 배치되기 때문에, 각 TFT(5)의 소스 전극과 연결을 위해 관통홀 등이 제공될 필요가 없다. 따라서, 제조 공정이 단순해지며, 관통홀로 인한 개구율의 감소가 발생하지 않는다. 또한, 공통 전극(15)이 기관의 전체면과 전기적으로 연결된 상태에서 공통 전극(15)이 형성되기 때문에, 화소의 전체 영역에서 각 화소의 일정한 광투과 인자로 고품질의 영상이 표시될 수 있다.
- [0068] 또한, 이러한 액정표시장치에 따라, 복수의 화소 전극(4)이 소정의 전체 화소 영역에 상응하는 형태로 형성되기

때문에, 화소 전극(4)은 전체적으로 동일한 전위를 갖으며, 공통 전극(15)의 각 부분전극(15a)의 에지부 및 부분전극(15a) 사이의 부분에 상응하는 화소 전극(4)의 부분 사이에서 일정한 강도를 갖는 전계가 발생되며, 액정 분자의 정렬 방향이 화소의 전영역에서 일정하게 제어되고, 그에 따라, 고품질의 영상을 표시할 수 있다.

[0069] (제 2 실시예)

[0070] 도 5 및 6은 본 발명의 제 2 실시예를 도시한다. 도 5는 액정표시장치 일부를 도시하는 평면도이고, 도 6은 도 5의 라인VI-VI을 따라 절단한 단면도이다.

[0071] 본 실시예에 따른 액정표시장치에는, 화소 전극(4)들 사이의 영역에서 그 전체 길이에 상응하는 공통 전극(15)의 부분에, 저저항을 갖는 금속 전기전도성막으로 이루어진 공통 전극 라인(21)이 구비된다. 그 외의 구조는 제 1 실시예와 동일하다. 따라서, 제 1 실시예에서 설명된 동일한 부재에 대한 설명은 생략한다.

[0072] 각 공통 전극 라인(21)은, 주사 라인(12)을 사이에 두고 인접한 화소 전극(4)들 사이의 영역 및 신호 라인(13)을 사이에 두고 인접한 화소 전극(4)들 사이의 영역 중 하나에 상응하기 위하여, 주사 또는 신호 라인과 겹쳐지는 위치에서 주사 또는 신호 라인과 평행하는 층간층 절연막(14)에 형성된다. 실시예에서는, 공통 전극 라인이 신호 라인(13)을 사이에 두고 인접한 화소 전극(4)들 사이의 영역에 구비된다. 공통 전극 라인(21)은 화소 전극(4)의 배치 영역의 외부측에 공통으로 연결되며, 그 공통 연결 부분은 기판(2)의 단자 배치 부분에 형성된 공통 전극 단자에 연결된다.

[0073] 또한, 공통 전극(15)이 층간층 절연막(14)에 형성되어 공통 전극 라인(21)과 겹친다.

[0074] 본 실시예에 따른 이러한 액정표시장치에서는, 저저항을 갖는 금속 전기전도성막으로 형성된 공통 전극 라인(21)이 화소 전극(4)들 사이에 상응하는 공통 전극(15)의 부분에서 화소 전극들 사이의 영역 전체에 걸쳐 제공된다. 따라서, 행 방향 및 열 방향으로 배치된 복수 화소의 공통 전극(15)의 전위가 균일화될 수 있고, 그에 따라 균일한 휘도를 갖는 영상을 표시할 수 있다.

[0075] 이러한 실시예에서, 각 공통 전극 라인(21)은, 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역과 상응하는 공통 전극(15)의 부분에 제공된다. 그러나, 공통 전극 라인(21)은, 주사 라인(12)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역과 상응하는 부분에 제공될 수도 있다. 또한, 공통 전극 라인(21)이 공통 전극(15)에 제공될 수도 있다.

[0076] 제 1 및 제 2 실시예에서, 공통 전극(15)은, 복수의 화소 전극(4), 및 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역 및 주사 라인(12)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역의 양측 영역에 상응하도록 형성된다. 그러나, 공통 전극(15)은 복수의 화소 전극(4), 및 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역 및 주사 라인(12)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역 중 어느 하나의 영역에 상응하도록 형성될 수도 있다.

[0077] 이러한 경우, 주사 라인(12) 및 신호 라인(13) 중 적어도 하나, 그리고 화소 전극(4)의 에지부 사이에서 발생하는 전계는 공통 전극(15)에 의해 차단될 수 있으며, 그에 따라, 이러한 전계로 인해 인접한 화소들 사이의 영역에서 액정 분자의 정렬이 와해되는 것을 방지할 수 있다. 따라서, 서로 인접한 화소들 사이의 누광이 차단되며, 그에 따라, 우수한 품질의 영상을 표시할 수 있다.

[0078] 공통 전극(15)이 복수의 화소 전극(4), 및 신호 라인(13)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역 및 주사 라인(12)을 사이에 두고 서로 인접한 화소 전극(4)들 사이의 영역 중 어느 하나의 영역에 상응하도록 형성되는 경우, 각 화소행 또는 화소열에 따라 복수의 화소 전극(4) 및 화소 전극(4)들 사이의 영역에 상응하도록 형성된 전기전도성막의 공통 전극(15)을 형성하는 것으로 충분하다. 이때, 도전성 막은, 간격을 두고 평행하게 정렬된 복수의 부분전극(15a)을 형성하는 복수의 슬릿 또는 빗 형상의 기다란 노치부가 복수의 화소 전극(4)에 상응하는 부분에서 제공되는 복수의 부분전극 세그먼트, 및 공통으로 이러한 부분전극의 단부를 연결하는 연결부로 이루어진다.

[0079] (제 3 실시예)

[0080] 도 7, 8 및 9는 본 발명의 제 3 실시예를 도시한다. 도 7은 액정표시장치의 일부를 도시하는 평면도이고, 도 8은 도 7의 라인 VIII-VIII를 따라 절단한 단면도이며, 도 9는 도 7의 라인 IX-IX을 따라 절단한 단면도이다.

[0081] 본 실시예에 따른 액정표시장치에서는, 저저항을 갖는 금속 전기전도성막으로 형성된 공통 전극 라인이, 부분전극(15a)에 추가하여, 신호 라인(13)을 사이에 두고 인접한 화소 전극(4)들 사이에 위치한 영역, 및 주사 라인

(12)을 사이에 두고 인접한 화소 전극(4)들 사이에 제공되는 영역의 양측 영역 모두에 상응하도록 직방형 또는 격자형 패턴으로 형성된다. 다른 구성요소는 제 2 실시예와 동일하다.

- [0082] 따라서, 제 2 실시예와 동일한 부재에 대한 설명은 생략한다.
- [0083] 이러한 액정표시장치에서, 저저항을 갖는 금속 전기전도성막으로 이루어진 공통 전극 라인(121)이 층간층 절연막(14)에 형성된다. 격자-형상으로서 공통 전극 라인(121)은, 신호 라인(13)과 겹치는 위치에서 신호 라인(13)과 평행하게 길게 연장된 열 배선부(121a) 및 열 배선부(121a)에 전기적으로 연결된 행배선부(121b)를 포함한다. 행 배선부(121b)는 주사 라인(12)을 사이에 두고 인접한 화소 전극(4)들 사이의 주사 라인(12)과 겹치는 부분에서 주사 라인(12)과 평행하여 길게 연장된다. 즉, 격자형 공통 전극 라인(121)은, 열 배선부(121a) 및 행 배선부(121b)에 의해 화소 전극(4)의 4개 외부측을 모두 둘러싸도록 형성된다. 또한, TFT(5)에 상응하는 행 배선부(121b)의 일부는, 행 배선부(121b)의 다른 부분에 대하여 넓게 형성되어, TFT(5)의 상측을 덮는 광차단부(121c)를 형성한다.
- [0084] 공통 전극(15)은 층간층 절연막(14) 및 공통 전극 라인 또는 격자막(121)에 중첩되도록 형성된다.
- [0085] 또한 액정표시장치에서, 공통 전극(15)은 각 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬된 복수의 에지부(15d)가 형성된 투명 전기전도성막, 및 기관(2)의 절연막(14) 상에서 행 방향으로 길게 연장된 주사 라인(12) 및 열 방향으로 길게 연장된 신호 라인(13)을 모두를 따라 형성된 금속 전기전도성막으로 이루어진다.
- [0086] 액정표시장치에 따라, 주사 라인(12) 및 신호 라인(13)에 걸쳐 길게 연장된 공통 전극 라인(121)이 서로 인접한 화소 전극(4)들 사이의 영역과 상응하는 공통 전극(15)의 부분에 제공된다. 그에 따라, 행 및 열 방향으로 배치된 복수의 화소의 공통 전극(15)의 전위는 균일화될 수 있으며, 그에 따라, 균일한 휘도를 갖는 영상을 표시할 수 있다. 또한, 광차단부(121c)가 주사 라인(12)을 걸쳐 형성된 행 배선부(121b)에 형성되기 때문에, TFT(5) 반도체 층이 빛에 대하여 차단된다. 그에 따라, 광차단막은 대향하는 관찰측(도에서 상부 측)의 기관에 형성될 필요가 없으며, 그에 따라, 수리적인 개구율이 증가된다.
- [0087] **(제 4 실시예)**
- [0088] 도 10 및 11은 본 발명의 제 4 실시예를 도시한다. 도 10은 액정표시장치의 일부를 도시하는 평면도이고, 도 11은 도 10의 라인 XI-XI를 따라 절단한 단면도이다.
- [0089] 본 실시예에 따른 액정표시장치에서는, TFT(5)에 상응하는 영역을 제외하고, 신호 라인(13)을 사이에 두고 인접한 화소 전극(4)들 사이의 영역 및 주사 라인(12)을 사이에 두고 인접한 화소 전극(4)들 사이의 영역의 양측 영역에 상응하도록, 저저항을 갖는 금속 전기전도성막으로 형성된 공통 전극 라인 또는 층이 직방형 격자 패턴으로 형성되며, TFT(5)와 대향하는 대향 기관(1)의 영역에 차단막이 형성된다. 그 외의 구성은 제 3 실시예와 같다. 따라서, 제 3 실시예와 동일한 부재에 대한 설명은 생략한다.
- [0090] 이러한 액정표시장치에서, 저저항을 갖는 금속 전기전도성막으로 형성된 공통 전극 라인(221)은, 신호 라인(13)과 겹치는 부분에서 신호 라인(13)과 평행하게 연장되는 공통 배선부(221a)가 주사 라인(12)과 겹치는 부분에서 주사 라인(12)과 평행하게 연장되는 행 배선부(221b)와 연결되어, 층간층 절연막(14)에서 주사 라인(12)을 사이에 두고 인접한 화소 전극(4) 사이의 영역 및 신호 라인(13)을 사이에 두고 인접한 화소 전극(4) 사이의 영역의 양측 영역을 상응하는 형태가 되도록 형성된다. 즉, 이러한 공통 전극층(221)은, 열 배선부(221a) 및 행 배선부(221b)에 의해, 화소 전극(4)의 모든 4 개 외부측을 둘러싸도록 직방형 패턴으로 형성된다. TFT(5)에 상응하는 영역에서, 주사 라인(12)과 평행하게 형성된 공통 전극 라인(221)의 행 배선부(221b)에 넓은 부분(221c)이 형성되며, TFT(5)와 상응하는 이러한 넓은 부분(221c)의 일부에 개구(221d)가 형성된다.
- [0091] 공통 전극(15)의 투명 전기전도성막은, 행 배선부(221b)의 개구(221d)를 제외하고, 층간층 절연막(14) 및 공통 전극 라인(22)에 중첩되도록 형성된다. 따라서, 투명 전기전도성막 및 금속 전기전도성막으로 형성된 공통 전극(15)은 각 TFT(5)의 상측을 제외한 영역에 형성된다.
- [0092] 제 1 기관(2)과 대향하는 관찰측으로서 제 2 기관(1)의 내면상에, 각 TFT(5)에 상응하는 영역에 광차단막(217)이 구비된다.
- [0093] 상술한 바와 같이, 이러한 액정표시장치에서는, 공통 전극(15)이 투명 전기전도성막 및 금속 전기전도성막으로 형성된다. 여기서, 투명막은 절연막(14)을 통해 각 화소 전극(4)으로부터 이격된 액정층(3) 측에 화소 전극(4)에 상응하기 위하여 형성되며, 복수의 에지부가 화소에 상응하는 영역에서 간격을 두고 서로 평행하게 정렬되어 있으며, 그리고, 서로 인접한 화소 사이의 행 방향으로 길게 연장된 주사 라인(12) 및 TFT(5)에 상응하는 영역

에서 열 방향으로 길게 연장된 주사 라인(12)의 양쪽을 따라 금속막이 형성되어 이러한 주사 라인(12) 및 신호 라인(13)을 덮는다.

[0094] 또한, 광차단막(217)이 각 TFT(5)에 상응하는 영역에 배치된다.

[0095] 본 실시예의 액정표시장치에 따라, 저저항을 갖는 금속 전기전도성막으로 형성된 공통 전극 라인(221)이 주사 라인(12) 및 신호 라인(13)을 따라 서로 인접한 화소 전극(4)들 사이의 영역에 상응하는 공통 전극(15)의 부분에 제공된다. 따라서, 행 방향 및 열 방향에 배치된 복수의 공통 전극(15)의 전위를 균일하게 할 수 있으며, 그에 따라, 균일한 휘도의 영상을 표시할 수 있다. 또한, 투명 전기전도성막 및 금속 전기전도성막으로 형성된 공통 전극(15)이 TFT(5)의 상측을 제외한 영역에 형성되기 때문에, 공통 전극(15) 및 TFT(5) 사이에 형성된 포유 용량을 감소시킬 수 있으며, 액정표시장치의 구동기에 가해지는 로드를 감소된다. 부가하여, 기관(1)의 빛에 대하여 단지 TFT(5)만을 차단하는 광차단막(217)을 형성함으로써 충분히 각 화소의 개구율을 증가시킬 수 있다.

[0096] **(제 5 실시예)**

[0097] 제 1 내지 4 실시예와 관련하여, 각 슬릿이 신호 라인(13)에 평행하고 각 부분-전극(15a)은 공통 전극(15)의 신호 라인(13)과 평행하게 제공되는 예가 제공된다. 그러나, 본 발명에 따른 액정표시장치는 그러한 예에만 국한되지 않으며, 각 슬릿은 도 12에 도시된 바와 같이, 신호 라인(13)에 대하여 경사져 형성될 수 있다.

[0098] 도 12는 본 발명의 제 5 실시예에 따른 액정표시장치를 도시하며, 본 실시예에 상응하는 공통 전극의 구조를 제 3 실시예에 적용할 때 제 1 기관에 형성된 공통 전극의 평면 형태를 도시하는 평면도이다. 이러한 제 5 실시예는 공통 전극의 형태만이 제 3 실시예와는 차이가 있으며, 다른 구조는 동일하다. 따라서, 동일한 부재에 대한 설명은 생략한다.

[0099] 도 12에 도시된 바와 같이, 공통 전극(15)에 형성된 각 슬릿(116)이 정렬막(20)의 정렬처리방향(20a)에 경사져 교차하는 방향으로 형성되어, 기관(2)의 내면에 형성된 정렬막(20)에 의해 정렬된 액정 분자의 장축 방향으로 경사져 교차(수직 및 평행 상태를 제외)하는 각 에지부(115d)를 형성한다. 즉, 이러한 실시예에 상응하는 공통 전극(15)에는, 간격을 두고 서로 평행하게 정렬된 복수의 에지부(115d)를 형성하는 슬릿(116)이 구비되며, 이러한 슬릿은 V-형 형태로 절곡되어, 기관(2)의 내면에 형성된 정렬막(20)의 화살표에 의해 지시되는 정렬처리방향(20a)에 경사져 교차(수직 및 평행 상태를 제외)하는 에지부를 형성한다.

[0100] 이러한 구성에 따라, 한 쌍의 기관 사이에 초기에 정렬된 액정분자에 대하여, 화소 전극(4) 및 공통 전극(15) 사이에 전압이 인가될 때, 경사진 방향에서의 전계가 액정분자에 가해진다. 따라서, 액정분자의 행동을 균일하게 할 수 있고, 그에 따라, 각 화소에서 액정분자의 정렬이 와해되는 것을 방지할 수 있다.

[0101] 주목할 점은, 이러한 공통 전극의 형태가 제 1 실시예 내지 제 4 실시예 각각에 적용될 수 있다는 것이다.

[0102] **(제 6 실시예)**

[0103] 복수의 화소 전극 각각이 소정의 전체 화소 영역에 상응하는 직방형 화소 영역에 형성되기는 하지만, 제 1 실시예 내지 제 5 실시예에서, 화소 전극(4)은 공통 전극(15)의 복수의 부분전극(15a) 사이의 영역에 상응하는 빗-형상으로 형성될 수도 있다.

[0104] 제 6 실시예에서 화소 전극은 빗-형상으로 형성되며, 도 13은 이러한 화소 전극의 구성을 제 3 실시예에 따른 액정표시장치에 적용한 것을 도시한다. 제 6 실시예는 화소 전극의 형태에서만 제 3 실시예와 차이가 있으며 다른 구성은 동일하다. 따라서, 동일한 참조 부호에 대한 설명은 생략한다.

[0105] 도 13에 도시된 바와 같이, 이러한 실시예에 따른 화소 전극의 구성에서는, 복수의 개구부(104b)가 각 화소 전극(104)에 형성되어 복수의 화소 부분전극(104a)을 형성한다. 이러한 개구부(104b)는, 공통 전극(15)에서 이러한 화소 전극(104)에 상응하는 영역에 형성되는 슬릿(16)과 상응하는 형태를 갖으며, 공통 전극(15)의 부분전극(15a)과 겹치는 영역에 형성된다.

[0106] 또한, 부분전극(104a)들 사이의 영역에 상응하는 이러한 화소 전극(104)의 일부의 양쪽 측면 에지를 형성하여, 공통 전극(15)에서 서로 인접한 부분전극(15a)의 에지부와 각각 대향하는 폭을 갖도록 하는 것이 바람직하다.

[0107] 이러한 공통 전극의 형태 역시 제 1 내지 제 5 실시예 각각에 적용될 수 있다.

[0108] 이러한 화소 전극(104)에 따라, 공통 전극(15)과 겹치는 전체 영역이 감소되기 때문에, 화소 전극(104) 및 공통 전극(15) 사이에 발생하는 포유용량을 감소시킬 수 있으며, 그에 따라, 액정표시장치의 구동기에 가해지는 로드

가 감소된다.

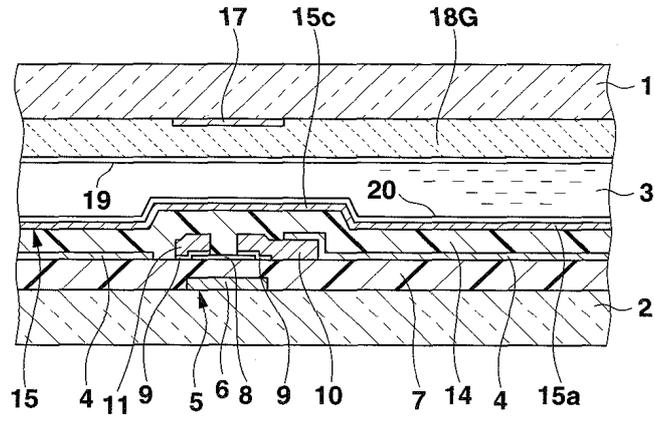
산업상 이용 가능성

- [0109] 본 발명에 따라 각 화소의 주변부의 누광을 제거하고, 콘트라스트 및 개구율을 증가하여 밝은 영상을 표시하는 액정표시장치가 제공된다.
- [0110] 본 발명의 요지 및 범위를 벗어나지 않는 범위에서, 다양한 변형과 변경이 가능하다. 상기 실시예는 본 발명을 제시하려는 것일 뿐 본 발명이 이러한 실시예에만 국한되는 것은 아니다. 본 발명의 범위는 실시예보다는 첨부된 청구에 의해 제시되며, 청구의 범위 및 그와 동일한 의미 내에서 만들어진 다양한 변형은 모두 본 발명의 영역에 속하는 것으로 간주한다.

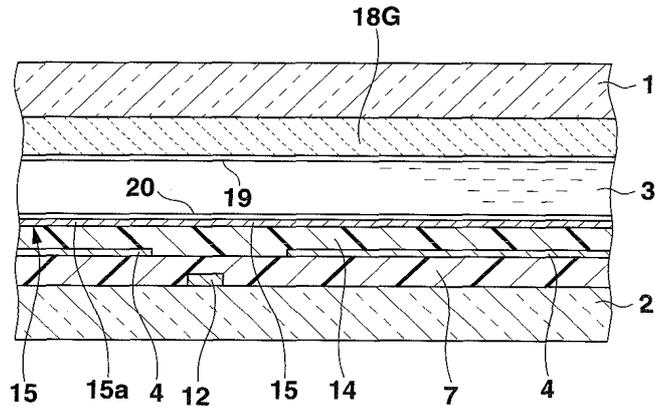
도면의 간단한 설명

- [0028] 본 발명의 바람직한 실시예가 첨부된 도면을 참조하여 설명된다. 다양한 종류의 바람직한 기술적 제한이 이하 설명되는 실시예에 추가되기는 하지만, 이러한 실시예로 인하여 본 발명의 범위를 이하 설명될 실시예 및 도면에 국한하는 것은 아니다.
- [0029] 도 1은 본 발명의 제 1 실시예에 따른 액정표시장치의 일부를 도시하는 평면도이고;
- [0030] 도 2는 도 1의 II-II을 따라 절단한 단면도이며;
- [0031] 도 3은 도 1의 III-III을 따라 절단한 단면도이고;
- [0032] 도 4은 도 1의 IV-IV을 따라 절단한 단면도이며;
- [0033] 도 5은 본 발명의 제 2 실시예에 따른 액정표시장치의 일부를 도시하는 평면도이고;
- [0034] 도 6는 도 5의 VI-VI을 따라 절단한 단면도이며;
- [0035] 도 7은 본 발명의 제 3 실시예에 따른 액정표시장치의 일부를 도시하는 평면도이고;
- [0036] 도 8는 도 7의 VIII-VIII을 따라 절단한 단면도이며;
- [0037] 도 9는 도 7의 IX-IX을 따라 절단한 단면도이며;
- [0038] 도 10은 본 발명의 제 4 실시예에 따른 액정표시장치의 일부를 도시하는 평면도이고;
- [0039] 도 11은 도 10의 XI-XI을 따라 절단한 단면도이며;
- [0040] 도 12는 본 발명의 제 5 실시예에 따른 액정표시장치의 일부를 도시하는 평면도이며; 그리고,
- [0041] 도 13는 본 발명의 제 6 실시예에 따른 액정표시장치의 일부를 도시하는 평면도이다.

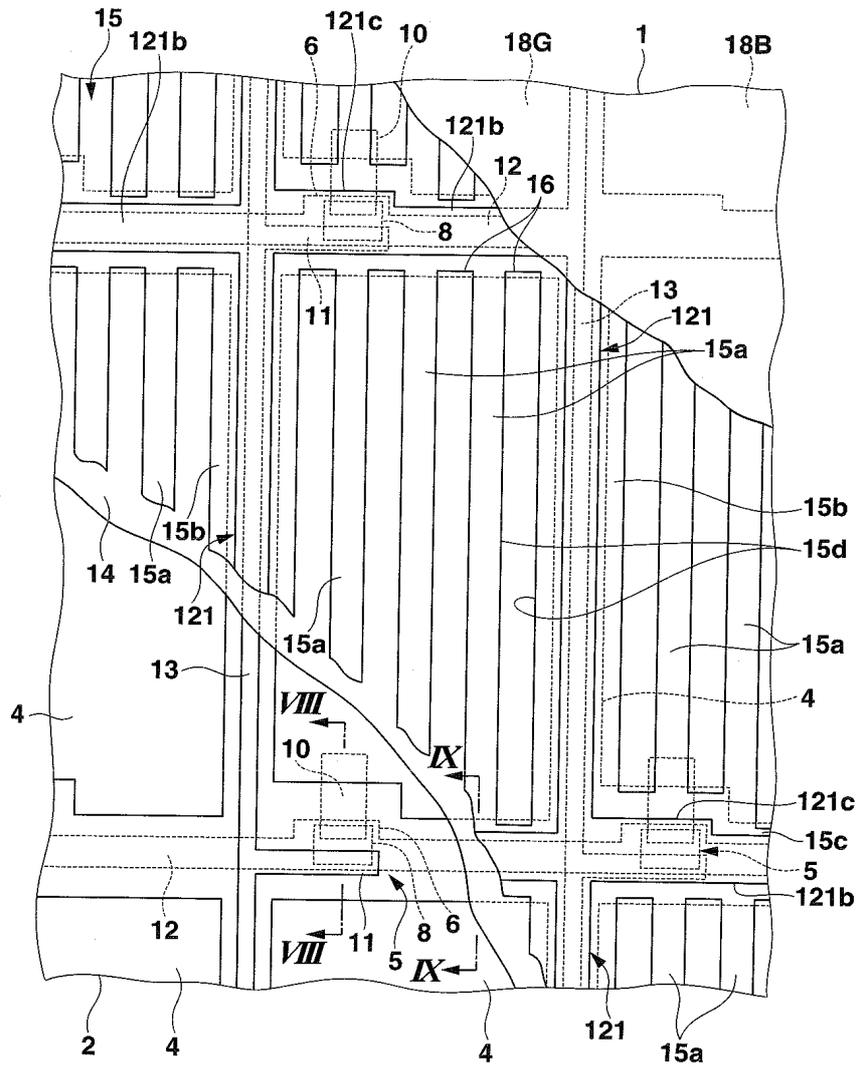
도면3



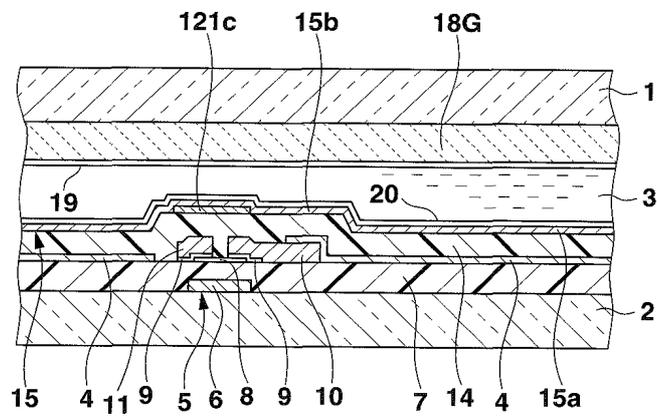
도면4



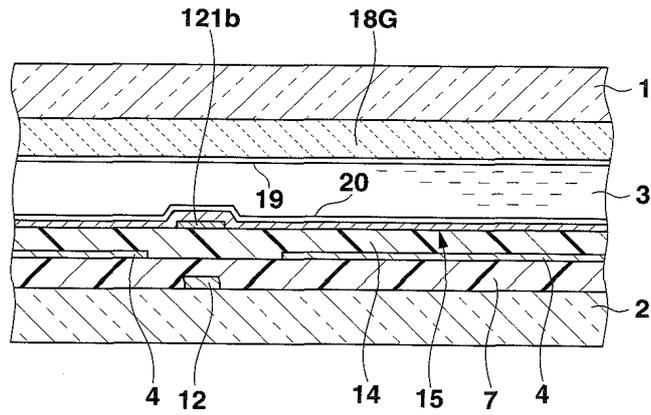
도면7



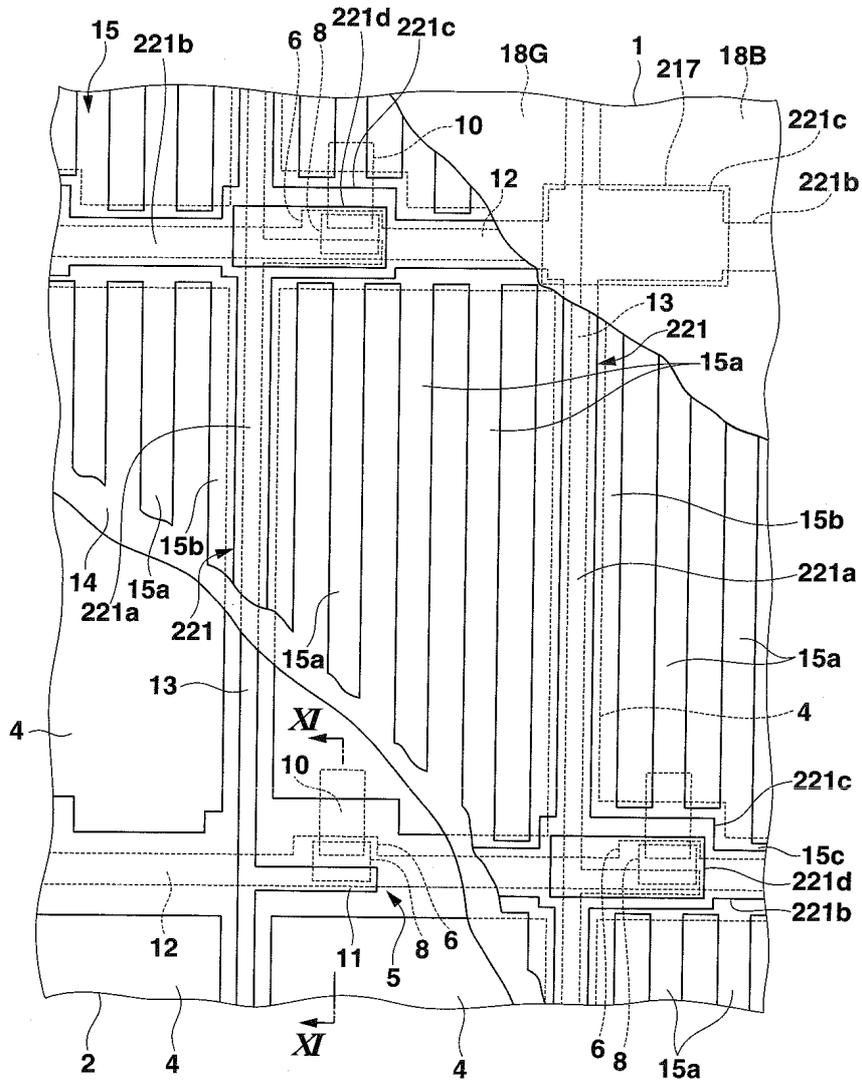
도면8



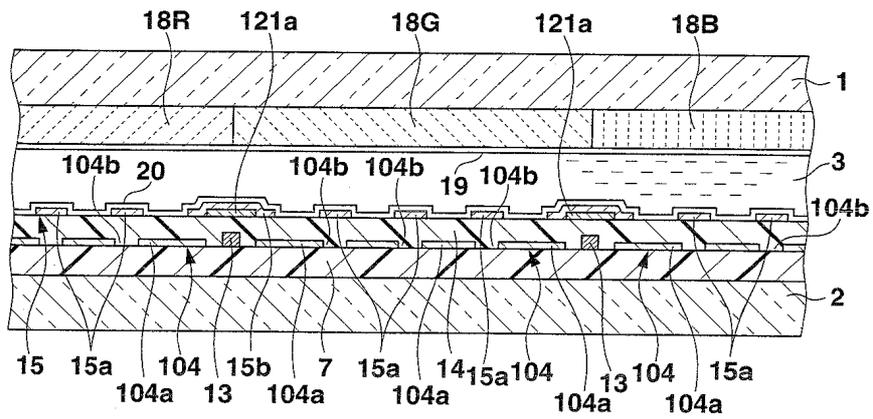
도면9



도면10



도면13



专利名称(译)	一种使用平行于基板表面的电场的液晶显示装置		
公开(公告)号	KR100965979B1	公开(公告)日	2010-06-24
申请号	KR1020087004012	申请日	2006-04-25
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	SHIMOMAKI SHINICHI		
发明人	SHIMOMAKI, SHINICHI		
IPC分类号	G02F1/1343 G02F1/1337		
CPC分类号	G02F1/134363		
代理人(译)	KIM JONG MUN 孙某EUN JIN		
优先权	2006022438 2006-01-31 JP		
其他公开文献	KR1020080038165A		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括插入在第一和第二基板之间的液晶层，其中液晶分子在一个方向上与基板表面平行排列。在第一基板上方的行和列方向上布置多个薄膜晶体管。像素电极设置在第一基板上并电连接到薄膜晶体管。在基板和液晶层之间的第一基板上形成公共电极，使得通过绝缘膜对应于像素电极的电场控制液晶分子在与基板表面平行的平面中相对于像素电极的排列方向它发生。

