



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년10월22일
(11) 등록번호 10-0864926
(24) 등록일자 2008년10월16일

(51) Int. Cl.

G02F 1/133 (2006.01) G02F 1/1345 (2006.01)

(21) 출원번호 10-2007-0046120

(22) 출원일자 2007년05월11일

심사청구일자 2007년06월27일

(56) 선행기술조사문헌

KR1020040100756 A

KR1020000065858 A

KR1020070037107 A

KR1020020010313 A

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

민웅기

대구 북구 동천동 891번지 동화골든빌 103동 120 5호

최병진

경북 구미시 고아읍 원호리 455번지 원호점보타운 103동 1401호

(뒷면에 계속)

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 9 항

심사관 : 김범수

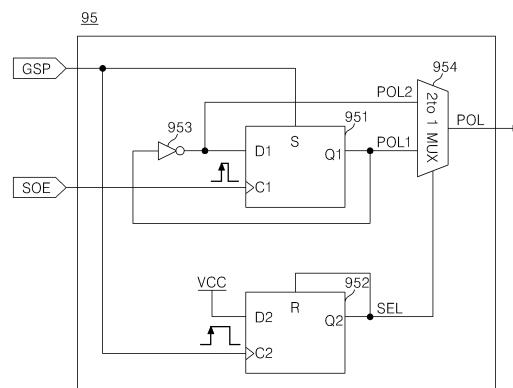
(54) 액정표시장치

(57) 요약

본 발명은 콘트롤 PCB를 간소화하도록 한 액정표시장치에 관한 것이다.

이 액정표시장치는 제1 및 제2 데이터라인군과, 상기 데이터라인군들과 분리된 LOG 배선들을 포함한 액정표시패널; 타이밍 제어신호에 따라 동작하여 디지털 비디오 데이터를 데이터전압으로 변환하여 상기 제1 데이터라인군에 공급하는 제1 IC 그룹; 상기 제1 IC 그룹의 IC 들이 접속된 제1 소스 PCB; 상기 제1 소스 PCB와 상기 LOG 배선들을 경유하여 상기 타이밍 제어신호와 디지털 비디오 데이터를 공급받고 상기 타이밍 제어신호에 따라 동작하여 상기 디지털 비디오 데이터를 상기 데이터전압으로 변환하여 상기 제2 데이터라인군에 공급하는 제2 IC 그룹; 상기 제2 IC 그룹의 IC들이 접속된 제2 소스 PCB; 상기 타이밍 제어신호와 상기 디지털 비디오 데이터를 싱글 출력포트를 통해 출력하는 타이밍 콘트롤러; 상기 타이밍 콘트롤러가 실장되는 콘트롤 PCB; 및 상기 콘트롤 PCB와 상기 제1 소스 PCB에 접속되어 상기 타이밍 콘트롤러의 싱글포트를 통해 출력되는 상기 타이밍 제어신호와 상기 디지털 비디오 데이터를 상기 제1 소스 PCB에 전송하는 연결부를 구비하고; 상기 제1 및 제2 IC 그룹의 IC들 각각에는, 상기 타이밍 제어신호 중 일부를 이용하여 상기 데이터전압의 극성을 제어하기 위한 신호를 생성하는 POL 생성회로가 내장된다.

대표도 - 도11



(72) 발명자

장수혁

대구 북구 동천동 영남2차타운 103동 902호

송홍성

경북 구미시 구평동 474-7 부영아파트 803동 706호

특허청구의 범위

청구항 1

제1 및 제2 데이터라인군과, 상기 데이터라인군들과 분리된 LOG 배선들을 포함한 액정표시패널;

타이밍 제어신호에 따라 동작하여 디지털 비디오 데이터를 데이터전압으로 변환하여 상기 제1 데이터라인군에 공급하는 제1 IC 그룹;

상기 제1 IC 그룹의 IC 들이 접속된 제1 소스 PCB;

상기 제1 소스 PCB와 상기 LOG 배선들을 경유하여 상기 타이밍 제어신호와 디지털 비디오 데이터를 공급받고 상기 타이밍 제어신호에 따라 동작하여 상기 디지털 비디오 데이터를 상기 데이터전압으로 변환하여 상기 제2 데이터라인군에 공급하는 제2 IC 그룹;

상기 제2 IC 그룹의 IC들이 접속된 제2 소스 PCB;

상기 타이밍 제어신호와 상기 디지털 비디오 데이터를 싱글 출력포트를 통해 출력하는 타이밍 콘트롤러;

상기 타이밍 콘트롤러가 실장되는 콘트롤 PCB; 및

상기 콘트롤 PCB와 상기 제1 소스 PCB에 접속되어 상기 타이밍 콘트롤러의 싱글포트를 통해 출력되는 상기 타이밍 제어신호와 상기 디지털 비디오 데이터를 상기 제1 소스 PCB에 전송하는 연결부를 구비하고;

상기 제1 및 제2 IC 그룹의 IC들 각각에는, 상기 타이밍 제어신호 중 일부를 이용하여 상기 데이터전압의 극성을 제어하기 위한 신호를 생성하는 POL 생성회로가 내장되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 POL 생성회로는,

한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스와, 상기 디지털 비디오 데이터의 출력을 지시하는 소스 출력인에이블신호를 이용하여 상기 극성제어신호를 생성하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 POL 생성회로는,

상기 소스 출력인에이블신호를 입력 클럭으로 이용하며, 1 수평기간마다 발생하는 상기 소스 출력인에이블신호 라이징 에지를 기준으로 논리상태가 반전되는 제1 극성제어신호를 생성하는 제1 D-플립플롭;

상기 게이트 스타트 펄스를 입력 클럭으로 이용하며, 1 수직기간마다 발생하는 상기 게이트 스타트 펄스 라이징 에지를 기준으로 논리상태가 반전되는 선택신호를 생성하는 제2 D-플립플롭; 및

상기 제1 극성제어신호 및 상기 제1 극성제어신호와 반대의 논리값을 갖는 제2 극성제어신호를 입력받고 상기 선택신호에 응답하여 상기 1 수직기간을 주기로 상기 제1 및 제2 극성제어신호를 교번적으로 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 D-플립플롭의 비반전 출력단자와 입력단자는 인버터를 사이에 두고 서로 전기적으로 접속되며;

상기 인버터는, 상기 제1 D-플립플롭의 비반전 출력단자로부터 피드백되는 상기 제1 극성제어신호를 입력받아 상기 제2 극성제어신호를 출력하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 콘트롤 PCB는,

상기 액정표시패널의 구동에 필요한 구동전압을 발생하기 위한 전원발생회로를 더 구비하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 및 제2 IC 그룹의 IC들 각각은,

상기 타이밍 제어신호, 상기 디지털 비디오 데이터, 및 상기 구동전압을 전송하기 위한 더미 배선이 형성된 COF(Chip on film) 및 TCP(Tape Carrier Package) 중 어느 하나에 실장되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 타이밍 콘트롤러는,

입력 주파수로 입력되는 입력 디지털 비디오 데이터를 기수 화소 데이터와 우수 화소 데이터로 분리하여 그 데이터들을 상기 입력 주파수의 1/2 주파수로 출력하는 2 포트 확장부; 및

상기 2 포트 확장부로부터의 데이터들을 변조하여 상기 싱글 출력포트를 통해 출력되는 상기 디지털 비디오 데이터의 스윙폭을 줄이고 상기 입력 주파수 대비 2배 높은 주파수로 상기 디지털 비디오 데이터를 출력하는 데이터 변조부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 데이터 변조부는,

mini LVDS(low-voltage differential signaling) 방식과 RSDS(Reduced Swing Differential Signaling) 방식 중 어느 하나로 상기 디지털 비디오 데이터를 변조하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 및 제2 IC 그룹의 IC들 각각은,

상기 변조된 디지털 비디오 데이터를 복원하는 데이터 복원부를 구비하는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<30> 본 발명은 액정표시장치에 관한 것으로, 특히 콘트롤 인쇄회로기판(Printed Circuit Board 이하 "PCB"라 함)를 간소화하도록 한 액정표시장치에 관한 것이다.

<31> 액정표시장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시한다. 액티브 매트릭스(Active Matrix) 타입의 액정표시장치는 도 1과 같이 액정셀(Clc)마다 형성된 박막트랜지스터(Thin Film Transistor 이하 "TFT"라 함)를 이용하여 액정셀들에 공급되는 데이터전압을 스위칭하여 데이터를 능동적으로 제어하므로 동화상의 표시품질을 높일 수 있다. 도 1에 있어서, 도면부호 "Cst"는 액정셀(Clc)에 충전된 데이터전압을 유지하기 위한 스토리지 커패시터(Storage Capacitor, Cst), 'DL'은 데이터전압이 공급되는 데이터라인, 그리고

'GL'은 스캔전압이 공급되는 게이트라인을 각각 의미한다.

- <32> 액정표시장치는 최근의 텔레비전이나 모니터가 대화면화되면서 소형뿐만 아니라 중대형 모델의 개발이 진행되고 있다. 이러한 액정표시장치는 도 2와 같이 콘트롤 PCB(20), 소스 PCB(22), 소스 PCB(22)와 콘트롤 PCB(20)에 연결된 케이블(21), 소스 PCB(22)와 액정표시패널(25)에 연결된 다수의 소스 COF(Chip on film : 24)를 구비한다.
- <33> 소스 COF(24)는 소스 PCB(22)와 액정표시패널(25)의 데이터패드들에 전기적으로 접속된다. 이 소스 COF(24)에는 데이터 집적회로(Integrated Circuit 이하 "IC"라 함)(23)가 실장된다.
- <34> 소스 PCB(22)에는 콘트롤 PCB(20)로부터의 디지털 비디오 데이터들과 타이밍 제어신호들을 전송하기 위한 신호 배선들이 형성된다.
- <35> 콘트롤 PCB(20)에는 제어회로와 데이터 전송회로 등이 실장된다. 이 콘트롤 PCB(20)는 소스 PCB(22)의 데이터 IC(23)에 데이터를 공급하고 데이터 IC(23)의 동작을 제어하기 위한 타이밍 제어신호들을 케이블(21)을 통해 소스 PCB(22)에 공급한다.
- <36> 도 2와 같은 액정표시장치에서 액정표시패널(25)이 커지게 되면 그 만큼 데이터라인들과 소스 COF들(24)이 많아지고 그 결과, 소스 PCB(22)도 커지게 된다. 이 경우에, 소스 PCB(22)와 소스 COF(24)의 정렬(align)이 어렵게 된다. 소스 PCB(22)가 커지면 기존 SMT(Surface Mount Technology) 장비와 같은 자동화 실장장치는 상대적으로 작은 크기의 소스 PCB(22)를 기준으로 설계되었기 때문에 큰 소스 PCB(22)를 다룰 수 없다. 또한, 액정표시장치가 대형화될 수록 메모리와 같은 회로소자들이 많아지고 출력핀수가 증가함으로써 콘트롤 PCB(20) 제작시 단가가 상승하는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <37> 따라서, 본 발명의 목적은 종래 기술의 문제점들을 해결하고자 안출된 발명으로써, 소스 PCB를 분할하고 콘트롤 PCB의 크기와 출력핀 수를 줄이도록 한 액정표시장치를 제공하는 데 있다.
- <38> 본 발명의 다른 목적은 분할된 소스 PCB들간의 신호 전송을 위한 전송라인 수를 저감하도록 한 액정표시장치를 제공하는 데 있다.

발명의 구성 및 작용

- <39> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 액정표시장치는 제1 및 제2 데이터라인군과, 상기 데이터라인군들과 분리된 LOG 배선들을 포함한 액정표시패널; 타이밍 제어신호에 따라 동작하여 디지털 비디오 데이터를 데이터전압으로 변환하여 상기 제1 데이터라인군에 공급하는 제1 IC 그룹; 상기 제1 IC 그룹의 IC 들이 접속된 제1 소스 PCB; 상기 제1 소스 PCB와 상기 LOG 배선들을 경유하여 상기 타이밍 제어신호와 디지털 비디오 데이터를 공급받고 상기 타이밍 제어신호에 따라 동작하여 상기 디지털 비디오 데이터를 상기 데이터전압으로 변환하여 상기 제2 데이터라인군에 공급하는 제2 IC 그룹; 상기 제2 IC 그룹의 IC들이 접속된 제2 소스 PCB; 상기 타이밍 제어신호와 상기 디지털 비디오 데이터를 싱글 출력포트를 통해 출력하는 타이밍 콘트롤러; 상기 타이밍 콘트롤러가 실장되는 콘트롤 PCB; 및 상기 콘트롤 PCB와 상기 제1 소스 PCB에 접속되어 상기 타이밍 콘트롤러의 싱글포트를 통해 출력되는 상기 타이밍 제어신호와 상기 디지털 비디오 데이터를 상기 제1 소스 PCB에 전송하는 연결부를 구비하고; 상기 제1 및 제2 IC 그룹의 IC들 각각에는, 상기 타이밍 제어신호 중 일부를 이용하여 상기 데이터전압의 극성을 제어하기 위한 신호를 생성하는 POL 생성회로가 내장된다.
- <40> 상기 POL 생성회로는, 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시하는 게이트 스타트 펄스와, 상기 디지털 비디오 데이터의 출력을 지시하는 소스 출력인에이블신호를 이용하여 상기 극성 제어신호를 생성한다.
- <41> 상기 POL 생성회로는, 상기 소스 출력인에이블신호를 입력 클럭으로 이용하며, 1 수평기간마다 발생하는 상기 소스 출력인에이블신호 라이징 에지를 기준으로 논리상태가 반전되는 제1 극성제어신호를 생성하는 제1 D-플립플롭; 상기 게이트 스타트 펄스를 입력 클럭으로 이용하며, 1 수직기간마다 발생하는 상기 게이트 스타트 펄스 라이징 에지를 기준으로 논리상태가 반전되는 선택신호를 생성하는 제2 D-플립플롭; 및 상기 제1 극성제어신호 및 상기 제1 극성제어신호와 반대의 논리값을 갖는 제2 극성제어신호를 입력받고 상기 선택신호에 응답하여 상기 1 수직기간을 주기로 상기 제1 및 제2 극성제어신호를 교번적으로 출력하는 멀티플렉서를 구비한다.
- <42> 상기 제1 D-플립플롭의 비반전 출력단자와 입력단자는 인버터를 사이에 두고 서로 전기적으로 접속되며; 상기

인버터는, 상기 제1 D-플립플롭의 비반전 출력단자로부터 피드백되는 상기 제1 극성제어신호를 입력받아 상기 제2 극성제어신호를 출력한다.

- <43> 상기 콘트롤 PCB는, 상기 액정표시패널의 구동에 필요한 구동전압을 발생하기 위한 전원발생회로를 더 구비한다.
- <44> 상기 제1 및 제2 IC 그룹의 IC들 각각은, 상기 타이밍 제어신호, 상기 디지털 비디오 데이터, 및 상기 구동전압을 전송하기 위한 더미 배선이 형성된 COF(Chip on film) 및 TCP(Tape Carrier Package) 중 어느 하나에 실장된다.
- <45> 상기 타이밍 콘트롤러는, 입력 주파수로 입력되는 입력 디지털 비디오 데이터를 기수 화소 데이터와 우수 화소 데이터로 분리하여 그 데이터들을 상기 입력 주파수의 1/2 주파수로 출력하는 2 포트 확장부; 및 상기 2 포트 확장부로부터의 데이터들을 변조하여 상기 싱글 출력포트를 통해 출력되는 상기 디지털 비디오 데이터의 스윙폭을 줄이고 상기 입력 주파수 대비 2배 높은 주파수로 상기 디지털 비디오 데이터를 출력하는 데이터 변조부를 구비한다.
- <46> 상기 데이터 변조부는, mini LVDS(low-voltage differential signaling) 방식과 RSDS(Reduced Swing Differential Signaling) 방식 중 어느 하나로 상기 디지털 비디오 데이터를 변조한다.
- <47> 상기 제1 및 제2 IC 그룹의 IC들 각각은, 상기 변조된 디지털 비디오 데이터를 복원하는 데이터 복원부를 구비한다.
- <48> 이하, 도 3 내지 도 16을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <49> 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(30), 타이밍 콘트롤러(31), 데이터 구동회로(32), 및 게이트 구동회로(33)를 구비한다.
- <50> 액정표시패널(30)은 두 장의 유리기관 사이에 액정층이 형성된다. 이 액정표시패널(30)은 m 개의 데이터라인들(D1 내지 Dm)과 n 개의 게이트라인들(G1 내지 Gn)이 교차 구조에 의해 매트릭스 형태로 배치된 m×n 개의 액정셀들(Clc)을 포함한다.
- <51> 액정표시패널(30)의 하부 유리기관에는 데이터라인들(D1 내지 Dm), 게이트라인들(G1 내지 Gn), TFT들, TFT에 접속된 액정셀(Clc)의 화소전극들(1), 및 스토리지 커패시터(Cst) 등이 형성된다. 이 액정표시패널(30)의 하부 유리기관에는 후술하는 소스 PCB들 사이에서 디지털 비디오 데이터, 타이밍 제어신호, 구동전압 등을 전송하는 라인 온 글라스(Lines On Glass 이하, "LOG"라 함) 배선들이 형성된다.
- <52> 액정표시패널(30)의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성된다. 액정표시패널(30)의 상부 유리기관과 하부 유리기관 상에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- <53> 타이밍 콘트롤러(31)는 수직/수평 동기신호, 데이터인에이블, 클럭신호 등의 타이밍신호를 입력받아 데이터 구동회로(32)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호와 게이트 구동회로(33)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호들을 발생한다. 게이트 타이밍 제어신호들은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE) 등의 게이트 타이밍 제어신호들을 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시한다. 게이트 쉬프트 클럭신호(GSC)는 게이트 구동회로(33) 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생된다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(33)의 출력을 지시한다. 데이터 타이밍 제어신호들은 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE) 등을 포함한 데이터 타이밍 제어신호들을 포함한다. 소스 샘플링 클럭(SSC)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(32) 내에서 데이터의 래치동작을 지시한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(32)의 출력을 지시한다. 또한, 타이밍 콘트롤러(31)는 디지털 비디오 데이터를 기수 화소 데이터들(RGBodd)과 우수 화소 데이터들(RGBeven)로 분리하고 그 데이터들을 데이터 구동회로(32)에 공급한다. 데이터의 전송경로 상에서 EMI와 데이

터전압의 스윙폭을 줄이기 위하여, 타이밍 콘트롤러(31)는 데이터들(RGBodd, RGBeven)을 mini LVDS(low-voltage differential signaling) 방식 또는 RSDS(Reduced Swing Differential Signaling) 방식으로 변조하여 데이터 구동회로(32)에 공급한다.

<54> 데이터 구동회로(32)는 타이밍 콘트롤러(31)로부터의 게이트 스타트 펄스(GSP)와 소스 출력 인에이블신호(SOE)를 이용하여 극성제어신호(Polarity : POL)를 발생한다. 극성제어신호(POL)는 액정표시패널(30)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시한다. 데이터 구동회로(32)는 타이밍 콘트롤러(31)의 제어 하에 디지털 비디오 데이터(RGBodd, RGBeven)를 래치한다. 그리고 데이터 구동회로(32)는 디지털 비디오 데이터를 극성제어신호(POL)에 따라 아날로그 정극성/부극성 감마전압으로 변환하여 정극성/부극성 아날로그 데이터전압을 발생하고 그 데이터전압을 데이터라인들(D1 내지 Dm)에 공급한다.

<55> 게이트 구동회로(33)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1 내지 Gn) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 IC들로 구성된다. 게이트 구동회로(33)는 스캔펄스들을 순차적으로 출력한다. 이러한 게이트 구동회로(33)의 IC들은 COF 또는 TCP(Tape Carrier Package)에 실장되어 ACF(anisotropic conductive film)로 액정표시패널(30)의 하부 유리기판에 형성된 게이트 패드들에 접속된다. 또한, 게이트 구동회로(33)의 IC는 칩온글래스(Chip On Glass) 방식으로 액정표시패널(30)의 하부 유리기판 상에 직접 접착될 수도 있다. 한편, 게이트 구동회로(33)는 게이트 인 패널(Gate In Panel) 공정을 이용하여 화소 어레이에 형성된 데이터라인(D1 내지 Dm), 게이트라인(G1 내지 Gn) 및 TFT들과 동시에 액정표시패널(30)의 하부 유리기판 상에 직접 형성될 수 있다. 이러한, 게이트 구동회로(33)는 액정표시패널(30)의 대형화 추세에 부합되도록 액정표시패널(30)의 좌우 양측에 배치된다. 이는 긴 게이트라인을 통해 스캔펄스를 공급하는 대형 액정표시패널(30)에서 스캔펄스가 RC 지연에 의해 왜곡되는 것을 방지하기 위함이다.

<56> 도 4는 도 3에 도시된 액정표시패널(30), 데이터 구동회로(32) 및 타이밍 콘트롤러(31)의 조립상태를 나타내는 도면이다. 도 5는 소스 COF에 형성된 더미 배선들과 액정표시패널(30)의 기판 상에 형성된 LOG 배선들을 나타내는 도면이다.

<57> 도 4 및 도 5를 참조하면, 데이터 구동회로(32)는 다수의 제1 및 제2 데이터 IC들(32a, 32b)을 포함한다.

<58> 다수의 데이터 IC들(32a, 32b)은 소스 COF(42)에 각각 실장된다. 소스 COF(42)는 소스 TCP(Tape Carrier Package)로 대신될 수 있다. 소스 COF(42)들은 두 개로 분할된 제1 및 제2 소스 PCB들(41A, 41B)에 나누어 연결된다. 소스 COF들(42)의 입력단자들은 제1 및 제2 소스 PCB들(41A, 41B)의 출력단자들에 전기적으로 접속되고, 소스 COF들(42)의 출력단자들은 ACF를 통해 액정표시패널(30)의 하부 유리기판에 형성된 데이터 패드들에 전기적으로 접속된다. 소스 COF들(42)에는 도 5와 같이 타이밍 제어신호와 구동전압을 전송하는 더미배선들(51)이 형성된다. 제1 소스 PCB(41A)에 연결된 소스 COF들(42) 중에서 제2 소스 PCB(41B)와 이웃하는 소스 COF(42)와, 제2 소스 PCB(41B)에 연결된 소스 COF들(42) 중에서 제1 소스 PCB(41A)와 이웃하는 소스 COF(42) 사이에서, 액정표시패널(30)의 하부 유리기판에는 그 소스 COF들(42) 사이에서 디지털 비디오 데이터들(RGBodd, RGBeven), 캐리신호를 포함한 타이밍 제어신호들 및 구동전압들을 각각 전송하는 LOG 배선들(45)이 형성된다. 본 발명에 따른 액정표시장치는 이 LOG 배선들(45)을 이용하여 하나의 FFC(Flexible Flat Cable : 43)를 제거함으로써 소스 PCB(41A, 41B)와 콘트롤 PCB(40)의 접속 구조를 단순화할 수 있고 부품 수를 줄일 수 있다. 그런데, 공정 특성상 LOG 배선들(45)의 형성 영역은 제한되어 있으므로, LOG 배선들(45)의 수를 최소화할 필요가 있다. 이를 위해 본 발명에 따른 액정표시장치는 LOG 배선들(45) 중 극성제어신호(POL)를 전송하는 LOG 배선을 생략하고, 다수의 데이터 IC들(32a, 32b) 각각에서 게이트 스타트 펄스(GSP)와 소스 출력 인에이블신호(SOE)를 이용하여 극성제어신호(POL)를 생성한다. 이에 대해서는 도 11 내지 도 14를 참조하여 상세히 설명하기로 한다. 극성제어신호(POL)를 전송하는 LOG 배선이 제거되고 남은 영역은 구동전압들을 전송하는 LOG 배선의 선포 증가를 위해 활용될 수 있다. 구동전압들을 전송하는 LOG 배선의 선포를 증가시키는 이유는 LOG 배선에 의한 전압 강하를 줄여 제1 및 제2 소스 PCB(41A, 41B) 간의 감마전압(VGH, VGL)의 편차를 최소화 하기 위함이다.

<59> 제1 및 제2 소스 PCB들(41A, 41B)에는 디지털 비디오 데이터들(RGBodd, RGBeven)이 전송되는 버스배선들, 게이트 및 데이터 타이밍 제어신호들이 전송되는 버스배선들, 구동전압들이 전송되는 버스배선들이 형성된다.

<60> 제1 소스 PCB(41A)의 입력단자들은 FFC(Flexible Flat Cable)(43)를 경유하여 콘트롤 PCB(40) 상에 형성된 연결 배선들(44)에 전기적으로 접속된다. 반면에, 제2 소스 PCB(41B)는 콘트롤 PCB(40)에 연결되지 않는다. 분할된 소스 PCB들(41A, 41B)은 LOG 배선들(45)과 소스 COF들(42)을 경유하여 전기적으로 접속된다. 따라서, 제1

소스 PCB(41A)는 콘트롤 PCB(40)에 형성된 연결배선들(44)을 경유하여 콘트롤 PCB(40)로부터 디지털 비디오 데이터들(RGBodd, RGBeven), 타이밍 제어신호들 및 구동전압들을 공급받고, 제2 소스 PCB(41B)는 LOG 배선들(45)과 소스 COF들(42)을 경유하여 제1 소스 PCB(41A)로부터 디지털 비디오 데이터들(RGBodd, RGBeven), 타이밍 제어신호들 및 구동전압들을 공급받는다. 제1 소스 PCB(41A)에 공급된 게이트 타이밍 제어신호들은 제1 소스 PCB(41A)에 형성된 버스배선들을 경유하여 액정표시패널(30)의 우측에 배치된 게이트 구동회로로 공급된다. LOG 배선들(45)을 통해 제2 소스 PCB(41B)에 공급된 게이트 타이밍 제어신호들은 제2 소스 PCB(41B)에 형성된 버스배선들을 경유하여 액정표시패널(30)의 좌측에 배치된 게이트 구동회로로 공급된다.

<61> 콘트롤 PCB(40)에는 타이밍 콘트롤러(31), EEPROM(31a), 액정표시패널(30)의 구동에 필요한 구동전압들을 발생하기 위한 직류-직류 변환기(DC-DC Converter) 등의 회로와 함께, 연결 배선들(44)이 형성된다. 직류-직류 변환기에서 생성되는 구동전압들은 게이트하이전압(Vgh), 게이트로우전압(Vgl), 공통전압(Vcom), 고전위전원전압(Vdd), 저전위전원전압(Vss), 고전위전원전압(Vdd)과 저전위전원전압(Vss) 사이에서 분압되는 다수의 감마기준전압(Gamma reference voltages) 등을 포함한다. 감마기준전압들은 디지털 비디오 데이터들(RGBodd, RGBeven)의 비트수로 표현 가능한 계조 수만큼 데이터 IC들(32a, 32b) 내에서 각 계조에 해당하는 아날로그 감마전압으로 세분화된다. 게이트하이전압(Vgh), 게이트로우전압(Vgl)은 스캔펄스의 스윙전압이다. EEPROM(31a)은 타이밍 콘트롤러(31)로부터 생성되는 타이밍 제어신호들에 대한 파형 옵션정보가 다수의 모드별로 저장되어 사용자로부터의 명령에 따라 해당 모드에서 파형 정보를 타이밍 콘트롤러(31)에 공급한다. 타이밍 콘트롤러(31)는 EEPROM(31a)으로부터의 파형 옵션정보에 따라 각각의 모드에서 서로 다른 형태로 타이밍 제어신호들을 생성한다.

<62> 콘트롤 PCB(40)에 형성된 연결 배선들(44)은 도 6에 도시된 타이밍 콘트롤러(31)의 싱글 출력포트(63)를 FFC(43)에 연결한다. 이 연결 배선들(44)을 통해 타이밍 콘트롤러(31)로부터 생성된 디지털 비디오 데이터들(RGBodd, RGBeven) 및 타이밍 제어신호들과, 직류-직류 변환기로부터 생성된 구동전압들이 FFC(43)에 전달된다.

<63> 도 6은 타이밍 콘트롤러(31)에서 데이터 처리부분을 나타내는 도면이다.

<64> 도 6을 참조하면, 타이밍 콘트롤러(31)는 2 포트 확장부(61)와 데이터 변조부(62)를 구비한다.

<65> 2 포트 확장부(61)는 시스템의 메인보드로부터 소정의 입력 주파수(f)로 입력되는 디지털 비디오 데이터(RGB)를 기수 화소 데이터(RGBodd)와 우수 화소 데이터(RGBeven)로 분리하여 그 데이터들(RGBodd, RGBeven)을 1/2 주파수(1/2 f)로 데이터 변조부(62)에 공급한다. 여기서, 주파수를 1/2로 줄이는 이유는 EMI(Electromagnetic Interference)를 줄이기 위함이다. 2 포트 확장부(61)로부터 출력되는 데이터들(RGBodd, RGBeven)의 스윙폭은 TTL(transistor-to-transistor) 레벨인 3.3V 정도로 비교적 높다.

<66> 데이터 변조부(62)는 mini LVDS 방식으로 2 포트 확장부(61)로부터의 데이터들(RGBodd, RGBeven)을 변조하여 그 데이터들(RGBodd, RGBeven)의 스윙폭을 300mV~600mV 정도로 낮추고 4 배속 mini LVDS 클럭에 따라 데이터들(RGBodd, RGBeven)의 주파수를 입력 주파수(f) 대비 2배(2f)로 높인다. 데이터 변조부(62)로부터 출력되는 데이터들(RGBodd, RGBeven)의 주파수가 입력 주파수(f) 대비 2배(2f)로 높아지더라도 데이터들(RGBodd, RGBeven)의 스윙폭이 상술한 바와 같이 300mV~600mV 정도로 대폭적으로 낮아지므로 EMI는 거의 증가되지 않는다. 데이터 변조부(62)로부터 출력되는 신호들은 3쌍(RGB)의 기수 화소 데이터들(RGBodd), 3쌍의 우수 화소 데이터(RGBeven) 및 1쌍의 mini 클럭(mini CLK)을 포함한다. 각 쌍들은 정극성 신호와 부극성 신호를 포함한다. 한편, 데이터 변조부(62)는 RSDS 방식으로 데이터를 변조할 수도 있다.

<67> 도 7 및 도 8은 데이터 변조부(62)로부터 출력되는 데이터들의 일예를 나타내는 것으로, mini LVDS 방식으로 변조된 데이터들의 일예이다.

<68> 도 7에서, "Data CLK"은 시스템의 메인보드로부터 생성되는 데이터 클럭이며, "mini LVDS CLK"은 데이터 변조부(62)로부터 생성되어 데이터와 함께 전송되는 클럭이다. 그리고 "mini LVDS RGB"는 리셋파형을 포함하여 데이터 변조부(62)에 의해 변조된 정극성 데이터파형이다. 데이터 변조부(62)는 정극성 데이터파형의 역위상으로 부극성 데이터파형을 생성하고, 각각 도 8과 같이 정극성 데이터파형(P)과 부극성 데이터파형(N)을 포함한 6 쌍의 데이터들과 한 쌍의 mini LVDS 클럭을 데이터 IC들(32a, 32b)에 전송한다. 첫 번째 데이터를 샘플링하는 데이터 IC는 리셋파형에 이어서 발생하는 스타트펄스(start)를 데이터 샘플링시작 시점으로 인식하여 스타트펄스(start)에 이어서 공급되는 데이터들을 샘플링하기 시작한다. 따라서, 타이밍 콘트롤러(31)는 별도의 배선을 통해 소스 스타트 펄스(Source Start Pulse, SSP)를 발생할 필요가 없다.

- <69> 도 9는 타이밍 콘트롤러(31)와 데이터 IC(32a,32b)들 사이의 신호전송 경로를 나타낸다.
- <70> 도 9를 참조하면, 타이밍 콘트롤러(31)에 의해 mini LVDS 방식 또는 RSDS 방식으로 변조된 디지털 비디오 데이터들 중에서 우측 데이터들(RGBodd, RGBeven)은 타이밍 콘트롤러(31)의 싱글 출력포트(63), 연결 배선(44), 및 FFC(43)를 경유하여 제1 소스 PCB(41A)에 접속된 제1 데이터 IC들(32a)에 전송된다. 우측 데이터들(RGBodd, RGBeven)은 액정표시패널(30)의 우반부 화면에 표시될 데이터들이다. 타이밍 콘트롤러(31)에 의해 mini LVDS 방식 또는 RSDS 방식으로 변조된 좌측 데이터들(RGBodd, RGBeven)은 타이밍 콘트롤러(31)의 싱글 출력포트(63), 연결 배선(44), 제1 소스 PCB(41A), 소스 COF(42)의 더미배선(51), 및 액정표시패널(30)의 LOG 배선(45)을 경유하여 제2 소스 PCB(41B)에 접속된 제2 데이터 IC들(32b)에 전송된다. 좌측 데이터들(RGBodd, RGBeven)은 액정표시패널(30)의 좌반부 화면에 표시될 데이터들이다.
- <71> 타이밍 콘트롤러(31)에서 발생하는 데이터 타이밍 제어신호들은 데이터들(RGBodd, RGBeven)과 함께 타이밍 콘트롤러(31)의 싱글 출력포트(63), 연결 배선(44), 및 FFC(43)를 경유하여 제1 소스 PCB(41A)에 접속된 제1 데이터 IC들(32a)에 전송된다. 또한, 데이터 타이밍 제어신호들은 타이밍 콘트롤러(31)의 싱글 출력포트(63), 연결 배선(44), 제1 소스 PCB(41A), 소스 COF(42)의 더미배선(51), 및 액정표시패널(30)의 LOG 배선(45)을 경유하여 제2 소스 PCB(41B)에 접속된 제2 데이터 IC들(32b)에 전송된다.
- <72> 첫 번째 데이터를 샘플링하는 최좌측의 데이터 IC(32b)는 도 7 및 도 8에서 스타트펄스 이후의 데이터를 자신의 출력채널 수만큼 샘플링한 후에 그 다음 데이터의 샘플링 타이밍을 지시하는 캐리신호(carry)를 발생하여 우측으로 바로 이웃하는 데이터 IC(32b)에 공급한다. 마찬가지로, 캐리신호(carry)는 이웃한 데이터 IC들(32b)에 순차적으로 전달된다. 제1 및 제2 소스 PCB들(41A,41B) 사이에서 캐리신호(carry)는 액정표시패널(30)에 형성된 LOG 배선(45)을 통해 전송된다. 한편, 데이터 IC들(32a,32b)의 데이터 샘플링방향은 반대로 조정될 수 있다. 이 경우, 제1 및 제2 소스 PCB들(41B) 사이에서 캐리신호(carry)는 반대방향으로 전송된다.
- <73> 콘트롤 PCB(40) 상에 실장된 직류-직류 변환기로부터 발생하는 구동전압들은 직류-직류 변환기의 출력단자, 연결 배선(44) 및 FFC(43)를 경유하여 제1 소스 PCB(41A)에 접속된 제1 데이터 IC들(32a)에 전송된다. 또한, 구동전압들은 직류-직류 변환기의 출력단자, 연결 배선(44), 제1 소스 PCB(41A), 소스 COF(42)의 더미배선(51), 및 액정표시패널(30)의 LOG 배선(45)을 경유하여 제2 소스 PCB(41B)에 접속된 제2 데이터 IC들(32b)에 전송된다.
- <74> 도 10 내지 도 12는 제1 데이터 IC(32a)를 상세히 나타내는 회로도이다.
- <75> 도 10 내지 도 12를 참조하면, 제1 데이터 IC(32a) 각각은 쉬프트 레지스터(91), 데이터 복원부(92), 제1 래치 어레이(93), 제2 래치 어레이(94), 폴(POL) 생성회로(95), 감마전압 발생부(96), 디지털/아날로그 변환기(이하, "DAC"라 한다)(97), 차지셰어회로(Charge Share Circuit)(98) 및 출력회로(99)를 포함한다.
- <76> 데이터 복원부(92)는 타이밍 콘트롤러(31)에 의해 분리된 기수 화소 데이터(RGBodd)와 우수 화소 데이터(RGBeven)를 일시 저장하고 타이밍 콘트롤러(31)에 의해 변조방식에 대응하는 복조방식으로 변조된 데이터를 복원한다. 예컨대, 데이터 복원부(92)는 도 8과 같이 정극성 데이터가 하이 논리일 때 '1'을 발생하고, 정극성 데이터가 로우 논리일 때 '0'을 발생하여 데이터를 복원한다. 그리고 데이터 복원부(92)는 복원된 데이터들(RGBodd, RGBeven)을 제1 래치 어레이(93)에 공급한다.
- <77> 쉬프트레지스터(91)는 소스 샘플링 클럭(SSC)에 따라 샘플링신호를 쉬프트시킨다. 또한, 쉬프트 레지스터(91)는 제1 래치 어레이(93)의 래치수를 초과하는 데이터가 공급될 때 캐리신호(Carry)를 발생한다. 첫 번째 데이터를 샘플링하는 제1 데이터 IC(32a)의 쉬프트레지스터(91)는 데이터버스를 통해 데이터에 앞서 공급되는 리셋신호와 스타트펄스에 이어서 공급되는 데이터를 첫 번째 샘플링할 데이터로 판단한다.
- <78> 제1 래치 어레이(93)는 쉬프트 레지스터(91)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 복원부(92)로부터의 디지털 비디오 데이터들(RGBeven, RGBodd)을 샘플링하고, 그 데이터들(RGBeven, RGBodd)을 1 수평라인 분씩 래치한 다음, 1 수평라인 분의 데이터를 동시에 출력한다.
- <79> 제2 래치 어레이(94)는 제1 래치 어레이(93)로부터 입력되는 1 수평라인분의 데이터를 래치한 다음, 소스 출력 인에이블신호(SOE)의 로우논리기간 동안 다른 데이터 IC들의 제2 래치 어레이(94)와 동시에 래치된 디지털 비디오 데이터들(RGBeven, RGBodd)을 출력한다.
- <80> POL 생성회로(95)는 도 11 및 도 12와 같이 제1 D-플립플롭(Flip-Flop : 951), 제2 D-플립플롭(952), 인버터(953) 및 멀티플렉서(954)를 포함한다.

- <81> 제1 D-플립플롭(951)은 1 수평기간(1 H)을 주기로 라이징되는 소스 출력인에이블신호(SOE)를 입력 클럭(C1)으로 이용한다. 제1 D-플립플롭(951)의 비반전 출력단자(Q1)는 인버터(953)를 통해 제1 D-플립플롭(951)의 입력단자(D1)와 연결된다. 제1 D-플립플롭(951)의 세트단자(S)에는 게이트 스타트 펄스(GSP)가 공급된다. 제1 D-플립플롭(951)은 게이트 스타트 펄스(GSP)에 따라 비반전 출력단자(Q1)로 출력되는 제1 극성제어신호(POL1)의 극성을 '+'로 초기화시킨다. 인버터(953)는 비반전 출력단자(Q1)로부터 피드백되는 제1 극성제어신호(POL1)를 반전시켜 제1 D-플립플롭(951)의 입력단자(D1)에 입력시킨다. 제1 D-플립플롭(951)은 제1 극성제어신호(POL1)의 반전입력을 래치한 후에 소스 출력인에이블신호(SOE)의 라이징에지에 동기하여 래치된 신호를 출력하여 제1 극성제어신호(POL1)의 반전신호를 1 수평기간 동안 지연시키는 역할을 한다. 따라서, 제1 극성제어신호(POL1)는 1 수평기간 단위로 그 논리값이 반전된다. 이와 반대로, 제2 극성제어신호(POL2)는 제1 D-플립플롭(951)에 의해 지연되지 않으므로 제1 극성제어신호(POL1)에 대해 역위상을 갖는다.
- <82> 제2 D-플립플롭(952)은 1 수직기간(1 V)을 주기로 라이징되는 게이트 스타트 펄스(GSP)를 입력 클럭(C2)으로 이용한다. 제2 D-플립플롭(952)의 비반전 출력단자(Q2)는 리셋단자(R)와 멀티플렉서(954)의 제어단자에 연결되며, 제2 D-플립플롭(Flip-Flop : 952)의 입력단자(D2)는 고전위 전압원(VCC)에 연결된다. 이에 따라, 제2 D-플립플롭(952)은 게이트 스타트 펄스(GSP)의 라이징 에지를 기준으로 이전 출력이 '1' 이면 리셋 시키고, 이전 출력이 '0' 이면 'VCC'를 출력한다. 따라서, 제2 D-플립플롭(952)은 1 수직기간을 주기로 비반전 출력단자(Q2)로부터 출력되는 선택신호(SEL)의 논리를 반전시킨다.
- <83> 멀티플렉서(954)는 제2 D-플립플롭(952)로부터의 선택신호(SEL)에 응답하여 1 수직기간 단위로 제1 극성제어신호(POL1)와 제2 극성제어신호(POL2)를 교대로 선택하여 최종 극성제어신호(POL)를 발생한다. 따라서, 최종 극성제어신호(POL)는 도 12에 도시된 바와 같이 1 수평기간 주기로 논리가 반전되고 또한, 1 수직기간 주기로 논리가 반전된다.
- <84> 한편, POL 생성회로(95)는 도 13과 같이 구현할 수도 있다. 도 13에 있어서의 제1 D-플립플롭(Flip-Flop : 951)은 도 11과 달리 게이트 스타트 펄스(GSP)에 따라 비반전 출력단자(Q1)로 출력되는 제1 극성제어신호(POL1)의 극성을 '-'로 초기화시켜 도 14와 같은 최종 극성제어신호(POL)를 생성한다.
- <85> 감마전압 발생부(96)는 도 15와 같이 공통전압(Vcom)을 사이에 두고 고전위 전원전압(Vdd)과 저전위 전원전압(Vss) 사이에서 분압되는 다수의 감마기준전압들을 디지털 비디오 데이터들(RGBodd, RGBeven)의 비트수로 표현 가능한 계조 수(i) 만큼 더욱 세분화하여 각 계조에 해당하는 정극성 감마전압들(VGH0 내지 VGH(i-1))과 부극성 감마전압들(VGL0 내지 VGL(i-1))을 발생한다. 이를 위해 감마전압 발생부(96)는 고전위 전원전압(Vdd)과 저전위 전원전압(Vss) 사이에서 서로 직렬로 접속된 다수의 분압용 저항들(R01 내지 Ri1, R02 내지 Ri2)을 포함하는 저항 스트링(String)을 구비한다.
- <86> DAC(97)는 도 16과 같이 정극성 감마전압(VGH)이 공급되는 P-디코더(PDEC)(101), 부극성 감마전압(VGL)이 공급되는 N-디코더(NDEC)(102), 극성제어신호들(POL)에 응답하여 P-디코더(101)의 출력과 N-디코더(102)의 출력을 선택하는 멀티플렉서(103)를 포함한다. P-디코더(101)는 제2 래치 어레이(94)로부터 입력되는 디지털 비디오 데이터들(RGBeven, RGBodd)을 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마전압(VGH)을 출력하고, N-디코더(102)는 제2 래치 어레이(94)로부터 입력되는 디지털 비디오 데이터들(RGBeven, RGBodd)을 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마전압(VGL)을 출력한다. 멀티플렉서(103)는 POL 생성회로(95)로부터의 극성제어신호(POL)에 응답하여 정극성의 감마전압(VGH)과 부극성의 감마전압(VGL)을 선택한다.
- <87> 차지쉐어회로(98)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 차지쉐어전압으로 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 정극성 데이터전압과 부극성 데이터전압의 급격한 변화를 줄인다.
- <88> 출력회로(99)는 버퍼를 포함하여 데이터라인(D1 내지 Dk)으로 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.
- <89> 제2 데이터 IC(32b)도 제1 데이터 IC(32a)와 실질적으로 동일한 구성을 가진다.

발명의 효과

- <90> 상술한 바와 같이, 본 발명에 따른 액정표시장치는 소스 PCB를 분할하고 타이밍 컨트롤러의 출력포트를 싱글 출력포트로 구성하여 컨트롤 PCB의 크기와 출력핀수를 줄일 수 있다.

- <91> 나아가, 본 발명에 따른 액정표시장치는 액정표시패널에 형성된 LOG 배선들을 이용하여 하나의 FFC를 제거함으로써 소스 PCB와 콘트롤 PCB의 접속 구조를 단순화할 수 있고 부품 수를 줄일 수 있다.

<92> 더 나아가, 본 발명에 따른 액정표시장치는 타이밍 제어신호들 중 일부를 이용하여 데이터 IC 내에서 극성제어신호를 생성함으로써 극성제어신호를 전송하기 위한 LOG 배선을 생략할 수 있다. 이에 따라, 본 발명에 따른 액정표시장치는 타이밍 콘트롤러의 부하량을 줄일 수 있으며, 아울러 LOG 배선이 제거되고 남은 영역을 구동전압들을 전송하기 위한 LOG 배선의 선평 증가를 위해 활용할 수도 있다.

<93> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

- <1> 도 1은 액정표시장치의 액정셀을 보여 주는 등가 회로도.

<2> 도 2는 싱글 소스 PCB를 가지는 액정표시장치를 나타내는 도면.

<3> 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도.

<4> 도 4는 도 3에 도시된 타이밍 콘트롤러와 데이터 IC들의 접속 구조를 상세히 나타내는 도면.

<5> 도 5는 소스 COF에 형성된 더미 배선들과 액정표시패널의 기판 상에 형성된 LOG 배선들을 나타내는 평면도.

<6> 도 6은 도 3 및 도 4에 도시된 타이밍 콘트롤러의 데이터 처리부를 상세히 나타내는 블록도.

<7> 도 7 및 도 8은 도 6에 도시된 데이터 변조부의 출력 예를 나타내는 파형도.

<8> 도 9는 도 4에 도시된 타이밍 콘트롤러와 데이터 IC들 사이의 신호 전송경로를 나타내는 도면.

<9> 도 10은 도 4에 도시된 데이터 IC를 상세히 나타내는 블록도.

<10> 도 11은 도 10에 도시된 POL 생성회로의 일 예를 나타내는 회로도.

<11> 도 12는 도 11에 의해 생성되는 극성제어신호를 나타내는 파형도.

<12> 도 13은 도 10에 도시된 POL 생성회로의 다른 예를 나타내는 회로도.

<13> 도 14는 도 13에 의해 생성되는 극성제어신호를 나타내는 파형도.

<14> 도 15는 도 10에 도시된 감마전압 발생부를 상세히 나타내는 회로도.

<15> 도 16은 도 10에 도시된 DAC를 상세히 나타내는 회로도.

<16> < 도면의 주요 부분에 대한 부호의 설명 >

<17> 30 : 액정표시패널	31 : 타이밍 콘트롤러
<18> 32 : 데이터 구동회로	33 : 게이트 구동회로
<19> 40 : 콘트롤 PCB	41A, 41B : 소스 PCB
<20> 42 : 소스 COF	43 : FFC
<21> 44 : 연결 배선	61 : 2 포트 확장부
<22> 62 : 데이터 변조부	63 : 싱글 출력포트
<23> 91 : 쉬프트 레지스터	92 : 데이터 복원부
<24> 93, 94 : 래치	95 : POL 생성회로
<25> 96 : 감마전압 발생부	97 : DAC
<26> 98: 차지쉐어회로	99 : 출력회로
<27> 101 : P-디코더	102 : N-디코더

- <28>

103 : 멀티플렉서

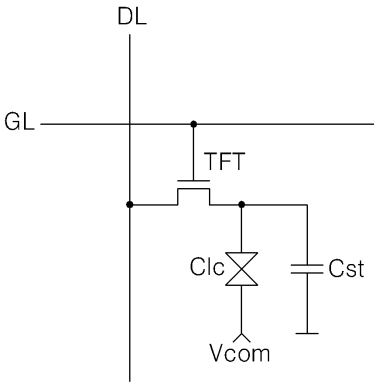
951,952 : D-플립플롭
- <29>

953 : 인버터

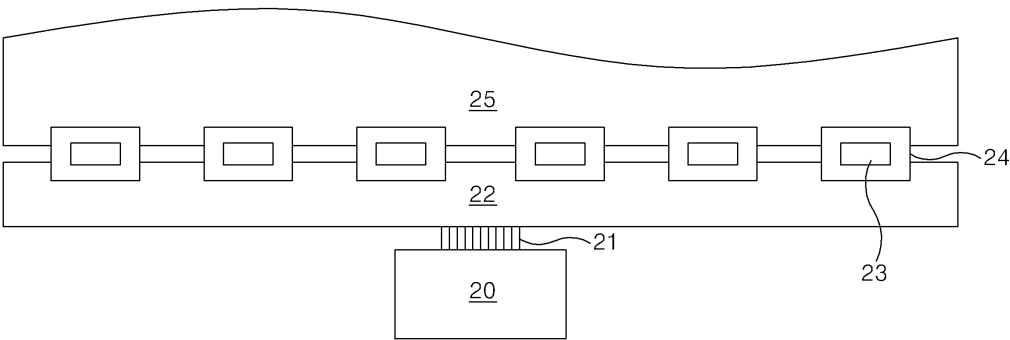
954 : 멀티플렉서

도면

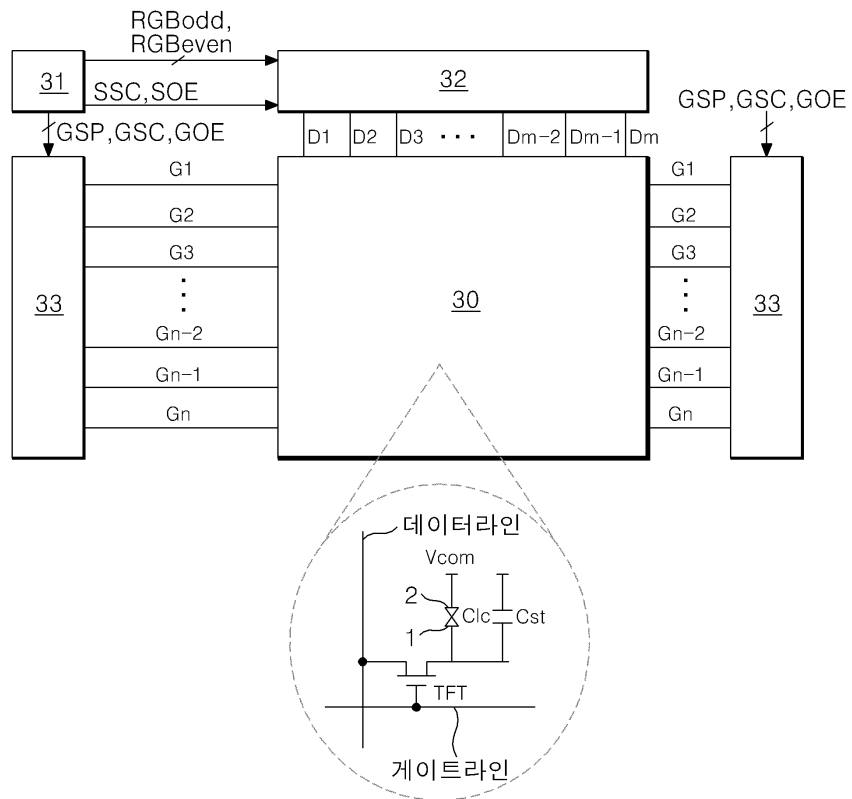
도면1



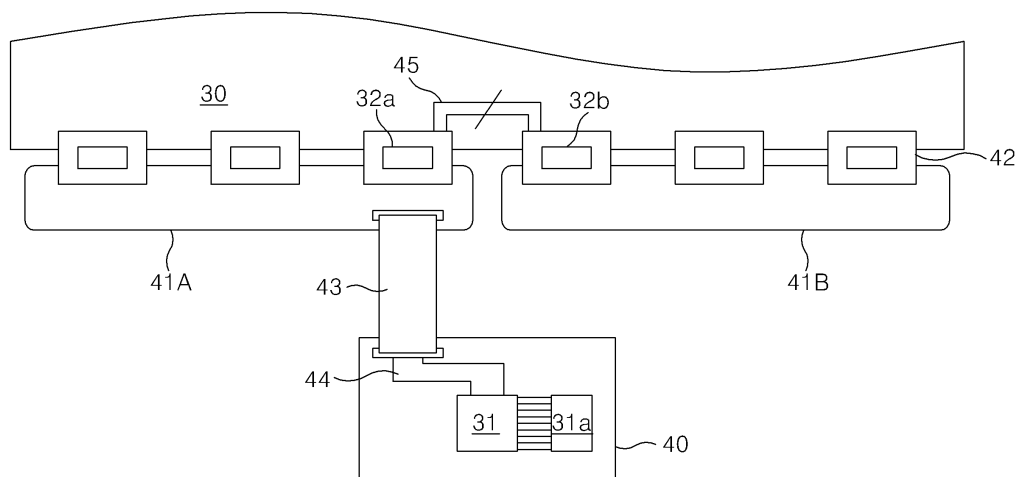
도면2



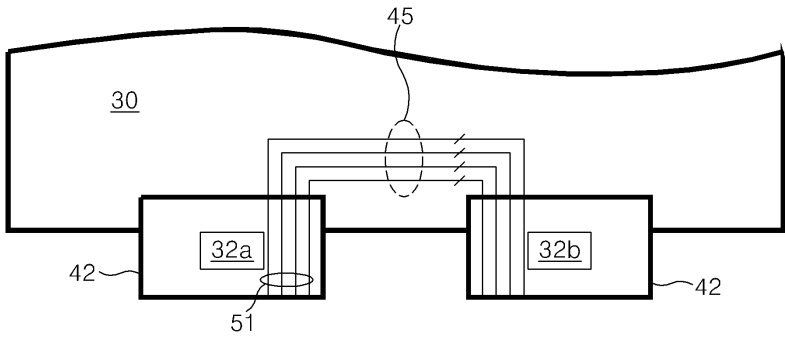
도면3



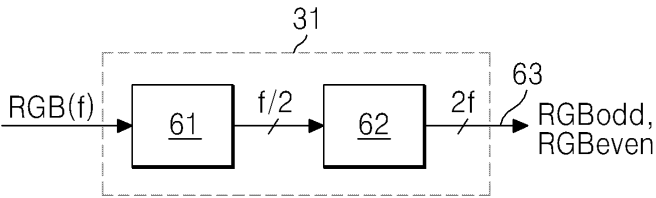
도면4



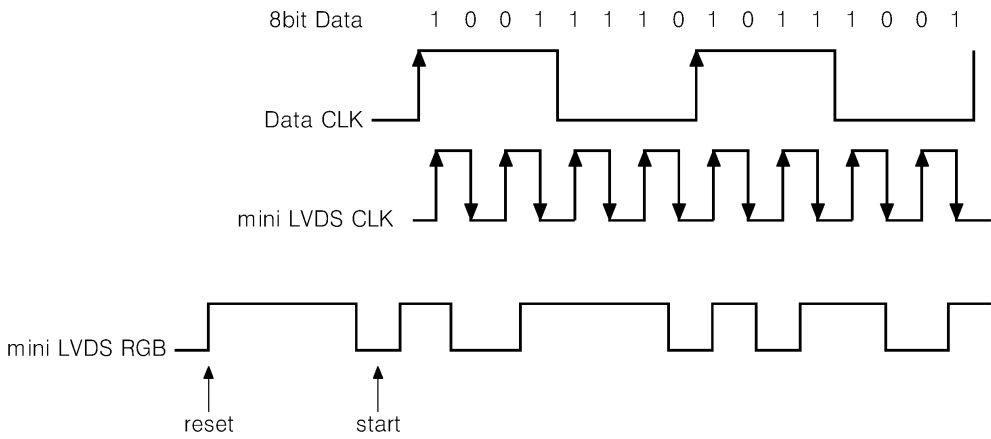
도면5



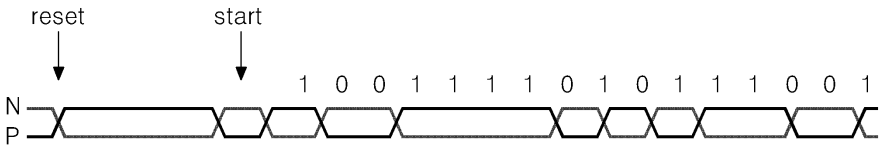
도면6



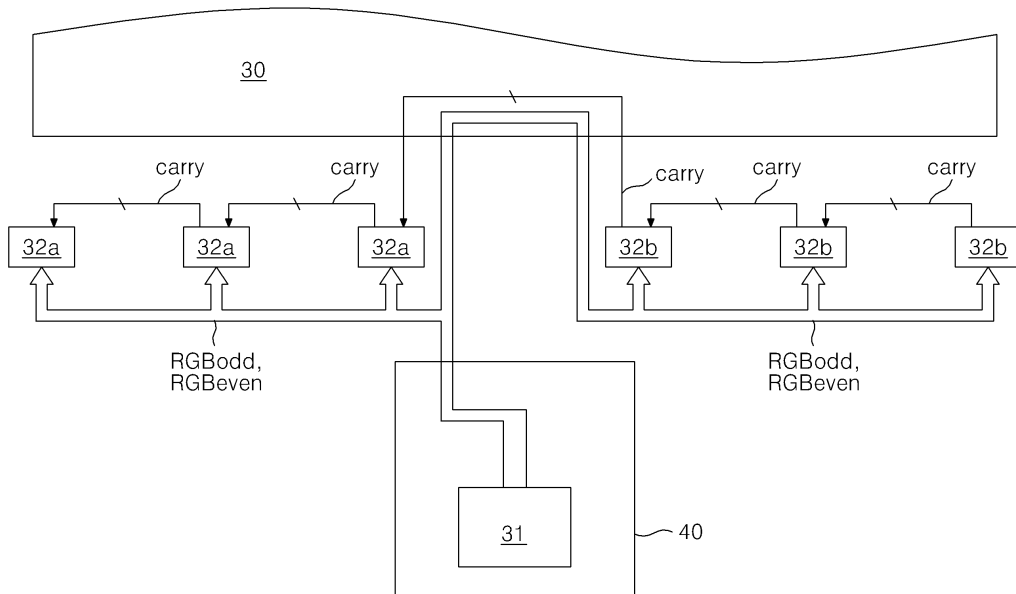
도면7



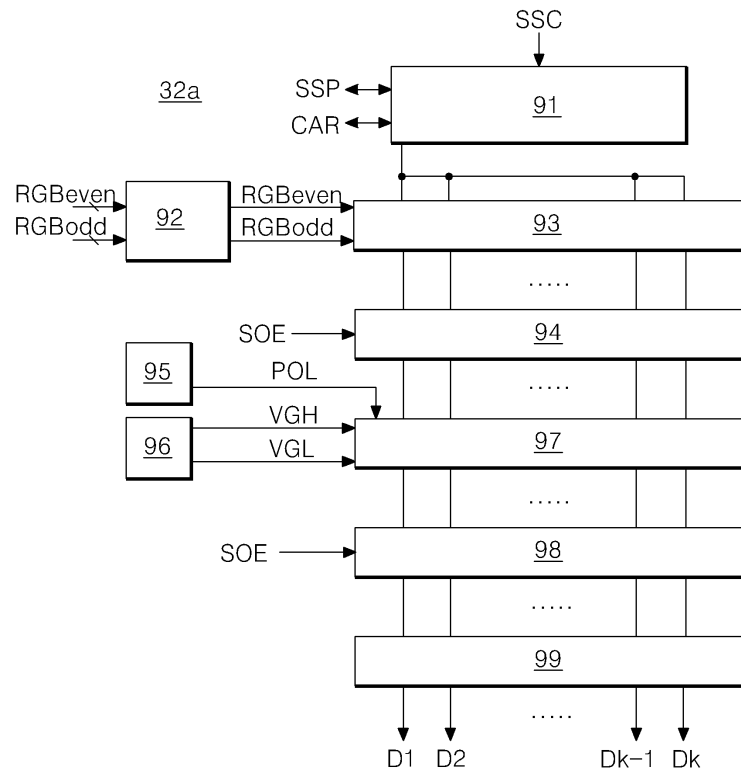
도면8



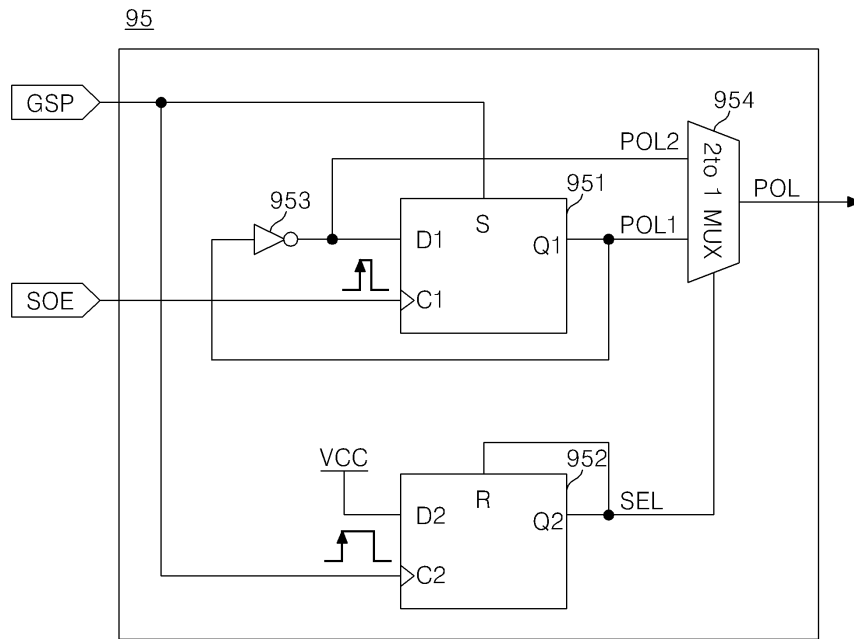
도면9



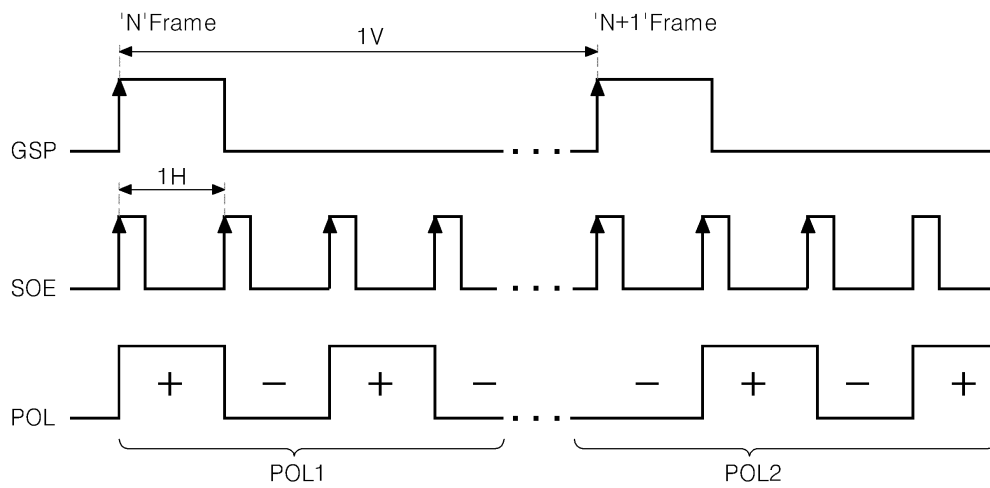
도면10



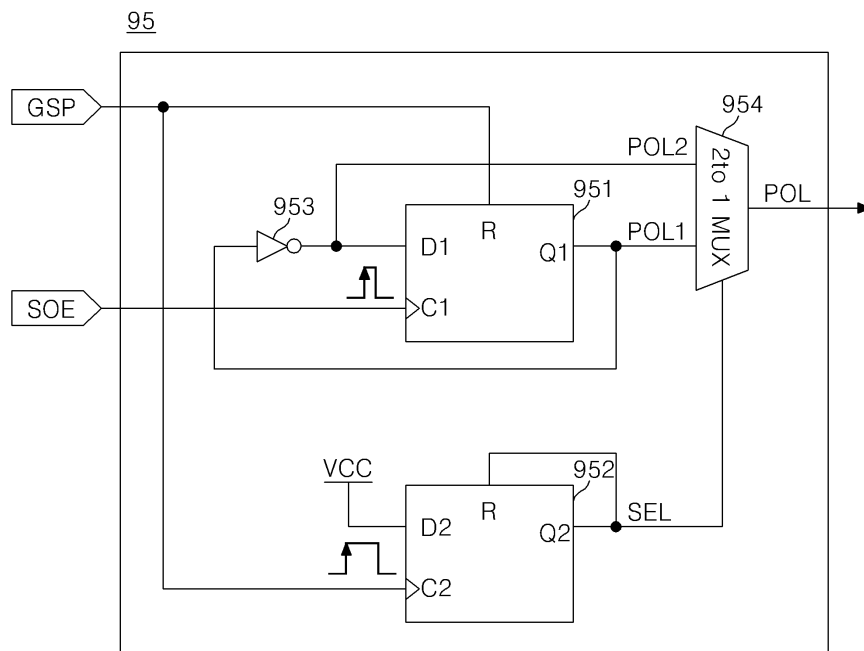
도면11



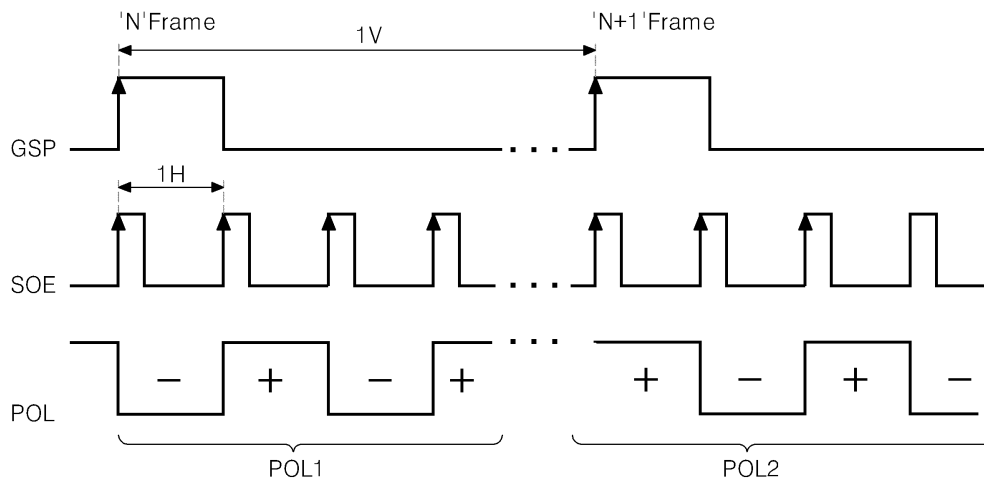
도면12



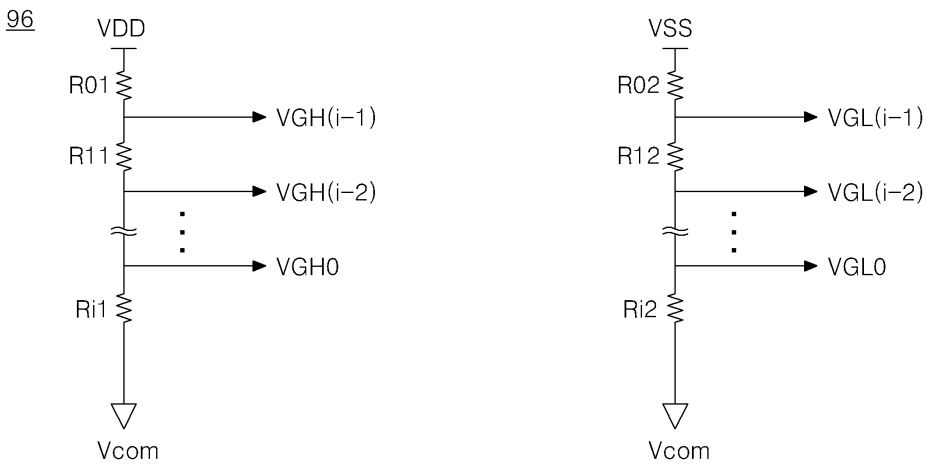
도면13



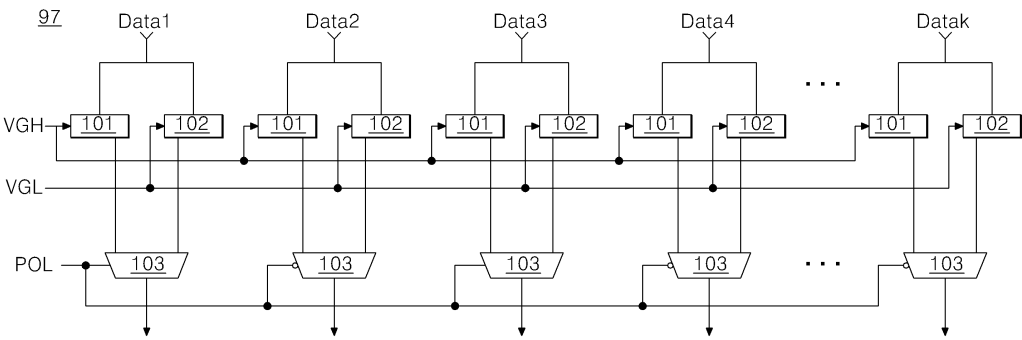
도면14



도면15



도면16



专利名称(译)	液晶显示器		
公开(公告)号	KR100864926B1	公开(公告)日	2008-10-22
申请号	KR1020070046120	申请日	2007-05-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	MIN WOONG KI 민웅기 CHOI BYUNG JIN 최병진 JANG SU HYUK 장수혁 SONG HONG SUNG 송홍성		
发明人	민웅기 최병진 장수혁 송홍성		
IPC分类号	G02F1/133 G02F1/1345		
CPC分类号	G09G3/3696 G09G2310/0218 G02F1/13452 G09G2300/0426		
代理人(译)	金勇 年轻的小公园		
外部链接	Espacenet		

摘要(译)

提供LCD (液晶显示器) 以划分源PCB (印刷电路板) 并减少输出引脚的数量和控制PCB的尺寸。根据定时控制信号操作第一IC (集成电路) 组 (32a) 以将数字视频数据转换为数据电压, 并将数据电压提供给第一数据线组。第一源极PCB (41A) 与第一IC组的IC连接。第二IC组 (32b) 通过第一源PCB和LOG (玻璃上线) 线 (45) 提供定时控制信号和数字视频数据, 并根据定时控制信号操作以将数字视频数据转换成在将数据电压提供给第二数据线组之前的数据电压。第二源PCB (41B) 与第二IC组的IC连接。定时控制器 (31) 通过单个输出端口输出定时控制信号和数字视频数据。在控制PCB中, 安装了时序控制器。连接单元与控制PCB和第一源PCB连接, 并将通过时序控制器的单个端口输出的时序控制信号和数字视频数据发送到第一源PCB。在第一和第二IC组的每个IC中, 构建POL (Polarity) 产生电路, 用于通过使用定时控制信号的一部分产生用于控制数据电压的极性的信号。

