



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월27일
(11) 등록번호 10-0854591
(24) 등록일자 2008년08월21일

(51) Int. Cl.

G02F 1/1333 (2006.01)

(21) 출원번호 10-2001-0087449
(22) 출원일자 2001년12월28일
심사청구일자 2006년11월08일
(65) 공개번호 10-2003-0057077
(43) 공개일자 2003년07월04일
(56) 선행기술조사문헌
KR1019990031518 A
KR1019990074558 A
KR1020010091799 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

정병화

경상북도칠곡군석적면남울리710번지우방신천지아파트202-205호

이형찬

경상북도구미시구포동성원아파트105-303

(뒷면에 계속)

(74) 대리인

특허법인네이트

전체 청구항 수 : 총 4 항

심사관 : 신영교

(54) 액정 표시 장치용 어레이 기판의 제조 방법

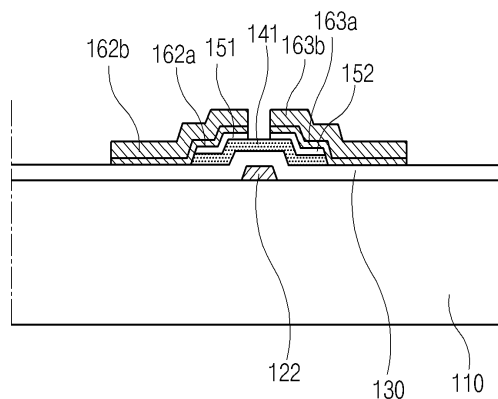
(57) 요약

본 발명은 액정 표시 장치용 어레이 기판의 제조 방법에 관한 것이다.

종래에는 소스 및 드레인 전극을 다중막으로 형성하는 경우, 상부 막의 식각시 하부 막이 영향을 받아 배선 폭이 균일하지 않으며, 누설전류의 상승과 같이 박막 트랜지스터의 특성을 저하시키는 문제가 발생한다.

본 발명에서는 3중막으로 소스 및 드레인 전극 형성시 감광막 패턴을 형성하고 제 2 및 제 3 금속막을 패터닝한 후, 감광막 패턴을 제거하고 제 3 금속막을 전면 식각한 다음, 제 1 금속막을 패터닝함으로써, 선폭의 균일성을 확보하고 불량을 감소시킬 수 있다.

대표도 - 도5f



(72) 발명자

이연보

경기도부천시소사구심곡본1동681-11

권오기

대구광역시북구태전동에텐아파트101동1301

특허청구의 범위

청구항 1

기관 위에 게이트 배선과 게이트 전극을 형성하는 단계;

상기 게이트 배선과 게이트 전극 상부에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상부에 액티브층을 형성하는 단계;

상기 액티브층 상부에 오믹 콘택층을 형성하는 단계;

상기 오믹 콘택층 상부에 다중막으로 이루어지고, 상기 게이트 배선과 교차하여 화소 영역을 정의하는 데이터 배선과 상기 오믹 콘택층과 접촉하고 서로 이격하는 소스 및 드레인 전극을 형성하는 단계;

상기 데이터 배선과 소스 및 드레인 전극 상부에 보호층을 형성하는 단계;

상기 보호층 상부에 상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계를 포함하며,

상기 소스 및 드레인 전극을 형성하는 단계는 크롬(Cr)으로 이루어지는 제 1 금속막, 알루미늄(Al) 또는 알루미늄-네오디뮴(AlNd) 합금 중 어느 하나로 이루어지는 제 2 금속막 및 몰리브덴(Mo)으로 이루어지는 제 3 금속막을 연속하여 증착하는 단계; 상기 제 3 금속막 상부에 감광막 패턴을 형성하는 단계; 상기 감광막 패턴을 마스크로 상기 제 2 및 제 3 금속막을 패터닝하는 단계; 상기 패터닝된 제 3 금속막 상부의 감광막 패턴을 제거하는 단계; 상기 패터닝된 제 3 금속막을 전면 식각하는 단계; 상기 패터닝된 제 2 금속막을 마스크로 상기 제 1 금속막을 패터닝하는 단계를 포함하는 액정 표시 장치용 어레이 기관의 제조 방법.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 제 2 및 제 3 금속막의 패터닝하는 단계는 인산과 질산 및 초산을 포함하는 식각액을 이용하여 이루어지는 액정 표시 장치용 어레이 기관의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 제 3 금속막을 전면 식각하는 단계는 과수를 이용하여 이루어지는 액정 표시 장치용 어레이 기관의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 금속막을 패터닝하는 단계는 질산을 포함하는 식각액을 이용하여 이루어지는 액정 표시 장치용 어레이 기관의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 액정 표시 장치에 관한 것으로서, 더욱 상세하게는 액정 표시 장치용 어레이 기판의 제조 방법에 관한 것이다.
- <12> 최근 정보화 사회로 시대가 급발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시장치(flat panel display)의 필요성이 대두되었는데, 그 중 색 재현성 등이 우수한 액정 표시 장치(liquid crystal display)가 활발하게 개발되고 있다.
- <13> 일반적으로 액정 표시 장치는 일측에 전극이 각각 형성되어 있는 두 기판을, 두 전극이 형성되어 있는 면이 마주 대하도록 배치하고 두 기판 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.
- <14> 액정 표시 장치의 하부 기판은 화소 전극에 신호를 인가하기 위한 박막 트랜지스터를 포함하는 어레이 기판으로 박막을 형성하고 사진 식각하는 공정을 반복함으로써 이루어지고, 상부 기판은 컬러 필터를 포함하는 기판으로 컬러 필터는 적(R), 녹(G), 청(B)의 세 가지 색이 순차적으로 배열되어 있으며, 안료분산법이나 염색법, 전착법 등의 방법으로 제작된다.
- <15> 이하, 첨부한 도면을 참조하여 일반적인 액정 표시 장치의 구조에 대하여 설명한다.
- <16> 도 1은 일반적인 액정 표시 장치에 대한 단면도이다.
- <17> 도시한 바와 같이, 투명한 제 1 기판(11) 위에 금속과 같은 도전 물질로 이루어진 게이트 전극(12)이 형성되어 있고, 그 위에 실리콘 질화막(SiN_x)이나 실리콘 산화막(SiO₂)으로 이루어진 게이트 절연막(13)이 게이트 전극(12)을 덮고 있다. 게이트 전극(12) 상부의 게이트 절연막(13) 위에는 비정질 실리콘으로 이루어진 액티브층(14)이 형성되어 있으며, 그 위에 불순물이 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(15a, 15b)이 형성되어 있다.
- <18> 오믹 콘택층(15a, 15b) 상부에는 금속과 같은 도전 물질로 이루어진 소스 및 드레인 전극(16a, 16b)이 형성되어 있는데, 소스 및 드레인 전극(16a, 16b)은 게이트 전극(12)과 함께 박막 트랜지스터(T)를 이룬다.
- <19> 이어, 소스 및 드레인 전극(16a, 16b) 위에는 실리콘 질화막이나 실리콘 산화막 또는 유기 절연막으로 이루어진 보호막(17)이 형성되어 있으며, 보호막(17)은 드레인 전극(16b)을 드러내는 콘택홀(17c)을 가진다.
- <20> 보호막(17) 상부의 화소 영역에는 투명 도전 물질로 이루어진 화소 전극(18)이 형성되어 있고, 화소 전극(18)은 콘택홀(17c)을 통해 드레인 전극(16b)과 연결되어 있다.
- <21> 한편, 제 1 기판(11) 상부에는 제 1 기판(11)과 일정 간격을 가지고 이격되어 있으며 투명한 제 2 기판(21)이 배치되어 있고, 제 2 기판(21)의 하부면에는 블랙 매트릭스(22)가 박막 트랜지스터(T)와 대응되는 위치에 형성되어 있는데, 블랙 매트릭스(22)는 화소 전극(18) 이외의 부분에서 빛이 새는 것을 방지하며, 또한 빛이 박막 트랜지스터(T)의 채널로 들어가는 것을 차단하여 광전류(photo current)가 발생하는 것을 방지한다. 블랙 매트릭스(22) 하부에는 서로 다른 색을 구현하는 컬러 필터(23a, 23b)가 형성되어 있는데, 컬러 필터(23a, 23b)는 적, 녹, 청의 색이 순차적으로 반복되어 있으며, 하나의 색이 하나의 화소 영역에 대응된다. 컬러 필터(23a, 23b) 하부에는 투명한 도전 물질로 이루어진 공통 전극(24)이 형성되어 있다.
- <22> 다음, 화소 전극(18)과 공통 전극(24) 사이에는 액정층(30)이 위치한다.
- <23> 그런데, 액정 표시 장치가 대형화 및 고정세화됨에 따라, 배선의 길이는 길어지고 그 폭은 작아져 신호 지연이 발생할 확률이 높아지게 되었다. 따라서, 배선의 저항을 감소시키기 위해 저저항 물질을 이용하여 배선을 형성해야 하는데, 알루미늄(Al)의 비저항이 비교적 낮기 때문에, 알루미늄이나 알루미늄 합금 물질이 배선의 재료로 이용된다. 이러한 알루미늄은 쉽게 산화가 되며 화학약품 등에 약하여 부식이 잘 되기 때문에, 주로 다른 금속 물질을 함께 증착하여 2중막이나 3중막으로 사용한다.
- <24> 소스 및 드레인 전극을 3중막으로 형성할 경우, 제 1 금속막 및 제 3 금속막을 몰리브덴(Mo)으로 형성하고 제 2 금속막은 알루미늄 합금(AlNd)으로 형성할 수 있는데, 이때 제 1 내지 제 3 금속막을 하나의 식각액으로 일괄 식각할 경우 갈바닉(galvanic) 현상이 발생하여, 원하는 배선 폭을 얻지 못하게 된다.

<25> 한편, 하부의 제 1 금속막 두께가 제 3 금속막 두께보다 두꺼울 경우에는, 제 2 금속막이 패터닝으로 식각되지 않게 되어 역 테이퍼(taper) 현상이 발생하게 되고, 이후 공정에서 제 2 금속막이 내려앉아 액티브층이나 오믹 콘택층과 접하게 된다. 따라서, 누설전류의 상승과 같이 박막 트랜지스터의 특성을 저하시키고, 불량을 야기하게 된다.

발명이 이루고자 하는 기술적 과제

<26> 본 발명은 상기한 종래의 문제점을 해결하기 위해 안출된 것으로서, 본 발명의 목적은 배선을 다중막으로 형성할 때 선폭의 균일성을 향상시키고, 불량을 방지하여 수율을 향상시킬 수 있는 액정 표시 장치용 어레이 기판의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

<27> 상기한 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치용 어레이 기판의 제조 방법에서는, 기판 위에 게이트 배선과 게이트 전극을 형성하고, 그 위에 게이트 절연막을 형성한다. 이어, 게이트 절연막 상부에 액티브층을 형성하고, 액티브층 상부에 오믹 콘택층을 형성한다. 다음, 오믹 콘택층 상부에 다중막으로 이루어지고, 게이트 배선과 교차하여 화소 영역을 정의하는 데이터 배선과 소스 및 드레인 전극을 형성한다. 다음, 데이터 배선과 소스 및 드레인 전극 상부에 보호층을 형성하고, 그 위에 드레인 전극과 연결되는 화소 전극을 형성한다. 여기서, 소스 및 드레인 전극을 형성하는 단계는 제 1 내지 제 3 금속막을 증착하는 단계와, 상기 제 3 금속막 상부에 감광막 패터를 형성하는 단계, 상기 감광막 패터를 마스크로 상기 제 2 및 제 3 금속막을 패터닝하는 단계, 상기 패터닝된 제 3 금속막 상부의 감광막 패터를 제거하는 단계, 상기 패터닝된 제 3 금속막을 전면 식각하는 단계, 상기 패터닝된 제 2 금속막을 마스크로 상기 제 1 금속막을 패터닝하는 단계를 포함한다.

<28> 본 발명에서 제 2 금속막은 알루미늄과 알루미늄 합금 중의 어느 하나로 이루어질 수 있고, 제 1 금속막은 크롬으로 이루어질 수 있으며, 제 3 금속막은 폴리브텐으로 이루어질 수 있다.

<29> 한편, 제 2 및 제 3 금속막의 패터닝하는 단계는 인산과 질산 및 초산을 포함하는 식각액을 이용하여 이루어질 수 있다.

<30> 또한, 제 3 금속막을 전면 식각하는 단계는 과수를 이용하여 이루어질 수 있고, 제 1 금속막을 패터닝하는 단계는 질산을 포함하는 식각액을 이용하여 이루어질 수도 있다.

<31> 이와 같이, 본 발명에서는 3중막으로 소스 및 드레인 전극 형성시 감광막 패터를 형성하고 제 2 및 제 3 금속막을 패터닝한 후, 감광막 패터를 제거하고 제 3 금속막을 전면 식각한 다음, 제 1 금속막을 패터닝함으로써, 선폭을 균일성을 확보하고 불량을 감소시킬 수 있다.

<32> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 대하여 상세히 설명한다.

<33> 도 2는 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판의 평면도이고, 도 3은 도 2에서 III-III선을 따라 자른 단면도이다.

<34> 도시한 바와 같이, 본 발명에 따른 어레이 기판에서는 절연 기판(110) 위에 금속 물질로 이루어진 가로 방향의 게이트 배선(121)과 게이트 배선(121)에서 연장된 게이트 전극(122)이 형성되어 있다.

<35> 이어, 그 위에 실리콘 질화막이나 실리콘 산화막으로 이루어진 게이트 절연막(130)이 형성되어 게이트 배선(121)과 게이트 전극(122)을 덮고 있다.

<36> 게이트 전극(122) 상부의 게이트 절연막(130) 위에는 비정질 실리콘으로 이루어진 액티브층(141)이 형성되어 있으며, 그 위에 불순물이 도핑된 비정질 실리콘으로 이루어진 오믹 콘택층(151, 152)이 형성되어 있다.

<37> 다음, 오믹 콘택층(151, 152) 상부에는 금속 물질로 이루어지고 게이트 배선과 직교하여 화소 영역을 정의하는 데이터 배선(161), 데이터 배선(161)에서 연장된 소스 전극(162), 그리고 게이트 전극(122)을 중심으로 소스 전극(162)과 마주 대하는 드레인 전극(163)이 형성되어 있는데, 소스 및 드레인 전극(162, 163)은 게이트 전극(122)과 함께 박막 트랜지스터(T1)를 이룬다. 여기서, 데이터 배선(161)과 소스 및 드레인 전극(162, 163)은 다

중막으로 이루어진다.

- <38> 이어, 데이터 배선(161)과 소스 및 드레인 전극(162, 163) 위에는 보호층(170)이 형성되어 있으며, 보호층(170)은 드레인 전극(163)을 드러내는 콘택홀(171)을 가진다.
- <39> 다음, 보호층(170) 상부의 화소 영역에는 투명 도전 물질로 이루어진 화소 전극(181)이 형성되어 있다. 화소 전극(181)은 콘택홀(171)을 통해 드레인 전극(163)과 연결되고, 게이트 배선(121)과 중첩하여 스토리지 커패시터(storage capacitor)를 이룬다.
- <40> 이러한 본 발명에 따른 어레이 기판의 제조 과정을 도 4a 내지 도 4e를 참조하여 설명한다. 도 4a 내지 도 4e는 도 2의 III-III선을 따라 자른 단면에 해당한다.
- <41> 도 4a에 도시한 바와 같이, 절연 기판(110) 위에 금속 물질을 증착하고 패터닝하여 게이트 배선(121)과 게이트 전극(122)을 형성한다.
- <42> 이어, 도 4b에 도시한 바와 같이 게이트 절연막(130)을 형성하고, 그 위에 비정질 실리콘 및 불순물이 도핑된 비정질 실리콘을 순차적으로 증착한 후 패터닝하여, 게이트 전극(122) 상부에 액티브층(141)과 불순물 반도체층(153)을 형성한다.
- <43> 다음, 도 4c에 도시한 바와 같이 제 1 내지 제 3 금속막을 스퍼터링 방법으로 증착하고 패터닝하여 소스 전극(162), 드레인 전극(163)을 형성하는데, 이 과정에 대해서는 이후 다시 설명하기로 한다. 다음, 소스 전극(162)과 드레인 전극(163) 사이에 드러난 불순물 반도체층(도 4b의 153)을 식각하여 오믹 콘택층(151, 152)을 완성한다. 이때, 소스 전극(162)과 연결되어 있는 데이터 배선(도시하지 않음)도 함께 형성된다.
- <44> 다음, 도 4d에 도시한 바와 같이 무기 절연막이나 유기 절연막을 증착하여 보호막(170)을 형성하고, 이를 패터닝하여 드레인 전극(163)의 일부를 드러내는 콘택홀(171)을 형성한다.
- <45> 다음, 도 4e에 도시한 바와 같이 인듐-틴-옥사이드(indium-tin-oxide)와 같은 투명 도전 물질을 증착하고 패터닝하여 화소 전극(181)을 형성한다. 여기서, 화소 전극(181)은 콘택홀(171)을 통해 드레인 전극(163)과 연결되고, 게이트 배선(121)과 중첩한다.
- <46> 앞서 언급한 바와 같이, 본 발명에 따른 소스 및 드레인 전극 형성 과정을 도 5a 내지 도 5f를 참조하여 설명한다.
- <47> 먼저, 도 5a에 도시한 바와 같이 게이트 전극(122)과 게이트 절연막(130), 그리고 액티브층(141)과 불순물 반도체층(153)이 차례로 형성되어 있는 기판(110) 상부에 제 1 내지 제 3 금속막(160a, 160b, 160c)을 순차적으로 증착한다. 이때, 제 1 내지 제 3 금속막(160a, 160b, 160c)은 스퍼터링(sputtering) 방법으로 증착할 수 있으며, 제 1 내지 제 3 금속막(160a, 160b, 160c)은 각각 30 내지 1,000 Å, 1,000 내지 3,000 Å, 그리고 30 내지 1,000 Å의 두께로 형성할 수 있다. 여기서, 제 2 금속막(160b)은 알루미늄-네오디뮴(AlNd) 합금으로 이루어지는데, 제 1 금속막(160a)은 제 2 금속막(160b)이 하부막으로 침투하는 것을 방지하기 위한 것으로, 크롬(Cr)으로 이루어질 수 있다. 또한, 제 3 금속막(160c)은 제 2 금속막(160a)과 화소 전극 간의 접촉저항을 향상시키기 위한 것으로, 몰리브덴(Mo)으로 이루어질 수 있다.
- <48> 다음, 도 5b에 도시한 바와 같이 제 3 금속막(160c) 상부에 소스 및 드레인 전극을 형성하기 위한 감광막(photo-resist) 패턴(210)을 형성한다. 감광막 패턴(210)은 감광막을 도포 후 노광 및 현상함으로써 이루어진다.
- <49> 다음, 도 5c에 도시한 바와 같이 감광막 패턴(210)을 마스크로 제 3 금속막(도 5b의 160c)과 제 2 금속막(도 5b의 160b)을 패터닝하여 제 2 및 제 3 금속막 패턴(162b, 162c, 163b, 163c)을 형성한다. 이때, 제 3 금속막(도 5b의 160c)과 제 2 금속막(도 5b의 160b)은 인산과 질산 및 초산을 포함하는 식각액을 이용하여 패터닝할 수 있다.
- <50> 이어, 도 5d에 도시한 바와 같이 감광막 패턴(210)을 제거한다.
- <51> 다음, 도 5e에 도시한 바와 같이 제 1 금속막(160a)의 식각 균일도가 저하되는 것을 방지하기 위해, 제 3 금속막 패턴(도 5d의 162c, 163c)을 전면 식각한다. 이때, 과산화수소(H₂O₂)를 이용하여 식각할 수 있는데, 제 3 금속막 패턴(도 5d의 162c, 163c)은 완전히 제거되지 않고 제 2 금속막 패턴(162b, 163b) 상부에서 얇은 막층을 이룬다.

- <52>** 다음, 도 5f에 도시한 바와 같이 제 2 금속막 패턴(162b, 163b)을 마스크로 제 1 금속막(도 5f의 160a)을 패터닝하여 소스 및 드레인 전극(162a, 162b, 163a, 163b)을 완성한다. 여기서, 제 1 금속막(160a)은 질산을 포함하는 식각액을 이용하여 패터닝한다. 다음, 상기 소스 전극(162a, 162b)과 드레인 전극(163a, 163b) 사이에 드러난 불순물 반도체층(도 5e의 153)을 식각하여 오믹콘택층(151, 152)을 완성한다.
- <53>** 이와 같이, 본 발명에서는 선풍을 균일하게 하면서 3중막으로 소스 및 드레인 전극 형성할 수 있다.
- <54>** 본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

발명의 효과

- <55> 본 발명에 따른 액정 표시 장치용 어레이 기판의 제조 방법에서는 3중막으로 소스 및 드레인 전극 형성시 감광막 패턴을 형성하고 제 2 및 제 3 금속막을 패터닝한 후, 감광막 패턴을 제거하고 제 3 금속막을 전면 식각한 다음, 제 1 금속막을 패터닝함으로써, 선평의 균일성을 확보하고 불량률을 감소시킬 수 있다.

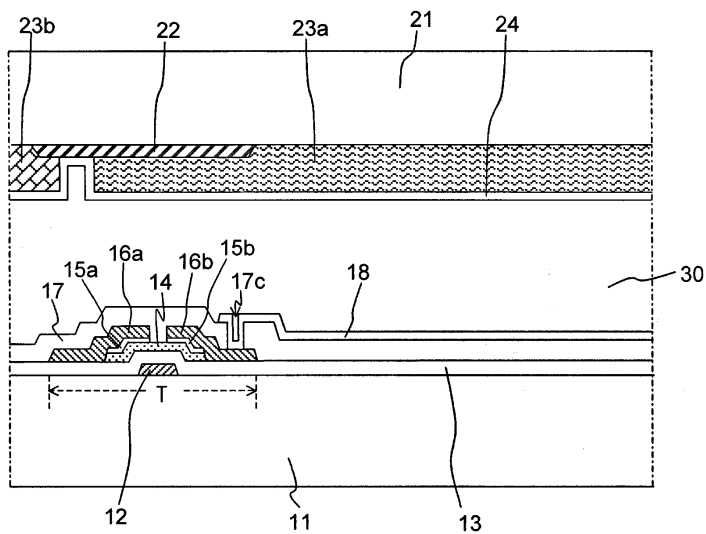
도면의 간단한 설명

- <1> 도 1은 일반적인 액정 표시 장치에 대한 단면도.
- <2> 도 2는 본 발명의 실시예에 따른 액정 표시 장치용 어레이 기판의 평면도.
- <3> 도 3은 도 2에서 III-III선을 따라 자른 단면도.
- <4> 도 4a 내지 도 4e는 본 발명에 따른 어레이 기판의 제조 과정을 도시한 단면도.
- <5> 도 5a 내지 도 5f는 본 발명에 따른 소스 및 드레인 전극 형성 과정을 도시한 단면도.

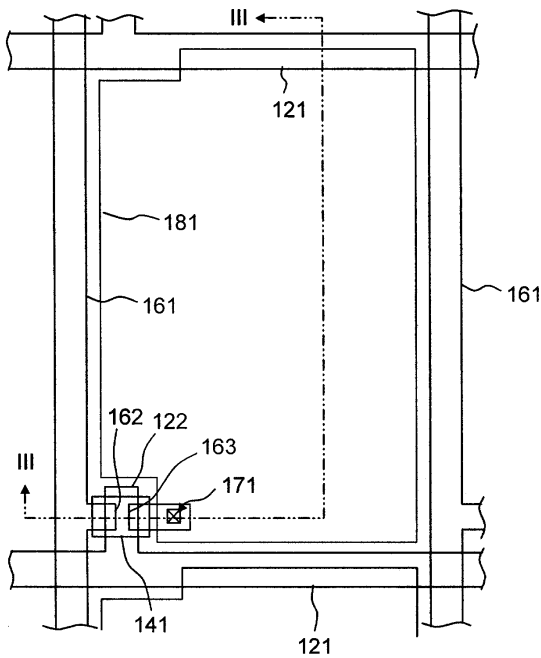
- | | | |
|------|--------------------------|--------------------|
| <6> | < 도면의 주요 부분에 대한 부호의 설명 > | |
| <7> | 110 : 기관 | 122 : 게이트 전극 |
| <8> | 130 : 게이트 절연막 | 141 : 액티브층 |
| <9> | 153 : 불순물 반도체층 | 162a, 162b : 소스 전극 |
| <10> | 163a, 163b : 드레인 전극 | |

도면

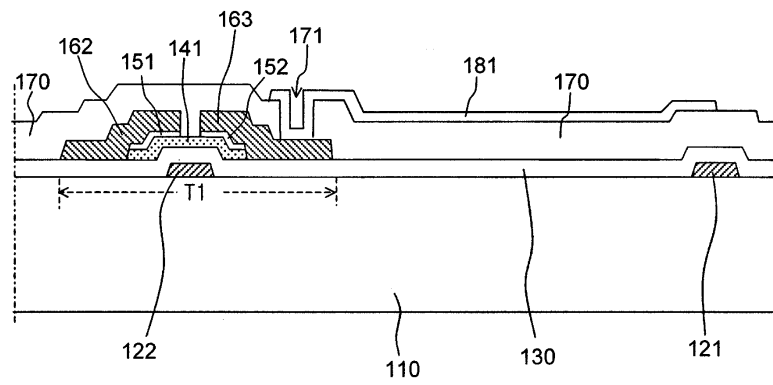
도면1



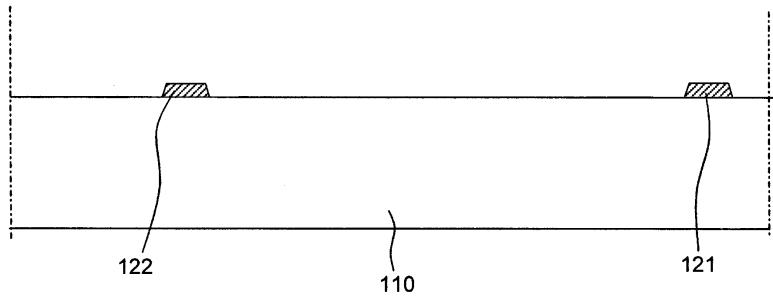
도면2



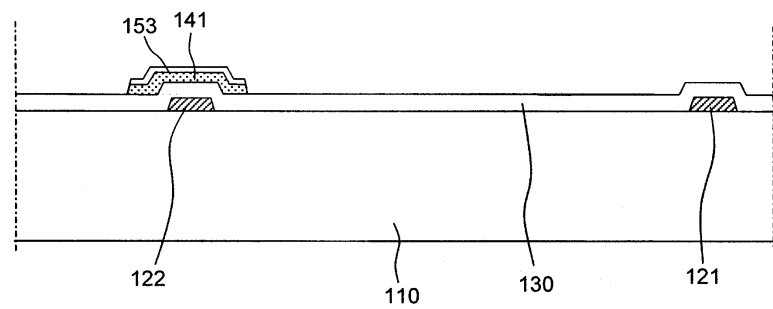
도면3



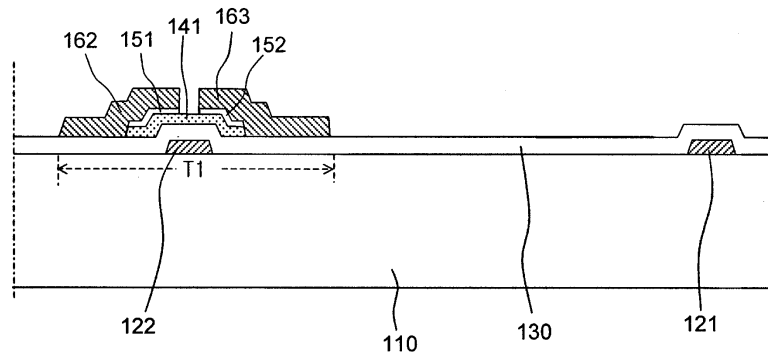
도면4a



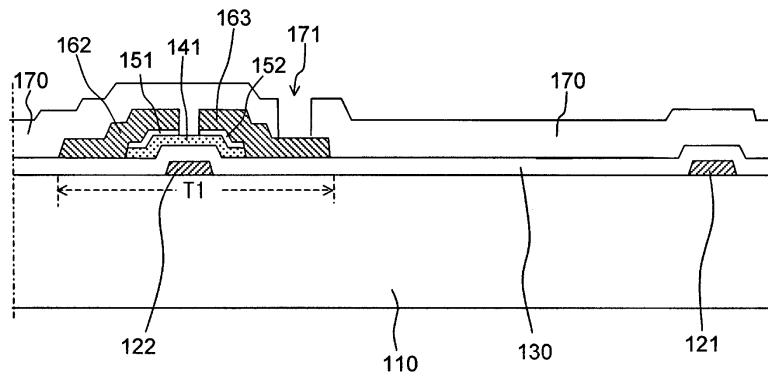
도면4b



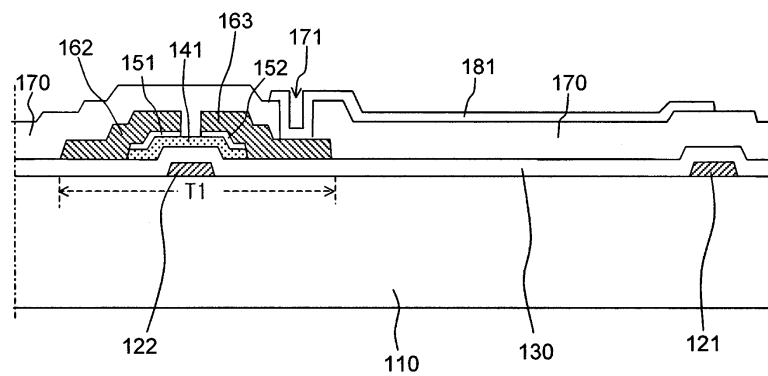
도면4c



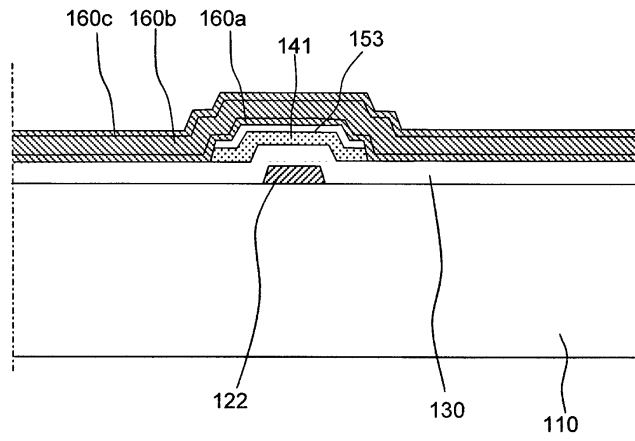
도면4d



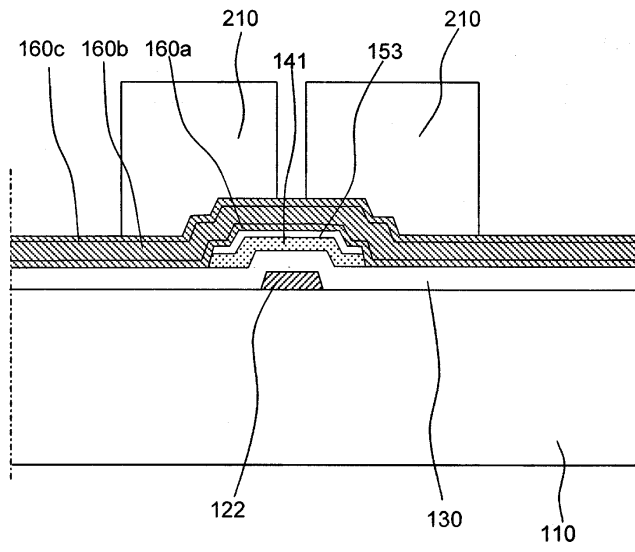
도면4e



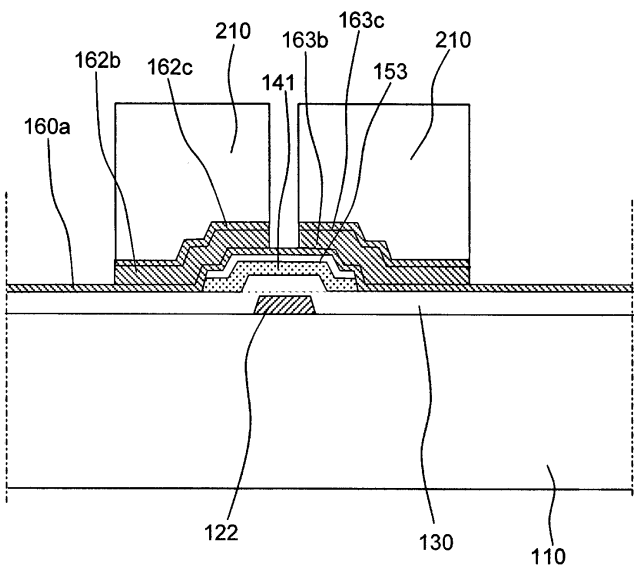
도면5a



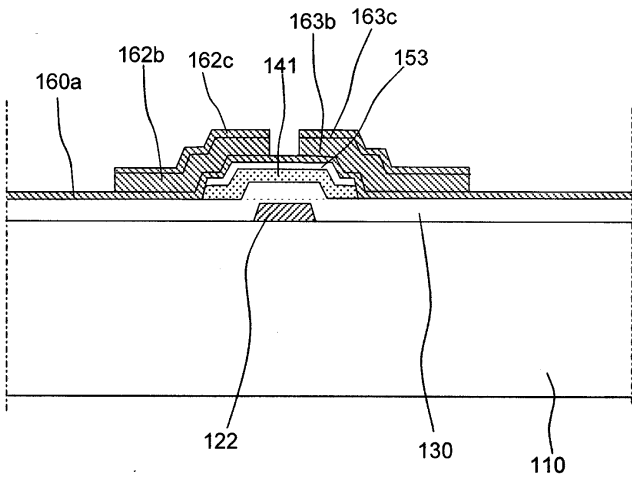
도면5b



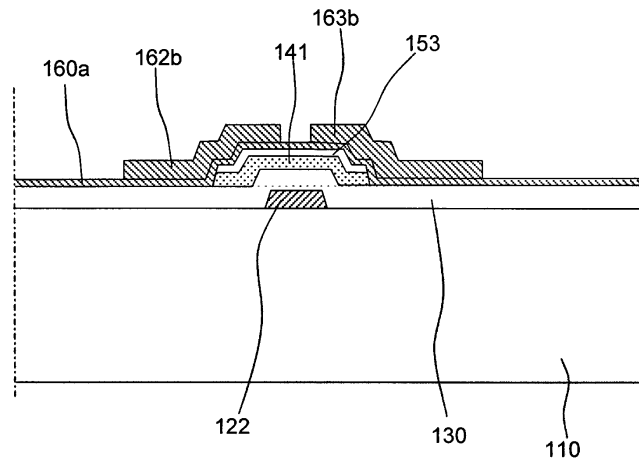
도면5c



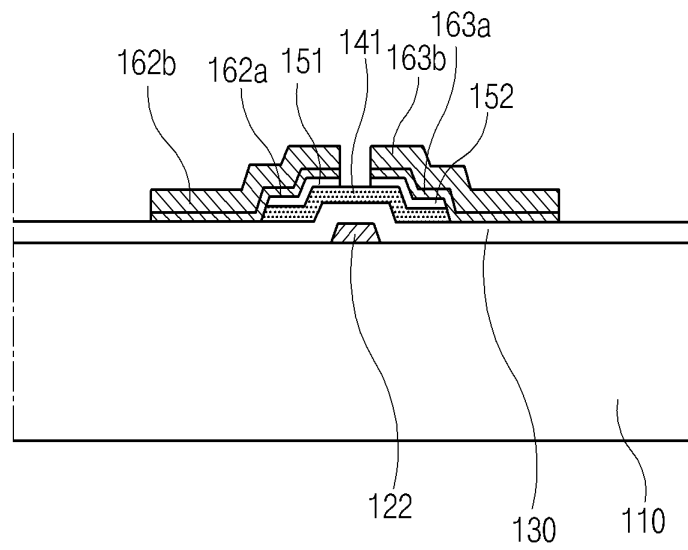
도면5d



도면5e



도면5f



专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR100854591B1	公开(公告)日	2008-08-27
申请号	KR1020010087449	申请日	2001-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG BEUNGHWA 정병화 LEE HYUNGCHAN 이형찬 LEE YOUNBO 이연보 KWON OHKEY 권오기		
发明人	정병화 이형찬 이연보 권오기		
IPC分类号	G02F1/1333		
其他公开文献	KR1020030057077A		
外部链接	Espacenet		

摘要(译)

制造用于液晶显示器的阵列基板的方法技术领域 传统上，当源电极和漏电极由多个膜形成时，下膜受上膜的蚀刻影响，布线宽度不均匀，并且随着漏电流增加，薄膜晶体管的特性降低。在本发明中，使用三层膜在形成源极和漏极时形成光致抗蚀剂图案，图案化第二和第三金属膜，去除光致抗蚀剂图案，在正面蚀刻第三金属膜，可以确保均匀性并减少缺陷。

