



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.	(45) 공고일자	2007년08월24일
G09G 3/36 (2006.01)	(11) 등록번호	10-0751958
G02F 1/133 (2006.01)	(24) 등록일자	2007년08월17일

(21) 출원번호	10-2000-0012415	(65) 공개번호	10-2000-0062850
(22) 출원일자	2000년03월13일	(43) 공개일자	2000년10월25일
심사청구일자	2005년02월18일		

(30) 우선권주장	99-69643	1999년03월16일	일본(JP)
	99-74789	1999년03월19일	일본(JP)

(73) 특허권자 소니 가부시끼 가이샤
일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자 우치노가쓰히데
일본국도쿄도시나가와구키타시나가와6쵸메7반35고소니가부시끼가이샤내

노다가즈히로
일본국도쿄도시나가와구키타시나가와6쵸메7반35고소니가부시끼가이샤내

마에카와도시카즈
일본국도쿄도시나가와구키타시나가와6쵸메7반35고소니가부시끼가이샤내

기타가와히데유키
일본국도쿄도시나가와구키타시나가와6쵸메7반35고소니가부시끼가이샤내

(74) 대리인 김재만
유미특허법인

(56) 선행기술조사문헌	
EP0838801 A1	JP05134629 A
US05253091 A1	US05790092 A1
EP0737957 A1	EP0755044 A1
JP10143113 A	

심사관 : 이병우

전체 청구항 수 : 총 6 항

(54) 액정 표시 장치, 그 구동 방법 및 액정 표시 시스템

(57) 요약

본원 제1 발명: 도트 반전 구동에서는, 인접하는 좌우의 화소에 기입되는 영상 신호의 극성이 상이하기 때문에, 개구부의 코너에 도메인이 발생해 버리고, 그 결과 화소의 개구율이 저하되어 투과율을 떨어뜨리게 된다.

점순차(点順次) 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치에 있어서, 게이트 라인(Vg1~Vg5)을 상하 2 라인의 화소 간에서 사행(蛇行) 배선하고, 또한 Cs 라인을 매트릭스형으로 배선하여, 서로 역(逆)극성의 영상 신호(video1, 2)를 상이한 상하 2 라인의 화소에 동시에 기입하는 동시에, 기입한 후의 화소 배열에서 화소의 극성을, 인접하는 좌우의 화소에서 동극성으로 하고, 상하의 화소에서 역극성으로 한다.

본원의 제2 발명: 2 스텝 일괄 프리차지 방식은, 수평 블랭킹 기간이 짧은 그래픽스 표시 규격의 경우에는 적용할 수 없다.

점 순차 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치에 있어서, 각 열마다 배선된 신호 라인(sig1A~sig4A)의 각각과, 흑 레벨의 프리차지 신호(Psig-black)를 입력하는 프리차지 신호 라인(18-1A) 및 그레이 레벨의 프리차지 신호(Psig-gray)를 입력하는 프리차지 신호 라인(18-2A)과의 사이에, 2 계통의 샘플링 스위치(Pb1A~Pb4A 및 Pg1A~Pg4A)를 접속하고, 신호 라인(sig1A~sig4A)마다 먼저, 흑 레벨의 프리차지 신호(Psig-black)를, 계속해서 그레이 레벨의 프리차지 신호(Psig-gray)를 차례로 기입하고, 그 후에 영상 신호(video)를 기입하도록 한다.

대표도

도 1

특허청구의 범위

청구항 1.

매트릭스형으로 배치된 각 화소를 행 방향의 라인마다 화소 단위로 차례로 구동하는 액정 표시 장치로서,

상기 매트릭스형으로 배치된 각 화소의 화소 트랜지스터의 게이트 라인이 상하 두 라인의 화소 간에 사행(蛇行)하여 배선되고,

서로 역(逆) 극성의 영상 신호를 입력으로 하고, 이 역 극성의 영상 신호를 상이한 라인의 화소에 동시에 기입하는 동시에, 영상 신호를 기입한 후의 화소 배열에서 화소의 극성을, 행 방향으로 인접하는 화소는 동 극성으로 하고, 열 방향으로 인접하는 화소는 역 극성으로 하는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

삭제

청구항 3.

제1항에 있어서,

상기 화소는 화소 트랜지스터와 상기 화소 트랜지스터의 소스단 또는 드레인단에 일단의 전극이 접속된 유지 용량을 포함하고, 상기 유지 용량의 타단의 전극은 각 화소의 유지 용량을 공통으로 접속하는 접속 라인에 접속되어 있으며, 상기 접속 라인은 매트릭스형으로 배선된 것을 특징으로 하는 액정 표시 장치.

청구항 4.

매트릭스형으로 배치된 각 화소를 행 방향의 라인마다 화소 단위로 차례로 구동하는 액정 표시 장치의 구동 방법에 있어서,

상기 매트릭스형으로 배치된 각 화소의 화소 트랜지스터의 게이트 라인이 상하 두 라인의 화소 간에 사행(蛇行)하여 배선되고,

서로 역극성의 영상 신호를 입력하고, 이 역극성의 영상 신호를 상이한 라인의 화소에 동시에 기입하는 동시에, 영상 신호를 기입한 후의 화소 배열에서 화소의 극성을, 행 방향으로 인접하는 화소는 동 극성으로 되고, 열 방향으로 인접하는 화소는 역 극성으로 되도록 구동하는 것을 특징으로 하는 액정 표시 장치의 구동 방법.

청구항 5.

매트릭스형으로 배치된 각 화소를 행방향의 라인마다 화소 단위로 차례로 구동하는 구동 방식을 채용하여, 상기 매트릭스형으로 배치된 각 화소의 화소 트랜지스터의 게이트 라인이 상하 두 라인의 화소 간에 사행하여 배선되어 있고, 서로 역극성의 영상 신호를 입력으로 하고, 이 역 극성의 영상 신호를 상이한 라인의 화소에 동시에 기입하는 동시에, 영상 신호를 기입한 후의 화소 배열에서 화소의 극성을, 행 방향으로 인접하는 화소는 동 극성으로 하고, 열 방향으로 인접하는 화소는 역 극성으로 하는, 액정 표시 수단과,

홀수 화소의 영상 신호 및 짝수 화소의 영상 신호를 소정의 라인수에 상당하는 시간만큼 시간적으로 어긋나게 하여 입력하는 지연 처리 수단과,

상기 지연 처리 수단을 거친 상기 홀수 화소의 영상 신호 및 상기 짝수 화소의 영상 신호에 따라 상기 액정 표시 장치를 구동하는 구동 수단을 구비하는 것을 특징으로 하는 액정 표시 시스템.

청구항 6.

삭제

청구항 7.

제5항에 있어서,

상기 액정 표시 수단에서, 상기 화소는 상기 화소 트랜지스터와 상기 화소 트랜지스터의 소스단 또는 드레인 단에 일단의 전극이 접속된 유지 용량을 포함하고, 상기 유지 용량의 타단의 전극은 각 화소의 유지 용량을 공통으로 접속하는 접속 라인에 접속되어 있으며, 상기 접속 라인은 매트릭스형으로 배선된 것을 특징으로 하는 액정 표시 시스템.

청구항 8.

제5항에 있어서,

상기 지연 처리 수단은,

상기 소정의 라인수에 상당하는 시간을 지연 시간으로 하는 지연 수단과,

홀수 화소의 영상 신호와 짝수 화소의 영상 신호를 두 입력으로 하고, 스캔 방향 제어 신호에 따라 두 입력 중 한쪽을 선택하여, 상기 지연 수단에 공급하는 선택 수단을 가지는 것을 특징으로 하는 액정 표시 시스템.

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치, 그 구동 방법 및 액정 표시 시스템에 관한 것이며, 특히 매트릭스형으로 배치된 각 화소를 라인(행)마다 화소 단위로 차례로 구동하는 점순차(点顺次) 구동 방식의 액티브 매트릭스형 액정 표시 장치, 그 구동 방법 및 그 액정 표시 장치를 사용한 액정 표시 시스템에 관한 것이다.

먼저, 본원이 해결하려고 하는 제1 과제에 대하여 설명한다. 액티브 매트릭스형 액정 표시 장치에서는, 통상 각 화소의 스위칭 소자로서 박막 트랜지스터(TFT:thin film transistor)가 사용되고 있다. 이 액티브 매트릭스형 TFT 액정 표시 장치 구성의 일예를 도 7에 나타냈다. 여기에서는, 간단하게 하기 위해, 4행 4열의 화소 배열의 경우를 예로 들어 나타내고 있다.

도 7에서, 게이트 라인(Vg1~Vg4)의 각각과 신호 라인(sig1~sig4)의 각각의 교차부에, 화소(101)가 매트릭스형으로 배치되어 있다. 이 화소(101)는 게이트 전극이 게이트 라인(Vg1~Vg4)에, 소스 전극(또는, 드레인 전극)이 신호 라인(sig1~sig4)에 각각 접속된 박막 트랜지스터(TFT)와, 이 박막 트랜지스터(TFT)의 드레인 전극(또는, 소스 전극)에 한쪽의 전극이 접속된 유지 용량(Cs)을 가지는 구성으로 되어 있다. 그리고, 여기에서는, 도면의 간단화를 위해, 액정 셀(LC)에 대해서는 생략하고 있다. 이 액정 셀(LC)은 그 화소 전극이 박막 트랜지스터(TFT)의 드레인 전극에 접속되어 있다.

이 화소 구조에서, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽의 전극은 각 화소 간에서 공통으로 Cs 라인(102)에 접속되어 있다. 그리고, 이 Cs 라인(102)을 통해 소정의 직류 전압이 공통 전압(Vcom)으로서, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽의 전극에 주어지도록 되어 있다.

스캔 드라이버(103)는 1 수직 기간(垂直期間)(1 필드 기간)마다 게이트 라인(Vg1~Vg4)을 차례로 주사(走査)하여 화소(101)를 행 단위로 선택하는 처리를 행한다. 한편, 소스 드라이버(104)는, 예를 들면 2 계통으로 입력되는 영상 신호(video1, 2)를 1 수평 기간(1H)마다 차례로 샘플링하고, 스캔 드라이버(103)에 의해 선택된 행의 화소(101)에 대하여 기입하는 처리를 행한다.

이 소스 드라이버(104)에서, 구체적으로는, 화소부의 각 신호 라인(sig1~sig4)과, 영상 신호(video2, 1)의 각 입력 신호 라인(105-2, 105-1)과의 사이에 샘플링 스위치(sw1~sw4)가 교대로 접속되고, 이들 샘플링 스위치(sw1~sw2)가 2개씩 쌍이 되어 시프트 레지스터의 각 전송단(106-1, 106-2)으로부터 차례로 출력되는 샘플링 펄스(Vh1, Vh2)에 응답하여 차례로 온하도록 되어 있다.

상기 구성의 액티브 매트릭스형 TFT 액정 표시 장치에서, 그 구동 방식으로서, 각 화소를 1 라인(1 행)마다 화소 단위로 차례로 구동하는 점순차(點順次) 구동 방식이 알려져 있다. 이 점순차 구동 방식을 행할 때, 1H 반전 구동 방식에서는, 수평 1 라인은 샘플링 펄스(Vh1, Vh2)로 점순차로 샘플링 스위치(sw1~sw4)를 온 시키고, 도 8에 나타낸 바와 같이, 동극성의 영상 신호(video1과 video2가 동극성)를 각 신호 라인(sig1~sig4)을 통해 각 화소(101)에 기입하게 된다. 그 결과, 도 9에 나타낸 바와 같이, 인접하는 좌우의 화소에는, 동극성(+/-)의 영상 신호가 기입되게 된다.

그런데, Cs 라인(102)에는 인접하는 좌우의 각 화소 간에서 저항분(RCs)이 존재하고, 또한 Cs 라인(102)과 신호 라인(sig1~sig4)과의 사이에는 기생 용량(c1)이 존재하기 때문에, 저항분(RCs)과 유지 용량(Cs) 및 기생 용량(c1)으로 미분(微分) 회로가 형성되므로, 영상 신호(video1, 2)를 기입할 때, 유지 용량(Cs)이나 기생 용량(c1)을 통해 Cs 라인(102)이나 게이트 라인(Vg1~Vg4)에 영상 신호(video1, 2)가 뛰어 들게 된다.

이에 따라, 도 8에 나타낸 바와 같이, Cs 라인(102)의 전위(VCs)가 영상 신호(video1, 2)와 동극성의 방향으로 흔들리기(ΔVCs) 때문에, 도 10에 나타낸 횡(橫) 방향의 크로스토크(crosstalk)(이하, 횡 크로스토크라고 약칭함)가 현저하게 되거나, 셰이딩(shading) 불량을 일으켜, 화질이 크게 손상되게 된다. 도 10에서, 흑 영역으로 나타낸 부분이 실제로 표시되는 실제 화상(111)이라고 하면, 횡 크로스토크에 의해 실제 화상(111)의 횡 방향으로 위화상(僞畫像)(산점(散点) 영역으로 나타낸 부분)(112)이 발생한다.

또, 화소(101)가 화소 정보를 1 필드 기간 유지하고 있는 사이에, 신호 라인(sig1~sig4)의 전위(Vsig)가 1H마다 흔들린다($\Delta Vsig$). 여기에서, 1H 반전 구동 방식의 경우에는, 인접하는 좌우의 화소에 기입되는 영상 신호의 극성이 동일하기 때문에, 신호 라인(sig1~sig4)의 전위 동요(動搖)($\Delta Vsig$)는 커진다.

그리고, 화소(101)의 각각에 있어서, 박막 트랜지스터(TFT)의 소스/드레인 전극과 신호 라인(sig1~sig4)의 각각과의 사이에도 기생 용량이 존재하기 때문에, 신호 라인(sig1~sig4)의 전위 동요($\Delta Vsig$)가 박막 트랜지스터(TFT)의 소스/드레인 커패시터에 의해 화소로 뛰어 들기 때문에, 종(縱) 방향의 크로스토크(이하, 종 크로스토크라고 약칭함)가 현저하게 되어, 횡 크로스토크와 마찬가지로 화질 불량률의 원인이 된다.

이 Cs 라인(102)의 전위 동요(ΔVCs)나, 신호 라인(sig1~sig4)의 전위 동요($\Delta Vsig$)를 일으키지 않는 구동 방법으로서, 도트 반전 구동 방식이 있다. 이 도트 반전 구동 방식의 경우에는, 2개의 영상 신호(video1, 2)를 역(逆)극성으로 입력한다(단, 1H 반전 구동 방식의 경우와 마찬가지로, 역극성의 영상 신호(video1, 2)의 각 극성은 1H마다 반전됨). 이에 따라, 샘플링 펄스(Vh1)에 응답하여 스위치(sw1, sw2)가 온되면, 영상 신호(video1)와 영상 신호(video2)는, 도 11에 나타낸 바와 같이, 동시에 역극성으로 기입되기 때문에, 전위의 동요(ΔVCs , $\Delta Vsig$)가 인접하는 화소 간에서 캔슬되므로, 1H 반전 구동 방식의 경우와 같은 화질 불량률의 문제는 일어나지 않는다.

그러나, 전술한 도트 반전 구동 방식의 경우에는, 도 12에서 명백한 바와 같이, 인접하는 좌우 화소에 기입되는 영상 신호(video1, 2)의 극성이 상이하기 때문에, 인접 화소의 전계 영향을 받게 된다. 그러면, 도 13에 나타낸 바와 같이, 개구부(121)의 코너에 도메인(광누락 영역)(122)이 발생해 버리고, 이 부분을 개구부(121)로서 사용할 수 없게 되기 때문에, 차광부(123)로 하지 않을 수 없다. 따라서, 화소의 개구율이 저하되어, 투과율을 떨어뜨리게 되기 때문에, 콘트라스트가 저하되어, 화질 불량을 초래하게 된다.

다음에, 본원이 해결하고자 하는 제2 과제를 설명한다. 액티브 매트릭스형 액정 표시 장치에서는, 통상 각 화소의 스위칭 소자로서 박막 트랜지스터(TFT: thin film transistor)가 사용되고 있다. 이 액티브 매트릭스형 TFT 액정 표시 장치에서, 점순차 구동을 행할 때, 각 화소에 인가하는 영상 신호의 극성을 1H(H는 수평 기간)마다 반전시키는 1H 반전 구동 방식에서는, 화소부의 각 열마다 배선된 신호 라인에의 영상 신호 기입에 의한 충방전 전류가 크면, 세로줄로서 표시 화면 상에 보여 버리게 된다.

이 영상 신호의 기입에 의한 충방전 전류를 가능한 한 억제하기 위해, 영상 신호의 기입에 앞서, 미리 프리차지 신호 레벨을 기입하는 프리차지 방식이 알려져 있다. 이 점순차 프리차지 방식의 액티브 매트릭스형 TFT 액정 표시 장치 구성의 일 예를 도 18에 나타냈다. 여기에서는, 간단하게 하기 위해, 4행 4열의 화소 배열의 경우를 예로 들어 나타내고 있다.

도 18에서, 게이트 라인(Vg1A~Vg4A)의 각각과 신호 라인(sig1A~sig4A)의 각각의 교차부에, 화소(101A)가 매트릭스 형으로 배치되어 있다. 이 화소(101A)는 게이트 전극이 게이트 라인(Vg1A~Vg4A)에, 소스 전극(또는, 드레인 전극)이 신호 라인(sig1A~sig4A)에 각각 접속된 박막 트랜지스터(TFT)와, 이 박막 트랜지스터(TFT)의 드레인 전극(또는, 소스 전극)에 한쪽의 전극이 접속된 지지 용량(Cs)을 가지는 구성으로 되어 있다. 그리고, 여기에서는, 도면의 간단화를 위해 액정 셀(LC)에 대해서는 생략하고 있다. 이 액정 셀(LC)은 그 화소 전극이 박막 트랜지스터(TFT)의 드레인 전극에 접속되어 있다.

이 화소 구조에서, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽 전극은 각 화소 간에서 공통으로 Cs 라인(102A)에 접속되어 있다. 그리고, 이 Cs 라인(102A)을 통해 소정의 직류 전압이 공통 전압(Vcom)으로서, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽 전극에 주어져도 된다.

화소부의 예를 들면, 좌측에는 스캔 드라이버(103A)가 배치되어 있다. 이 스캔 드라이버(103A)는 1 수직 기간(1 필드 기간)마다 게이트 라인(Vg1A~Vg4A)을 차례로 주사하여 화소(101A)를 행 단위로 선택하는 처리를 행한다. 또, 화소부의 예를 들면, 상측에는 소스 드라이버(104A)가, 화소부의 예를 들면, 하측에는 프리차지 드라이버(105A)가 각각 배치되어 있다.

소스 드라이버(104A)는 영상 신호 라인(106A)을 통해 입력되는, 1H마다 극성이 반전되는 영상 신호(video)를 차례로 샘플링하고, 스캔 드라이버(103A)에 의해 선택된 행의 화소(101A)에 대하여 기입하는 처리를 행한다. 즉, 화소부의 각 신호 라인(sig1A~sig4A)과 영상 신호 라인(106A)과의 사이에 접속된 샘플링 스위치(hsw1A~hsw4A)가 시프트 레지스터의 각 전송단(107-1A~107-4A)으로부터 차례로 출력되는 샘플링 펄스(Vh1~Vh4)에 응답하여 차례로 온하도록 되어 있다.

프리차지 드라이버(105A)는 프리차지 신호 라인(108A)을 통해 영상 신호(video)와 동기성으로 입력되는 프리차지 신호 레벨(Psig)을 차례로 샘플링하고, 스캔 드라이버(103A)에 의해 선택된 행의 화소(101A)에 대하여 영상 신호(video)에 앞서 기입하는 처리를 행한다. 즉, 화소부의 각 신호 라인(sig1A~sig4A)과 프리차지 신호 라인(108A)과의 사이에 접속된 샘플링 스위치(psw1A~psw4A)가 시프트 레지스터의 각 전송단(109-1A~109-4A)으로부터 차례로 출력되는 샘플링 펄스(Vp1~Vp4)에 응답하여 차례로 온하도록 되어 있다.

다음에, 상기 구성의 점순차 프리차지 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 동작에 대하여, 도 19의 타이밍 차트를 사용하여 설명한다.

먼저, 프리차지 드라이버(105A)에서의 시프트 레지스터의 각 전송단(109-1A~109-4A)으로부터는, 프리차지 스타트 펄스(Pst)에 응답하여 샘플링 펄스(Vp1~Vp4)가 수평 클록(CK)에 동기하여 차례로 출력된다. 한편, 소스 드라이버(104A)에서의 시프트 레지스터의 각 전송단(107-1A~107-4A)으로부터는, 수평 스타트 펄스(Hst)에 응답하여, 샘플링 펄스(Vp1~Vp4)에 대하여 수평 클록(CK)의 반(半)클록분만큼 지연되고, 샘플링 펄스(Vh1~Vh4)가 수평 클록(CK)에 동기하여 차례로 출력된다.

이에 따라, 스캔 드라이버(103A)에 의해 차례로 선택되는 각 행마다, 먼저 샘플링 펄스(Vp1A)에 응답하여 샘플링 스위치(psw1A)가 온됨으로써 프리차지 신호 레벨(Psig)이 신호 라인(sig1A)에 기입되고, 계속해서 샘플링 펄스(Vh1)에 응답하여 샘플링 스위치(hsw1A)가 온됨으로써 영상 신호 레벨(video)이 신호 라인(sig1A)에 기입된다. 이후, 샘플링 펄스(Vp2~Vp4) 및 샘플링 펄스(Vh2~Vh4)에 의해 프리차지 신호 레벨(Psig) 및 영상 신호 레벨(video)이 점순차로 신호 라인(sig1A)에 기입된다.

이와 같이, 액티브 매트릭스형 TFT 액정 표시 장치에서, 영상 신호(video)의 신호 라인(sig1A~sig4A)에의 기입에 앞서, 미리 프리차지 신호 레벨(Psig)을 점순차로 기입해 두도록 함으로써, 영상 신호(video)를 기입할 때의 신호 레벨은 작게 되어, 영상 신호(video)의 기입 시의 충방전 전류를 억제할 수 있기 때문에, 세로줄의 발생을 방지할 수 있는 것이다.

그런데, 프리차지 신호 레벨(Psig)로서는, 세로줄이 가장 보이기 쉬운 그레이(gray) 레벨로 설정해야 한다. 그러나, 프리차지 신호 레벨(Psig)을 그레이 레벨로 설정하면, 원도 패턴 등을 표시했을 때, 화소 트랜지스터(박막 트랜지스터)의 소스/드레인 간에서의 광 리크량이 영상의 장소에 따라 상이함에 기인하여, 종 방향의 크로스토크(이하, 종 크로스토크라고 약칭함)가 발생하고, 따라서 화면 품질을 손상하게 된다.

이 중 크로스토크가 발생하지 않도록 하기 위해서는, 프리차지 신호 레벨(Psig)을 흑(黑) 레벨로 설정하면 되며, 이에 따라 화소 트랜지스터의 소스/드레인 간의 리크 전류를 화면 전체에 걸쳐 균일하게 할 수 있다. 그런데, 프리차지 신호 레벨(Psig)을 흑 레벨로 설정하면, 전술한 세로줄이 발생하게 된다. 즉, 중 크로스토크와 세로줄은 트레이드 오프의 관계에 있다.

그래서, 본 출원인은 이전에 흑 레벨과 그레이 레벨을 2 스텝에서 일괄하여 프리차지하는, 이른바 2 스텝 일괄 프리차지 방식의 액티브 매트릭스형 TFT 액정 표시 장치를 제안했다. 이 2 스텝 일괄 프리차지 방식의 액티브 매트릭스형 TFT 액정 표시 장치 구성의 일예를 도 20에 나타냈다. 그리고, 점순차 프리차지 방식의 액티브 매트릭스형 TFT 액정 표시 장치와는 프리차지 드라이버의 구성이 상이할 뿐이다.

즉, 프리차지 드라이버(105'A)에서는, 흑 레벨과 그레이 레벨을 가지는 2 스텝의 프리차지 신호 레벨(Pstg)이 프리차지 신호 라인(108A)을 통해 입력되는 한편, 각 신호 라인(sig1A~sig4A)과 프리차지 신호 라인(108A)과의 사이에 접속된 샘플링 스위치(psw1A~psw4A)에는, 제어 라인(110A)을 통해 프리차지 제어 펄스(Pcg)가 공통으로 주어지도록 되어 있다.

도 21에, 2 스텝 일괄 프리차지 방식의 경우의 타이밍 관계를 나타냈다. 이 타이밍 차트에서 명백한 바와 같이, 프리차지 제어 펄스(Pcg)는 수평 블랭킹 기간에서 발생된다. 이에 따라, 수평 블랭킹 기간에서, 2 스텝 프리차지 신호(Pstg) 중, 먼저 흑 레벨이, 계속해서 그레이 레벨이 신호 라인(sig1A~sig4A)에 대하여 일괄하여 기입되고, 그 후 영상 신호(video)가 점순차로 신호 라인(sig1A~sig4A)에 기입되게 된다.

이와 같이, 수평 블랭킹 기간에 2 스텝의 프리차지 신호(Pstg)를 입력하고, 신호 라인(sig1A~sig4A)에 대하여 일괄하여 프리차지를 행함에 따라 먼저 흑 레벨을 기입함으로써, 화소 트랜지스터의 소스/드레인 간의 리크 전류에 기인하여 발생하는 중 크로스토크를 제거하고, 그 후 그레이 레벨을 기입함으로써, 영상 신호(video) 기입 시의 충방전 전류에 기인하여 발생하는 세로줄을 제거할 수 있다.

그러나, 이 2 스텝 일괄 프리차지 방식에서는, 중 크로스토크 및 세로줄의 쌍방을 제거하여 화질 불량을 개선할 수 있다고 하는 우수한 효과를 얻을 수 있지만, 수평 블랭킹 기간 내에서 흑 레벨과 그레이 레벨을 2 스텝에서 프리차지할 필요가 있기 때문에, 수평 블랭킹 기간이 짧은 영상 포맷에는 적용할 수 없다고 하는 과제가 있다.

최근, 고해상도화에 따라 화소수가 늘어나는 경향이 있고, 화소수가 늘어나면 그만큼 영상 포맷의 수평 블랭킹 기간이 짧아져, 하이비전(HD)이나 UCGA(ultra extended graphics array) 표시 규격 등에서는, 수평 블랭킹 기간이 매우 짧아진다. UXGA 표시 규격을 예로 들면, 수평 1600화소×수직 1400화소이며, 수평 블랭킹 기간이 예를 들면 2.4μsec이기 때문에, 게이트 라인(Vg1A~Vg4A)을 통해 각 화소 트랜지스터의 게이트에 인가되는 주사 펄스의 지연 등에 의해 프리차지 시간을 취할 수 없게 된다. 따라서, 2 스텝 일괄 프리차지 방식을 적용할 수 없게 된다.

발명이 이루고자 하는 기술적 과제

본원의 제1 발명은, 상기 제1 과제를 감안하여 이루어진 것이며, 그 목적으로 하는 것은, 화소의 개구율을 저하시키지 않고, 횡 크로스토크나 내면 셰이딩 등의 화면 불량의 개선을 가능하게 한 액정 표시 장치, 그 구동 방법 및 액정 표시 시스템을 제공하는 것에 있다.

상기 목적을 달성하기 위해, 본 발명에서는, 매트릭스형으로 배치된 각 화소를 라인마다 화소 단위로 차례로 구동하는 액정 표시 장치에 있어서, 서로 역극성의 영상 신호를 입력으로 하고, 이 역극성의 영상 신호를 상이한 라인의 화소에 동시에 기입하는 동시에, 영상 신호를 기입한 후의 화소 배열에서 화소의 극성을, 인접하는 좌우의 화소에서 동극성으로 하고, 상하의 화소에서 역극성으로 한다.

서로 역극성의 영상 신호를 입력하고, 인접하는 신호 라인에는 서로 역극성의 영상 신호를 부여함으로써, 도트 반전 구동 방식의 경우와 동일한 구동이 행해진다. 이 때, 영상 신호를 기입한 후의 화소 배열에서, 화소의 극성이 인접하는 좌우의 화소에서 동극성으로 되고, 상하의 화소에서 역극성이 되도록 구동이 행해짐으로써, 영상 신호를 기입한 후의 화소 배열은, 1H 반전 구동 방식의 경우와 마찬가지로, 인접하는 좌우의 화소에서 동극성이 된다.

또, 본원의 제2 발명은 상기 제2 과제를 감안하여 이루어진 것이며, 그 목적으로 하는 것은, 영상 포맷의 수평 블랭킹 기간이 짧은 그래픽스 표시 규격의 경우라도, 2 스텝의 프리차지를 실현 가능한 액정 표시 장치 및 그 구동 방법을 제공하는 것에 있다.

상기 목적을 달성하기 위해, 본 발명에서는 화소가 매트릭스형으로 배치되어 이루어지는 화소부를 행마다 화소 단위로 차례로 구동하는 액정 표시 장치에 있어서, 화소부의 각 열(列)마다 배선된 신호 라인마다, 먼저 흑 레벨의 프리차지 신호를, 계속해서 소정 레벨의 프리차지 신호를 차례로 기입하고, 그 후에 영상 신호를 기입하도록 한다.

점순차 구동 방식의 액티브 매트릭스형 액정 표시 장치에 있어서, 신호 라인의 각각에 대한 흑 레벨의 프리차지 신호 및 소정 레벨의 프리차지 신호를 기입하고, 즉 2 스텝의 프리차지를 영상 신호의 기입에 앞서 점순차로 행함으로써, 수평 블랭킹 기간에서 프리차지를 행할 필요가 없기 때문에, 수평 블랭킹 기간이 짧은 영상 포맷에도 적용 가능하게 된다.

발명의 구성

다음에, 먼저 본원의 제1 발명의 실시 형태에 대하여 도면을 참조하여 상세히 설명한다.

도 1은 본 발명의 한 실시 형태에 관한 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 회로도이다. 여기에서는, 간단하게 하기 위해, 6행 4열의 화소 배열의 경우를 예로 들어 나타내고 있다. 그리고, 1행째와 6행째에 대해서는, 화소에 1열 걸러 배치되어 있으며, 또 영상 신호를 기입하지 않고, 흑 신호를 기입하는 더미(dummy)의 화소 배열로 되어 있다.

도 1에서, 6행 $\times$ 4열분의 화소(11)가 매트릭스형으로 배치되어 있다. 단, 1행째에 대해서는 홀수열의 화소만이, 6행째에 대해서는 짝수열의 화소만이 더미 화소로서 각각 배치되어 있다. 화소(11)의 각각은 화소 트랜지스터인 박막 트랜지스터(TFT)와, 이 박막 트랜지스터(TFT)의 드레인 전극(또는, 소스 전극)에 한쪽의 전극이 접속된 유지 용량(Cs)을 가지는 구성으로 되어 있다. 그리고, 여기에서는 도면의 간단화를 위해, 액정 셀(LC)에 대해서는 생략하고 있다. 이 액정 셀(LC)은 그 화소 전극이 박막 트랜지스터(TFT)의 드레인 전극에 접속되어 있다.

이들 화소(11)의 각각에 대하여, 신호 라인(sig1~sig4)이 각 열마다 그 열 방향에 따라 배선되어 있다. 한편, 게이트 라인(Vg1~Vg5)은 각 행마다 그 행 방향에 따르지 않고, 상이한 라인 예를 들면, 상하 2 라인(상하 2행)의 화소(11, 11) 간에서 사행(蛇行)하여 배선되어 있다. 즉, 게이트 라인(Vg1)은 1행 1열째, 2행 2열째, 1행 3열째, 2행 4열째의 각 화소에 대하여 배선되어 있다. 게이트 라인(Vg2)은 2행 1열째, 3행 2열째, 2행 3열째, 3행 4열째의 각 화소에 대하여 배선되어 있다. 게이트 라인(Vg3, Vg4, Vg5)에 대해서도, 동일하게 하여 사행 배선되어 있다.

화소(11)의 각각에서, 박막 트랜지스터(TFT)의 소스 전극(또는, 드레인 전극)은 대응하는 신호 라인(sig1~sig4)의 각각에 접속되고, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽 전극은, 각 화소 간에서 공통으로 Cs 라인(12)에 접속되어 있다. 그리고, Cs 라인(12)은 도 1에서 명백한 바와 같이, 매트릭스형으로 배선되어 있다. 여기에서, 이 Cs 라인(12)을 통해 소정의 직류 전압이 공통 전압(Vcom)으로서, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽 전극에 주어지도록 되어 있다.

또, 게이트 라인(Vg1~Vg5)에 대한 접속 관계는 다음과 같이 되어 있다. 즉, 홀수열(1열, 3열)에 대해서는, 각행(1행째~5행째)마다 대응하는 행의 게이트 라인(Vg1~Vg5)에 각 화소의 박막 트랜지스터(TFT)의 게이트 전극이 접속되고, 짝수열(2열, 4열)에 대해서는, 각행(2행째~6행째)마다 1행 상의 행의 게이트 라인(Vg1~Vg5)에 각 화소의 박막 트랜지스터(TFT)의 게이트가 접속되어 있다.

상기 구성의 화소부에서, 게이트 라인(Vg1~Vg5)의 각 일단은, 화소부의 예를 들면, 좌측에 배치된 수직 구동 회로인 스캔 드라이버(14)의 각 행의 출력단에 접속되어 있다. 이 스캔 드라이버(13)는 1 수직 기간(1 필드 기간)마다 게이트 라인(Vg1~Vg5)을 차례로 주사하고 이들 게이트 라인(Vg1~Vg5)에 상하 2 라인 간에서 교대로 접속된 각 화소(11)를 선택하는 처리를 행한다.

즉, 스캔 드라이버(13)로부터 게이트 라인(Vg1)에 대하여 주사 펄스가 주어졌을 때는, 1행 1열째, 2행 2열째, 1행 3열째, 2행 4열째의 각 화소가 선택된다. 게이트 라인(Vg2)에 대하여 주사 펄스가 주어졌을 때는, 2행 1열째, 3행 2열째, 2행 3열째, 3행 4열째의 각 화소가 선택된다. 동일하게 하여, 게이트 라인(Vg3, Vg4, Vg5)에 대하여 주사 펄스가 주어졌을 때에도, 상하 2 라인 간에서 교대로 화소의 선택이 행해진다.

화소부의 예를 들면, 상측에는 수평 구동 회로인 소스 드라이버(14)가 배치되어 있다. 이 소스 드라이버(14)는, 예를 들면 2 계통(系統)으로 입력되는 영상 신호(video1, 2)를 1H마다 차례로 샘플링하고, 스캔 드라이버(13)에 의해 선택된 각 화소(11)에 대하여 기입하는 처리를 행한다. 2 계통의 영상 신호(video1, 2)로서는, 도트 반전 구동 방식의 경우와 마찬가지로, 1H마다 극성이 반전되고 또한 서로 역극성의 영상 신호가 입력된다.

소스 드라이버(14)는 수평 스타트 펄스(Hst)에 응답하여 차례로 시프트 동작을 행하고 샘플링 펄스(Vh1, Vh2)를 출력하는 시프트 레지스터(각 전송단(轉送段)(15-1, 15-2)와, 화소부의 각 신호 라인(sig1~sig4)과 영상 신호(video2, 1)의 각 입력 신호 라인(16-2, 16-1)과의 사이에 교대로 접속된 샘플링 스위치(sw1~sw4)를 가지는 구성으로 되어 있다.

이 소스 드라이버(14)에서, 샘플링 스위치(sw1~sw4)는 2개씩 쌍(sw1과 sw2, sw3과 sw4)으로 되어 있으며, 시프트 레지스터의 각 전송단(15-1, 15-2)으로부터 차례로 출력되는 샘플링 펄스(Vh1, Vh2)에 응답하여 차례로 온 동작을 행함으로써, 서로 역극성의 2 계통 영상 신호(video2, 1)를 2열(2 화소) 단위로 각 신호 라인(sig1~sig4)에 기입하도록 되어 있다.

다음에, 상기 구성의 점순차 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 구동에 대하여, 도 2의 타이밍 차트를 참조하여 설명한다. 그리고, 6행 × 4열의 화소 배열에서, 각 화소의 어드레스를 도 3에 나타낸 바와 같이 붙이는 것으로 한다. 여기에서, d는 더미의 화소를 표시하고 있다.

먼저, 최초의 1 라인째에서, 스캔 드라이버(13)로부터 게이트 라인(Vg1)에 대하여 주사 펄스가 출력되면, 이 주사 펄스가 게이트 라인(Vg1)을 통해 화소(d-1, 1-2, d-3, 1-4)의 각 박막 트랜지스터(TFT)의 게이트 전극에 인가되기 때문에, 이들 화소(d-1, 1-2, d-3, 1-4)가 온 상태로 된다.

여기에서, 도트 반전 구동 방식의 경우와 마찬가지로, 서로 역극성의 영상 신호(video1, 2)가 입력 신호 라인(16-1, 16-2)을 통해 입력되는 한편, 소스 드라이버(16)에서, 시프트 레지스터의 각 전송단(15-1, 15-2)으로부터 차례로 샘플링 펄스(Vh1, Vh2)가 출력됨으로써, 샘플링 스위치(sw1과 sw2, sw3과 sw4)가 쌍으로 차례로 온 상태로 된다.

그러면, 서로 역극성의 영상 신호(video2, 1)가 먼저, 샘플링 스위치(sw1, sw2)를 통해 신호 라인(sig1, sig2)에 주어진 다. 이에 따라, 화소(d-1)에는 마이너스 극성(도 3 중, -로 기록함)의 영상 신호(video2)가, 화소(1-2)에는 플러스 극성(도 3 중, +로 기록함)의 영상 신호(video1)가 각각 기입되게 된다. 단, 이 때의 영상 신호(video2)로서는 흑 신호를 입력하고, 더미 화소(d-1)에는 흑 신호를 기입하는 것으로 한다.

계속해서, 샘플링 스위치(sw3, sw4)를 통해 신호 라인(sig3, sig4)에 영상 신호(video2, 1)가 주어진다. 이에 따라, 화소(d-3)에는 마이너스 극성의 영상 신호(video2)가, 화소(1-4)에는 플러스 극성의 영상 신호(video1)가 각각 기입되게 된다. 이 때에도, 영상 신호(video2)로서 흑 신호가 입력됨으로써, 더미 화소(d-3)에는 흑 신호가 기입되게 된다.

다음에, 2 라인째에서, 스캔 드라이버(13)로부터 게이트 라인(Vg2)에 대하여 주사 펄스가 출력되면, 이 주사 펄스가 게이트 라인(Vg2)을 통해 화소(1-1, 2-2, 1-3, 2-4)의 각 박막 트랜지스터(TFT)의 게이트 전극에 인가되기 때문에, 이들 화소(1-1, 2-2, 1-3, 2-4)가 온 상태로 된다.

이 2 라인째에서는, 영상 신호(video1, 2)의 각 극성이 반전된다. 즉, 1 라인째에서는, 영상 신호(video1)가 플러스 극성, 영상 신호(video2)가 마이너스 극성이었지만, 2 라인째에서는 영상 신호(video1)가 마이너스 극성, 영상 신호(video2)가 플러스 극성으로 된다. 그리고, 소스 드라이버(16)에서, 재차 시프트 레지스터의 각 전송단(15-1, 15-2)으로부터 차례로 샘플링 펄스(Vh1, Vh2)가 출력됨으로써, 샘플링 스위치(sw1과 sw2, sw3과 sw4)가 쌍으로 차례로 온 상태로 된다.

그러면, 서로 역극성의 영상 신호(video2, 1)가 먼저, 샘플링 스위치(sw1, sw2)를 통해 신호 라인(sig1, sig2)에 주어진 다. 이에 따라, 화소(1-1)에는 플러스극성의 영상 신호(video2)가, 화소(2-2)에는 마이너스 극성의 영상 신호(video1)가 각각 기입되게 된다. 계속해서, 샘플링 스위치(sw3, sw4)를 통해 신호 라인(sig3, sig4)에 영상 신호(video2, 1)가 주어진다. 이에 따라, 화소(1-3)에는 플러스 극성의 영상 신호(video2)가, 화소(2-4)에는 마이너스 극성의 영상 신호(video1)가 각각 기입되게 된다.

이후, 서로 역극성의 영상 신호(video2, 1)가 1H마다 극성이 반전되어 입력되는 한편, 전술한 동작이 반복됨으로써, 스캔 드라이버(13)에 의한 수직 방향(행 방향)의 주사 및 소스 드라이버(14)에 의한 수평 방향(열 방향)의 주사가 행해진다. 그리고, 게이트 라인(Vg5)에 대한 주사의 경우에서는, 영상 신호(video1)로서 흑 신호를 입력하고, 더미 화소(d-2, d-4)에 대하여 흑 신호를 기입하는 것으로 한다.

전술한 바와 같이, 액티브 매트릭스형 TFT 액정 표시 장치에서, 예를 들면 2 계통의 영상 신호(video1, 2)를 역극성으로 입력하는 한편, 이 역극성의 영상 신호(video1, 2)를 상이한 라인(본예에서는, 상하 2 라인)의 화소에 동시에 기입하는 동시에, 기입한 후의 화소 배열에서 화소의 극성을, 도 3에 나타낸 바와 같이, 인접하는 좌우의 화소에서는 동극성으로 하고, 상하의 화소에서는 역극성이 되는, 이른바 도트 라인 반전 구동을 행한다.

이 도트 라인 반전 구동에 의해, 도 2의 타이밍 차트에서 명백한 바와 같이, 샘플링 펄스(Vh1, Vh2)가 차례로 출력되어, 샘플링 스위치(sw1과 sw2, sw3과 sw4)가 차례로 온 상태로 되면, 도트 반전 구동 방식의 경우와 마찬가지로, 신호 라인(sig1과 sig2, sig3과 sig4)에는 서로 역극성의 영상 신호(video2, 1)가 주어지기 때문에, 횡 크로스토크나 먼 내 셰이딩, 나아가서는 종 크로스토크 등의 화질 불량을 개선할 수 있다.

즉, Cs 라인(12)에 저항분(RCs)이 존재함에 기인하여, 영상 신호(video1, 2)가 신호 라인(sig1~sig4)과 Cs 라인(12)과의 사이에 존재하는 기생 용량(c1)이나 유지 용량(Cs) 등을 통해 Cs 라인(12)으로 뛰어 드는 것을, 인접하는 신호 라인에서 서로 역극성의 영상 신호(video1, 2)를 부여함으로써 캔슬할 수 있기 때문에, Cs 라인(12)의 전위(VCs)의 동요는 발생하지 않으며, 따라서 횡 크로스토크의 발생을 억제하거나, 셰이딩 불량을 해소할 수 있는 것이다.

또, 박막 트랜지스터(TFT)의 소스/드레인 전극과 신호 라인(sig1~sig4)의 각각과의 사이에 존재하는 기생 용량에 기인하여, 신호 라인(sig1~sig4)의 1H마다의 전위의 동요(ΔV_{sig})가 박막 트랜지스터(TFT)의 소스/드레인 커패시터에 의해 화소로 뛰어 드는 것을, 인접하는 신호 라인에서 서로 역극성의 영상 신호(video1, 2)를 부여함으로써 캔슬할 수 있기 때문에, 종 크로스토크의 발생을 억제할 수 있다. 이에 따라, 영상 신호(video1, 2)를 충분한 레벨로 기입할 수 있기 때문에, 콘트라스트를 향상할 수 있게 된다.

또한, 서로 역극성의 영상 신호(video1, 2)의 화소에의 기입을, 도트 반전 구동 방식의 경우와 같이 수평 1 라인에서 행하는 것이 아니고, 상이한 수평 라인(본예에서는, 상하 2 라인) 간에서 1 화소 걸러(1열 걸러) 행함으로써, 화소 배열의 극성은, 도 3에서 명백한 바와 같이, 1H 반전 운동 구동 방식의 경우와 마찬가지로, 좌우의 인접하는 화소에서 동극성으로 되기 때문에, 도트 반전 구동 방식의 경우에 문제가 되는 도메인(도 13 참조)은 발생하지 않는다. 이에 따라, 화소의 개구율을 저하시키지 않고 하게 된다.

그리고, 상기 실시 형태에서는, 영상 신호로서 2 계통의 영상 신호(video1, 2)를 입력으로 한다고 했지만, 그 입력수는 2 계통에 한정되지 않고, $2n$ (n 은 정수(整數)) 계통이면 된다. 또한, 역극성의 영상 신호(video1, 2)를 상하 2 라인의 화소에 동시에 기입한다고 했지만, 반드시 상하 2 라인일 필요는 없고, 요는, 기입한 후의 화소 배열에서 화소의 극성이 인접하는 좌우의 화소에서 동극성으로 되고, 상하의 화소에서 역극성이 되도록 상이한 수평 라인의 화소에 동시에 기입하면 된다.

또, 상기 실시 형태에서는, 아날로그 영상 신호를 입력으로 하고, 이를 샘플링하여 점순차로 각 화소를 구동하는 아날로그 인터페이스 구동 회로를 탑재한 액정 표시 장치에 적용한 경우에 대하여 설명했지만, 디지털 영상 신호를 입력으로 하고, 이를 래치한 후 아날로그 영상 신호로 변환하고, 이 아날로그 영상 신호를 샘플링하여 점순차로 각 화소를 구동하는 디지털 인터페이스 구동 회로를 탑재한 액정 표시 장치에도 동일하게 적용 가능하다.

다음에, 상기 구성의 점순차 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치를 사용한 본 발명에 관한 액정 표시 시스템에 대하여 설명한다.

도 4는 본 발명에 관한 액정 표시 시스템 구성의 일예를 나타낸 블록도이다. 이 액정 표시 시스템은 지연 처리 회로(21), DA 컨버터(22), 액정 패널용 시그널 드라이버(23), 액정 패널(24) 및 액정 패널용 타이밍 제너레이터(25)를 가지고, 액정 패널(24)로서 전술한 본 발명에 관한 도트 라인 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치를 사용한 구성으로 되어 있다.

지연 처리 회로(21)는 홀수 화소의 디지털 영상 신호와 짝수 화소의 디지털 영상 신호를 2 입력으로 하고, 그 중 어느 한쪽의 디지털 영상 신호를 1 라인 상당의 시간만큼 지연시켜 출력한다. DA 컨버터(22)는 1 라인 상당의 시간 변위를 가진 홀수 화소의 디지털 영상 신호와 짝수 화소의 디지털 영상 신호를 각각 DA 변환하고, 홀수 화소의 아날로그 영상 신호와 짝수 화소의 아날로그 영상 신호로서 액정 패널용 시그널 드라이버(23)에 공급한다.

액정 패널용 시그널 드라이버(23)는 1 라인 상당의 시간 변위를 가진 홀수 화소의 아날로그 영상 신호와 짝수 화소의 아날로그 영상 신호에 따라, 액정 패널(24)의 각 화소에 대한 표시 구동을 행한다. 액정 패널(24)은 액정 패널용 타이밍 제너레이터(25)로부터 주어지는 수평·수직 스타트 펄스나 수평·수직 클록 등의 각종 타이밍 신호에 따라, 수평 주사나 수직 주사 등의 제어를 행하여, 각 화소에 영상 신호를 기입하도록 되어 있다.

여기에서, 액정 패널(24)로서, 도 1에 나타난 점순차 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치, 즉 도트 라인 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치를 사용하는 경우를 예로 들어 고려하면, 더미의 화소 배열을 제외하고 1행째의 각 화소(도 3의 화소(1-1, 1-2, 1-3, 1-4))에 영상 신호를 기입하는 경우에, 이들 화소(1-1, 1-2, 1-3, 1-4)에는 사행 배선된 게이트 라인(Vg1, Vg2)이 접속되어 있지만, 동일 1H 기간의 영상 신호를 기입할 필요가 있다.

그런데, 전술한 동작 설명에서 명백한 바와 같이, 화소(1-1, 1-2, 1-3, 1-4)에는 사행 배선된 게이트 라인(Vg1, Vg2)이 접속되어 있어, 홀수 화소(1-1, 1-3)에는 짝수 화소(1-2, 1-4)에 대하여 1 라인 후의 영상 신호가 기입되게 된다. 따라서, 이 예의 경우에는 지연 처리 회로(21)에서, 짝수 화소의 영상 신호를 홀수 화소의 영상 신호보다 1 라인에 상당하는 시간만큼 지연시킴으로써, 1행째의 각 화소(1-1, 1-2, 1-3, 1-4)에 대하여 동일 1H 기간의 영상 신호를 기입할 수 있다.

도 5는 지연 처리 회로(21)의 구체적인 구성의 일예를 나타낸 블록도이다. 이 예에 관한 지연 처리 회로(21)는 홀수 화소의 디지털 영상 신호와 짝수 화소의 디지털 영상 신호를 2 입력으로 하고, 스캔 방향 제어 신호에 따라 홀수 화소의 디지털 영상 신호를 출력단(a)측으로부터 출력하고, 짝수 화소의 디지털 영상 신호를 출력단(b)측으로부터 출력하거나, 또는 홀수 화소의 디지털 영상 신호를 출력단(b)측으로부터 출력하고, 짝수 화소의 디지털 영상 신호를 출력단(a)측으로부터 출력하거나를 선택하는 선택터(31)와, 이 선택터(31)의 출력단(a)으로부터 출력된 영상 신호를 1 라인 상당의 시간만큼 지연시키는 1 라인 지연 소자(32)를 가지는 구성으로 되어 있다.

상기 예의 경우에는, 선택터(31)는 짝수 화소의 디지털 영상 신호를 출력단(a)측으로부터 출력하고, 홀수 화소의 디지털 영상 신호를 출력단(b)측으로부터 출력하게 된다. 이 때, 짝수 화소의 디지털 영상 신호가 1 라인 지연 소자(32)를 경유하여 출력되고, 홀수 화소의 디지털 영상 신호는 1 라인 지연 소자(32)를 경유하지 않고 직접 출력되게 된다.

단, 짝수 화소의 디지털 영상 신호 및 홀수 화소의 디지털 영상 신호 중 어느 쪽을 지연시키는가는, 액정 패널(24) 구조상의 레이아웃 및 수평·수직의 스캔 방향에 의존한다. 따라서, 선택터(31)에서는 스캔 방향에 따라 그 전환을 행하도록 되어 있다. 스캔 방향이 상기 예와 반대 방향으로 된 경우에는, 선택터(31)는 홀수 화소의 디지털 영상 신호를 출력단(a)으로부터 출력하고, 짝수 화소의 디지털 영상 신호를 출력단(b)측으로부터 출력하게 된다. 1 라인 지연 소자(32)로서는, 라인 메모리 등이 사용된다.

도 6에 홀수 화소의 디지털 영상 신호를 지연시킨 경우의 홀수 화소의 디지털 영상 신호와 짝수 화소의 디지털 영상 신호의 타이밍 관계를 나타냈다. 여기에서, n은 수직 라인수, m은 수평 화소수를 각각 의미한다. 도 6의 타이밍 차트로부터, 홀수 화소의 디지털 영상 신호로서 수직 라인수(n-1)의 신호가, 짝수 화소의 디지털 영상 신호로서 수직 라인수(n)의 신호가 출력되고, 홀수 화소의 디지털 영상 신호가 짝수 화소의 디지털 영상 신호에 대하여 1 라인 상당의 시간만큼 지연되어 있는 것을 알 수 있다.

이와 같이, 도트 라인 반전 구동의 액티브 매트릭스형 TFT 액정 표시 장치, 즉 예를 들면, 2 계통의 역극성 영상 신호(video1, 2)를 상이한 수평 라인의 화소에 동시에 기입하는 동시에, 기입한 후의 화소 배열에서 화소의 극성을, 인접하는 좌우의 화소에서는 동극성으로 하고, 상하의 화소에서는 역극성이 되는 구동 방식의 액정 표시 장치의 경우라도, 1 라인 상당의 시간만큼 지연시키는 신호를, 짝수 화소의 디지털 영상 신호로 하는가, 홀수 화소의 디지털 영상 신호로 하는가를 스캔 방향에 따라 선택할 수 있도록 함으로써, 스캔 방향의 변경에도 용이하게 대응할 수 있게 된다.

그리고, 여기에서는, 역극성의 영상 신호(video1, 2)를 상하 2 라인(상하 2행)의 화소에 동시에 기입하는 구성의 액정 표시 장치에 적용하는 경우를 예로 들었기 때문에, 지연 소자(32)에서는 1 라인 상당의 시간만큼 지연시킨다고 했지만, 2 라인 이상 떨어진 상이한 라인의 화소에 동시에 기입하는 구성의 액정 표시 장치에 적용하는 경우에는, 지연 소자(32)에서는 그 떨어진 라인수에 상당하는 시간만큼 지연시키도록 하면 된다.

다음에, 본원의 제2 발명의 실시 형태에 대하여 도면을 참조하여 상세히 설명한다. 도 14는 본 발명의 제1 실시 형태에 관한 점순차 구동 방식 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 회로도이다. 여기에서는, 간단하게 하기 위해, 4행 4열의 화소 배열의 경우를 예로 들어 나타내고 있다.

도 14에서, 게이트 라인(Vg1A~Vg4A)의 각각과 신호 라인(sig1A~sig4A)의 각각의 교차부에는, 화소(11A)가 매트릭스 형으로 배치되어 있다. 이 화소(11A)는 게이트 전극이 게이트 라인(Vg1A~Vg4A)에, 소스 전극(또는, 드레인 전극)이 신호 라인(sig1A~sig4A)에 각각 접속된 박막 트랜지스터(TFT)와, 이 박막 트랜지스터(TFT)의 드레인 전극(또는, 소스 전극)에 한쪽의 전극이 접속된 유지 용량(Cs)을 가지는 구성으로 되어 있다.

그리고, 여기에서는, 도면의 간단화를 위해, 액정 셀(LC)에 대해서는 생략하고 있다. 이 액정 셀(LC)은 그 화소 전극이 박막 트랜지스터(TFT)의 드레인 전극에 접속되어 있다.

이 화소 구조에서, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽의 전극은 각 화소 간에서 공통으로 Cs 라인(12A)에 접속되어 있다. 그리고, 이 Cs 라인(12A)을 통해 소정의 직류 전압이 공통 전압(Vcom)으로서, 도시하지 않은 액정 셀(LC)의 대향 전극 및 유지 용량(Cs)의 다른 쪽의 전극에 주어지도록 되어 있다. 그리고, Cs 라인(12A)은 인접하는 좌우의 각 화소 간에서 저항분(RCs)을 가지고 있다.

화소부의 예를 들면, 좌측에는 스캔 드라이버(13A)가 배치되어 있다. 이 스캔 드라이버(13A)는 1 필드 기간마다 게이트 라인(Vg1A~Vg4A)을 차례로 주사하여 화소(11A)를 행 단위로 선택하는 처리를 행한다. 또, 화소부의 예를 들면, 상측에는 소스 드라이버(14A)가, 화소부의 예를 들면, 하측에는 프리차지 드라이버(15A)가 각각 배치되어 있다.

소스 드라이버(14A)는 영상 신호 라인(16A)을 통해 입력되는, 1H마다 극성이 반전되는 영상 신호(video)를 차례로 샘플링하고, 스캔 드라이버(13A)에 의해 선택된 행의 화소(11A)에 대하여 기입 처리를 행한다. 즉, 화소부의 각 신호 라인(sig1A~sig4A)과 영상 신호 라인(16A)과의 사이에 접속된 샘플링 스위치(hsw1A~hsw4A)가 시프트 레지스터의 각 전송단(17-1A~17-4A)으로부터 차례로 출력되는 샘플링 펄스(Vh1~Vh4)에 응답하여 차례로 온되도록 되어 있다.

프리차지 드라이버(15A)는 프리차지 신호 라인(18-1A~18-2A)을 통해 영상 신호(video)와 동기성으로 입력되는 흑 레벨의 프리차지 신호(Psig-black)와, 예를 들면 그레이 레벨의 프리차지 신호(Psig-gray)를 차례로 샘플링하고, 스캔 드라이버(13A)에 의해 선택된 행의 화소(11A)에 대하여 영상 신호(video)에 앞서 기입하는 처리를 행한다.

이 프리차지 드라이버(15A)에서, 신호 라인(sig1A~sig4A)의 각각과 프리차지 신호 라인(18-1A) 사이에는 샘플링 스위치(Pb1A~Pb4A)가, 또 신호 라인(sig1A~sig4A)의 각각과 프리차지 신호 라인(18-2A) 사이에는 샘플링 스위치(Pg1A~Pg4A)가 각각 접속되어 있다. 그리고, 이들 샘플링 스위치(Pb1A~Pb4A, Pg1A~Pg4A)는 시프트 레지스터의 각 전송단(19-1A~19-5A)으로부터 차례로 출력되는 샘플링 펄스(Vp1~Vp5)에 응답하여 차례로 온되도록 되어 있다.

즉, 샘플링 스위치(Pb1A~Pb4A)에는 시프트 레지스터의 각 전송단(19-1A~19-4A)으로부터 차례로 출력되는 샘플링 펄스(Vp1~Vp4)가 주어지고, 샘플링 스위치(Pg1A~Pg4A)에는 시프트 레지스터의 각 전송단(19-A~19-5A)으로부터 차례로 출력되는 샘플링 펄스(Vp2~Vp5)가 주어지도록 되어 있다.

다음에, 상기 구성의 프리차지 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 동작에 대하여, 도 15의 타이밍 차트를 사용하여 설명한다.

먼저, 프리차지 드라이버(15A)에서의 시프트 레지스터의 각 전송단(19-1A~19-4A)으로부터는, 프리차지 스타트 펄스(Pst)에 응답하여 샘플링 펄스(Vp1~Vp4)가 수평 클록(CK)에 동기하여 차례로 출력된다. 한편, 소스 드라이버(14A)에서의 시프트 레지스터의 각 전송단(17-1A~17-4A)으로부터는, 수평 스타트 펄스(Hst)에 응답하여, 샘플링 펄스(Vp1A~Vp4A)에 대하여 수평 클록(CK)의 1 클록분만큼 늦어지고, 샘플링 펄스(Vh1~Vh4)가 수평 클록(CK)에 동기하여 차례로 출력된다.

그리고, 스캔 드라이버(13A)에 의해 1행째가 선택되면, 먼저 샘플링 펄스(Vp1)에 응답하여 샘플링 스위치(Pb1A)가 온됨으로써 흑 레벨의 프리차지 신호(Psig-black)가 신호 라인(sig1A)에 기입되고, 계속해서 샘플링 펄스(Vp2)에 응답하여 샘플링 스위치(Pg1A)가 온됨으로써 그레이 레벨의 프리차지 신호(Psig-gray)가 신호 라인(sig1A)에 기입된다. 이 때 동시에, 샘플링 펄스(Vp2)에 응답하여 샘플링 스위치(Pb2A)도 온되기 때문에, 흑 레벨의 프리차지 신호(Psig-black)가 신호 라인(sig2A)에 기입된다.

그 후, 샘플링 펄스(Vp3)의 발생 타이밍으로 샘플링 펄스(Vh1)가 발생되면, 이 샘플링 펄스(Vh1)에 응답하여 샘플링 스위치(hsw1A)가 온됨으로써 영상 신호 레벨(video)이 신호 라인(sig1A)에 기입된다. 이 후, 동일하게 하여, 신호 라인(sig2A, sig3A, sig4A)의 각각에 대하여, 흑 레벨의 프리차지 신호(Psig-black)와 그레이 레벨의 프리차지 신호(Psig-gray)가 2 스텝에서 점순차로 프리차지되고, 그 후 영상 신호 레벨(video)이 점순차로 기입된다.

그리고, 여기에서는, 1행째(1 라인째)에 대하여 2 스텝의 프리 차지 및 영상 신호(video)의 기입을 점순차로 행하는 경우의 동작에 대하여 설명했지만, 2행째, 3행째, 4행째에 대해서도, 1행째의 경우와 아주 동일하게 하여, 2 스텝의 프리차지 및 영상 신호(video)의 기입이 점순차로 행해지게 된다.

전술한 바와 같이, 액티브 매트릭스형 TFT 액정 표시 장치에서, 신호 라인(sig1A~sig4A)의 각각에 대한 영상 신호(video)의 기입에 앞서, 신호 라인(sig1A~sig4A)의 각각에 대하여 흑 레벨의 프리차지 신호(Psig-black)와 그레이 레벨의 프리차지 신호(Psig-gray)를 2 스텝에서 점순차로 프리차지하도록 함으로써, 종 크로스토크 및 세로줄의 쌍방을 제거할 수 있다.

즉, 먼저 흑 레벨의 프리차지 신호(Psig-black)를 프리차지함으로써, 화소 트랜지스터의 소스/드레인 간의 리크 전류를 먼 전체에 걸쳐 균일하게 할 수 있기 때문에, 당해 리크 전류에 기인하여 발생하는 종 크로스토크를 제거할 수 있다. 그리고, 그 후에 그레이 레벨의 프리차지 신호(Psig-gray)를 프리차지함으로써, 영상 신호(video) 기입 시의 충방전 전류를 억제할 수 있기 때문에, 당해 충방전 전류에 기인하여 발생하는 세로줄을 제거할 수 있다.

나아가, 2 스텝의 프리차지를 수평 블랭킹 기간에 일괄하여 행하는 것이 아니고, 신호 라인(sig1A~sig4A)의 각각에 대한 영상 신호(video)의 점순차 기입에 앞서, 2 스텝의 프리차지도 점순차로 행하도록 함으로써, 수평 블랭킹 기간이 짧은 영상 포맷의 경우라도, 수평 블랭킹 기간에서 프리차지를 행할 필요가 없기 때문에, 종 크로스토크 및 세로줄의 쌍방을 제거할 수 있으므로, 고해상도화에 따른 다화소(多畫素)의 액정 표시 장치, 예를 들면 UXGA 표시 규격이나 HD(하이비전) 등의 액정 표시 장치에서도, 종 크로스토크 및 세로줄에 기인하는 화질 불량을 개선할 수 있게 된다.

도 16은 본원의 제2 발명의 제2 실시 형태에 관한 점순차 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 구성예를 나타낸 회로도이다. 본 실시 형태에 관한 액티브 매트릭스형 TFT 액정 표시 장치는, 서로 인접하는 상하 좌우의 화소에 인가되는 영상 신호의 극성을 교대로 반전시키는 도트 반전 구동 방식의 TFT 액정 표시 장치이다.

여기에서는, 간단하게 하기 위해, 제1 실시 형태의 경우와 마찬가지로, 4행 4열의 화소 배열의 경우를 예로 들어 나타내고 있다. 그리고, 화소부의 구성에 대해서는, 제1 실시 형태에 관한 TFT 액정 표시 장치의 경우와 아주 동일하며, 상이한 것은 소스 드라이버(24A) 및 프리차지 드라이버(25A)의 구성뿐이기 때문에, 이하, 그 상이한 부분의 구성에 대해서만 설명하기로 한다.

소스 드라이버(24A)는 서로 역극성으로 입력되는, 예를 들면 2 계통의 영상 신호(video1, video2)를 1H마다 차례로 샘플링하고, 스캔 드라이버(13A)에 의해 선택된 각 화소(11)에 대하여 기입하는 처리를 행한다. 여기에서, 2 계통의 영상 신호(video1, video2)의 극성은 상호간에 역극성인 동시에, 그 극성이 1H마다 반전된다.

이 소스 드라이버(24A)는 화소부의 신호 라인(sig1A~sig4A)의 각각과 영상 신호(video1, video2)를 입력하는 영상 신호 라인(26-1A, 26-2A)의 각각의 사이에 교대로 접속된 샘플링 스위치(hsw1A~hsw4A)와, 수평 스타트 펄스(Hst)에 응답하여 샘플링 펄스(Vh1, Vh2)를 차례로 출력하여 샘플링 스위치(hsw1A~hsw4A)에 부여하는 시프트 레지스터(각 전송단(27-1A, 27-2A))를 가지는 구성으로 되어 있다.

이 소스 드라이버(24A)에서, 샘플링 스위치(hsw1A~hsw4A)는 2개씩 쌍(hsw1A와 hsw2A, hsw3A와 hsw4A)으로 되어 있고, 시프트 레지스터의 각 전송단(27-1A, 27-2A)으로부터 차례로 출력되는 샘플링 펄스(Vh1A, Vh2A)에 응답하여 차례로 온 동작을 행함으로써, 서로 역극성의 2 계통 영상 신호(video1, video2)를 2열(수평 2 화소) 단위로 각 신호 라인(sig1A~sig4A)에 기입하도록 되어 있다.

프리차지 드라이버(25A)는 서로 역극성의 영상 신호(video1, video2)가 신호 라인(sig1A~sig4A)에 기입되기에 앞서, 영상 신호(video1)와 동극성으로 입력되는 흑 레벨의 프리차지 신호(Psig-black) 및 그레이 레벨의 프리차지 신호(Psig-gray)와, 영상 신호(video2)와 동극성으로 입력되는 흑 레벨의 프리차지 신호(Psig-black2) 및 그레이 레벨의 프리차지 신호(Psig-gray)를 신호 라인(sig1A~sig4A)에 기입하는 처리를 행한다.

이 프리차지 드라이버(25A)에서, 신호 라인(sig1A, sig3A)과 프리차지 신호(Psig-black1)를 입력하는 프리차지 신호 라인(28-1A) 사이에는 샘플링 스위치(Pb1A, Pb3A)가 신호 라인(sig1A, sig3A)과 프리차지 신호(Psig-gray1)를 입력하는 프리차지 신호 라인(28-2A) 사이에는 샘플링 스위치(Pg1A, Pg3A)가 각각 접속되어 있다. 또한, 신호 라인(sig2A, sig4A)과 프리차지 신호(Psig-black2)를 입력하는 프리차지 신호 라인(28-3A) 사이에는 샘플링 스위치(Pb2A, Pb4A)가, 신호 라인(sig2A, sig4A)과 프리차지 신호(Psig-gray2)를 입력하는 프리차지 신호 라인(28-4A) 사이에는 샘플링 스위치(Pg2A, Pg4A)가 각각 접속되어 있다.

그리고, 이들 샘플링 스위치(Pb1A~Pb4A, Pg1A~Pg4A)는 시프트 레지스터의 각 전송단(29-1A~29-3A)으로부터 차례로 출력되는 샘플링 펄스(Vp1~Vp3)에 응답하여 차례로 온하도록 되어 있다. 즉, 프리차지 스위치(Pb1A, Pb2A)에는 전송단(29-1A)으로부터 출력되는 샘플링 펄스(Vp1)가 공통으로 주어지고, 프리차지 스위치(Pb3A, Pb4A)에는 전송단(29-2A)으로부터 출력되는 샘플링 펄스(Vp2)가 공통으로 주어진다. 또, 프리차지 스위치(Pg1A, Pg2A)에는 전송단(29-2A)으로부터 출력되는 샘플링 펄스(Vp2)가 공통으로 주어지고, 프리차지 스위치(Pg3A, Pg4A)에는 전송단(29-3A)으로부터 출력되는 샘플링 펄스(Vp3)가 공통으로 주어진다.

다음에, 상기 구성의 도트 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 동작에 대하여, 도 17의 타이밍 차트를 사용하여 설명한다.

먼저, 프리차지 드라이버(25A)에서의 시프트 레지스터의 각 전송단(29-1A~29-3A)으로부터는, 프리차지 스타트 펄스(Pst)에 응답하여 샘플링 펄스(Vp1A~Vp3A)가 수평 클록(CK)에 동기하여 차례로 출력된다. 한편, 소스 드라이버(24A)에서의 시프트 레지스터의 각 전송단(27-1A, 27-4A)으로부터는, 수평 스타트 펄스(Hst)에 응답하여 샘플링 펄스(Vp1A~Vp3A)에 대하여 수평 클록(CK)의 1 클록분만큼 늦어지고 샘플링 펄스(Vh1A, Vh2A)가 수평 클록(CK)에 동기하여 차례로 출력된다.

그리고, 스캔 드라이버(13)에 의해 1행째가 선택되면, 먼저 샘플링 펄스(Vp1)에 응답하여 샘플링 스위치(Pb1A, Pb2A)가 온됨으로써 신호 라인(sig1A)에는 플러스 극성의 그레이 레벨의 프리차지 신호(Psig-gray1)가, 신호 라인(sig2A)에는 역극성의 그레이 레벨의 프리차지 신호(Psig-gray2)가 각각 기입된다. 이와 동시에, 샘플링 펄스(Vp2)에 응답하여 샘플링 스위치(Pb3A, Pb4A)도 온되기 때문에, 신호 라인(sig3A, sig4A)에도 서로 역극성 혹은 레벨의 프리차지 신호(Psig-black1, 2)가 기입된다.

그 후, 샘플링 펄스(Vp3)의 발생 타이밍으로 샘플링 펄스(Vh1)가 발생되면, 이 샘플링 펄스(Vh1)에 응답하여 샘플링 스위치(hsw1A, hsw2A)가 온됨으로써 신호 라인(sig1)에는 플러스 극성의 영상 신호(video1)가, 신호 라인(sig2)에는 역극성의 영상 신호(video2)가 각각 기입된다. 이 후, 동일하게 하여, 신호 라인(sig3A, sig4A)의 각각에 대하여, 흑 레벨의 프리차지 신호(Psig-black1, 2)와 그레이 레벨의 프리차지 신호(Psig-gray1, 2)가 2 스텝에서 점순차로 프리차지되고, 그 후 영상 신호 레벨(video1, 2)이 점순차로 기입된다.

그리고, 여기에서는, 1행째(1 라인째)에 대하여 2 스텝의 프리 차지 및 영상 신호(video1, 2)의 기입을 점순차로 행하는 경우의 동작에 대하여 설명했지만, 2행째, 3행째, 4행째에 대해서도, 1행째의 경우와 아주 동일하게 하여, 2 스텝의 프리차지 및 영상 신호(video1, 2)의 기입이 점순차로 행해지게 된다.

전술한 바와 같이, 도트 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치에서, 신호 라인(sig1A~sig4A)의 각각에 대한 영상 신호(video1, 2)의 기입에 앞서, 신호 라인(sig1A~sig4A)의 각각에 대하여 흑 레벨의 프리차지 신호(Psig-black1, 2)와 그레이 레벨의 프리차지 신호(Psig-gray1, 2)를 2 스텝에서 점순차로 프리차지하도록 함으로써, 제1 실시 형태의 경우와 마찬가지로, 종 크로스토크 및 세로줄의 쌍방을 제거하여, 화질 불량을 개선할 수 있는 동시에, 수평 블랭킹 기간에서 프리차지를 행할 필요가 없기 때문에, 고해상도화에 따른 다화소의 액정 표시 장치, 예를 들면 UXGA 표시 규격 등의 액정 표시 장치에도 적용할 수 있게 된다.

또한, 도트 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치에서는, 전술한 동작 설명에서 명백한 바와 같이, 신호 라인(sig1A와 sig2A, sig3A와 sig4A)에는, 흑 레벨의 프리차지 신호(Psig-black1, 2), 그레이 레벨의 프리차지 신호(Psig-gray1, 2) 및 영상 신호(video1, 2)가 각각 역극성으로 기입되기 때문에, 화면 내 셰이딩 등의 화질 불량도 개선할 수 있게 된다.

즉, Cs 라인(12A)에는 인접하는 좌우의 화소(11A, 11A) 사이에 저항분(RCs)이 존재하고, 또한 Cs 라인과 신호 라인(sig1A~sig4A)과의 사이에는 기생 용량이 존재하기 때문에, 저항분(RCs)과 유지 용량(Cs) 및 당해 기생 용량에 의해 미

본 회로가 형성된다. 그리고, 2 스텝에서의 프리차지나 영상 신호(video1, 2) 기입 시의 신호 라인(sig1A~sig4A)의 각 전위 변화가, 유지 용량(Cs)이나 기생 용량을 통해 Cs 라인(12A)으로 뛰어 들면, Cs 라인(12A)의 전위가 동극성 방향으로 흔들리기 때문에, 셰이딩 불량을 일으켜, 화질을 크게 손상시킬 우려가 있다.

그런데, 도트 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 경우에는, 서로 인접하는 신호 라인(sig1A와 sig2A, sig3A와 sig4A)에는 프리차지 신호(Psig-black1, 2), 프리차지 신호(Psig-gray1, 2) 및 영상 신호(video1, 2)가 각각 역극성의 신호 레벨로서 기입되기 때문에, 유지 용량(Cs)이나 기생 용량을 통해 Cs 라인(12A)으로 뛰어 드는 신호 라인(sig1A~sig4A)의 전위 변화가 캔슬되므로, Cs 라인(12)의 A 전위가 흔들리지 않고, 따라서 화면내 셰이딩 등의 화질 불량을 개선할 수 있는 것이다.

그리고, 본원의 제2 발명의 제2 실시 형태에서는, 도트 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치에 적용한 경우에 대하여 설명했지만, 예를 들면, 역극성의 영상 신호(video1, 2)를 상이한 라인(예를 들면, 상하 2 라인)의 화소에 동시에 기입하는 동시에, 기입한 후의 화소 배열에서 화소의 극성을 인접하는 좌우의 화소 간에서는 동극성으로 하고, 상하의 화소 간에서는 역극성이 되도록 구동하는, 이른바 도트 라인 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치에도 동일하게 적용 가능하며, 이 경우에도 본원의 제2 발명의 제2 실시 형태와 동일한 작용 효과를 얻을 수 있다.

또, 상기 실시 형태에서는, 아날로그 영상 신호(video1, 2)를 입력으로 하고, 이를 샘플링하여 점순차로 각 화소를 구동하는 아날로그 인터페이스 구동 회로를 탑재한 액정 표시 장치에 적용한 경우에 대하여 설명했지만, 디지털 영상 신호를 입력으로 하고, 이를 래치한 후 아날로그 영상 신호로 변환하고, 이 변환 후의 아날로그 영상 신호를 샘플링하여 점순차로 각 화소를 구동하는 디지털 인터페이스 구동 회로를 탑재한 액정 표시 장치에도 동일하게 적용 가능하다.

또한, 상기 본원의 제2 각 실시 형태에서는, 영상 신호(video)를 기입하기 직전에 프리차지하는 프리차지 신호로서, 그레이 레벨의 프리차지 신호(Psig-gray)를 사용한다고 했지만, 반드시 그레이 레벨의 프리차지 신호에 한정되는 것이 아니고, 예를 들면 다음에 입력되는 영상 신호(video)의 신호 레벨을 예측하고, 그 신호 레벨에 가까운 레벨의 영상 신호를 프리차지 신호로서 사용하도록 하는 것도 가능하다.

발명의 효과

이상 설명한 바와 같이, 본원의 제1 발명에 의하면, 점순차 구동 방식의 액티브 매트릭스형 액정 표시 장치에서, 서로 역극성의 영상 신호를 상이한 라인의 화소에 동시에 기입하는 동시에, 기입한 후의 화소 배열에서 화소의 극성을, 인접하는 좌우의 화소에서 동극성으로 하고, 상하의 화소에서 역극성으로 하도록 함으로써, 도트 반전 구동 방식의 경우와 마찬가지로, 인접하는 신호 라인에는 서로 역극성의 영상 신호가 주어지는 동시에, 영상 신호를 기입한 후의 화소 배열의 극성이 1H 반전 구동 방식의 경우와 마찬가지로, 좌우의 인접하는 화소에서는 동극성이 되기 때문에, 화소의 개구율을 저하시키지 않고, 횡 크로스토크나 먼 내 셰이딩 등의 화질 불량을 개선할 수 있게 된다.

또한, 이상 설명한 바와 같이, 본원의 제2 발명에 의하면, 점순차 구동 방식의 액티브 매트릭스형 액정 표시 장치에서, 신호 라인의 각각에 대한 2 스텝의 프리차지를 영상 신호의 기입에 앞서 점순차로 행하도록 함으로써, 수평 블랭킹 기간에서 일괄하여 프리차지를 행할 필요가 없기 때문에, 수평 블랭킹 기간이 짧은 영상 포맷이라도 2 스텝의 프리차지를 실현할 수 있으므로, 다화소의 액정 표시 장치의 경우라도, 종 크로스토크나 세로줄을 제거할 수 있게 된다.

물론, 본원의 각 상기 실시예는 제1 발명과 제2 발명 단독의 실시예를 나타냈지만, 이에 그치지 않고 양자를 조합한 LCD 에도 본원의 효과를 발휘시키는 것이 명백하다.

도면의 간단한 설명

도 1은 본원의 제1 발명의 실시 형태에 관한 액티브 매트릭스형 TFT 액정 표시 장치의 구성예를 나타낸 회로도.

도 2는 도트 라인 반전(反轉) 구동의 동작 설명을 위한 파형도.

도 3은 도트 라인 반전 구동의 경우의 각 화소의 어드레스와 각 화소에 기입되는 영상 신호의 극성을 나타낸 도면.

도 4는 본원의 제1 발명에 관한 액정 표시 시스템 구성의 일예를 나타낸 블록도.

도 5는 지연 처리 회로의 구체적인 구성의 일예를 나타낸 블록도.

도 6은 홀수 화소의 디지털 영상 신호를 지연시킨 경우의 홀수 화소의 디지털 영상 신호와 짝수 화소의 디지털 영상 신호의 관계를 나타낸 타이밍 차트.

도 7은 액티브 매트릭스형 액정 표시 장치의 관련 기술예를 나타낸 구성도.

도 8은 1H 반전 구동의 동작 설명을 위한 파형도.

도 9는 1H 반전 구동으로 각 화소에 기입되는 영상 신호의 극성을 나타낸 도면.

도 10은 횡 크로스토크의 발생 원인을 설명하기 위한 도면.

도 11은 도트 반전 구동의 동작 설명을 위한 파형도.

도 12는 도트 반전 구동으로 각 화소에 기입되는 영상 신호의 극성을 나타낸 도면.

도 13은 드트 반전 구동 시의 화소 도메인의 발생 모양을 나타낸 도면.

도 14는 본원의 제2 발명의 제1 실시 형태에 관한 점순차(点順次) 구동 방식 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 회로도.

도 15는 본원의 제2 발명의 제1 실시 형태의 동작 설명을 위한 타이밍 차트

도 16은 본원의 제2 발명의 제2 실시 형태에 관한 점 순차 구동 방식 액티브 매트릭스형 액정 표시 장치의 구성예를 나타낸 회로도.

도 17은 본원의 제2 발명의 제2 실시 형태의 동작 설명을 위한 타이밍 차트.

도 18은 도트 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 관련 기술예를 나타낸 회로도.

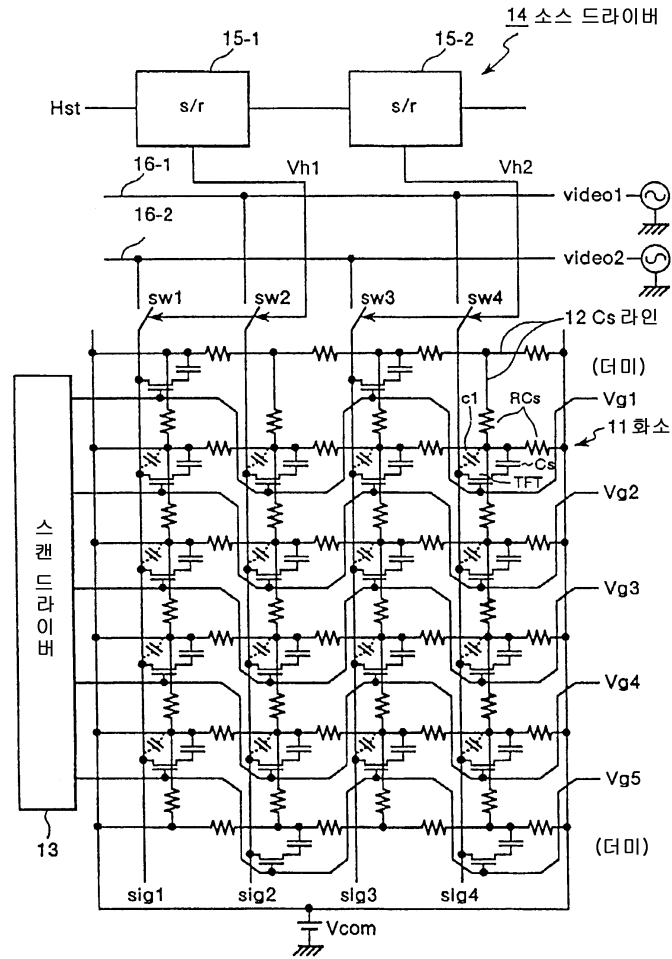
도 19는 한 관련 기술예의 동작 설명을 위한 타이밍 차트.

도 20은 도트 반전 구동 방식의 액티브 매트릭스형 TFT 액정 표시 장치의 다른 관련 기술예를 나타낸 회로도.

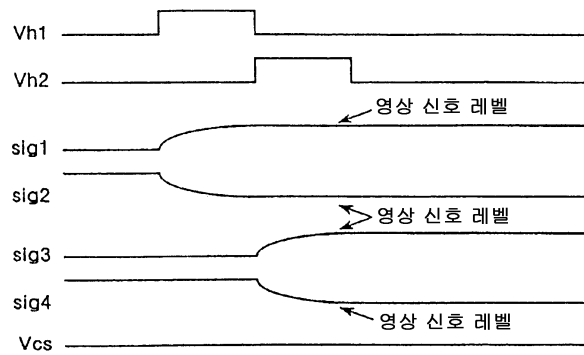
도 21은 다른 종래예의 동작 설명을 위한 타이밍 차트.

도면

도면1



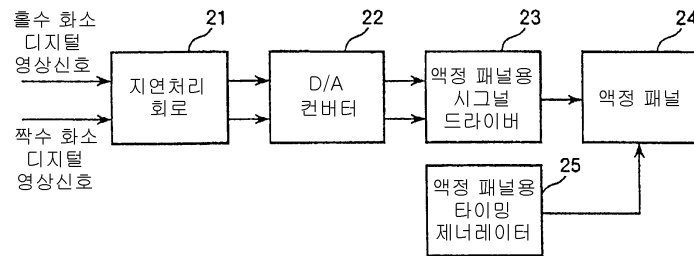
도면2



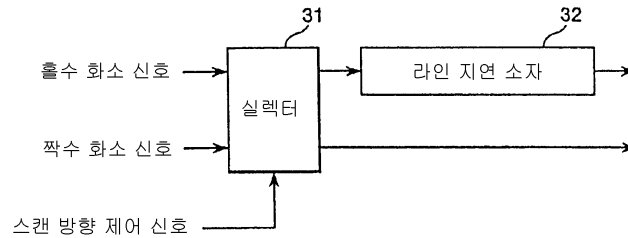
도면3

(d - 1) —		(d - 3) —		(더미)
(1 - 1) +	(1 - 2) +	(1 - 3) +	(1 - 4) +	1행째
(2 - 1) —	(2 - 2) —	(2 - 3) —	(2 - 4) —	2행째
(3 - 1) +	(3 - 2) +	(3 - 3) +	(3 - 4) +	3행째
(4 - 1) —	(4 - 2) —	(4 - 3) —	(4 - 4) —	4행째
	(d - 2) +		(d - 4) +	(더미)

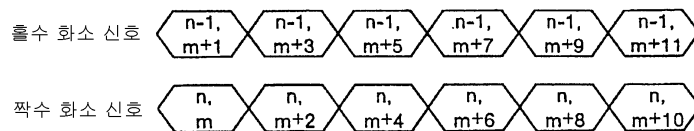
도면4



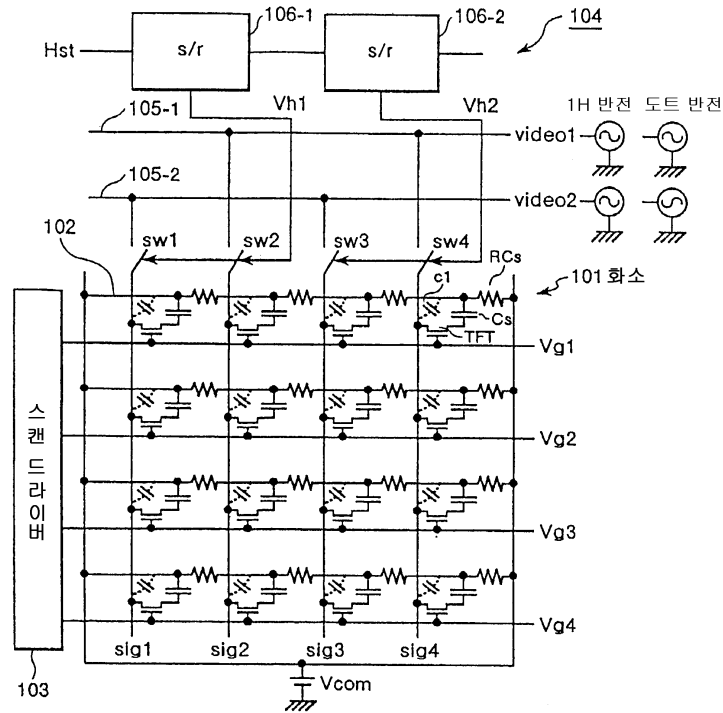
도면5



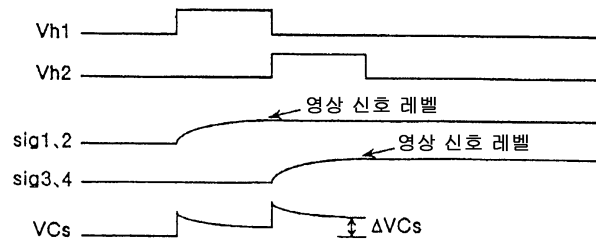
도면6



도면7



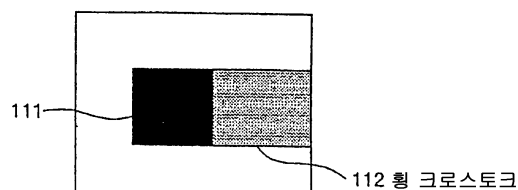
도면8



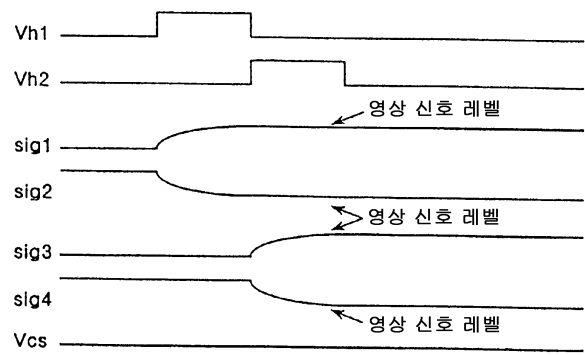
도면9

+	+	+	+
-	-	-	-
+	+	+	+
-	-	-	-

도면10



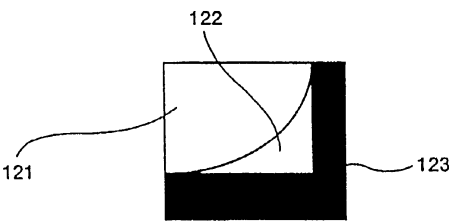
도면11



도면12

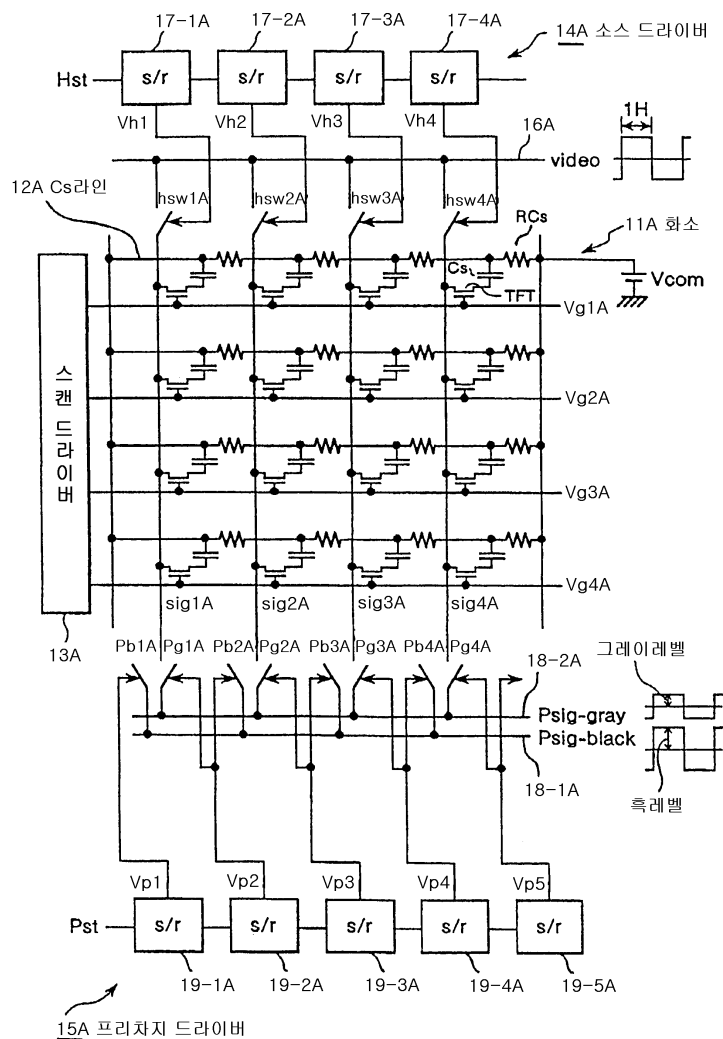
+	-	+	-
-	+	-	+
+	-	+	-
-	+	-	+

도면13

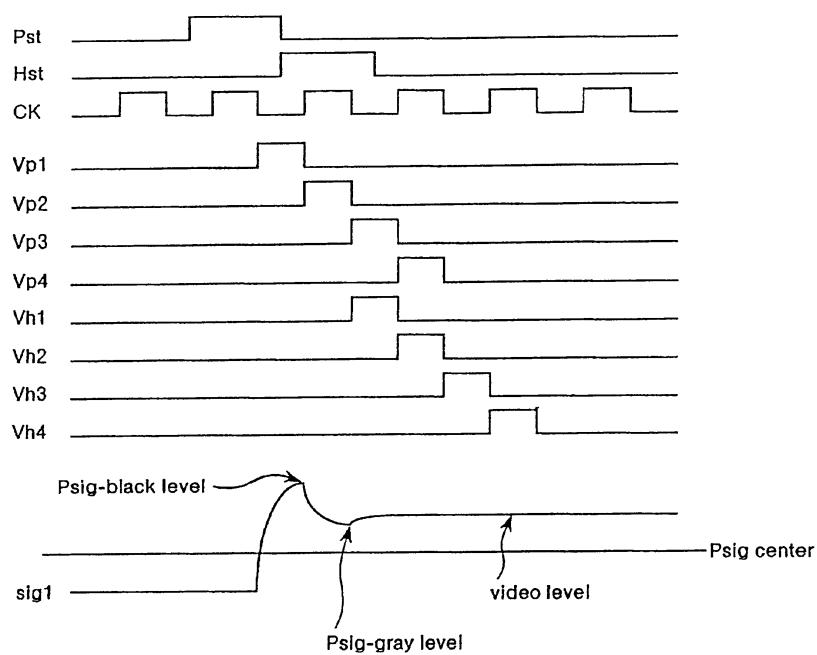


<1 화소>

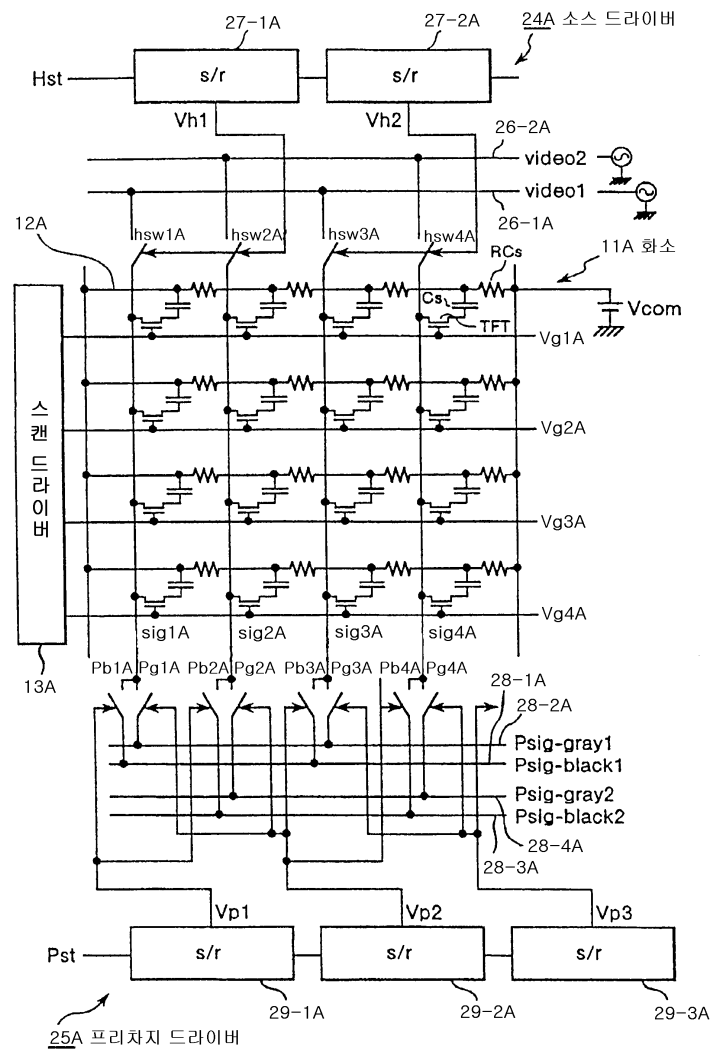
도면14



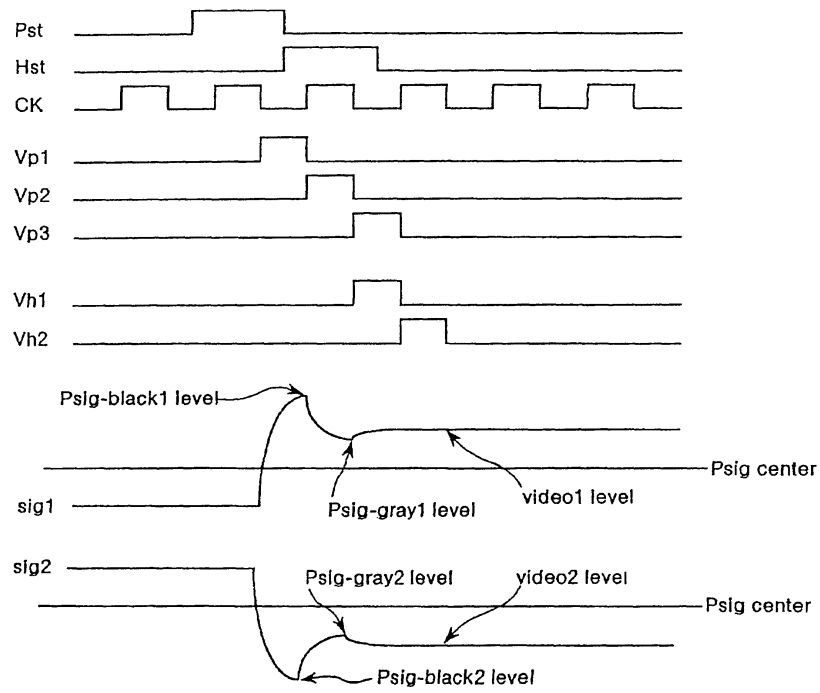
도면15



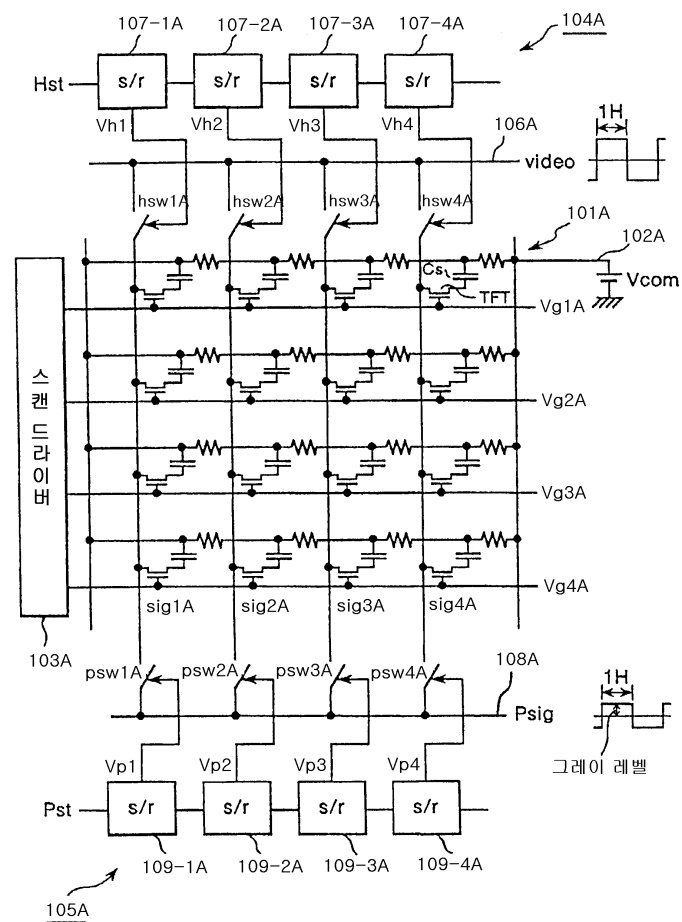
도면16



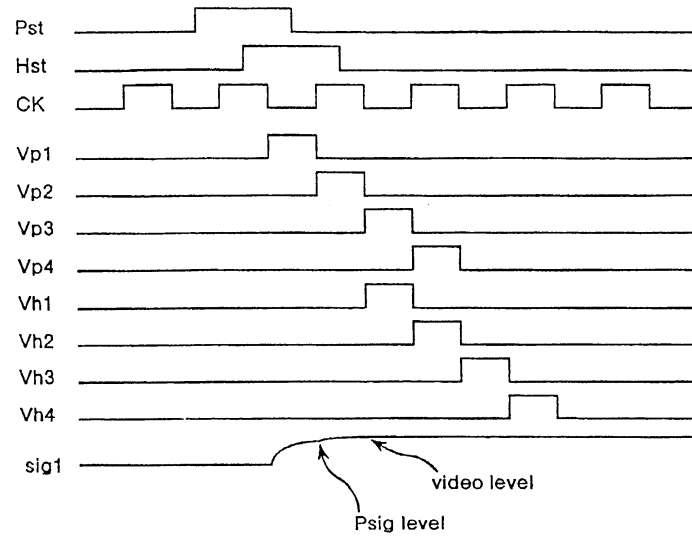
도면17



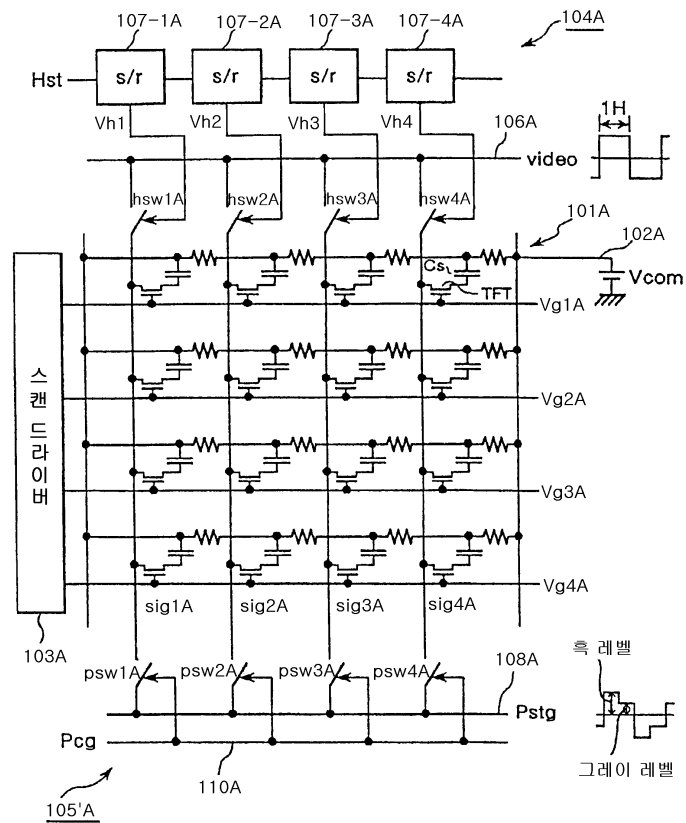
도면18



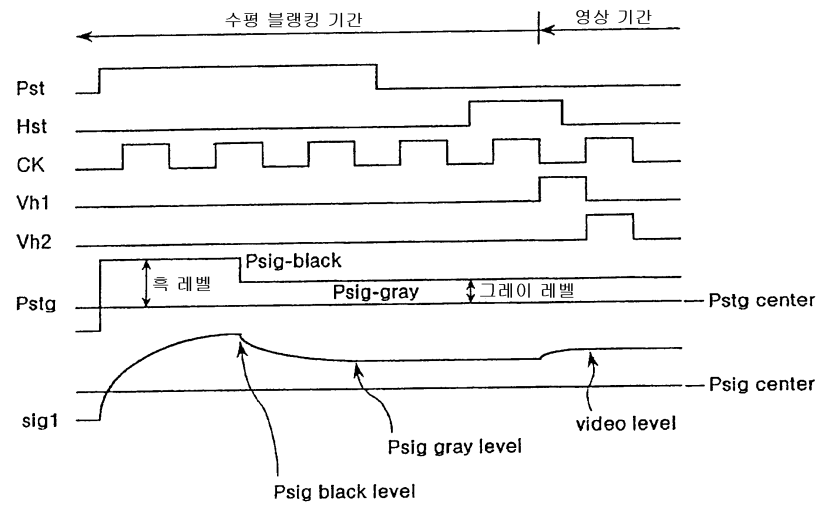
도면19



도면20



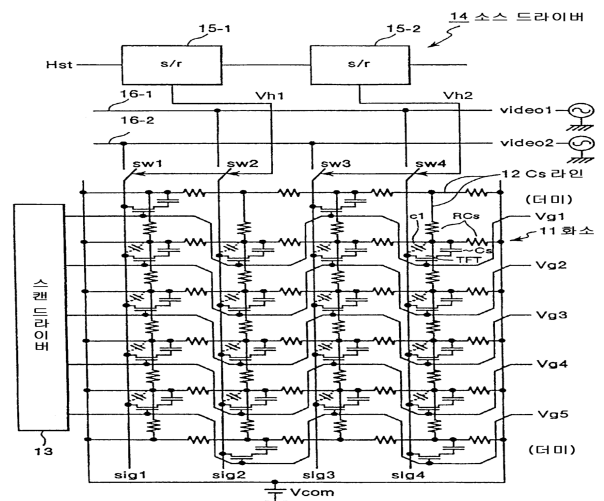
도면21



专利名称(译)	液晶显示器，其驱动方法和液晶显示系统		
公开(公告)号	KR100751958B1	公开(公告)日	2007-08-24
申请号	KR1020000012415	申请日	2000-03-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	索尼公司		
[标]发明人	UCHINO KATSUhide 우치노가쓰히데 NODA KAZUHIRO 노다가즈히로 MAEKAWA TOSHIKAZU 마에카와도시카즈 KITAGAWA HIDEYUKI 기타가와히데유키		
发明人	우치노가쓰히데 노다가즈히로 마에카와도시카즈 기타가와히데유키		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3648 G09G3/3688 G09G2300/0426 G09G2300/0439 G09G2310/0248 G09G2310/0297 G09G2320/02 G09G2320/0209 G09G2320/0223 E04C2/205 E04F15/02423		
代理人(译)	您是我的专利和法律公司 KIM, JAE MAN		
优先权	1999069643 1999-03-16 JP 1999074789 1999-03-19 JP		
其他公开文献	KR1020000062850A		
外部链接	Espacenet		

摘要(译)

本申请第一发明：在点反转驱动中，填充在左右相邻像素中的图像信号的极性不同。因此，域发生在开口部分的角落中。因此，像素的孔径比降低并且透射率下降。对于厚度驱动模式的有源矩阵型TFT液晶显示器，栅极线（Vg1~Vg5）放置在具有歪斜的顶部和底部2行的像素肝中。此外，Cs线放置在矩阵类型的船上。同时，相反极性的图像信号（视频1,2）被写入顶部和底部2行的不同像素中。同时，像素在左右像素中产生，其是在刻录的像素阵列中相邻的像素的极性相同的极性。像素在顶部和底部的像素中形成相反的极性。该本申请的第二个发明：在水平消隐期较短的图形显示标准中，不能应用2步整体预充电方法。对于点顺序驱动型的有源矩阵型TFT液晶显示器，2系统的采样开关（Pb1A~Pb4A和Pg1A~Pg4A）连接在每个加热的每个信号线（sig1A~sig4A）之间。输入黑电平的预充电信号（Psig-black）的预充电信号线（18-1A）和输入灰度级的预充电信号（Psig-gray）的预充电信号线（18-2A）。首先，黑电平的预充电信号（Psig-black）是灰度级的预充电信号（Psig-



gray)，然后在信号线（sig1A~sig4A）上连续写入。之后写入图像信号（视频）。液晶显示器，像素，图像信号，预充电信号，相反极性。