



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

(11) 공개번호 10-2007-0062680

(43) 공개일자 2007년06월18일

(21) 출원번호 10-2005-0122358

(22) 출원일자 2005년12월13일

심사청구일자 없음

(71) 출원인 삼성전자주식회사  
경기도 수원시 영통구 매탄동 416

(72) 발명자 전경주  
경기 수원시 영통구 영통동 청명마을4단지아파트 410-1604

(74) 대리인 박영우

전체 청구항 수 : 총 16 항

(54) 표시 패널, 이를 구비한 표시 장치 및 표시 장치의 구동방법

(57) 요약

킥 백(kick back) 전압의 발생을 방지하고, 킥 백 전압에 의해 야기되는 플리커 현상을 방지함으로써 표시 품질을 향상시킨 표시 패널, 이를 구비한 표시 장치 및 표시 장치의 구동 방법이 개시된다. 표시 패널은 데이터 라인, 제1 게이트 라인, 제2 게이트 라인, 제1 스위칭 소자, 제2 스위칭 소자 및 액정 커패시터를 포함한다. 데이터 라인은 제1 방향으로 연장되어 형성된다. 제1 게이트 라인은 데이터 라인과 교차하는 제2 방향으로 연장되어 형성된다. 제2 게이트 라인은 제1 게이트 라인과 평행하게 형성된다. 제1 스위칭 소자는 데이터 라인과 제1 게이트 라인에 연결된다. 제2 스위칭 소자는 제2 게이트 라인에 연결된다. 액정 커패시터는 제1 및 제2 스위칭 소자와 공통 연결된다. 제1 게이트 신호의 전위 레벨의 하강 에지에서 킥 백(kick back) 전압의 발생을 방지함으로써, 킥 백 전압에 의해 야기되는 플리커 현상을 방지할 수 있다.

대표도

도 1

특허청구의 범위

청구항 1.

제1 방향으로 연장되어 형성되는 데이터 라인;

상기 데이터 라인과 교차하는 제2 방향으로 연장되어 형성된 제1 게이트 라인;

상기 제1 게이트 라인과 평행하게 형성된 제2 게이트 라인;

상기 데이터 라인과 제1 게이트 라인에 연결된 제1 스위칭 소자;

상기 제2 게이트 라인에 연결된 제2 스위칭 소자; 및

상기 제1 및 제2 스위칭 소자와 공통 연결된 액정 커패시터를 포함한 것을 특징으로 하는 표시 패널.

## 청구항 2.

제1항에 있어서, 상기 제1 게이트 라인에는 제1 게이트 신호가 인가되고, 상기 제2 게이트 라인에는 상기 제1 게이트 신호에 반전된 제2 게이트 신호가 동일한 시점에 인가되는 것을 특징으로 하는 표시 패널.

## 청구항 3.

제1항에 있어서, 상기 제1 스위칭 소자는

상기 제1 게이트 라인과 연결된 게이트 전극;

상기 액정 커패시터와 연결된 드레인 전극; 및

상기 데이터 라인과 연결된 소스 전극을 포함하는 박막 트랜지스터인 것을 특징으로 하는 표시 패널.

## 청구항 4.

제1항에 있어서, 상기 제2 스위칭 소자는

상기 제2 게이트 라인과 연결된 게이트 전극;

상기 액정 커패시터와 연결된 드레인 전극; 및

플로팅 상태인 소스 전극을 포함하는 박막 트랜지스터인 것을 특징으로 하는 표시 패널.

## 청구항 5.

제1항에 있어서, 상기 제1 및 제2 스위칭 소자와 공통 연결된 스토리지 커패시터를 더 포함하는 것을 특징으로 하는 표시 패널.

## 청구항 6.

제1항에 있어서, 상기 액정 커패시터의 전위는 상기 제2 스위칭 소자가 활성화됨에 따라 상기 제1 게이트 라인으로부터 인가되는 제1 게이트 신호의 변동에 무관하게 일정 전위를 유지하는 것을 특징으로 하는 표시 패널.

## 청구항 7.

데이터 신호를 출력하는 데이터 구동부;

제1 게이트 신호와 상기 제1 게이트 신호에 반전된 제2 게이트 신호를 출력하는 게이트 구동부;

복수개의 화소부를 구비하여 상기 데이터 신호 및 제1 게이트 신호에 응답하여 영상을 표시하는 표시부를 포함하고,

상기 표시부는,

상기 제1 게이트 신호가 제공됨에 따라 상기 데이터 신호를 상기 화소부에 충전하고, 상기 제2 게이트 신호가 제공됨에 따라 상기 제1 게이트 신호의 하강 에지에서 상기 충전된 데이터 신호의 전위 변동을 방지하는 것을 특징으로 하는 표시 장치.

## 청구항 8.

제7항에 있어서, 상기 표시부는 상기 각 화소부에 연결되고, 상기 제2 게이트 신호를 인가받아 상기 화소부에 충전되는 데이터 신호의 전위 변동을 방지하는 신호 보상부를 더 포함한 것을 특징으로 하는 표시 장치.

## 청구항 9.

제8항에 있어서, 상기 화소부는 상기 제1 게이트 신호가 인가되는 제1 게이트 라인과, 상기 제1 게이트 라인과 교차되고 상기 데이터 신호가 인가되는 데이터 라인에 의해 정의되는 것을 특징으로 하는 표시 장치.

## 청구항 10.

제9항에 있어서, 상기 신호 보상부는,

상기 제1 게이트 라인과 평행하게 형성되는 제2 게이트 라인; 및

상기 제2 게이트 라인에 게이트 전극이 연결되고, 상기 화소부에 드레인 전극이 연결되며 소스 전극이 플로팅 상태인 스위칭 소자를 포함한 것을 특징으로 하는 표시 장치.

## 청구항 11.

제7항에 있어서, 상기 화소부에 인가되는 제1 게이트 신호와 제2 게이트 신호는 동일한 시점에 인가되는 것을 특징으로 하는 표시 장치.

## 청구항 12.

제7항에 있어서, 상기 게이트 구동부는 상기 화소부에 제1 게이트 신호와 제2 게이트 신호를 동시에 출력하는 것을 특징으로 하는 표시 장치.

## 청구항 13.

제7항에 있어서, 상기 게이트 구동부는

원시 게이트 신호를 출력하는 쉬프트 레지스터; 및

상기 원시 게이트 신호를 상기 제1 게이트 신호로 출력하는 제1 출력 버퍼; 및

상기 원시 게이트 신호를 상기 제2 게이트 신호로 출력하는 제2 출력 버퍼를 포함한 것을 특징으로 하는 표시 장치.

#### 청구항 14.

제13항에 있어서, 상기 제1 출력 버퍼는 상기 쉬프트 레지스터와 연결되어, 상기 원시 게이트 신호를 비반전 증폭하여 출력하는 비반전 증폭기인 것을 특징으로 하는 표시 장치.

#### 청구항 15.

제13항에 있어서, 상기 제2 출력 버퍼는 상기 쉬프트 레지스터와 연결되어, 상기 원시 게이트 신호들을 반전 증폭하여 출력하는 반전 증폭기인 것을 특징으로 하는 표시 장치.

#### 청구항 16.

제1 게이트 신호와, 상기 제1 게이트 신호에 반전된 제2 게이트 신호를 각각 출력하는 단계;

상기 제1 게이트 신호가 제공됨에 따라 데이터 신호를 출력하여 화소부를 충전시키는 단계; 및

상기 제1 게이트 신호의 하강 에지에서 상기 화소부에 충전된 데이터 신호가 변동되는 것을 상기 제2 게이트 신호를 이용하여 보상하는 단계를 포함한 것을 특징으로 하는 표시 장치의 구동 방법.

#### 명세서

### 발명의 상세한 설명

#### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 표시 패널, 이를 구비한 표시 장치 및 표시 장치의 구동 방법에 관한 것으로서, 보다 상세하게는 킥 백(kick back) 전압의 발생을 방지하고, 킥 백 전압에 의해 야기되는 폴리머 현상을 방지함으로써 표시 품질을 향상시킨 표시 패널, 이를 구비한 표시 장치 및 표시 장치의 구동 방법에 관한 것이다.

일반적으로, 표시 장치는 정보 처리 장치에서 처리된 데이터를 사용자가 인식할 수 있도록 소정의 영상을 표시하는 장치로 정의할 수 있다. 이러한 표시 장치는 소형, 경량화, 고 해상도 및 풀-컬러 구현을 위해 평판 패널형 표시 장치가 널리 사용되고 있다.

액정 표시 장치는 이러한 평판 패널형 표시 장치의 하나로서, 두 개의 기판 사이에 유전율 이방성(Dielectric Anisotropy)을 갖는 액정 물질을 주입하여 전계를 인가하고, 그 전계의 세기를 조절함으로써 기판에 투과되는 빛의 양을 제어하여 원하는 영상을 표시하는 표시 장치이다.

이러한 액정 표시 장치는 최근 급속히 그 설치 범위가 확대되어 노트북, 컴퓨터의 모니터, 티브이 및 이동 통신 단말기 등과 같이 다양한 장치들의 표시 장치로 사용되고 있으며, 이에 따라 표시 품질의 향상에 대한 요구도 더욱 높아지고 있다.

일반적인 액정 표시 장치는 영상을 표시하는 액정 표시 패널과 액정 표시 패널의 구동을 제어하는 구동 유닛을 갖는다.

액정 표시 패널은 스위칭 소자인 박막 트랜지스터(Thin film Transistor; TFT) 어레이가 형성된 제1 기판, 제1 기판과 대향하여 체결되는 제2 기판 및 상기 두 기판 사이에 개재되는 액정층을 포함한다.

제1 기관은 상호 교차하는 다수개의 데이터 라인들 및 게이트 라인들을 가지며, 데이터 라인들 및 게이트 라인들에 의해 정의되는 다수개의 화소부를 갖는다.

각 화소부는 TFT, 액정 커패시터 및 스토리지 커패시터를 갖는다. 액정 커패시터의 제1 전극은 TFT의 드레인 전극과 연결된 화소 전극이고, 제2 전극은 제2 기관에 형성된 공통 전극이다. 스토리지 커패시터의 제1 전극은 화소 전극이고, 제2 전극은 제1 기관에 형성되는 공통 전극이다.

게이트 라인에 입력되는 게이트 신호가 TFT의 게이트 전극에 인가되어 TFT가 턴-온되면, 데이터 라인에 인가된 데이터 신호가 TFT의 소스 전극을 통해 액정 커패시터의 제1 전극인 화소 전극에 인가된다.

한편, 스토리지 커패시터의 제1 전극에 데이터 신호가 인가된 후, 데이터 신호의 전위 레벨을 유지하기 위해 스토리지 커패시터의 제2 전극에는 일정한 직류 전압 즉, 공통 전압이 인가된다. 따라서, 액정 커패시터에 인가되는 데이터 신호와 스토리지 커패시터에 저장되는 데이터 신호에 의해 액정 커패시터 및 스토리지 커패시터에 전하가 충전되고, 전하의 충전율에 따라 액정의 배열각이 변경된다. 이렇게 배열각이 변경된 액정층을 투과하거나 반사한 광에 의해 액정 표시 패널에 영상이 표시된다.

일반적으로 게이트 라인들에는 도 6에 도시된 바와 같이 게이트 신호들이 20V 정도의 게이트 온 전압(Von)과 -5.6V 정도의 게이트 오프 전압(Voff)이 제공되어 TFT를 턴-온(turn-on) 및 턴-오프(turn-off) 시킨다.

이러한 게이트 온 및 오프 전압(Von, Voff)에 의해 게이트 라인들과 연결된 TFT의 게이트 전극과 액정 커패시터의 제1 전극에 연결된 TFT의 드레인 전극 사이에는 도 7에 도시된 바와 같이 기생 커패시터(Cgd)가 형성된다. 따라서, 게이트 라인들의 전위가 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 천이되는 하강 에지(edge)에서 기생 커패시터(Cgd)의 제1 전극의 전위가 변동됨에 따라 화소부에 연결된 제2 전극의 전위가 변동된다.

이는 데이터 신호에 의해 충전되는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)에 충전 전압이 기생 커패시터(Cgd)의 전위 변화에 연동하여 충전 전압 저하를 야기하는 킥 백(kick back) 전압( $\Delta V_{kb}$ )을 발생하게 된다. 이러한 킥 백 전압( $\Delta V_{kb}$ )은 액정 표시 패널에 플리커(flicker) 현상을 유발시켜 표시 불량을 일으키는 원인이 된다.

### 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 킥 백(kick back) 전압을 발생을 방지하여 플리커 현상을 방지할 수 있는 표시 패널을 제공하는데 있다.

본 발명의 다른 목적은 상기 표시 패널을 구비한 표시 장치를 제공하는데 있다.

본 발명의 또 다른 목적은 상기 표시 장치의 구동 방법을 제공하는데 있다.

### 발명의 구성

상기 목적을 달성하기 위하여 본 발명의 일 실시예에 의한 표시 패널은 데이터 라인, 제1 게이트 라인, 제2 게이트 라인, 제1 스위칭 소자, 제2 스위칭 소자 및 액정 커패시터를 포함한다. 데이터 라인은 제1 방향으로 연장되어 형성된다. 제1 게이트 라인은 데이터 라인과 교차하는 제2 방향으로 연장되어 형성된다. 제2 게이트 라인은 제1 게이트 라인과 평행하게 형성된다. 제1 스위칭 소자는 데이터 라인과 제1 게이트 라인에 연결된다. 제2 스위칭 소자는 제2 게이트 라인에 연결된다. 액정 커패시터는 제1 및 제2 스위칭 소자와 공통 연결된다.

본 발명의 일 실시예에 의한 표시 장치는 데이터 구동부, 게이트 구동부 및 표시부를 포함한다. 데이터 구동부는 데이터 신호를 출력한다. 게이트 구동부는 제1 게이트 신호와 제2 게이트 신호를 출력한다. 표시부는 복수개의 화소부를 구비하여 데이터 신호 및 제1 게이트 신호에 응답하여 영상을 표시한다. 또한, 표시부는 제1 게이트 신호가 제공됨에 따라 데이터 신호를 화소부에 충전하고, 제2 게이트 신호가 제공됨에 따라 제1 게이트 신호의 하강 에지에서 충전된 데이터 신호의 전위 변동을 방지한다.

본 발명의 일 실시예에 의한 표시 장치의 구동 방법은 제1 게이트 신호와 제1 게이트 신호에 반전된 제2 게이트 신호를 각각 출력하는 단계, 제1 게이트 신호가 제공됨에 따라 데이터 신호를 출력하여 화소부를 충전시키는 단계 및 제1 게이트 신호의 하강 에지에서 화소부에 충전된 데이터 신호가 변동되는 것을 제2 게이트 신호를 이용하여 보상하는 단계를 포함한다.

이러한 표시 패널, 이를 구비한 표시 장치 및 표시 장치의 구동 방법에 의하면, 데이터 신호를 화소부에 인가하는 게이트 신호의 전위 하강 에지에서 킥 백(kick back) 전압의 발생을 방지하고, 킥 백 전압에 의해 야기되는 플리커 현상을 방지함으로써 표시 장치의 표시 품질을 향상시킬 수 있다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

도 1은 본 발명의 일 실시예에 의한 표시 장치를 개략적으로 도시한 블록도이다.

도 1을 참조하면, 본 발명의 일 실시예에 의한 표시 장치(100)는 타이밍 제어부(110), 전원 공급부(120), 데이터 구동부(130), 게이트 구동부(140) 및 표시부(150)를 포함한다.

타이밍 제어부(110)는 표시 장치(100)의 전반적인 동작을 제어한다. 타이밍 제어부(110)는 외부 그래픽 컨트롤러와 같은 호스트 시스템(도시되지 않음)으로부터 R, G, B의 원시 데이터 신호(DATA\_O)와 제1 제어 신호(CNTL1)를 인가받아 표시부(110)에 영상을 표시하기 위한 제1 데이터 신호(DATA1), 제2 제어 신호(CNTL2), 제3 제어 신호(CNTL3) 및 제4 제어 신호(CNTL4)를 출력한다.

구체적으로, 제1 제어 신호(CNTL1)는 수평 동기 신호(HSYNC), 수직 동기 신호(VSYNC) 및 데이터 인에이블 신호(DE) 등을 포함한다. 제2 제어 신호(CNTL2)는 데이터 구동부(130)를 제어하는 수평 시작 신호(STH), 반전 신호(REV) 및 데이터 로드 신호(TP) 등을 포함한다. 제3 제어 신호(CNTL3)는 게이트 구동부(140)를 제어하는 수직 개시 신호(STV) 및 출력 인에이블 신호(OE) 등을 포함한다. 제4 제어 신호(CNTL4)는 전원 공급부(120)를 제어하는 반전 신호(REV) 및 클록 신호 등을 포함한다.

전원 공급부(120)는 제4 제어 신호(CNTL4)에 응답하여 표시부(150)로 제공되는 공통 전압(Vcom), 데이터 구동부(130)에 제공되는 아날로그 구동 전압(AVDD) 및 게이트 구동부(140)에 제공되는 게이트 온/오프 전압(Von, Voff)을 출력한다.

데이터 구동부(130)는 도면에 도시하지는 아니하였으나, 게조 전압 발생부 및 데이터 구동 회로를 포함한다.

상기 게조 전압 발생부는 전원 공급부(120)에서 출력되는 아날로그 구동 전압(AVDD)이 인가되면, 이를 기준 전압으로 사용하여 감마 커브가 적용된 저항비를 갖는 분배 저항에 의해 게조 레벨수에 대응하는 다수개의 기준 게조 전압을 출력한다.

상기 데이터 구동 회로는 상기 게조 전압 발생부에서 출력되는 상기 기준 게조 전압에 기초하여 게조 전압을 생성하며, 하나의 단일 칩으로 형성될 수 있다. 상기 데이터 구동 회로는 타이밍 제어부(110)에서 출력되는 디지털 형태의 제1 데이터 신호(DATA1)들을 상기 게조 전압에 기초하여 아날로그 형태의 데이터 신호들(D1 ~ Dm)로 변환하고, 데이터 신호들(D1 ~ Dm)의 출력 타이밍을 제어하여 표시부(150)에 형성된 데이터 라인들(DL1 ~ DLm)에 순차적으로 출력한다.

이를 위해, 상기 데이터 구동 회로는 상기 기준 게조 전압을 감마 커브에 대응하여 분배하는 저항 스트링과 제1 데이터 신호(DATA1)를 데이터 신호(D1 ~ Dm)로 변환하는 디지털-아날로그 변환기를 더 포함한다.

게이트 구동부(140)는 게이트 구동 회로를 포함한다. 상기 게이트 구동 회로는 단일 칩으로 형성될 수 있고, 표시부(150)의 소정 영역에 형성될 수 있으며, 표시부(150)와 연결되는 연성 회로 기판 상에 형성될 수도 있다.

또한, 게이트 구동부(140)는 타이밍 제어부(110)에서 출력되는 제3 제어 신호(CNTL3)에 응답하여 제1 게이트 신호들(G11 ~ Gn1) 및 제2 게이트 신호들(G12 ~ Gn2)을 출력한다. 이러한 게이트 구동부(140)에 대해 보다 구체적으로 설명하면 다음과 같다.

도 2는 도 1에 도시된 게이트 구동부를 설명하기 위해 개략적으로 도시한 블록도이다.

도 1과 도 2를 참조하면, 본 발명의 일 실시예에 의한 게이트 구동부(140)는 복수개의 단위 스테이지(SRC)가 종속 연결된 하나의 쉬프트 레지스터(141), 각 스테이지들(SRC1 ~ SRCn)에서 출력되는 원시 게이트 신호를 표시부(150)에 형성된 게이트 라인들(GL11, GL21, ..., GLn1, GLn2)의 부하를 감안하여 증폭하는 버퍼부(142)를 포함한다.

쉬프트 레지스터(141)는 2n 개의 출력 버퍼로 구성된 버퍼부(142)에 대응하는 n 개의 스테이지들(SRC1 ~ SRCn)과 더미 스테이지(SRCn+ 1)로 구성된다.

쉬프트 레지스터(141)의 단위 스테이지(SRC)는 클록 신호 입력 단자(CK), 입력 단자(IN), 출력 단자(OUT) 및 제어 단자(CON)를 포함한다.

클록 신호 입력 단자(CK)에는 타이밍 제어부(110)에서 출력되는 클록 신호(CLK)가 입력된다. 이 때, 홀수번째 단위 스테이지(SRC1, ..., SRCn+ 1)와 짝수번째 단위 스테이지(SRC2, ..., SRCn)에는 각각 서로 위상이 반대되는 제1 클록 신호(CLK1)와 제2 클록 신호(CLK2)가 입력된다.

입력 단자(IN)에는 단위 스테이지(SRC) 중 제1 스테이지(SRC1)의 입력 단자(IN)를 제외하고는 이전 스테이지의 출력 단자(OUT)에서 출력되는 원시 게이트 신호가 입력된다. 또한, 제1 스테이지(SRC1)의 입력 단자(IN)에는 타이밍 제어부(110)에서 출력되는 수직 개시 신호(STV)가 입력된다.

제어 단자(CON)에는 단위 스테이지(SRC) 중 더미 스테이지(SRCn+ 1)의 제어 단자(CON)를 제외하고는 다음 스테이지의 출력 단자(OUT)에서 출력되는 원시 게이트 신호가 입력된다. 이에 따라, 각 단위 스테이지(SRC)는 다음 스테이지에서 원시 게이트 신호가 출력됨에 따라 오픈된다.

따라서, 쉬프트 레지스터(141)는 타이밍 제어부(110)에서 출력되는 클록 신호(CLK1, CLK2)와 수직 개시 신호에 의해 제1 스테이지(SRC1)로부터 제n 스테이지까지 순차적으로 활성화되고, 다음 스테이지에서 출력되는 원시 게이트 신호에 의해 순차적으로 비활성화되어, 원시 게이트 신호를 순차적으로 출력한다.

여기서, 더미 스테이지(SRCn+ 1)는 원시 게이트 신호를 출력하는 마지막 스테이지(SRCn)의 제어 단자에 제어 신호를 출력하여 쉬프트 레지스터(141)를 오픈 시키는데 사용한다. 즉, 제1 스테이지(SRC1)로부터 제n 스테이지(SRCn)까지 순차적으로 구동하여 한 프레임의 원시 게이트 신호가 출력되었을 때 수직 개시 신호(STV)가 다시 인가될 때까지 쉬프트 레지스터(141)를 오픈 시키기 위해 구성한다.

버퍼부(142)는 표시부(150)에 형성된 2n 개의 게이트 라인들(GL11, GL21, ..., GLn1, GLn2)에 대응하여 2n 개의 출력 버퍼들(Buf11, Buf12, ..., Bufn1, Bufn2)로 구성된다.

또한 버퍼부(142)는 각 스테이지(SRC)에서 출력되는 게이트 신호의 위상을 유지하여 증폭하는 n 개의 제1 출력 버퍼들(Buf11, ..., Bufn1)과 각 스테이지(SRC)에서 출력되는 게이트 신호의 위상을 반전시켜 증폭하는 n 개의 제2 출력 버퍼들(Buf12, ..., Bufn2)을 포함한다. 이 때, 제1 출력 버퍼들(Buf11, ..., Bufn1)과 제2 출력 버퍼들(Buf12, ..., Bufn2)은 하나의 스테이지에 서로 하나씩 병렬 연결된다. 예를 들어, 제1 스테이지(SRC1)에는 제11 출력 버퍼(Buf11)와 제12 출력 버퍼(Buf12)가 병렬 연결된다.

따라서, 버퍼부(142)에서는 하나의 스테이지 예를 들어, 제1 스테이지(SRC1)에서 출력되는 원시 게이트 신호에 대응하여 서로 위상이 반대인 2 개의 게이트 신호(G11, G12)가 출력된다.

다시 도 1을 참조하면, 표시부(150)는 데이터 구동부에서 출력되는 데이터 신호들(D1, ..., Dm)이 인가되는 m 개의 데이터 라인들(DL1, ..., DLm), 제1 출력 버퍼들(Buf11, ..., Bufn1)과 연결되는 n 개의 제1 게이트 라인들(GL11, ..., GLn1), 제2 출력 버퍼들(Buf12, ..., Bufn2)들과 연결되는 n 개의 제2 게이트 라인들(GL12, ..., GLn2) 및 데이터 라인들(DL1, ..., DLm)과 제1 게이트 라인들(GL11, ..., GLn1)에 의해 정의되는 다수의 화소부를 갖는다. 여기서, 표시부(150)는 특허청구범위에 작성된 표시 패널을 의미함으로 미리 밝혀둔다.

이러한 표시부(150)에 대해 보다 구체적으로 설명하면 다음과 같다.

도 3은 도 1에 도시된 표시부의 A 영역을 확대 도시한 단면도이고, 도 4는 도 3에 도시된 화소부의 구동을 설명하기 위한 파형도이다.

도 3을 참조하면, 본 발명의 일 실시예에 의한 표시부(150)는 제1 방향(D1)으로 형성된 제i( $1 \leq i \leq m$  인 자연수) 데이터 라인(DLi)과 제2 방향(D2)으로 형성된 제j( $1 \leq j \leq n$  인 자연수) 게이트 라인(GLj), 제j 게이트 라인(GLj)과 평행하게 형성된 제k( $1 \leq k \leq n$  인 자연수) 게이트 라인(GLk) 및 상기 제i 데이터 라인(DLi)과 제j 게이트 라인(GLj)에 의해 정의되는 화소부를 갖는다.

여기서, 제j 게이트 라인(GLj)과 제k 게이트 라인(GLk)은 각각 제1 게이트 라인들(GL11,..., GLn1)과 제2 게이트 라인들(GL12,..., GLn2) 중 하나의 게이트 라인을 의미하며, 제i 데이터 라인은 데이터 라인들(DL1,..., DLm) 중 하나의 데이터 라인을 의미한다.

상기 화소부는 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 액정 커패시터(CLC), 스토리지 커패시터(CST)를 갖는다.

제1 스위칭 소자(TFT1)의 게이트 전극은 제j 게이트 라인(GLj)에 연결되고, 소스 전극은 제i 데이터 라인(DLi)에 연결되며, 드레인 전극은 액정 커패시터(CLC)의 제1 전극인 화소 전극에 연결된다.

제2 스위칭 소자(TFT2)의 게이트 전극은 제k 게이트 라인(GLk)과 연결되고, 소스 전극은 플로팅 상태이며, 드레인 전극은 액정 커패시터(CLC)의 제1 전극인 화소 전극과 연결된다.

여기서, 제1 스위칭 소자(TFT1), 제2 스위칭 소자(TFT2), 제i 데이터 라인(DLi), 제j 게이트 라인(GLj), 제k 게이트 라인(GLk)은 표시부(150)를 구성하는 어레이 기관(도시되지 않음)에 형성되고, 상기 액정 커패시터(CLC)와 스토리지 커패시터(CST)의 제2 전극인 공통 전극은 상기 어레이 기관과 대향 체결되는 대향 기관에 형성된다.

정리하면, 본 발명의 일 실시예에 의한 표시부(150)에는 화소부에는 두 개의 스위칭 소자(TFT1, TFT2)가 형성되고, 각 스위칭 소자(TFT1, TFT2)의 드레인 전극은 액정 커패시터(CLC) 및 스토리지 커패시터(CST)의 제1 전극에 연결된다. 또한, 제2 스위칭 소자(TFT2)의 소스 전극은 데이터 라인과 연결되지 아니한 플로팅 상태로 형성된다.

도 3에서는 제j 게이트 라인(GLj)과 제k 게이트 라인(GLk)이 액정 커패시터(CLC)와 스토리지 커패시터(CST)를 사이에 두고 서로 이격 형성되는 것으로 도시하였으나, 서로 인접 배선하여 형성할 수도 있음은 당업자에게 자명한 사항이다.

도 3과 도 4를 참조하여, 화소부의 구동을 살펴보면 다음과 같다.

제j 게이트 라인(GLj)에는 제j 게이트 신호(Gj)가 인가되어 상기 화소부에 포함된 제1 스위칭 소자(TFT1)를 활성화시킨다. 이에 따라 제i 데이터 라인(DLi)에서 제공되는 제i 데이터 신호(Di)에 의해 상기 화소부에 포함된 액정 커패시터(CLC)와 스토리지 커패시터(CST)가 충전된다.

따라서, 데이터 라인들(DL1,..., DLm)들과 제1 게이트 라인들(GL1,..., GLn1)이 순차적으로 활성화되고, 상기 화소부가 데이터 신호들(D1,..., Dm)에 의해 순차적으로 충전됨으로써 소정의 영상이 표시된다.

이 경우, 제j 게이트 라인(GLj)에 게이트 온 및 오프 전압(Von/ Voff)의 제j 게이트 신호(Gj)가 인가됨에 따라 제1 스위칭 소자(TFT1)의 게이트 단자와 소스 단자 사이에는 제1 기생 커패시터(Cgd1)가 형성된다.

또한, 도 6에 도시된 바와 같이 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 변화하는 하강 에지에서 상기 화소부에 충전된 데이터 신호들(D1,..., Dm)들이 제1 기생 커패시터(Cgd1)의 전위 변화에 연동되어 전위 레벨이 하강되는 킥 백 전압( $\Delta V_{kb}$ )이 발생한다.

동시에, 제k 게이트 라인(GLk)에는 제j 게이트 신호(Gj)와 절대값이 동일하고, 서로 반대되는 위상을 갖는 제k 게이트 신호(Gk)가 인가된다. 이에 따라, 제2 스위칭 소자(TFT2)의 소스 전극은 플로팅 상태로 있기 때문에 제j 게이트 신호(Gj)가 인가됨에 따라 액정 커패시터(CLC)와 스토리지 커패시터(CST)의 충전 전압은 변동이 되지 않으나, 제2 스위칭 소자(TFT2)의 게이트 단자와 드레인 단자 사이에는 제2 기생 커패시터(Cgd2)가 형성된다.

또한, 제1 기생 커패시터(Cgd1)의 전위 변화에 연동되어 킥 백 전압( $\Delta V_{kb}$ )이 발생하는 것과 마찬가지로 제2 기생 커패시터(Cgd2)에 연동되어 킥 백 전압( $\Delta V_{kb}$ )이 발생한다.



그러나, 제1 기생 커패시터(Cgd1)와 제2 기생 커패시터(Cgd2)는 서로 반대되는 위상을 갖는 게이트 신호들에 의해 유도되기 때문에 각각의 기생 커패시턴스는 그 극성이 서로 반대로 형성되고, 이에 따라 제1 기생 커패시터(Cgd1)에 의해 유발되는 킥 백 전압( $\Delta V_{kb}$ )은 음(-)의 극성을 갖는 반면 제2 기생 커패시터(Cgd2)에 의해 유발되는 킥 백 전압( $\Delta V_{kb}$ )은 양(+)의 극성을 갖게 된다.

따라서, 동일한 액정 커패시터(CLC)와 스토리지 커패시터(CST)에 서로 반대되는 극성을 갖고 절대값이 동일한 두 개의 킥 백 전압( $\Delta V_{kb}$ )이 인가되어 제1 기생 커패시터(Cgd1)와 제2 기생 커패시터(Cgd2) 각각에 의해 유발되는 킥 백 전압( $\Delta V_{kb}$ )은 서로 상쇄된다. 이에 따라, 도 5에 도시된 바와 같이 킥 백 전압( $\Delta V_{kb}$ )으로 인해 화소부에 충전된 충전 전압이 제j 게이트 신호(Gj)의 하강 에지에서 변동되는 것을 방지한다.

### 발명의 효과

상기와 같은 본 발명에 따르면, 데이터 신호를 화소부에 제공하기 위해 스위칭 소자에 게이트 신호를 제공할 때, 스위칭 소자의 게이트 단자와 드레인 단자 사이에서 발생하는 기생 커패시턴스 성분을 이와 반대 극성을 갖는 기생 커패시턴스 성분을 발생시켜 상호 보상되도록 구성함으로써, 화소부의 충전 전압이 킥 백(kick back) 전압에 의해 변동되는 것을 방지할 수 있다.

이에 따라 킥 백 전압에 의해 발생하는 플리커 현상을 방지함으로써 표시 장치의 표시 품질을 향상시킬 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

### 도면의 간단한 설명

도 1은 본 발명의 일 실시예에 의한 표시 장치를 개략적으로 도시한 블록도이다.

도 2는 도 1에 도시된 게이트 구동부를 설명하기 위해 개략적으로 도시한 블록도이다.

도 3은 도 1에 도시된 표시부의 A 영역을 확대 도시한 단면도이다.

도 4는 도 3에 도시된 화소부의 구동을 설명하기 위한 파형도이다.

도 5는 본 발명에 의한 킥 백 전압의 보상을 설명하기 위한 파형도이다.

도 6은 킥 백 전압을 설명하기 위한 파형도이다.

도 7은 비교예에 의한 화소부를 설명하기 위한 도면이다.

\* 도면의 주요부분에 대한 부호의 설명 \*

100 : 표시 장치 110 : 타이밍 제어부

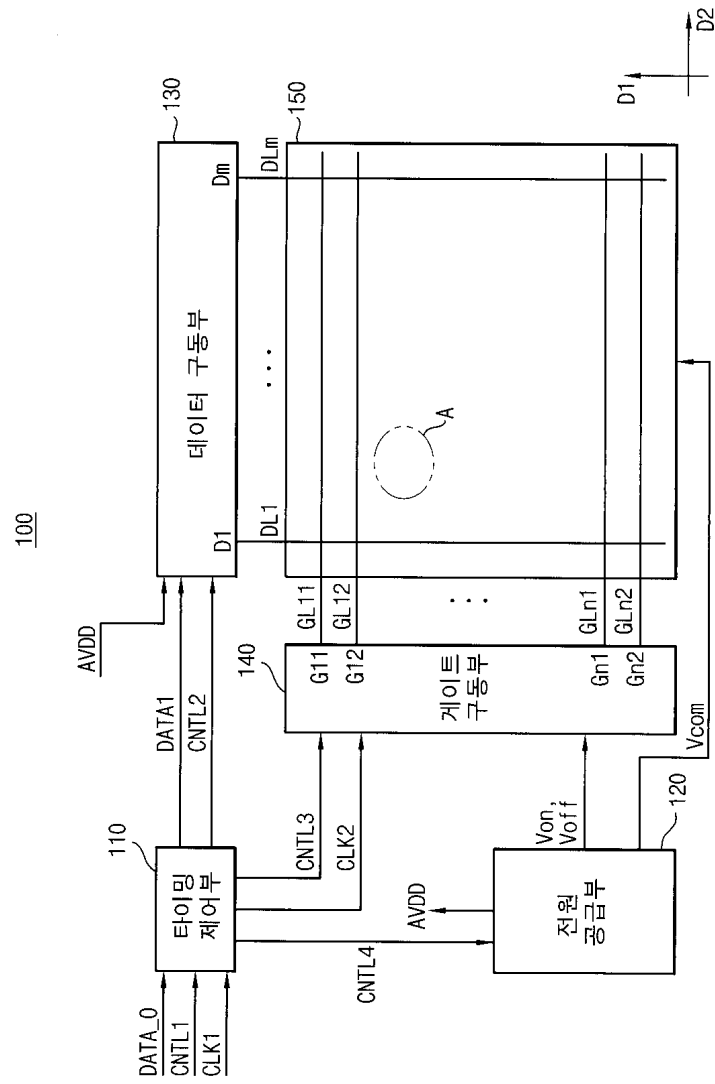
120 : 전원 공급부 130 : 데이터 구동부

140 : 게이트 구동부 141 : 쉬프트 레지스터

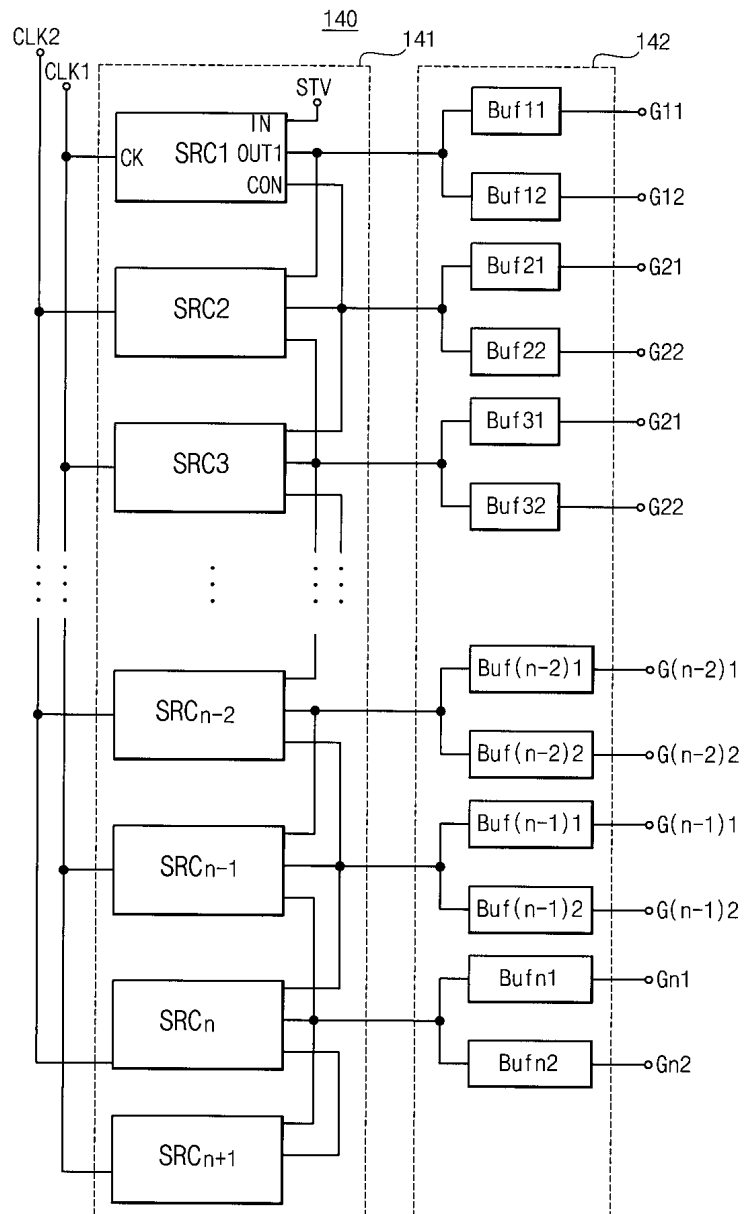
142 : 버퍼부 150 : 표시부

### 도면

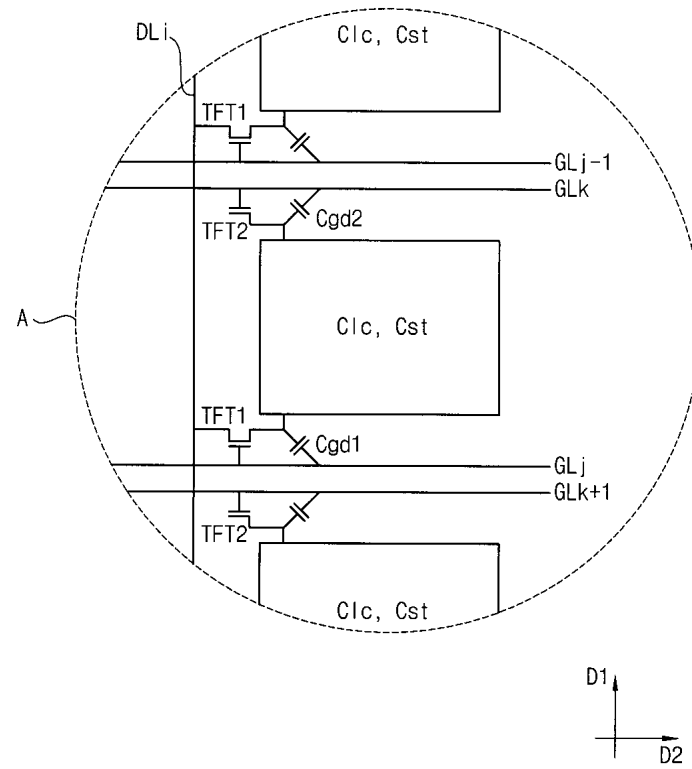
도면1



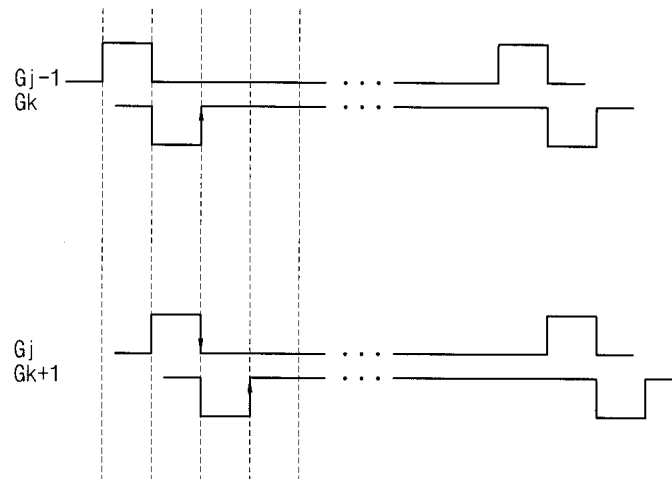
도면2



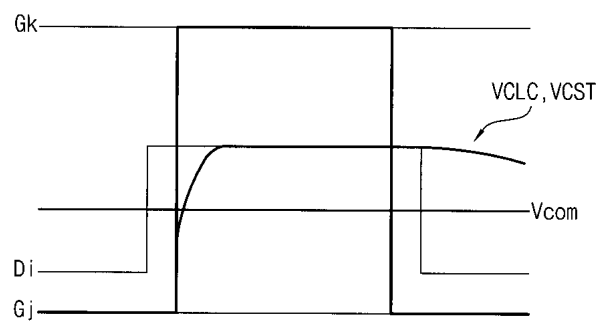
도면3



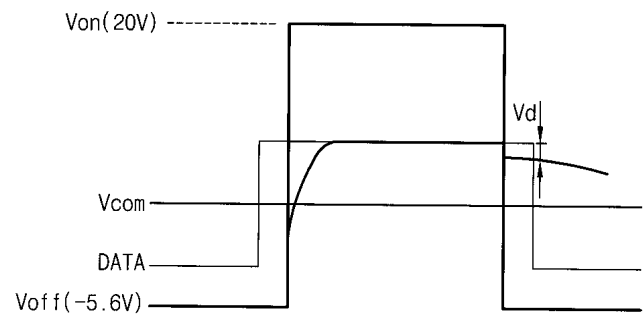
도면4



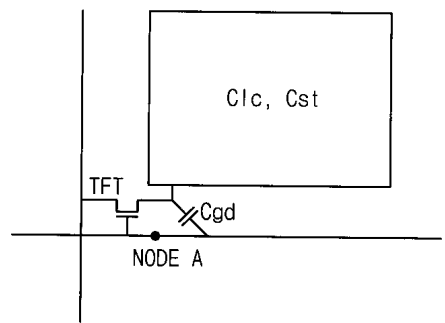
도면5



도면6



도면7



|                |                                        |         |            |
|----------------|----------------------------------------|---------|------------|
| 专利名称(译)        | 显示面板，具有该显示面板的显示装置以及该显示装置的驱动方法          |         |            |
| 公开(公告)号        | <a href="#">KR1020070062680A</a>       | 公开(公告)日 | 2007-06-18 |
| 申请号            | KR1020050122358                        | 申请日     | 2005-12-13 |
| [标]申请(专利权)人(译) | 三星电子株式会社                               |         |            |
| 申请(专利权)人(译)    | 三星电子有限公司                               |         |            |
| 当前申请(专利权)人(译)  | 三星电子有限公司                               |         |            |
| [标]发明人         | JEON KYUNG JU                          |         |            |
| 发明人            | JEON KYUNG JU                          |         |            |
| IPC分类号         | G09G3/36 G09G3/20 G02F1/133            |         |            |
| CPC分类号         | G09G3/3677 G09G2310/0286 G09G2320/0247 |         |            |
| 代理人(译)         | PARK, YOUNG WOO                        |         |            |
| 外部链接           | <a href="#">Espacenet</a>              |         |            |

#### 摘要(译)

公开了一种显示面板，该显示面板提高了显示质量，防止了由反冲电压引起的闪烁效应，防止了反冲电压的产生，以及显示装置和包括该显示装置的显示装置的驱动方法。显示面板包括数据线，第一栅极线，第二栅极线，第一开关器件，第二开关元件和液晶电容器。它扩展到第一个方向并形成数据线。它延伸到第一栅极线与数据线相交的第二方向并形成。第二栅极线与第一栅极线平行地形成。第一开关器件连接到数据线和第一栅极线。第二开关元件连接到第二栅极线。第一和第二开关元件和液晶电容器共同连接。在第一栅极信号的电位电平的下降沿，防止产生反冲电压。以这种方式，可以防止由反冲电压引起的闪烁效应。

