



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0124630
G02F 1/136 (2006.01) (43) 공개일자 2006년12월05일

(21) 출원번호	10-2006-7011738	(87) 국제공개번호	WO 2005/047967
(22) 출원일자	2006년06월14일	(43) 공개일자	2006년12월05일
심사청구일자	없음		
번역문 제출일자	2006년06월14일		
(86) 국제출원번호	PCT/JP2004/016795	(87) 국제공개번호	WO 2005/047967
국제출원일자	2004년11월05일	국제공개일자	2005년05월26일

(30) 우선권주장 JP-P-2003-00386023 2003년11월14일 일본(JP)

(71) 출원인 가부시킴가이샤 한도오따이 에네루기 켄쿠쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자키, 순페이
일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398,가부시킴가이샤 한도
오따이 에네루기 켄쿠쇼 내
마에카와, 신지
일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398,가부시킴가이샤 한도
오따이 에네루기 켄쿠쇼 내
후지이, 겐
일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398,가부시킴가이샤 한도
오따이 에네루기 켄쿠쇼 내
구와바라, 히데아키
일본, 가나가와켄 243-0036, 아쓰기시, 하세, 398,가부시킴가이샤 한도
오따이 에네루기 켄쿠쇼 내

(74) 대리인 정상구
홍동오

전체 청구항 수 : 총 12 항

(54) 액정 디스플레이 디바이스 및 그 제조 방법

(57) 요약

기판이 보다 커짐에 따라, 성막들 및 에칭들의 반복으로 인해 제조 시간이 증가되고, 에칭제 등의 폐기물 처리 비용이 증가되며, 재료 효율이 현저히 감소된다. 액적 방출법에 의해 형성된 기판과 재료층 사이의 접착성을 향상시키기 위한 베이스막이 본 발명에서 형성된다. 또한, 본 발명에 따른 액정 디스플레이 디바이스 제조 방법은 포토마스크를 사용하지 않고, 액정 디스플레이 디바이스 제조에 필요한 하기의 패턴들을 형성하기 위한 적어도 하나의 단계를 포함한다: 배선 (또는 전극) 패턴에 의해 대표되는 재료층의 패턴, 절연층 패턴, 또는 다른 패턴을 형성하기 위한 마스크 패턴.

대표도

도 1e

특허청구의 범위

청구항 1.

액정 디스플레이 디바이스에 있어서,

액적 방출법(droplet discharge method)에 의해 형성된 게이트 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터의 드레인 전극 위에 액적 방출법에 의해 형성된 주상 도전막(columnar conductive film); 및

상기 주상 도전막에 접속된 화소 전극을 포함하는, 액정 디스플레이 디바이스.

청구항 2.

제 1 항에 있어서, 상기 게이트 전극은 전처리된 영역 위에 형성되는, 액정 디스플레이 디바이스.

청구항 3.

제 2 항에 있어서, 상기 전처리된 영역은 광촉매를 사용하여 형성되는, 액정 디스플레이 디바이스.

청구항 4.

제 1 항에 있어서, 상기 게이트 전극, 상기 드레인 전극, 및 상기 주상 도전막 중 적어도 하나는 금, 은, 구리, 백금, 팔라듐, 텅스텐, 니켈, 탄탈륨, 비스머스, 납, 인듐, 주석, 아연, 티타늄 및 알루미늄으로 구성되는 그룹으로부터 선택된 하나를 포함하는, 액정 디스플레이 디바이스.

청구항 5.

제 1 항에 있어서, 상기 박막 트랜지스터는 비정질 반도체 또는 준비정질 반도체를 포함하는, 액정 디스플레이 디바이스.

청구항 6.

텔레비전 수신기에 있어서,

제 1 항에 따른 액정 디스플레이 디바이스가 상기 텔레비전 수신기의 디스플레이 스크린에 포함되어 있는, 텔레비전 수신기.

청구항 7.

액정 디스플레이 디바이스를 제조하는 방법에 있어서,

액적 방출법에 의해 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 반도체막을 형성하는 단계;

상기 반도체막 위에 마스크를 형성하는 단계;

패턴화된 반도체막을 형성하도록 상기 마스크를 사용하여 상기 반도체막을 패턴화하는 단계;

액적 방출법에 의해 소스 및 드레인 전극들을 형성함으로써, 상기 패턴화된 반도체막을 사용하여 박막 트랜지스터를 형성하는 단계;

상기 소스 및 드레인 전극들 중 하나 위에 주상 도전막을 형성하는 단계;

상기 주상 도전막 및 상기 박막 트랜지스터를 덮는 제 2 절연막을 형성하는 단계; 및

상기 제 2 절연막 위에 상기 주상 도전막을 연결하는 화소 전극을 형성하는 단계를 포함하는, 액정 디스플레이 디바이스 제조 방법.

청구항 8.

액정 디스플레이 디바이스를 제조하는 방법에 있어서,

액적 방출법에 의해 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 제 1 절연막을 형성하는 단계;

상기 제 1 절연막 위에 반도체막을 형성하는 단계;

상기 반도체막 위에 마스크를 형성하는 단계;

패턴화된 반도체막을 형성하도록 상기 마스크를 사용하여 상기 반도체막을 패턴화하는 단계;

액적 방출법에 의해 소스 및 드레인 전극들을 형성함으로써, 상기 패턴화된 반도체막을 사용하여 박막 트랜지스터를 형성하는 단계;

상기 소스 및 드레인 전극들 중 하나 위에 주상 유기막을 형성하는 단계;

상기 주상 유기막 및 상기 박막 트랜지스터를 덮는 제 2 절연막을 형성하는 단계;

상기 주상 유기막을 제거하는 단계; 및

상기 제 2 절연막 위에 상기 소스 전극 또는 상기 드레인 전극을 연결하는 화소 전극을 형성하는 단계를 포함하는, 액정 디스플레이 디바이스 제조 방법.

청구항 9.

제 7 항 또는 제 8 항에 있어서, 상기 게이트 전극이 형성되는 영역을 진처리하는 단계를 더 포함하는, 액정 디스플레이 디바이스 제조 방법.

청구항 10.

제 9 항에 있어서, 상기 전처리 단계는 광촉매를 사용하는, 액정 디스플레이 디바이스 제조 방법.

청구항 11.

제 8 항에 있어서, 상기 제 2 절연막은 상기 주상 유기막에 대해 반발성인, 액정 디스플레이 디바이스 제조 방법.

청구항 12.

제 8 항에 있어서, 상기 주상 유기막은 물 세척에 의해 제거되는, 액정 디스플레이 디바이스 제조 방법.

명세서**기술분야**

본 발명은 박막 트랜지스터(이하, TFT라 지칭함)로 구성된 회로를 갖는 반도체 디바이스 및 이 반도체 디바이스를 제조하기 위한 방법에 관한 것이다. 반도체 디바이스의 예는 그 부분들 중 하나로서 액정 디스플레이 디바이스에 의해 대표되는 전기-광학 디바이스를 갖는 전자 디바이스이다.

본 명세서에서, 용어, 반도체 디바이스는 반도체 특성들을 활용함으로써 기능하는 디바이스들을 지칭한다. 또한, 전기-광학 디바이스들, 반도체 회로들 및 전자 디바이스들은 모두 반도체 디바이스들로서 간주된다.

배경기술

최근에, 절연면을 갖는 기판 위에 형성된 반도체 박막(약 수 나노미터 내지 수백 나노미터의 두께)을 사용하여 박막 트랜지스터(TFT)를 형성하기 위한 기술이 주목을 받고 있다. 박막 트랜지스터들은 IC 또는 전기-광학 디바이스 같은 전자 디바이스들에 광범위하게 적용되며, 특히, 빠른 속도에서의 이미지 디스플레이 디바이스들을 위한 스위칭 소자들로서 개발되었다.

종래에, 액정 디스플레이 디바이스는 이미지 디스플레이 디바이스로서 알려졌다. 패시브 매트릭스 액정 디스플레이 디바이스들에 비해 보다 높은 선명도의 이미지들을 제공할 수 있기 때문에, 액티브 매트릭스 액정 디스플레이 디바이스들이 널리 사용된다. 액티브 매트릭스 액정 디스플레이 디바이스에 대해, 매트릭스로 배열된 화소 전극들을 구동함으로써, 이미지가 스크린상에 생성된다. 구체적으로, 화소 전극과 카운터 전극 사이에 배치된 액정층의 광변조는 선택된 화소 전극과 화소 전극에 대응하는 카운터 전극 사이의 전압 인가에 의해 수행된다. 광 변조는 관찰자에게 이미지로서 인식된다.

이러한 액티브 매트릭스형의 전기-광학 디바이스의 응용 범위는 확장되어 왔으며, 디바이스가 보다 높은 선명도, 보다 높은 개구 면적 비율 및 보다 높은 신뢰성을 달성하게 하는 것 및 스크린이 보다 넓은 면적을 갖게 하는 것이 필요하다. 또한, 생산성 향상 및 비용 최소화에 대한 요구들도 증가하고 있다.

발명의 상세한 설명

상기 액티브 매트릭스 전기-광학 디바이스 제조시, 스퍼터링 등에 의한 박막 형성 및 포토리소그래피에 의한 패터닝의 단계들이 반복되어 TFT를 형성한다. 포토리소그래피 기술로서, 기판상에서의 에칭 프로세스를 위한 마스크가 되도록 포토레지스트 패턴을 형성하기 위해 포토마스크가 사용된다.

이러한 마스크를 사용하는 경우에, 레지스트 적용, 사전베이킹, 노광, 현상, 사후 베이킹 등의 단계들과, 코팅 및 에칭의 성막 같은 단계들이 지정된 단계들 이전/이후에 수행되며, 레지스트 제거, 세척 및 건조 등의 추가 단계들이 부가적으로 필요하다. 따라서, 제조 프로세스가 복잡해지는 것을 피할 수 없다.

특히, 베이스 재료가 되는 기관이 보다 커짐에 따라, 성막 및 에칭의 반복으로 인하여 제조 시간이 증가하고, 에칭제 등의 폐기물 처리 비용들이 증가하며, 재료 효율이 현저히 감소된다.

상기 문제점들의 견지에서, 본 발명의 목적은 제조 비용을 감소시킬 수 있는 전기-광학 디바이스의 제조 방법을 제공하는 것이다.

본 발명에 따른 액정 디스플레이 디바이스의 제조 방법은 포토마스크를 사용하지 않고, 액정 디스플레이 디바이스를 제조하기 위해 필요한 하기의 패턴들을 포함하는 단계들 중 적어도 하나 이상을 포함한다: 배선(또는 전극)에 의해 대표되는 재료층의 패턴, 절연층 패턴 또는 다른 패턴을 형성하기 위한 마스크 패턴.

재료층의 패턴은 액적 방출법(예로서, 잉크-젯법)에 의해 형성된다.

부가적으로, 본 발명은 다층 배선들 사이의 전기 접속을 쉽게 획득하기 위한 기술을 제공한다.

구체적으로, 본 발명은 포토리소그래피를 사용하여 높은 형상비(접촉홀의 깊이에 대한 직경의 비율)를 갖는 접촉홀을 형성하지 않고, 다층 배선들을 접속하기 위한 기술을 제공한다. 상부층 배선이 하부층 배선에 전기적으로 접속되는 부분에서, 돌출부(이하, "플러그(plug)" 또는 "기둥부(pillar)"라고도 지칭됨)가 하부층 배선상에 제공된다. 돌출부는 주상 도전성 부재 또는 액적 방출법에 의해 반복적으로 적용된 도전성 부재들의 적층체인 부재일 수 있다. 또한, 층간 절연막이 코팅법에 의해 형성된 이후, 돌출부는 에치 백에 의해 노출된다. 따라서, 하부층 배선은 돌출부를 통해 상부층 배선과 전기 접속될 수 있다.

다른 방법으로서, 접촉홀은 액적 방출법에 의해 층간 절연막을 선택적으로 형성함으로써, 층간 절연막의 형성과 동시에 형성될 수 있다.

또 다른 방법으로서, 방액성 유기막으로 형성된 돌출부가 상부층 배선과 하부층 배선 사이의 접속부가 형성되는 부분에서 하부층 배선상에 제공된다. 또한, 코팅에 의해 층간 절연막을 형성한 이후에, 돌출부만이 제거되고, 따라서, 접촉홀이 형성될 수 있다. 그후, 상부층 배선이 접촉홀을 막도록 형성된다.

본 발명의 본 명세서에 개시된 액정 디스플레이 디바이스는 전처리되는 영역 위에 액적 방출법에 의해 형성된 게이트 전극을 포함하는 박막 트랜지스터, 박막 트랜지스터의 드레인 전극 위에 액적 방출법에 의해 형성되는 주상 도전막 및 주상 도전막에 접속되는 화소 전극을 포함한다.

상기 구조에서, 게이트 전극, 드레인 전극 또는 주상 도전막은 금, 은, 구리, 백금, 팔라듐, 텅스텐, 니켈, 탄탈륨, 비스머스, 납, 인듐, 주석, 아연, 티타늄 및 알루미늄으로 구성되는 그룹으로부터 선택된 하나를 포함한다.

상기 구조들 각각에서, 박막 트랜지스터는 비정질 반도체 또는 준비정질 반도체를 포함한다.

본 발명의 본 명세서에 개시된 텔레비전 수신기에 대해, 청구항 1 내지 3 중 어느 하나에 따른 액정 디스플레이 디바이스가 디스플레이 스크린에 포함된다.

또한, 본 발명의 본 명세서에 개시된 액정 디스플레이 디바이스를 제조하는 방법은 액적 방출법에 의해, 전처리된 영역 위에 게이트 전극을 형성하는 단계, 게이트 전극 위에 제 1 절연막을 형성하는 단계, 제 1 절연막 위에 반도체막을 형성하는 단계, 반도체막 위에 마스크를 형성하는 단계, 마스크를 사용하여 반도체막을 패턴화하는 단계, 패턴화된 반도체막을 전처리하는 단계, 액적 방출법에 의해 소스 또는 드레인 전극을 형성함으로써, 전처리된 반도체막 위에 박막 트랜지스터를 형성하는 단계, 소스 또는 드레인 전극 위에 주상 도전막을 형성하는 단계, 주상 도전막 및 박막 트랜지스터를 덮도록 제 2 절연막을 형성하는 단계, 제 2 절연막 위에 주상 도전막에 연결되도록 화소 전극을 형성하는 단계, 액적 방출법에 의해 밀봉제 또는 액정을 형성하는 단계, 및 감압하에 카운터 기관과 페이스트링하는 단계를 포함한다.

본 발명의 본 명세서에 개시된 액정 디스플레이 디바이스를 제조하는 다른 방법은 전처리된 영역 위에 액적 방출법에 의해 게이트 전극을 형성하는 단계, 게이트 전극 위에 제 1 절연막을 형성하는 단계, 제 1 절연막 위에 반도체막을 형성하는 단계, 반도체막 위에 마스크를 형성하는 단계, 마스크를 사용하여 반도체막을 패턴화하는 단계, 패턴화된 반도체막을 전처리하는 단계, 액적 방출법에 의해 소스 또는 드레인 전극을 형성함으로써, 전처리된 반도체막 위에 박막 트랜지스터를 형성하는 단계, 소스 또는 드레인 전극 위에 주상 유기막을 형성하는 단계, 주상 유기막 및 박막 트랜지스터를 덮도록 제 2 절연

막을 형성하는 단계, 주상 유기막을 제거하는 단계, 제 2 절연막 위에 소스 또는 드레인 전극에 접속되도록 화소 전극을 형성하는 단계, 액적 방출법에 의해 밀봉제 또는 액정을 형성하는 단계, 및 감압하에 카운터 기판과 페이스팅하는 단계를 포함한다.

상기 구조들에서, 제 2 절연막은 주상 유기막에 대해 반발성이다. 또한, t-아기 구조들에서, 주상 유기막은 물 세척에 의해 제거된다.

본 발명은 TFT 구조에 무관하게 적용될 수 있다. 예로서, 본 발명은 상부 게이트 TFT, 저면 게이트(반전 스테퍼형) TFT 및 스테퍼형 TFT에 적용될 수 있다. 또한, 단일 게이트 TFT에 한정되지 않고, 복수의 채널 영역을 포함하는 다중게이트 TFT, 예로서, 이중 게이트 TFT가 사용될 수 있다.

TFT의 액티브층으로서, 비정질 반도체막, 결정 구조를 포함하는 반도체막, 비정질 구조를 포함하는 반도체 복합막이 적절히 사용될 수 있다. 또한, 비정질 구조와 결정 구조(단결정 및 다결정 포함)의 중간 구조를 가지며, 에너지적으로 안정한 3개상을 갖고, 단거리 순서 및 격자 왜곡을 갖는 결정질 영역을 포함하는 반도체인 준비정질 반도체막(마이크로크리스탈 반도체막이라고도 지칭됨)이 TFT의 액티브층으로서 사용될 수 있다. 준 비정질 반도체막에서, 0.5nm 내지 20nm의 입경을 갖는 결정 입자가 막의 적어도 하나의 영역에 포함되며, 라만 스펙트럼(Raman spectrum)에서, 실리콘에 특정한 피크는 520cm^{-1} 의 웨이브 넘버의 하부측으로 이동한다. 부가적으로, 준비정질 반도체막에서, Si 결정 격자로부터 파생된 (111) 및 (220)의 회절 피크가 x-레이 회절에서 관찰된다. 준비정질 반도체막은 미결합순(덴글링 본드)의 중화자(neutralizer)로서 수소 또는 할로젠을 적어도 1원자%로 포함한다. 준비정질 반도체막은 실리사이드 가스의 글로우 방전 분해(플라즈마 CVD)를 수행함으로써 제조된다. 실리사이드 가스로서, SiH_4 , 부가적으로, Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등이 사용될 수 있다. 실리사이드 가스는 H_2 또는 H_2 와 희유 가스 원소들: He, Ar, Kr 및 Ne 중 하나 이상으로 희석될 수 있다. 희석율은 2배 내지 1000배의 범위 이내이다. 압력은 대략 0.1Pa 내지 133Pa의 범위 이내이며, 파워 주파수는 1MHz 내지 120MHz, 바람직하게는, 13MHz 내지 60MHz이고, 기판 가열 온도는 최대 300°C, 바람직하게는 100°C 내지 250°C이다. 막내의 불순물 원소로서, 산소, 질소 또는 탄소 같은 대기 조성 불순물은 바람직하게는 최대 1×10^{20} atoms/cm³, 특히, 산소 농도는 최대 5×10^{19} atoms/cm³, 바람직하게는 1×10^{19} atoms/cm³이다. 액티브층으로서 준비정질막을 사용할 때, TFT의 전계 효과 이동도(μ)는 $1\text{cm}^2/\text{Vsec}$ 내지 $10\text{cm}^2/\text{Vsec}$ 라는 것을 주의하여야 한다.

본 발명에 따라서, 재료층은 포토 마스크를 사용하지 않고 패터닝될 수 있으며, 따라서, 재료 효율이 향상된다. 또한, 액정 디스플레이 디바이스 제조시 노광 및 현상의 단계들을 생략함으로써, 제조 프로세스가 단순해질 수 있다.

실시예

본 발명의 실시 형태들을 후술한다.

실시 형태 1

여기서, 반전 스테퍼형 TFT를 스위칭 소자로서 사용하는 액티브 매트릭스 액정 디스플레이 디바이스를 제조하는 방법을 설명할 것이다. 도 1은 제조 프로세스의 단면을 도시한다.

먼저, 액적 방출법에 의해 추후 형성될 재료와의 접착성을 향상시키기 위한 베이스막(11)이 기판(10)위에 형성된다. 베이스막(11)은 얇게 형성될 수 있으며, 따라서, 이는 베이스 전처리로서 간주될 수 있다. 광축매(티타늄 산화물(TiO_2), 스트론튬 티타네이트(SrTiO_3), 카드뮴 셀레니드(CdSe), 포타슘 탄탈레이트(KTaO_3), 카드뮴 셀파이드(CdS), 지르코늄 옥사이드(ZrO_2), 니오븀 옥사이드(Nb_2O_5), 아연 산화물(ZnO), 철 산화물(Fe_2O_3), 텅스텐 산화물(WO_3))가 분부로 적용될 수 있으며, 대안적으로, 유기 재료(폴리이미드, 아크릴 또는, 수소, 불소, 알킬족 및 방향족 탄화수소로 구성되는 그룹 중 적어도 하나를 치환체로서 함유하는 실리콘(Si)과 산소(O)의 결합을 포함하는 뼈대 구조를 갖는 재료)가 선택적으로 잉크-젯법 또는 졸-겔 프로세스에 의해 적용될 수 있다.

광축매는 광축매 기능을 갖는 재료를 나타낸다. 광축매는 자외광 영역의 광(파장: 400nm 이하, 바람직하게는, 380nm 이하)으로 조사될 때 활성화된다. 잉크-젯법에 의해 광축매상에 용매에 함유된 도전체를 방출함으로써, 미세 패터닝이 형성될 수 있다.

예로서, TiO_x 는 친수성이 아니지만 친유성이며, 즉, 광으로 조사되기 이전에 방수성이다. 광 조사는 광촉매 활동을 유발하며, TiO_2 는 친수성 및 비친유성, 즉, 방유성으로 변환된다. TiO_2 는 조사 시간의 길이에 따라 친수성 및 친유성 양자 모두를 가질 수 있다는 것을 주의하여야 한다.

"친수성(hydrophilic)"은 물에 젖기 쉬운 상태를 의미하며, 30° 이하의 접촉각을 가진다. 구체적으로, 5° 이하의 접촉각을 갖는 상태는 "초친수성(super-hydrophilic)"이라 지칭된다. 다른 한편, "방수성(water-repellent)"은 물에 젖기 어려운 상태를 의미하며, 90° 이상의 접촉각을 갖는다. 유사하게, "친유성(oleophilic)"은 오일에 젖기 쉬운 상태를 의미하며, "방유성(oil-repellent)"은 오일에 젖기 어려운 상태를 의미한다. 접촉각은 적하된 도트의 예지상의 액적에 대한 접선과 형성면에 의해 이루어지는 각도를 의미한다.

즉, 광으로 조사된 영역(이하, 조사 영역이라 지칭됨)은 친수성 또는 초친수성(단순히 총체적으로 친수성이라 지칭함)이 된다. 이때, 광 조사는 조사 영역의 폭이 원하는 배선의 폭이 되도록 수행된다. 그후, 수성 기반 용매에 혼합된 도전성 재료를 포함하는 도트가 잉크-젠티법에 의해 조사 영역 위로부터 조사 영역으로 방출된다. 그후, 폭이 보다 작은 배선, 즉, 단지 잉크-젠티법에 의해 방출되는 도트의 직경 보다 좁은 배선이 형성될 수 있다. 이는 조사 영역이 원하는 배선의 폭을 갖도록 형성되고, 그후, 방출된 도트가 형성면상에서 분산하는 것이 방지될 수 있기 때문이다. 또한, 배선은 도트가 소성 범위로 정렬을 벗어나 방출되는 경우에도 조사 영역을 따라 형성될 수 있다. 따라서, 형성될 배선의 위치는 정확하게 제어될 수 있다.

수성 기반 용매를 사용하는 경우에, 잉크젠티 장치의 노즐로부터 원활하게 액적을 방출하기 위해 계면활성제를 추가하는 것이 바람직하다.

오일(알콜) 기반 용매에 혼합된 도전성 재료를 방출하는 경우에, 배선은 유사하게 광으로 조사되지 않은 영역(이하, 비조사 영역이라 지칭됨)상으로 도전성 재료를 방출하고, 비조사 영역 위로부터 비조사 영역으로 도트를 방출함으로써 형성될 수 있다. 즉, 배선이 형성되는 영역의 대향 단부들, 즉, 배선이 형성되는 영역을 둘러싸는 외주가 광으로 조사되어 조사 영역을 형성할 수 있다. 조사 영역이 이때 방유성이기 때문에, 오일(알콜) 기반 용매에 혼합된 도전성 재료를 포함하는 도트는 비조사 영역에 선택적으로 형성된다. 즉, 광 조사는 비조사 영역의 폭이 원하는 배선 폭이 되도록 수행된다.

무극 용매(nonpolar solvent) 또는 저극 용매(low polar solvent)가 오일(알콜) 기반 용매로서 사용될 수 있음을 주의한다. 예를 들면, 테르피네올, 미네랄 스피릿(mineral spirit), 크실렌, 톨루엔, 에틸 벤젠, 메시틸렌(mesitylene), 헥산, 헵탄, 옥탄, 도데칸(dodecane), 시클로헥산(cyclohexane), 또는 시클로옥탄(cyclooctane)이 사용될 수 있다.

또한, 광촉매 활동은 광촉매 물질내에 천이 금속(Pd, Pt, Cr, Ni, V, Mn, Fe, Ce, Mo 또는 W)을 도핑함으로써 향상될 수 있으며, 광촉매 활동은 가시광 영역의 광(파장 : 400nm 내지 800nm)에 의해 유발될 수 있다. 이는 천이 금속이 넓은 대역 간격을 갖는 활성 광촉매의 금지대(forbidden band)내에 새로운 레벨을 형성할 수 있고, 가시광 영역까지 광 흡수 범위를 확장할 수 있기 때문이다. 예로서, Cr 또는 Ni 같은 억셉터형, V 또는 Mn 같은 도너형, Fe 같은 양성형 또는 Ce, Mo 및 W 같은 기타 유형들이 도핑될 수 있다. 따라서, 광의 파장은 광촉매 물질에 따라 결정될 수 있다. 따라서, 광을 조사하기 위한 광 조사 수단은 광촉매적으로 광촉매 물질을 활성화시키는 이러한 파장을 갖는다.

광촉매 물질이 가열되고, 진공에서 또는 수소의 리플릭스하에서 환원될 때, 결정내에 산소 결핍이 발생된다. 천이 원소를 도핑하지 않으면, 산소 결핍은 이 방식에서 전자 도너와 유사한 역할을 한다. 구체적으로, 졸-겔법에 의한 형성의 경우에, 광촉매 물질은 산소 결핍이 시작시로부터 존재하기 때문에 환원되지 않는다. 부가적으로, 산소 결핍은 N_2 등의 가스를 도핑함으로써 형성될 수 있다.

여기서, 기관상으로 도전성 재료를 방출하는 경우의 접착성을 향상시키기 위한 베이스 전처리를 수행하는 예가 예시되어 있다. 대안적으로, 방출에 의해 형성된 도전층 또는 다른 재료층(예로서, 유기층, 무기층 또는 금속층) 위에 액적 방출법에 의해 재료층(예로서, 유기층, 무기층 및 금속층)을 형성하는 경우에, 재료층들 사이의 접착성을 향상시키기 위해 TiO_x 막이 형성될 수 있다. 따라서, 액적 방출법에 의해 도전성 재료를 방출함으로써, 패턴들을 형성하는 경우에, 접착성을 향상시키기 위해 도전성 재료의 형성 이전 및 이후에 베이스 전처리를 수행하는 것이 바람직하다.

기관(10)은 용합법 또는 부유법으로 제조된 바륨 보로실리케이트 유리, 알루미늄 보로실리케이트 유리 또는 알루미늄실리케이트 유리 같은 비알칼리성 유리 기관 이외의 처리 온도 등을 견딜 수 있는 내열성을 갖는 플라스틱 기관을 사용할 수 있다. 또한, 반사형 액정 디스플레이 디바이스의 경우에, 그 기관이 절연층을 구비하는 단결정 실리콘 같은 반도체 기관, 스테인레스강 같은 금속 기관, 세라믹 기관 등이 적용될 수 있다.

다음에, 도전성 재료가 잉크-젯법으로 대표되는 액적 방출법에 의해 적용된 이후에, 산소 분위기에서 베이킹이 수행되어 게이트 전극 또는 게이트 배선이 될 금속 배선을 형성한다. 또한, 단자 영역으로 연장하는 배선(40)도 유사하게 형성된다. 비록 도시되어 있지는 않지만, 저장 커패시터를 형성하기 위한 커패시터 전극 또는 커패시터 배선도 형성된다.

배선 재료로서, 금(Au), 은(Ag), 구리(Cu), 백금(Pt), 팔라듐(Pd), 텅스텐(W), 니켈(Ni), 탄탈륨(Ta), 비스머스(Bi), 납(Pb), 인듐(In), 주석(Sn), 아연(Zn), 티타늄(Ti) 및 알루미늄(Al) 및 그 합금, 그 나노입자의 분산체 또는 은 할라이드 입자 중 임의의 하나가 사용된다. 특히, 게이트 배선은 저저항이 되는 것이 바람직하다. 따라서, 용매내에 분산 또는 용해되어 있는 금, 은 또는 구리 중 임의의 하나가 사용되는 것이 바람직하며, 보다 바람직하게는 낮은 저항을 갖는 은 또는 구리가 특정 저항값을 고려할 때 사용된다. 그러나, 은 또는 구리를 사용하는 경우에, 불순물 조치를 위해, 배리어막이 더 제공될 수 있다. 용매는 부틸 아세테이트 같은 에스터, 이소프로필 알콜 같은 알콜들, 아세톤 같은 유기 용매 등에 대응한다. 표면 장력 및 점성은 용매의 밀도를 조절하고, 계면활성제 등을 추가함으로써 적절히 조절된다.

액적 방출법에 사용되는 노즐의 직경은 0.02 μ m 내지 100 μ m(바람직하게는, 30 μ m 이하)으로 설정되고, 노즐로부터 방출된 조성물의 방출량은 0.001pl 내지 100pl(바람직하게는 10pl 이하)로 설정되는 것이 바람직하다. 액적 방출법을 위해서는 온디맨드(on-demand)형 및 연속형의 2개 유형들이 존재하며, 양자 모두가 사용될 수 있다. 또한, 노즐내에 제공된 가열기에 의해 조성물을 비등시키고, 액적 방출법에 사용되는 노즐을 위해 조성물을 방출하는 가열 시스템 및 압전 재료에 전압을 인가함으로써 변환된 특성들을 사용하는 압전 시스템이 존재하며, 양자 모두가 사용될 수 있다. 대상물과 노즐의 방출 개구 사이의 거리는 원하는 장소에 액적을 적하하도록 가능한 근접하게 형성되는 것이 바람직하며, 이는 0.1mm 내지 3mm(바람직하게는 1mm 이하)으로 설정되는 것이 바람직하다. 상대 거리를 유지하면서, 대상물 및 노즐 중 하나를 이동시키고, 원하는 패턴이 그려진다. 부가적으로, 플라즈마 처리가 조성물 방출 이전에 대상 표면에 수행될 수 있다. 이는 플라즈마 처리가 수행될 때, 대상물의 표면이 친수성 및 소액성이 되게 하는 장점을 취한다. 예로서, 이는 탈이온수에 대해 친수성이 되고, 알콜로 용해된 페이스트에 대해 소액성이 된다.

조성물이 방출되고 대상물상에 부딪히는 동안 조성물의 용매가 휘발되고, 건조 및 베이킹의 추후 단계들이 생략 또는 단축될 수 있도록 조성물 방출 단계는 저압하에 수행될 수 있다. 조성물 방출 이후, 레이저광의 조사, 급속 열적 어닐링, 가열로 등에 의해, 대기압 또는 저압하에 건조 및 베이킹 단계 중 어느 하나 또는 양자 모두의 단계들이 수행될 수 있다. 건조 및 베이킹 양자 모두의 단계들은 열처리의 단계들이다. 예로서, 건조는 3분 동안 100 $^{\circ}$ C에서 수행되고, 베이킹은 15분 내지 120분 동안 200 $^{\circ}$ C 내지 350 $^{\circ}$ C의 온도에서 수행된다. 건조 및 베이킹 단계들을 양호하게 수행하기 위해, 기관이 가열될 수 있으며, 그 온도는 비록 기관 등의 재료에 의존하지만, 100 $^{\circ}$ C 내지 800 $^{\circ}$ C(바람직하게는 200 $^{\circ}$ C 내지 350 $^{\circ}$ C)의 범위로 설정된다. 이 단계를 통해 조성물내의 용매가 휘발되거나 분산제(dispersant)가 화학적으로 제거되고, 수지 주변이 경화 및 수축하며, 그에 의해 용합 및 용접을 가속시킨다. 이는 산소 분위기, 질소 분위기 또는 대기하에서 수행된다. 그러나, 이 단계는 금속 원소를 분해 또는 분산시키는 용매가 쉽게 제거되는 산소 분위기하에서 수행되는 것이 바람직하다.

추후 액적 방출법에 의해 형성될 금속막의 접착성은 베이스 전처리를 수행하거나 베이스막을 형성함으로써 현저히 향상될 수 있다. 따라서, 1분 이상 동안의 희석 불화수소산(1:100 희석)내에서의 침액을 견딜 수 있고, 테이프 접착성 테스트를 견딜 수 있는 접착성이 얻어질 수 있다.

다음에, 게이트 절연막(13)이 플라즈마 CVD, 스퍼터링 또는 코팅에 의해, 단층 구조 또는 층상 구조를 갖도록 형성된다. 실리콘 질화물로 형성된 절연층, 실리콘 산화물로 형성된 절연층 및 실리콘 질화물로 형성된 절연층의 3개 층의 적층체인 것이 바람직하다. 대안적으로, 실리콘 질화물로 형성된 절연층 및 폴리이미드로 형성된 절연층의 2개 층들의 적층체가 사용될 수 있다. 아르곤 같은 희유 가스 원소가 반응성 가스내에 포함되는 것이 바람직하며, 이는 형성될 절연막에 혼합된다.

반도체막(14a)이 형성된다. 반도체막(14a)은 실란 및 게르마늄으로 대표되는 반도체 재료를 사용하여, 기상 성장 또는 스퍼터링에 의해 형성되는 비정질 반도체막 또는 준비정질 반도체막으로 형성된다.

비정질 반도체막으로서, 비정질 실리콘막이 SiH₄ 또는 SiH₄와 H₂의 가스 혼합물을 사용하는 PCVD에 의해 얻어진다. 또한, 준비정질 반도체막으로서, SiH₄가 1:3 내지 1:1000으로 H₂내에 희석되어 있는 가스 혼합물, 20:0.9 내지 40:0.9의 가

스 유량으로 Si_2H_2 가 GeF_4 로 희석되어 있는 가스 혼합물($\text{Si}_2\text{H}_6:\text{GeF}_4$) 또는 SiH_4 와 H_2 의 가스 혼합물을 사용하는 PCVD에 의해 얻어진다. 베이스와의 계면에 보다 양호한 결정도가 주어질 수 있기 때문에, 준비정질 실리콘막이 사용되는 것이 바람직하다는 것을 주의하여야 한다.

절연층(16)이 플라즈마 CVD 또는 스퍼터링에 의해 형성된다. 패터닝은 액적 방출법 또는 포토리소그래피에 의해 형성된 마스크를 사용하는 에칭에 의해 수행될 수 있다. 절연층(16)은 채널 보호층으로서 기능하도록 게이트 전극에 대향한 반도체층상에 잔류하도록 형성된다. 또한, 절연층(16)은 미세막으로 형성되는 것이 바람직하며, 그에 의해, 표면의 순도를 취득하고, 유기 재료, 금속 재료 또는 습기 같은 불순물들에 의하여 반도체층이 오염되는 것을 방지한다. 글로우 방전 분해법에서, 아르곤 같은 실리콘사이드 가스로 100배 내지 500배로 실리콘사이드 가스를 희석시킴으로써 형성되는 실리콘 질화물막이 바람직하며, 그 이유는 증착 온도가 100°C 이하인 경우에도 미세막이 형성될 수 있기 때문이다.

후속하여, 절연층(16)을 덮는 마스크(15)가 액적 방출법(도 1a)에 의해 형성된다. 에폭시 수지, 아크릴 수지, 페놀 수지, 노볼락 수지, 멜라민 수지 또는 우레탄 수지 같은 수지 재료가 마스크(15)를 위해 사용된다. 부가적으로, 마스크(213)는 벤조사이클로부탄, 파릴렌, 플레어 또는 광투과성 폴리이미드 같은 유기 재료, 실록산 기반 폴리머 같은 중합으로 형성된 콤파운드 재료, 수용성 호모폴리머 및 수용성 공중합체를 포함하는 조성물 재료 등을 사용함으로써 액적 방출법으로 형성된다. 대안적으로, 감광제를 함유하는 상업적 레지스트 재료가 사용될 수 있다. 예로서, 노볼락 수지 같은 포지티브형 레지스트 및 감광제인 나프토퀴노네디 아지드 콤파운드, 베이스 수지, 디페닐실란 디올 같은 네거티브형 레지스트 및 산 생성제 등이 사용될 수 있다. 재료들 중 임의의 하나의 사용시, 표면 장력 및 점성은 용매의 농도를 희석시키거나, 계면활성제 등을 추가함으로써 적절히 제어된다.

다음에, 액티브층이 될 반도체층(14b)이 형성되도록 건식 에칭 또는 습식 에칭에 의해 마스크(15)로 덮혀진 영역을 제외한 반도체막(14a)이 제거된다.

마스크(15)가 제거된 이후, n-형 반도체막(17)이 전체 표면위에 형성된다. n-형 반도체막이 제공되는 경우에, 반도체막과 전극 사이의 접촉 저항이 감소되며, 이는 바람직하다. n-형 반도체막은 필요에 따라 제공될 수 있다. n-형 반도체막(17)은 실란 가스 및 포스핀 가스를 사용하는 PCVD에 의해 형성된 준비정질 반도체막 또는 비정질 반도체막으로 형성될 수 있다.

다음에, 소스 및 드레인 배선들(18a, 18b)이 형성되도록 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄))를 함유하는 조성물이 선택적으로 방출된다. 접속 배선(41)은 단자 영역에 유사하게 형성된다(도 1b).

n-형 반도체막(17)은 소스 및 드레인 배선들(18a, 18b)을 마스크들로서 사용함으로써, 자체-정렬식으로 에칭되며, 그에 의해, 소스 및 드레인 영역들(19a, 19b)을 형성한다. 따라서, 채널 정지 TFT(30)가 완성된다. 절연층(16)은 n-형 반도체막의 에칭 정지부로서 사용된다.

다음에, 단자 영역을 제외한 영역이 샐도우 마스크를 사용함으로써, 레지스트 같은 수지로 덮혀진다. 단자 영역에서, 배선(40)의 일부는 마스크로서 접속 배선(41)을 사용하여 게이트 절연막(13)을 에칭함으로써 노출된다. 스크린 인쇄에 의해 형성된 레지스트 마스크가 샐도우 마스크 대신 에칭 마스크로서 사용될 수 있다. 부가적으로, 게이트 절연막(13)은 단자 영역을 제외한 영역을 레지스트로 덮지 않고 에칭될 수 있다. 그러나, 소스 및 드레인 배선들(18a 및 18b)과 중첩되지 않는 영역의 게이트 절연막이 에칭되고, 절연층(16)이 에칭되기 때문에 반도체층이 노출된다는 문제점들이 존재한다.

다음에, 접속 배선(41)과 단자 영역으로 연장하는 배선(40)을 접속하기 위한 도전체(42)가 형성된다. 도전체(42)는 인쇄에 의해, 또는 액적 방출법에 의해 형성될 수 있다. 액적 방출법을 사용하는 경우에, 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은)를 포함하는 조성물이 선택적으로 방출되어 도전체(42)를 형성한다.

도전성 재료로 형성된 돌출부(기둥부)(20)는 소스 또는 드레인 배선(18a)의 일부 위에 형성된다. 적층체는 돌출부(기둥부)(20)가 형성되도록 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은)를 함유하는 조성물의 방출 및 베이킹을 반복함으로써 형성된다. 돌출부(기둥부)(43)도 유사한 방식으로 접속 배선(41) 위에 형성된다. 대안적으로, 돌출부들(기둥부들)(20, 43)은 스퍼터링에 의해 형성된 금속막을 패터닝함으로써 형성될 수 있다. 이 경우에, 돌출부(기둥부)는 기둥처럼 형성된다.

평탄한 층간 절연막(21)이 코팅에 의해 형성된다(도 1c). 평탄한, 그리고, 코팅에 의해 형성된 층간 절연막(21)은 액체 조성물을 적용함으로써 형성된 층간 절연막을 나타낸다. 코팅에 의해 형성된 평탄한 층간 절연막(21)을 위해, 아크릴 또는 폴리이미드 같은 유기 재료 또는 유기 용매에 용해된 절연 재료를 적용하고 그후, 열처리에 의해 형성된 코팅인 스피ن 온 글

래스(이하, SOG라고도 지칭함), 예로서, 실록산 폴리머 등을 베이킹함으로써 실록산 본드가 형성되어 있는 재료가 사용될 수 있다. 층간 절연막(21)은 코팅 대신 스퍼터링 또는 기상 성장법에 의해 형성된 실리콘 산화물막 같은 무기 절연막으로 형성될 수 있다. 또한, 실리콘 질화물막이 PCVD 또는 스퍼터링에 의해 보호막으로서 형성된 이후, 층간 절연막(21)이 코팅에 의해 형성될 수 있다.

층간 절연막(21)은 액적 방출법에 의해 형성될 수 있다. 또한, 층간 절연막(21)은 돌출부들(기둥부들)(20, 43)의 최종 베이킹 이전에 액적 방출법에 의해 형성될 수 있으며, 따라서, 그 베이킹이 동시에 수행된다.

코팅 또는 액적 방출법에 의한 평탄한 층간 절연막 형성시, 스퀴지 대신 에어 나이프로 표면상의 미소 불규칙부들을 평탄화한 이후 최종 베이킹을 수행하는 것이 바람직하다.

돌출부들(기둥부들)(20, 43) 위의 층간 절연막의 부분들은 돌출부들(기둥부들)(20, 43)이 노출되도록 전체 표면의 에치 백에 의해 제거된다. 대안적으로, 층간 절연막은 화학 기계 연마(CMP)에 의해 연삭되고, 그후, 전체 표면의 에치 백을 수행할 수 있으며, 따라서, 돌출부들(기둥부들)(20, 43)이 노출될 수 있다.

돌출부(기둥부)(20)와 접촉하는 화소 전극(23)은 층간 절연막(22) 위에 형성된다(도 1d). 돌출부(기둥부)(43)와 접촉하는 단자 전극(44)은 유사하게 형성된다. 투과형 액정 디스플레이 패널을 제조하는 경우에, 인듐 주석 산화물(ITO), 실리콘 산화물을 함유하는 인듐 주석 산화물(ITSO), 아연 산화물(ZnO), 주석 산화물(SnO₂) 등을 포함하는 조성물로 형성된 패턴이 인쇄 또는 액적 방출법에 의해 형성되고, 화소 전극(23) 및 단자 전극(44)을 형성하도록 베이킹될 수 있다. 반사형 액정 디스플레이 패널을 제조하는 경우에, 화소 전극(23) 및 단자 전극(44)은 Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은 금속의 입자들을 주로 함유하는 조성물로 액적 방출법에 의해 형성될 수 있다. 다른 방법으로서, 투명 도전막 또는 고아 반사성 도전막이 스퍼터링에 의해 형성되고, 액적 방출법에 의해 마스크 패턴이 형성되며, 따라서, 화소 전극이 복수의 에칭 방법들에 의해 형성될 수 있다. 층간 절연막(22)의 표면은 에치 백 또는 CMP에 의해 평탄화되며, 그래서, 평탄한 화소 전극(23)이 형성될 수 있다는 것을 주의하여야 한다.

도 10은 화소 영역의 일부의 확대 상면도이다. 또한, 도 10은 형성되는 과정의 화소 전극을 도시하며, 화소 전극은 좌측 화소상에는 형성되어 있지만, 우측 화소 상에는 아직 화소 전극이 제공되어 있지 않다. 도 10의 실선 A-A'를 따라 취한 단면은 도 1d에 도시된 화소 영역의 단면에 대응하며, 따라서, 대응 부분들을 위해서는 동일한 참조 번호들이 사용된다. 화소 영역은 커패시터 배선(31), 유전체로서 게이트 절연막을 사용하는 저장 커패시터, 화소 전극(23)을 포함하며, 커패시터 배선(31)은 화소 전극과 중첩한다.

상기 단계들을 통해, 저면 게이트(반전 스테거형) TFT 및 화소 전극이 기관(10)위에 형성되어 있는 액정 디스플레이 패널을 위한 TFT 기관이 완성된다.

다음에, 화소 전극(23)을 덮도록 정렬층(24a)이 형성된다. 정렬층(24a)은 액적 방출법, 스크린 인쇄 또는 오프-셋 인쇄에 의해 형성될 수 있다. 후속하여, 정렬층(24a)의 표면이 러빙된다.

카운터 기관(25)에는 컬러층(26a), 차광층(블랙 매트릭스)(26b) 및 오버 코트층(27)으로 형성된 컬러 필터, 투명 전극으로 형성된 카운터 전극(28) 및 정렬층(24b)이 그 위에 제공된다. 여기서, 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 사용되며, 그 이유는 액정(29)이 적하되기 때문이다. 대안적으로, TFT 기관과 카운터 기관을 페이스팅한 이후, 액정(29)이 모세관 현상에 의해 주입되는 딥 코팅(핑핑 업 방법)이 개구를 갖는 밀봉 패턴을 사용하여 수행될 수 있다.

다음에, 액정(29)이 기포들의 도입을 방지하도록 감압하에 적하되며, TFT 기관 및 카운터 기관이 함께 페이스팅된다. 액정(29)은 폐쇄된 밀봉 패턴내에 1회 또는 수회 적하된다. 액정의 정렬 모드로서, 트위스티드 네마틱(twisted nematic; TN) 모드가 주로 사용된다. 이 모드에서, 액정 분자들의 정렬 방향은 그 입구로부터 출구로의 광의 편광에 따라 90°로 트위스트되어 있다. TN 액정 디스플레이 디바이스를 제조하는 경우에, 정렬층은 기관들의 양쪽상에 형성되며, 기관들은 기관들의 러빙 방향들이 직교되도록 함께 페이스팅된다.

기관들의 쌍 사이의 간격은 구형 스페이서들을 분무, 수지로 형성된 주상 스페이서를 형성 또는 충전물들을 밀봉제내에 혼합함으로써 유지될 수 있다. 주상 스페이서는 아크릴, 폴리이미드, 폴리이미드아미드 및 에폭시로 구성된 그룹으로부터 선택된 적어도 하나의 재료를 주 성분으로서 함유하는 유기 수지 재료, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중 임의의 재료 또는 이들 재료들의 적층체로 구성된 무기 재료로 형성된다.

다음에, 불필요한 기관이 분할된다. 하나의 기관으로부터 복수의 패널들을 얻는 경우에, 각 패널이 분리된다. 하나의 기관으로부터 하나의 패널을 얻는 경우에, 이전에 절단되어 있는 카운터 기관을 페이스팅함으로써 분리 단계가 생략될 수 있다.

FPC(46)가 알려진 방법으로 그 사이에 이방성 도전층(45)을 두고 TFT 기관에 접합된다. 액정 모듈은 상기 단계들을 통해 완성된다(도 1e). 또한, 광학막이 필요에 따라 제공된다. 투과형 액정 디스플레이 디바이스의 경우에, 편광기들이 액티브 매트릭스 기관 및 카운터 기관 양자 모두에 각각 페이스팅된다.

상술한 바와 같이, 돌출부들(기둥부들)(20, 43)을 사용함으로써, 포토마스크를 사용하는 노광이 생략되고, 따라서, 프로세스가 단순화되며, 제조 시간이 절감될 수 있다. 액정 디스플레이 디바이스는 액적 방출법을 사용하여 기관상에 직접적으로 각종 패턴을 형성함으로써, 그 일 측부가 1000mm을 초과하는 5세대들 이후의 유리 기관을 사용하여도 쉽게 제조될 수 있다.

본 실시 형태에서, 포토마스크를 사용하는 노광 프로세스가 수행되지 않는 프로세스이지만, 패턴화의 일부는 포토마스크를 사용하는 노광에 의해 수행될 수 있다.

실시 형태 2

여기서, 실시 형태 1과는 접속 방법이 다른 예가 예시될 것이다. 도 2a 내지 도 2e는 반전 스테퍼형 TFT를 스위칭 소자로서 사용하는 액티브 매트릭스 액정 디스플레이 디바이스의 제조 단계들의 단면을 도시한다.

처음에, 도 1a와 대등한 상태가 실시 형태 1에 예시된 단계들에 따라 형성된다. 베이스막(211), 금속 배선(212), 단자 영역으로 연장하는 배선(240)이 기관(210) 위에 형성된다. 또한, 게이트 절연막(213), 반도체막(214a) 및 절연층(216)이 순차적으로 그 위에 형성된다. 절연층(216)을 덮는 마스크(215)가 액적 방출법에 의해 형성된다(도 2a).

다음에, 마스크(215)로 덮혀지는 영역을 제외한 반도체막(214a)이 건식 에칭 또는 습식 에칭에 의해 제거되고, 그래서, 액티브층이 될 반도체층(214b)이 형성된다.

마스크(215)가 제거된 이후, n-형 반도체막(217)이 전체 표면위에 형성된다. n-형 반도체막(217)이 필요에 따라 제공될 수 있다. n-형 반도체막(217)은 포스핀 가스를 사용하는 PCVD에 의해 형성된 준비정질 반도체막 또는 비정질 반도체막으로 형성될 수 있다.

다음에, 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은)를 포함하는 조성물이 선택적으로 방출되어 소스 및 드레인 배선들(218a, 218b)이 형성된다. 접속 배선(241)은 유사하게 단자 영역에 형성된다(도 2b). 드레인 배선(218b)이 화소 전극(반사형 전극)으로서 기능하기 때문에, 높은 반사성을 갖는 Ag(은), Al(알루미늄) 등을 사용하는 것이 바람직하다. 화소 전극이 액적 방출법에 의해 형성되기 때문에, 반사형 전극의 경면 반사를 방지하기 위한 불규칙부들이 쉽게 형성될 수 있다. 종래에는, 화소 전극이 형성된 이후, 경면 반사를 방지하고, 반사광이 산란될 수 있게 하여 백색도를 향상시키기 위해, 샌드 블래스팅, 에칭 등의 단계들을 추가함으로써 표면에 불규칙부들이 제공된다.

n-형 반도체막(217)은 마스크들로서 소스 및 드레인 배선들(218a, 218b)을 사용함으로써, 자체 정렬식으로 에칭되며, 그에 의해, 소스 및 드레인 영역들(219a, 219b)을 형성한다. 따라서, 제2 절연층 TFT(230)가 완성된다. 절연층(216)은 n-형 반도체막(217)의 에칭 정지부로서 사용된다.

다음에, 단자 영역을 제외한 영역이 사도우 마스크를 사용함으로써, 레지스트 같은 수지로 덮혀진다. 단자 영역에서, 배선(240)의 일부가 마스크로서 접속 배선(241)을 사용하여 게이트 절연막(213)을 에칭함으로써 노출된다.

다음에, 단자 영역으로 연장하는 배선(240) 및 접속 배선(241)을 연결하기 위한 도전체(242)가 형성된다. 도전체(242)는 인쇄 또는 액적 방출법에 의해 형성된다. 액적 방출법을 사용하는 경우에, 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은)를 함유하는 조성물이 도전체(242)를 형성하도록 선택적으로 방출된다.

다음에, 층간 절연막(221)이 액적 방출법에 의해 선택적으로 형성된다(도 2c). 화소 영역에서, 층간 절연막은 추후 화소 전극이 될 부분을 제외한 영역을 덮도록 형성된다. 액적 방출 및 베이킹은 층간 절연막 두께를 충분히 형성하기 위해 2회 이

상 반복될 수 있다. 단자 영역에서, 층간 절연막(221)은 추후 단자 전극이 될 부분을 덮지 않도록 제공된다. 따라서, 층간 절연막은 접속부가 형성되거나, 절연막이 필요하지 않은 영역들에는 제공되지 않는다. 따라서, 접속홀들의 형성은 이중적이다.

층간 절연막(221)은 액적 방출법에 의해 적용될 수 있는 절연 재료로 형성될 수 있으며, 예로서, 감광성 또는 비감광성 유기 재료(폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 벤조사이클로부텐 또는 레지스트 재료), 실록산, 폴리실라잔, 또는 그 층상 구조체가 사용될 수 있다. 실록산은 치환체로서 적어도 수소를 포함하거나, 불소, 알킬족, 방향족 탄화수소 중 적어도 하나를 포함하는 산소(O)와 실리콘(Si)의 결합을 갖는 뼈대 구조를 갖는 폴리머 재료로 형성된다. 폴리실라잔은 액체 재료, 즉, 실리콘(Si)과 질소(N)의 결합을 갖는 폴리머 재료로 형성된다.

다음에, 접속 배선(241)과 접촉하는 단자 전극(244)이 액적 방출법 또는 인쇄에 의해 형성된다(도 2d). 인듐 주석 산화물(ITO), 실리콘 산화물을 포함하는 인듐 주석 산화물(ITSO), 아연 산화물(ZnO), 주석 산화물(SnO₂) 등을 함유하는 조성물이 단자 전극(244)을 위해 사용된다.

단자 전극(244)은 층간 절연막(221)의 형성 이전에 형성될 수 있거나, 다른 재료들을 동시에 방출하는 헤드를 사용함으로써 층간 절연막(221)과 동시에 형성될 수 있다는 것을 주의하여야 한다. 또한, 단자 전극(244) 및 층간 절연막(221)의 베이킹 단계들은 공통으로 수행될 수 있다.

상기 단계들을 통해, 저면 게이트(반전 스테거형) TFT 및 화소 전극이 기관(210) 위에 형성되어 있는 반사형 액정 디스플레이 패널을 위한 TFT 기관이 완성된다.

다음에, 정렬층(224a)이 화소 전극(218a)을 덮도록 형성된다. 정렬층(224a)은 액적 방출법, 스크린 인쇄 또는 오프-셋 인쇄에 의해 형성될 수 있다. 후속하여, 정렬층(224a)의 표면이 러빙된다.

카운터 기관(225)에는 컬러층(226a), 차광층(블랙 매트릭스)(226b) 및 오버 코트층(227)으로 형성된 컬러 필터, 투명 전극으로 형성된 카운터 전극(228) 및 정렬층(224b)이 그 위에 제공된다. 여기서, 액정(229)이 적해되기 때문에, 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 사용된다. 대안적으로, 개구를 갖는 밀봉 패턴을 사용하여, TFT 기관과 카운터 기관을 페이스팅한 이후 모세관 현상에 의해 액정(229)이 주입되는 딥 코팅(핑핑 업 방법)이 사용될 수 있다.

다음에, 액정(229)은 기포들이 도입하는 것을 방지하도록 감압하에 적해되며, TFT 기관 및 카운터 기관이 함께 페이스팅된다. 액정(229)은 폐쇄된 밀봉 패턴내에 1회 또는 수회 적해된다. 액정의 정렬 모드로서, 트위스티드 네마틱(TN) 모드가 주로 사용된다. 이 모드에서, 액정 분자들의 정렬 방향은 그 입구로부터 출구로의 광의 편광에 따라 90°로 트위스트된다. TN 액정 디스플레이 디바이스를 제조하는 경우에, 정렬층은 기관들 양자 모두상에 형성되며, 기관들은 기관들의 러빙 방향들이 직교하도록 함께 페이스팅된다.

기관들의 쌍 사이의 간격은 구형 스페이서들을 분무, 수지로 형성된 주상 스페이서를 형성 또는 밀봉제내에 충전물들을 혼합함으로써 유지될 수 있다. 주상 스페이서는 아크릴, 폴리이미드, 폴리이미드아미드 및 에폭시로 구성되는 그룹으로부터 선택된 적어도 하나의 재료를 주 성분으로서 포함하는 유기 수지 재료, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중 임의의 하나의 재료, 이들 재료들의 적층체로 구성된 무기 재료로 형성된다.

다음에, 불필요한 기관이 분할된다. 하나의 기관으로부터 복수의 패널들을 얻는 경우에, 각 패널은 분리된다. 하나의 기관으로부터 하나의 패널을 얻는 경우에, 이전에 절단된 카운터 기관을 페이스팅함으로써 분리 단계가 생략될 수 있다.

FPC(246)는 알려진 방법으로 그 사이에 이방성 도전층(245)을 두고 TFT 기관에 접합된다. 액정 모듈은 상기 단계들을 통해 완성된다(도 2e). 또한, 광학막이 필요에 따라 제공된다. 투과형 액정 디스플레이 디바이스의 경우에, 액티브 매트릭스 기관 및 카운터 기관 양자 모두에 각각 편광기들이 페이스팅된다.

상술된 바와 같이, 본 실시 형태에 따라서, 액적 방출법에 의해 층간 절연막을 선택적으로 형성함으로써, 포토마스크를 사용하는 노광이 생략되며, 따라서, 프로세스가 간단해질 수 있고, 제조 시간이 감소될 수 있다. 액정 디스플레이 디바이스는 액적 방출법을 사용하여 기관상에 직접적으로 각종 패턴을 형성함으로써, 일 측면이 1000mm을 초과하는 5세대 이후의 유리 기관을 사용하여서도 쉽게 제조될 수 있다.

본 실시 형태에서, 포토 마스크를 사용하는 노광 프로세스는 수행되지 않는 프로세스이지만, 그러나, 패턴화의 일부는 포토마스크를 사용하는 노광에 의해 수행될 수 있다.

실시 형태 3

여기서, 실시 형태 1과는 접속 방법이 다른 예가 예시될 것이다. 도 3a 내지 도 3d는 스위칭 소자로서 반전 스테거형 TFT를 사용하는 액티브 매트릭스 액정 디스플레이 디바이스의 제조 단계들의 단면을 도시한다.

먼저, 도 1c와 대등한 상태가 실시 형태 1에 예시된 단계들에 따라 형성된다. 베이스막(311), 금속 배선(312), 단자 영역으로 연장하는 배선(340)이 기판(310) 위에 형성된다. 또한, 게이트 절연막(313), 반도체막 및 절연층(316)이 순차적으로 그 위에 형성된다. 절연층(316)을 덮는 마스크가 액적 방출법에 의해 형성된다. 다음에, 마스크로 덮혀진 영역을 제외한 반도체막이 건식 또는 습식 에칭에 의해 제거되고, 그래서, 액티브층이 될 반도체층(314)이 형성된다. 마스크가 제거된 이후, n-형 반도체막이 전체 표면위에 형성된다. 다음에, 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은)를 함유하는 조성물이 선택적으로 방출되며, 그래서, 소스 및 드레인 배선들(318a, 318b) 및 접속 배선(341)이 형성된다. n-형 반도체막은 마스크들로서 소스 및 드레인 배선들(318a, 318b)을 사용하여 자체 정렬식으로 에칭되며, 그에 의해, 소스 및 드레인 영역들(319a, 319b)을 형성한다. 따라서, 채널 정지 TFT(330)가 완성된다. 절연층(316)은 n-형 반도체막의 에칭 정지부로서 사용된다. 다음에, 단자 영역을 제외한 영역이 사도우 마스크를 사용함으로써 레지스트 같은 수지로 덮혀진다. 단자 영역에서, 마스크로서 접속 배선(341)을 사용함으로써, 배선(340)의 일부를 노출시키도록 게이트 절연막(313)이 에칭된다. 또한, 단자 영역으로 연장하는 배선(340)과 접속 배선(341)을 연결하기 위한 도전체(342)가 형성된다.

방액성(방수성, 방유성) 재료로 형성된 돌출부(기둥부)(320)가 액적 방출법에 의해 소스 또는 드레인 배선(318a)의 일부 위에 형성된다. 돌출부(기둥부)(320)가 형성되도록 방액성 재료(플루오로알킬 실란(FAS) 같은 불소 기반 수지)를 함유하는 조성물의 방출 및 베이킹을 반복함으로써 적층체가 형성된다. 또한, 돌출부(기둥부)(343)가 접속 배선(341)상에 형성된다. 돌출부들(기둥부들)(320, 343)은 방액성이 아닌 재료로 형성될 수 있으며, 그후, CF₄ 플라즈마 처리 등에 의해 방액성이 되게 될 수 있다. 예로서, 폴리비닐 알콜(PVA) 같은 수용성 수지로 돌출부들(기둥부들)이 형성된 이후, CF₄ 플라즈마 처리가 수행되어, 돌출부들(기둥부들)이 방액성이 되게 할 수 있다.

또한, 접촉홀은 방액성 재료를 사용함으로써 CF₄ 플라즈마 처리를 수행하지 않고 형성될 수 있다. 방액성 재료(플루오로알킬 실란(FAS) 같은 불소 기반 수지)가 전체 표면 위에 적용된 이후에, 폴리이미드 및 폴리비닐 알콜(PVA) 같은 수용성 수지로 마스크가 형성된다. 마스크가 형성되는 위치를 제외한 영역상의 방액성 재료는 O₂ 애싱(ashing) 등에 의해 제거되고, 마스크가 제거된다. 여기서, 마스크가 제거되는 영역만이 방액성이다. 그후, 절연 재료가 전체 표면위에 적용될 때, 절연막은 마스크가 제거된 영역(방액성인 영역) 위에는 형성되지 않는다. 따라서, 단지 원하는 영역만이 노출되는 절연막이 얻어질 수 있다.

다음에, 평탄한 층간 절연막(322)이 형성된다. 평탄한 막은 코팅법을 사용함으로써 얻어질 수 있다. 대안적으로, 층간 절연막(322)은 액적 방출법에 의해 형성될 수 있으며, 표면상의 미소 돌출부들이 에어 나이프로 평탄화될 수 있다. 평탄한 층간 절연막(322)을 위해, 아크릴 또는 폴리이미드 같은 유기 재료, 또는, 유기 용매에 용해된 절연재료의 적용 및 그후의 열처리 등에 의해 형성된 코팅인 스핀 온 글래스(이하, 역시 SOG라 지칭함), 예로서, 실록산 폴리머를 베이킹함으로써 실록산 결합이 형성된 재료 등이 사용될 수 있다.

층간 절연막의 형성을 위해 사용되는 용액에 대해 반발성인 돌출부들(기둥부들)(320, 343)을 형성하는 경우에, 층간 절연막은 돌출부들상에 형성되지 않도록 형성된다.

다음에, 단지 돌출부들(기둥부들)(320, 343)만을 제거함으로써, 접촉홀들이 형성된다(도 3b).

드레인 배선(318a)과 접촉하는 화소 전극(323)이 형성된다(도 3c). 유사하게, 접속 배선(341)과 접촉하는 단자 전극(344)이 형성된다.

투과형 액정 디스플레이 패널을 제조하는 경우에, 인듐 주석 산화물(ITO), 실리콘 산화물을 함유하는 인듐 주석 산화물(ITSO), 아연 산화물(ZnO), 주석 산화물(SnO₂) 등을 함유하는 조성물로 형성된 패턴이 액적 방출법에 의해 형성되고, 화

소 전극(323) 및 단자 전극(344)을 형성하도록 베이킹될 수 있다. 반사형 액정 디스플레이 패널을 제조하는 경우에, 화소 전극(323) 및 단자 전극(344)은 Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은 금속의 입자들을 주로 함유하는 조성물로 형성될 수 있다. 다른 방법으로서, 투명 도전막 또는 광 반사성 도전막이 스퍼터링에 의해 형성되고, 액적 방출법에 의해 마스크 패턴이 형성되며, 따라서, 화소 전극이 에칭을 조합시킴으로써 형성될 수 있다.

상기 단계들을 통해, 저면 게이트(반전 스테거형) TFT 및 화소 전극이 기판(310) 위에 형성되어 있는 액정 디스플레이 패널을 위한 TFT 기판이 완성된다.

다음에, 정렬층(324a)이 화소 전극(323)을 덮도록 형성된다. 정렬층(324a)은 액적 방출법, 스크린 인쇄 또는 오프-셋 인쇄에 의해 형성될 수 있다. 후속하여, 정렬층(324a)의 표면이 러빙된다.

카운터 기판(325)에는 컬러층(326a), 차광층(블랙 매트릭스)(326b) 및 오버 코트층(327)으로 형성된 컬러 필터, 투명 전극으로 형성된 카운터 전극 및 정렬층(324b)이 그 위에 제공된다. 여기서, 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 사용되며, 그 이유는 액정(329)이 적하되기 때문이다. 대안적으로, 개구를 갖는 밀봉 패턴을 사용하여, TFT 기판과 카운터 기판의 페이스팅 이후, 모세관 현상에 의해 액정(329)이 주입되는 딥 코팅(펌핑 업 방법)이 사용될 수 있다.

다음에, 액정(329)이 기포들이 도입하는 것을 방지하도록 감압하에 적하되고, TFT 기판 및 카운터 기판이 함께 페이스팅된다. 액정(329)은 폐쇄된 밀봉 패턴으로 1회 또는 수회 적하된다. 트위스티드 네마틱(TN) 모드가 액정의 정렬 모드로서 주로 사용된다. 이 모드에서, 액정 분자들의 정렬 방향은 그 입구로부터 출구로의 광의 편광에 따라 90°로 트위스트된다. TN 액정 디스플레이 디바이스를 제조하는 경우에, 정렬층은 기판들 양자 모두상에 형성되고, 기판들은 기판들의 러빙 방향들이 직교되도록 함께 페이스팅된다.

기판들의 쌍 사이의 간격은 구형 스페이서들을 분무, 수지로 형성된 주상 스페이서를 형성, 밀봉제내에 충전물들을 혼합함으로써 유지될 수 있다. 주상 스페이서는 아크릴, 폴리이미드, 폴리이미드아미드 및 에폭시로 구성되는 그룹으로부터 선택된 적어도 하나의 재료를 주 성분으로 함유하는 유기 수지 재료, 실리콘 산화물, 실리콘 질화물 및 실리콘 산질화물 중 임의의 하나의 재료, 또는 이들 재료들의 적층체로 구성된 무기 재료로 형성된다.

다음에, 불필요한 기판이 분할된다. 하나의 기판으로부터 복수의 패널들을 얻는 경우에, 각 패널은 분리된다. 하나의 기판으로부터 하나의 패널을 얻는 경우에, 이전에 절단된 카운터 기판을 페이스팅함으로써, 분리 단계는 생략될 수 있다.

FPC(346)는 알려진 방법에 의해 이방성 도전층(345)으로 TFT 기판에 접합된다. 액정 모듈은 상기 단계들을 통해 완성된다(도 3d). 또한, 광학막이 필요에 따라 제공된다. 투과형 액정 디스플레이 디바이스의 경우에, 액티브 매트릭스 기판 및 카운터 기판 양자 모두에 각각 편광기들이 페이스팅된다.

상술된 바와 같이, 본 실시 형태에 따라서, 방액성인 돌출부(기둥부)(343)를 사용함으로써, 포토마스크를 사용한 노광이 생략되며, 따라서, 프로세스가 단순화될 수 있고, 제조 시간이 감소된다. 액적 방출법을 사용함으로써, 기판상에 직접적으로 각 유형의 패턴을 형성함으로써, 일 측면이 1000mm을 초과하는 5세대 이후의 유리 기판을 사용하여서도, 액정 디스플레이 디바이스가 쉽게 제조될 수 있다.

본 실시 형태에서, 포토마스크를 사용하는 노광 프로세스가 수행되지 않는 프로세스이지만, 패턴화의 일부는 포토마스크를 사용하는 노광에 의해 수행될 수 있다.

상기 구조를 갖는 본 발명을 하기의 실시예들을 사용하여 상세히 설명한다.

실시예 1

본 실시예에서, 채널 에치 TFT를 사용하는 액티브 매트릭스 액정 디스플레이 디바이스를 제조하는 예가 예시될 것이다. 도 4a 내지 도 4e는 제조 단계들의 단면을 도시한다.

먼저, 베이스막(411), 금속 배선(412), 단자 영역으로 연장하는 배선(440)이 실시 형태 1에 예시된 단계들을 따라 기판(410) 위에 형성된다. 또한, 게이트 절연막(413)이 그 위에 형성된다.

반도체막(414a) 및 n-형 반도체막(417)이 층들로 형성된다. 반도체막(414a)은 실란 및 게르마늄에 의해 대표되는 반도체 재료 가스를 사용하여 스퍼터링 또는 기상 성장에 의해 형성된 준비정질 반도체막 또는 비정질 반도체막으로 형성된다. 비

정질 반도체막으로서, SiH_4 또는 SiH_4 와 H_2 의 가스 혼합물을 사용한 PCVD에 의해 비정질 실리콘막이 얻어진다. 또한, 준비정질 반도체막으로서, SiH_4 가 1:3 내지 1:1000으로 H_2 내에 희석되어 있는 가스 혼합물, 20:0.9 내지 40:0.9의 가스 유량으로 Si_2H_2 가 GeF_4 로 희석되어 있는 가스 혼합물($\text{Si}_2\text{H}_6:\text{GeF}_4$) 또는 SiH_4 와 H_2 의 가스 혼합물을 사용하는 PCVD에 의해 반도체막이 얻어진다. 베이스로부터의 계면에 결정도가 주어질 수 있기 때문에, 준비정질 실리콘막이 사용되는 것이 바람직하다는 것을 주의하여야 한다. n-형 반도체막(417)은 포스핀 가스와 실란 가스를 사용하여 PCVD에 의해 형성된 준비정질 반도체막 또는 비정질 반도체막으로 형성될 수 있다. 게이트 절연막(413), 반도체막(414a) 및 n-형 반도체막(417)은 대기에 노출되지 않고 연속적으로 형성될 수 있다는 것을 주의하여야 한다. PCVD에 의해 대기에 대한 노출을 피함으로써, 불순물들의 침투가 방지될 수 있다.

후속하여, 반도체층을 패턴화하기 위한 마스크(415)가 액적 방출법에 의해 형성된다(도 4a). 에폭시 수지, 아크릴 수지, 페놀 수지, 노볼락 수지, 멜라민 수지 또는 우레탄 수지 같은 수지 재료가 마스크(415)를 위해 사용된다. 재료들 중 임의의 하나의 사용시, 표면 장력 및 점성은 용매의 농도를 희석시키거나, 계면활성제 등을 추가함으로써 적절히 조절된다.

다음에, 액티브층이 될 반도체층이 형성되도록, 마스크(415)로 덮혀지는 영역을 제외한 반도체막(414a) 및 n-형 반도체막(417)이 건식 에칭 또는 습식 에칭에 의해 제거된다.

양호한 커버리지를 달성하기 위해, 반도체층의 에지를 덮는 도전성 재료(416) 또는 절연 재료로 형성된 층은 액적 방출법에 의해 형성된다.

도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은)를 포함하는 조성물이 소스 배선 및 드레인 배선(418a, 418b)을 형성하도록 액적 방출법에 의해 선택적으로 방출된다.

다음에, 그 사이에 게이트 절연막(413)을 두고, 게이트 전극으로서 기능하는 금속 배선(412)과 중첩된 반도체층의 일부를 제거하기 위해 사용되는 마스크가 액적 방출법에 의해 형성된다. n-형 반도체막들(419a, 419b)은 반도체층(414b)과 동시에 에칭에 의해 형성되며, 그 일부는 게이트 전극으로서 기능하는 금속 배선(412)과 중첩되고, 제거된다. 따라서, 채널 에치 TFT(430)가 완성된다.

다음에, 단자 영역을 제외한 영역이 샤도우 마스크를 사용함으로써, 레지스트 같은 수지로 덮혀진다. 단자 영역에서, 배선(440)의 일부가 마스크로서 접속 배선(441)을 사용하여, 게이트 절연막(413)을 에칭함으로써 노출된다(도 4b). 스크린 인쇄에 의해 형성된 레지스트 마스크는 샤도우 마스크 대신 에칭 마스크로서 사용될 수 있다.

단계들 중 나머지는 실시 형태 1에서와 유사한 방식으로 수행될 수 있다. 본 실시예는 TFT 구조만을 제외하면, 실시 형태 1과 동일한 구조를 갖는다.

다음에, 단자 영역으로 연장하는 배선(440)과 접속 배선(441)을 연결하기 위한 도전체(442)가 형성된다. 도전체(442)는 인쇄 또는 액적 방출법에 의해 형성될 수 있다.

도전성 재료로 형성된 돌출부(기둥부)(420)가 소스 또는 드레인 배선(418a)의 일부 위에 형성된다. 돌출부(기둥부)(443)도 유사한 방식으로 접속 배선(441) 위에 형성된다.

평탄한 층간 절연막(421)이 코팅에 의해 형성된다(도 4c). 층간 절연막(421)은 코팅 대신 스퍼터링이나 기상 성장법에 의해 형성된 실리콘 산화물막 같은 무기 절연막으로 형성될 수 있다. 또한, 실리콘 질화물막이 PCVD 또는 스퍼터링에 의해 보호막으로서 형성된 이후에, 층간 절연막(421)이 코팅에 의해 형성될 수 있다.

층간 절연막(421)은 액적 방출법에 의해 형성될 수 있다. 또한, 층간 절연막(421)은 돌출부들(기둥부들)(420, 443)의 최종 베이킹 이전에 액적 방출법에 의해 형성될 수 있으며, 따라서, 그 최종 베이킹은 동시에 수행될 수 있다.

돌출부들(기둥부들)(420) 위의 층간 절연막의 일부는 돌출부들(기둥부들)(420, 443)이 노출되도록 전체 표면의 에치 백에 의해 제거된다. 대안적으로, 층간 절연막은 화학 기계 연마(CMP)에 의해 연삭될 수 있으며, 그후, 전체 표면의 에치 백을 수행하고, 따라서, 돌출부들(기둥부들)(420, 443)이 노출될 수 있다.

화소 전극(423)은 평탄하게 이루어지는 층간 절연막(422)상에 돌출부(기둥부)(420)와 접촉하여 형성된다(도 4d). 유사하게, 돌출부(기둥부)(443)와 접촉하는 단자 전극(444)이 형성된다. 투과형 액정 디스플레이 패널을 제조하는 경우에, 인들

주석 산화물(ITO), 실리콘 산화물을 함유하는 인듐 주석 산화물(ITSO), 아연 산화물(ZnO), 주석 산화물(SnO₂) 등을 함유하는 조성물로 형성된 패턴이 스크린 인쇄 또는 액적 방출법에 의해 형성되고, 단자 전극(444) 및 화소 전극(423)을 형성하도록 베이킹될 수 있다. 반사형 액정 디스플레이 패널을 제조하는 경우에, 화소 전극(423) 및 단자 전극(444)은 Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은 금속의 입자들을 주로 함유하는 조성물로 액적 방출법에 의해 형성될 수 있다.

상기 단계들을 통해, 저면 게이트(반전 스테거형) TFT 및 화소 전극이 기판(410) 위에 형성되어 있는 액정 디스플레이 패널을 위한 TFT 기판이 완성된다.

다음에, 정렬층(424a)이 화소 전극(423)을 덮도록 형성된다. 정렬층(424a)은 액적 방출법, 스크린 인쇄 또는 오프셋 인쇄에 의해 형성될 수 있다. 후속하여, 정렬층(424a)의 표면이 러빙된다.

카운터 기판(425)에는 컬러층(426a), 차광층(블랙 매트릭스)(426b) 및 오버 코트층(427)으로 형성된 컬러 필터, 투명 전극으로 형성된 카운터 전극(428) 및 정렬층(424b)이 그 위에 제공된다. 본 실시예에서, 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 사용되며, 그 이유는 액정(429)이 적하되기 때문이다. 대안적으로, TFT 기판과 카운터 기판의 페이스팅 이후, 모세관 현상에 의해 액정(429)이 주입되는 딥 코팅(dip coating)(펄핑 업 방법)이 개구를 갖는 밀봉 패턴을 사용하여 채용될 수 있다.

다음에, 액정(429)이 기포들이 도입하는 것을 방지하도록 감압하에 적하되고, TFT 기판 및 카운터 기판이 함께 페이스팅된다. 액정은 폐쇄된 밀봉 패턴으로 1회 또는 수회 적하된다.

한쌍의 기판들 사이의 간격은 구형 스페이서들을 분무, 수지로 형성된 주상 스페이서를 형성 또는 밀봉제내에 충전물들을 혼합함으로써 유지될 수 있다.

다음에, 불필요한 기판이 분할된다. 하나의 기판으로부터 복수의 패널들을 획득하는 경우에, 각 패널이 분리된다. 하나의 기판으로부터 하나의 패널을 획득하는 경우에, 분리 단계는 이전에 절단된 카운터 기판을 페이스팅함으로써 생략될 수 있다.

FPC(446)가 알려진 방법에 의해 그 사이에 이방성 도전층(445)을 두고 TFT 기판에 접합된다(도 4e). 또한, 필요시 광학막이 제공된다. 투과형 액정 디스플레이 디바이스의 경우에, 편광기들이 각각 액티브 매트릭스 기판 및 카운터 기판 양자 모두에 페이스팅된다.

본 실시예에서, 포토마스크를 사용하는 노광 프로세스는 수행되지 않는 프로세스이지만, 패턴화의 일부는 포토마스크를 사용하여 노광에 의해 수행될 수 있다. 예로서, 채널 영역의 크기가 그에 의해 결정되게 되는 반도체 막의 일부를 제거하는 패턴화 단계에 포토 마스크가 사용되는 경우, 크기는 정교하게 결정될 수 있다.

본 실시예는 실시 형태 1과 자유롭게 조합될 수 있다.

실시예 2

본 실시예에서, 채널 에치 TFT를 사용하여 액티브 매트릭스 액정 디스플레이 디바이스를 제조하는 예가 예시된다. 도 5는 액정 디스플레이 디바이스의 단면을 도시한다.

본 실시예가 실시 형태 2의 TFT가 채널 정지 단계를 갖는 것을 제외하면, 실시 형태 2와 유사하기 때문에, 따라서, 여기서는 단지 간단한 설명만이 주어질 것이다.

또한, 채널 에치 TFT(530)는 실시예 1에 따른 단계를 통해 형성될 수 있다. 본 실시예는 드레인 배선의 패턴의 일부가 화소 전극(반사형 전극)으로서 기능하는 것을 제외하면, 실시예 1과 유사한 단계들을 포함한다.

층간 절연막(521)은 실시 형태 2에서와 같이, 액적 방출법에 의해 선택적으로 형성된다. 화소 영역에서, 층간 절연막은 추후 화소 전극이 될 부분을 제외한 영역을 덮도록 형성된다. 액적 방출 및 베이킹은 층간 절연막 두께를 충분히 형성하기 위

해 2회 이상 반복될 수 있다. 단자 영역에서, 층간 절연막(221)은 추후 단자 전극이 될 부분을 덮지 않도록 제공된다. 따라서, 층간 절연막은 접속부가 형성되거나, 절연막이 필요하지 않은 영역들에는 제공되지 않는다. 따라서, 접속홀들의 형성은 이중적이다.

다음에, 접속 배선(541)과 접촉하는 단자 전극(544)이 인쇄 또는 액적 방출법에 의해 형성된다.

상기 단계들을 통해, 저면 게이트(반전 스테거형) TFT 및 화소 전극이 기관(510) 위에 형성되어 있는 반사형 액정 디스플레이 패널을 위한 TFT 기관이 완성된다.

후속 단계들이 실시 형태 2와 동일하기 때문에, 단지 간단한 설명만이 제공될 것이다. 정렬층(524a)은 화소 전극을 덮도록 형성된다. 그후, 정렬층(526a)의 표면이 러빙된다. 카운터 기관(525)에는 컬러층(526a), 차광층(526b) 및 오버 코트층(527)을 포함하는 컬러 필터, 투명 전극으로 형성된 카운터 전극(528) 및 정렬층(524b)이 그 위에 형성된다. 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제는 화소 영역과 중첩하는 부분을 둘러싸도록 액적 방출법에 의해 형성된다. 다음에, 액정(529)이 기포들이 도입되는 것을 방지하도록 감압하에 적하되며, 기관들은 함께 페이스팅된다. 후속하여, 기관의 불필요한 부분이 분리된다. 또한, FPC(546)는 알려진 방법에 의해 사이에 이방성 도전층(545)을 두고 페이스팅된다. 반사형 액정 모듈이 상기 단계들을 통해 완성될 수 있다(도 5).

상술된 바와 같이, 본 실시예에 따라서, 액적 방출법에 의해 층간 절연막을 선택적으로 형성함으로써 포토마스크를 사용하는 노광이 생략되며, 따라서, 프로세스가 단순화될 수 있고, 제조 시간이 감소될 수 있다.

본 실시예에서, 드레인 배선의 패턴의 일부가 화소 전극으로서 기능하며, 따라서, 드레인 배선과 화소 전극 사이의 접점은 형성될 필요가 없으며, 이는 프로세스의 단순화를 초래한다.

본 실시예에서, 포토마스크를 사용하는 노광 프로세스가 수행되지 않는 프로세스이지만, 패턴화의 일부는 포토마스크를 사용하는 노광에 의해 수행될 수 있다. 예로서, 채널 영역의 크기를 결정하는 반도체 막의 일부를 제거하는 패턴화 단계에 포토마스크가 사용되는 경우에, 사이즈는 정교하게 결정될 수 있다.

본 실시예는 실시 형태 1, 실시 형태 2 또는 실시예 1과 자유롭게 조합될 수 있다.

실시예 3

본 실시예에서, 채널 에지 TFT를 사용하여 액티브 매트릭스 액정 디스플레이 디바이스를 제조하는 예가 예시될 것이다. 도 6은 본 실시예에 따른 액정 디스플레이 디바이스의 단면을 도시한다.

본 실시예가 실시 형태 3의 TFT가 채널 정지 구조를 갖는 것을 제외하면, 실시 형태 3과 유사하기 때문에, 따라서, 여기서는 단지 간단한 설명만이 주어진다.

또한, 본 실시예의 채널 에지 TFT(630)는 실시예 1에 따른 단계들을 통해 형성될 수 있다.

소스 또는 드레인 배선의 형성까지의 단계들이 실시예 1에 따라 완료된 이후에, 방액성(방수성, 방유성) 재료로 형성된 돌출부(기둥부)가 실시 형태 3에서와 같이 액적 방출법에 의해 소스 또는 드레인 배선의 일부 위에 형성된다.

다음에, 평탄한 층간 절연막(622)이 형성된다. 코팅법을 사용함으로써, 평탄한 막이 얻어질 수 있다. 대안적으로, 층간 절연막(622)은 액적 방출법에 의해 형성될 수 있고, 표면상의 미소한 불규칙부들이 에어 나이프로 평탄화될 수 있다. 실시 형태 3에서와 같이, 층간 절연막은 돌출부들상에 형성되지 않도록 형성되며, 돌출부들은 층간 절연막의 형성을 위해 사용되는 용액에 대해 방액성이다. 다음에, 단지 돌출부들만을 제거함으로써 접속홀들이 형성된다. 또한, 드레인 배선과 접촉하는 화소 전극(523)이 형성된다. 유사하게, 접속 배선(641)과 접촉하는 단자 전극(644)이 형성된다.

투과형 액정 디스플레이 패널을 제조하는 경우에, 인듐 주석 산화물(ITO), 실리콘 산화물(ITSO)을 함유하는 인듐 주석 산화물, 아연 산화물(ZnO), 주석 산화물(SnO₂) 등을 함유하는 조성물로 형성된 패턴이 액적 방출법에 의해 형성되고, 화소 전극(623) 및 단자 전극(644)을 형성하도록 베이킹될 수 있다.

반사형 액정 디스플레이 패널을 제조하는 경우에, 화소 전극(623) 및 단자 전극(644)은 Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은 금속의 입자들을 주로 함유하는 조성물로 형성될 수 있다. 다른 방법으로서, 투명 도전막 또는 광 반사성 도전막이 스퍼터링에 의해 형성되고, 마스크 패턴이 액적 방출법에 의해 형성되며, 따라서, 화소 전극이 에칭을 조합함으로써 형성될 수 있다.

상기 단계들을 통해, 저면 게이트(반전 스테거형) TFT(630) 및 화소 전극(623)이 기판(610) 위에 형성되어 있는 반사형 액정 디스플레이 패널을 위한 TFT 기판이 완성된다.

후속 단계들이 실시 형태 3과 동일하기 때문에, 단지 간단한 설명만이 제공될 것이다. 정렬층(624a)은 화소 전극을 덮도록 형성된다. 정렬층(626a)의 표면은 그후 러빙된다. 카운터 기판(625)에는 컬러층(626a), 차광층(626b) 및 오버 코트층(627)을 포함하는 컬러 필터, 투명 전극으로 형성된 카운터 전극(628) 및 정렬층(624b)이 그 위에 제공된다. 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 화소 영역과 중첩하는 부분을 둘러싸도록 액적 방출법에 의해 형성된다. 다음에, 액정(629)이 기포들이 도입되는 것을 방지하도록 감압하에 적하되고, 기판들이 함께 페이스팅된다. 후속하여, 기판의 불필요한 부분이 분리된다. 또한, FPC(646)가 알려진 방법으로 사이에 이방성 도전층(645)을 두고 페이스팅된다. 상기 단계들을 통해 액정 모듈이 완성될 수 있다(도 6).

상술한 바와 같이, 본 실시 형태에 따라서, 방액성인 돌출부(기둥부)를 사용함으로써, 포토마스크를 사용하는 노광이 생략되며, 따라서, 프로세스가 단순해질 수 있고, 제조 시간이 감소될 수 있다.

본 실시예에서, 포토마스크를 사용하는 노광 프로세스가 수행되지 않는 프로세스이지만, 패턴화의 일부는 포토마스크를 사용하는 노광에 의해 수행될 수 있다. 예로서, 채널 영역의 크기를 결정하는 반도체 막의 일부를 제거하는 패턴화 단계에 포토마스크가 사용되는 경우, 크기가 정교하게 결정될 수 있다.

본 실시예는 실시 형태 1, 실시 형태 3 또는 실시예 1과 자유롭게 조합될 수 있다.

실시예 4

본 실시예는 스위칭 소자로서 액적 방출법에 의해 제조된 스테거형 TFT를 사용하는 액티브 매트릭스 액정 디스플레이 디바이스를 제조하는 방법이다. 도 7은 본 실시예에 따른 액정 디스플레이 디바이스의 단면 구조를 도시한다.

먼저, 액적 방출법에 의해 추후 형성되게 되는 재료층과의 접착성을 향상시키기 위해 베이스막(711)이 기판(710) 위에 형성된다. 베이스막(711)은 얇게 형성되며, 따라서, 이는 베이스 전처리로 간주될 수 있다. 광촉매(티타늄 산화물(TiO₂), 스트론튬 티타네이트(SrTiO₃), 카드뮴 셀레니드(CdSe), 포타슘 탄탈레이트(KTaO₃), 카드뮴 셀파이드(CdS), 지르코늄 산화물(ZrO₂), 니오븀 산화물(Nb₂O₅), 아연 산화물(ZnO), 철 산화물(Fe₂O₃), 텅스텐 산화물(WO₃))가 분무로 적용될 수 있으며, 대안적으로, 유기 재료(폴리이미드, 아크릴 또는 수소, 불소, 알킬족 및 방향족 탄화수소로 구성되는 그룹 중 적어도 하나를 치환기로서 포함하는 실리콘(Si) 및 산소(O)의 결합을 포함하는 골격 구조를 갖는 재료)가 선택적으로, 잉크-젯법 또는 줄-젯 프로세스에 의해 선택적으로 적용될 수 있다.

소스 및 드레인 배선들(718a, 718b)이 액적 방출법에 의해 베이스막(711) 위에 형성된다. 또한, 단자 전극이 단자 영역에 형성된다. 이들 층들을 형성하기 위한 재료들로서, 금(Au), 은(Ag), 구리(Cu), 백금(Pt), 팔라듐(Pd), 텅스텐(W), 니켈(Ni), 탄탈륨(Ta), 비스머스(Bi), 납(Pb), 인듐(In), 주석(Sn), 아연(Zn), 티타늄(Ti) 또는 알루미늄(Al) 같은 금속의 입자들을 주로 함유하는 조성물이 사용될 수 있다. 특히, 소스 및 드레인 배선들은 저 저항인 것이 바람직하다. 따라서, 금, 은 또는 구리 중 어느 하나가 용매에 분산 또는 용해되어 있는 재료가 바람직하게 사용되며, 보다 바람직하게는 낮은 저항을 갖는 은 또는 구리가 특정 저항값을 고려하여 사용된다. 그러나, 은 또는 구리를 사용하는 경우에, 불순물 조치를 위해 부가적으로 배리어막이 제공된다. 용매는 부틸 아세테이트 같은 에스터, 이소프로필 알콜 같은 알콜들, 아세톤 같은 유기 용매 등에 대응한다. 표면 장력 및 점성은 용매의 밀도를 조절하고, 계면활성제 등을 추가함으로써 적절히 조절된다. 또한, 베이스층이 실시 형태 1에서와 같이 형성될 수 있다.

후속하여, n-형 반도체층이 전체 표면위에 형성된 이후, 소스 및 드레인 배선들(718a, 718b) 사이의 n-형 반도체층의 일부가 에칭에 의해 제거된다.

다음에, 반도체막이 전체 표면위에 형성된다. 반도체막은 실란 및 게르마늄에 의해 대표되는 반도체 재료 가스를 사용하여 스퍼터링 또는 기상 성장에 의해 형성되는 준비정질 반도체막 또는 비정질 반도체막으로 형성된다.

다음에, 액적 방출법에 의해 마스크가 형성되고, 반도체막 및 n-형 반도체층이 패터닝되며, 따라서, 반도체층(714) 및 도 7에 도시되어 있는 n-형 반도체층들(719a, 719b)이 형성된다. 반도체층(714)은 소스 및 드레인 배선들(718a, 718b) 양자 모두를 덮도록 형성된다. n-형 반도체층들(719a, 719b)은 소스 및 드레인 배선들(718a, 718b) 사이에 개재된다.

플라즈마 CVD 또는 스퍼터링에 의해 단층 또는 층상 구조로 게이트 절연막이 형성된다. 특히, 바람직한 형태로서, 게이트 절연막은 실리콘 질화물로 형성된 절연층, 실리콘 산화물로 형성된 절연층 및 실리콘 질화물로 형성된 절연층의 3개 층들의 적층체로 형성될 수 있다.

다음에, 액적 방출법에 의해 마스크가 형성되고, 그에 의해, 게이트 절연막(713)을 패터닝한다.

다음에, 게이트 배선(712)이 액적 방출법에 의해 형성된다. 게이트 배선(712)을 형성하기 위한 도전성 재료로서, Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은 금속의 입자들을 주로 함유하는 조성물이 사용될 수 있다. 단자 영역으로 연장된 게이트 배선(712)은 단자 영역내의 대응 단자 전극(740)과 접촉하도록 형성된다.

도전성 재료로 형성된 돌출부(기둥부)(720)가 소스 및 드레인 배선들(718a, 718b)의 일부 위에 형성된다. 돌출부(기둥부)(720)가 형성되도록, 도전성 재료(Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은)를 함유하는 조성물의 방출 및 베이킹(baking)을 반복함으로써, 적층체가 형성된다. 또한, 돌출부(기둥부)(743)는 유사한 방식으로 단자 전극(740) 위에도 형성된다.

코팅에 의해 평탄한 층간 절연막이 형성된다. 층간 절연막은 코팅 대신 스퍼터링 또는 기상 성장법에 의해 형성된 실리콘 산화물 막 같은 무기 절연막으로 형성될 수 있다. 또한, 실리콘 질화물막이 PCVD 또는 스퍼터링에 의해 보호막으로서 형성된 이후에, 층간 절연막이 코팅에 의해 형성될 수 있다.

또한, 층간 절연막은 돌출부들(기둥부들)(720, 743)의 최종 베이킹 이전에 액적 방출법에 의해 형성될 수 있으며, 따라서, 그 최종 베이킹은 동시에 수행된다.

돌출부들(기둥부들)(720, 743) 위의 층간 절연막의 부분들은 돌출부들(기둥부들)(720, 743)이 노출되도록 전체 표면의 에치 백에 의해 제거된다. 대안적으로, 층간 절연막은 화학 기계 연마(CMP)에 의해 연삭되고, 그후, 전체 표면의 에칭을 수행할 수 있으며, 따라서, 돌출부들(기둥부들)(720, 743)이 노출될 수 있다.

돌출부(기둥부)(720)와 접촉하는 화소 전극(723)은 층간 절연막(722) 위에 형성된다. 돌출부(기둥부)(743)와 접촉하는 단자 전극(744)은 유사하게 형성된다.

상기 단계들을 통해, 저면 게이트(반전 스테거형(inverted staggered)) TFT(713) 및 화소 전극(723)이 기판(710) 위에 형성되어 있는 액정 디스플레이 패널을 위한 TFT 기판이 완성된다.

후속 단계들은 실시 형태 1과 동일하기 때문에, 단지 간단한 설명만을 제공한다. 정렬층(724a)은 화소 전극(723)을 덮도록 형성된다. 정렬층(726a)의 표면은 그후 러빙된다. 카운터 기판(725)에는 그 위에, 컬러층(726a), 차광층(726b) 및 오버코트층(727)을 포함하는 컬러 필터, 투명 전극으로 형성된 카운터 전극(728) 및 정렬층(724b)이 제공된다. 패쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 화소 영역과 중첩하는 부분을 둘러싸도록 액적 방출법에 의해 형성된다. 다음에, 액정(729)이 기포들의 도입을 방지하도록 감압하에서 적하되고, 기판들이 함께 페이스팅된다. 후속하여, 기판의 불필요한 부분이 분리된다. 또한, FPC(746)가 알려진 방법에 의해 사이에 이방성 도전층(745)을 두고 단자 전극(744)에 페이스팅된다. 상기 단계들을 통해 반사형 액정 모듈이 완성될 수 있다(도 7).

본 실시예에서, 포토마스크를 사용하는 노광 프로세스가 수행되지 않는 프로세스이지만, 그러나, 패터닝의 일부는 포토마스크를 사용하는 노광에 의해 수행될 수 있다.

또한, 본 실시예는 실시 형태 1과 자유롭게 조합될 수 있다.

실시예 5

본 실시예에서, 채널 정지 TFT를 사용하는 액티브 매트릭스 액정 디스플레이 디바이스를 제조하는 예가 예시되어 있다. 도 8은 본 실시예에 따른 액정 디스플레이 디바이스의 단면을 도시한다.

본 실시예는 실시 형태 2의 TFT가 채널 정지 구조를 갖는 것을 제외하면, 실시 형태 2와 유사하기 때문에, 따라서, 단지 간단한 설명만이 여기서 주어질 것이다.

또한, 반전 TFT(830)가 실시예 4에 따른 단계들을 통해 형성될 수 있다. 본 실시예는 드레인 배선의 패턴의 일부가 화소 전극(반사형 전극)으로서 기능한다는 것을 제외하면, 실시예 4에 따른 단계들을 통해 형성될 수 있다.

다음에, 층간 절연막(821)은 실시 형태 2에서와 같이 액적 방출법에 의해 선택적으로 형성된다. 화소 영역에서, 층간 절연막은 추후 화소 전극이 될 부분을 제외한 영역을 덮도록 형성된다. 층간 절연막 두께를 충분하게 하기 위해 액적 방출 및 베이킹이 2회 이상 반복될 수 있다. 단자 영역에서, 추후 단자 전극이 될 부분을 덮지 않도록 층간 절연막(821)이 제공된다. 따라서, 층간 절연막은 접속부가 형성되거나, 절연막이 필요하지 않은 영역들에는 제공되지 않는다. 따라서, 접속홀들의 형성은 이중적이다.

다음에, 접속 배선(840)과 접속하는 단자 전극(844)이 액적 방출법 또는 인쇄에 의해 형성된다.

상기 단계들을 통해, 상단 게이트(스테거형) TFT 및 화소 전극이 기판(810) 위에 형성되어 있는 반사형 액정 디스플레이 패널을 위한 TFT 기판이 완성된다.

후속 단계들이 실시 형태 2와 동일하기 때문에, 단지 간단한 설명만이 제공된다. 정렬층(824a)이 화소 전극을 덮도록 형성된다. 정렬층(826a)의 표면은 그후 러빙된다. 카운터 기판(825)에는 그 위에, 컬러층(826a), 차광층(826b) 및 오버 코트층(827)을 포함하는 컬러 필터, 투명 전극으로 형성된 카운터 전극(828) 및 정렬층(824b)이 제공된다. 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 화소 영역과 중첩되는 부분을 둘러싸도록 액적 방출법에 의해 형성된다. 다음에, 액정(829)이 기포들의 도입을 방지하도록 감압하에 적하되고, 기판이 함께 페이스팅된다. 후속하여, 기판의 불필요한 부분이 분리된다. 또한, FPC(846)는 알려진 방법으로 사이에 이방성 도전층(845)을 두고 페이스트 결합된다. 반사형 액정 모듈이 상기 단계들을 통해 완성된다(도 8).

상술된 바와 같이, 본 실시예에 따라, 액적 방출법에 의해 층간 절연막을 선택적으로 형성함으로써, 포토마스크를 사용하는 노광이 생략되고, 따라서, 프로세스가 단순화될 수 있으며, 제조 시간이 감소될 수 있다.

본 실시예에서, 드레인 배선의 패턴의 일부가 화소 전극으로서 기능하며, 따라서, 드레인 배선과 화소 전극 사이의 접점은 형성될 필요가 없으며, 이는 프로세스의 단순화를 초래한다.

본 실시예는 실시 형태 1, 실시 형태 2 또는 실시예 4와 자유롭게 조합될 수 있다.

실시 형태 6

본 실시예에서, 스테거형 TFT를 사용하여 액티브 매트릭스 액정 디스플레이 디바이스를 제조하는 예가 도시되어 있다. 도 9는 본 실시예에 따른 액정 디스플레이 디바이스의 단면을 도시한다.

본 실시예가 실시 형태 3의 TFT가 채널 정지 구조를 갖는 것을 제외하면 실시 형태 3과 유사하기 때문에, 따라서, 여기서는 단지 간단한 설명만이 주어질 것이다.

또한, 본 실시예의 채널 에치 TFT(930)는 실시예 4에 따른 단계들을 통해 형성될 수 있다.

게이트 배선의 형성까지의 단계들이 실시예 4에 따라 종료된 이후, 방액성(liquid repellent)(방수성, 방유성) 재료로 형성된 돌출부(기둥부)가 실시 형태 3에서와 같이 액적 방출법에 의해 소스 또는 드레인 배선의 일부 위에 형성된다.

다음에, 평탄한 층간 절연막(922)이 형성된다. 평탄한 막은 코팅법을 사용함으로써 얻어질 수 있다. 대안적으로, 층간 절연막(622)은 액체 방출법에 의해 형성될 수 있으며, 표면상의 미소한 불규칙부들은 공기 나이프로 평탄화될 수 있다. 실시 형태

태 3에서와 같이, 층간 절연막은 돌출부들상에 형성되지 않도록 형성되며, 돌출부들은 층간 절연막의 형성을 위해 사용되는 용액에 대해 방액성이다. 다음에, 단지 돌출부들을 제거함으로써, 접촉홀들이 형성된다. 또한, 드레인 배선과 접촉하는 화소 전극(923)이 형성된다. 유사하게, 접속 배선(940)과 접촉하는 단자 전극(944)이 형성된다.

투과형 액정 디스플레이 패널을 제조하는 경우에, 인듐 주석 산화물(ITO), 실리콘 산화물을 함유하는 인듐 주석 산화물(ITSO), 아연 산화물(ZnO), 주석 산화물(SnO₂) 또는 그 유사체를 함유하는 조성물로 형성된 패턴이 액적 방출법에 의해 형성되고, 베이킹되어 화소 전극(923) 및 단자 전극(944)을 형성할 수 있다.

반사형 액정 디스플레이 패널을 제조하는 경우에, 화소 전극(923) 및 단자 전극(944)이 Ag(은), Au(금), Cu(구리), W(텅스텐) 또는 Al(알루미늄) 같은 금속의 입자들을 주로 함유하는 조성물로 형성될 수 있다. 다른 방법으로서, 투명 도전막 또는 광 반사성 도전막이 스퍼터링에 의해 형성되고, 마스크 패턴이 액적 방출법에 의해 형성되며, 따라서, 화소 전극이 에칭을 조합함으로써 형성될 수 있다.

상기 단계들을 통해, 상단 게이트(스테거형) TFT(930) 및 화소 전극(923)이 기판(910) 위에 형성되어 있는 액정 디스플레이 패널을 위한 TFT 기판이 완성된다.

후속 단계들은 실시 형태 3과 동일하기 때문에, 단지 간단한 설명만이 제공될 것이다. 정렬층(924a)이 화소 전극(923)을 덮도록 형성된다. 정렬층(926a)의 표면은 그후 러빙된다. 카운터 기판(925)에는 컬러층(926a), 차광층(926b) 및 오버 코트층(927)을 포함하는 컬러 필터, 투명 전극으로 형성된 카운터 전극(928) 및 정렬층(924b)이 그 위에 제공된다. 폐쇄된 패턴(도시되지 않음)을 갖는 밀봉제가 화소 영역으로 중첩되는 부분을 둘러싸도록 액적 방출법에 의해 형성된다. 다음에, 액정(929)이 기포들이 도입되는 것을 방지하도록 감압하에 적하되고, 기판들이 함께 페이스팅된다. 후속하여, 기판의 불필요한 부분이 분리된다. 또한, FPC(946)가 알려진 방법에 의해 사이에 이방성 도전층(945)을 두고 페이스팅된다. 상기 단계들을 통해 액정 모듈이 완성될 수 있다(도 9).

상술된 바와 같이, 본 실시예에 따라, 방액성 돌출부(기둥부)를 사용함으로써, 포토마스크를 사용한 노광이 생략되고, 따라서, 프로세스가 단순화되며, 제조 시간이 감소될 수 있다.

본 실시예에서, 포토마스크를 사용하는 노광 프로세스가 수행되지 않는 프로세스이지만, 그러나, 패턴화의 일부는 포토마스크를 사용하는 노광에 의해 형성될 수 있다.

본 실시예는 실시 형태 1, 실시 형태 3 또는 실시 형태 4와 자유롭게 조합될 수 있다.

실시예 7

본 실시예는 액적 방출법에 의해 액정 적용이 수행되는 예이다. 본 실시예에서, 하나의 대면적 기판(110)으로부터 4개 패턴들을 획득하는 예가 도 11a 내지 도 11d에 도시되어 있다.

도 11a는 잉크-젯법에 의해 형성되는 액정층의 단면을 도시한다. 액정 재료(114)는 밀봉제(112)로 둘러싸여진 화소 영역(111)을 덮도록, 잉크-젯 시스템(116)의 노즐(118)로부터 방출, 분무 또는 적하된다. 잉크-젯 시스템(116)은 도 11a의 화살표 방향으로 이동된다. 여기서는 노즐(118)이 이동되지만, 노즐이 고정되고, 기판을 이동시킴으로써 액정층이 형성될 수 있다는 것을 주의하여야 한다.

도 11b는 사시도를 도시한다. 액정 재료(114)는 밀봉제(112)에 의해 둘러싸여진 영역 위에만 선택적으로, 방출, 분무 또는 적하되고, 대상 표면(115)이 대응적으로 노즐 스캔 방향(113)으로 이동된다.

도 11c 및 도 11d는 도 11a의 점선에 의해 둘러싸여진 영역(119)의 확대 단면들을 도시한다. 액정 재료(114)가 높은 점성을 가질 때, 이는 연속적으로 방출되고, 액정 재료의 각 액적이 서로 겹합되는 방식으로 적용된다. 다른 한편, 액정 재료(114)의 점성이 낮은 점성을 가질 때, 이는 간헐적으로 방출되고, 액적들은 도 11d에 도시된 바와 같이 적하된다.

도 11c에서, 참조 번호 120은 반전 스테거형 TFT를 나타내고, 참조 번호 121은 화소 전극을 나타낸다. 화소 영역(111)은 매트릭스로 배열된 화소 전극 및 저장 커패시터(도시되지 않음)로 형성되며, 스위칭 소자가 화소 전극에 접속되며, 여기서는 반전 스테거형 TFT가 여기서 사용된다.

패널을 제조하는 작업흐름을 도 12a 내지 도 12d를 참조로 후술한다.

먼저, 화소 영역(1034)이 그 절연면 위에 형성되어 있는 제 1 기판(1035)이 준비된다. 제 1 기판(1035)은 하기의 단계들로 전처리된다: 정렬층 형성, 러빙, 구형 스페이서들의 분산, 주상 스페이서 형성, 컬러 필터 형성 등. 후속하여, 밀봉제(1032)가 도 12a에 도시된 바와 같이, 감압하에 또는 불활성 분위기에서 제 1 기판(1035) 위에 잉크-젯 시스템 또는 분배기로 사전결정된 위치(화소 영역(1034)을 둘러싸는 패턴)에 형성된다. 10Pa·s 내지 400Pa·s의 점성을 갖는 충전물들(6 μ m 내지 24 μ m의 직경)을 함유하는 재료가 투명한 밀봉제(1032)를 위해 사용된다. 액정(1033)과 접촉시 액정에 대해 불용성인 밀봉제를 선택하는 것이 바람직하다는 것을 주의하여야 한다. 광 경화 아크릴 수지 또는 열경화 아크릴 수지가 밀봉제(1032)를 위해 사용될 수 있다. 또한, 밀봉제(1032)는 그 단순한 밀봉 패턴으로 인해 인쇄에 의해 형성될 수 있다.

후속하여, 액정(1033)이 잉크-젯법에 의해 밀봉제(1032)에 의해 둘러싸여진 영역에 적용된다. 잉크-젯법에 의한 방출을 가능하게 하는 점성을 갖는 알려진 액정 재료가 액정 재료(1033)를 위해 사용될 수 있다. 또한, 액정 재료의 점성이 온도를 조절함으로써 제어될 수 있기 때문에, 잉크-젯법에 의해 액정을 적용하는 것이 바람직하다. 액정(1033)의 필요한 양은 손실 없이 밀봉제(1033)에 의해 둘러싸여진 영역내에 저장될 수 있다.

화소 영역(1034)을 구비하는 제 1 기판(1035) 및 카운터 전극을 구비하는 제 2 기판(1031) 및 정렬층이 기포들이 혼입되지 않는 상태로 감압하에 함께 페이스팅된다(도 12c). 밀봉제(1032)는 여기서, 기판을 함께 페이스팅하는 동안 열처리에 의해, 또는 자외선을 적용함으로써 경화된다. 열처리는 자외선 조사에 부가하여 수행될 수 있다는 것을 주의하여야 한다.

도 13a 및 도 13b는 기판들이 페이스팅되는 동안 또는 그 이후에 자외선 조사 또는 열처리가 가능한 페이스팅 디바이스의 예를 도시한다.

도 13a 및 도 13b에서, 참조 번호 1041은 제 1 기판 홀더를 나타내고, 참조 번호 1042는 제 2 기판 홀더를 나타내고, 참조 번호 1044는 윈도우를 나타내고, 참조 번호 1048은 하측면 측정판을 나타내고, 참조 번호 1049는 광원을 나타낸다. 도 12a 내지 도 12d와 동일한 참조부호들이 도 13a 및 도 13b의 대응 부분들을 위해 사용되고 있다는 것을 주의하여야 한다.

저면 하측면 측정판(1048)은 가열기를 포함하며, 이는 밀봉제를 경화한다. 제 2 기판 홀더(1042)는 광원(1049)으로부터의 자외광 등이 그를 통해 투과할 수 있도록 윈도우(1044)를 구비한다. 비록, 여기에 예시되어 있지는 않지만, 제 1 기판의 위치의 정렬은 윈도우(1044)를 통해 수행된다. 카운터 기판이 되는 제 2 기판(1031)은 원하는 크기로 절단되고, 진공 척 등으로 제 2 기판 홀더(1042)에 고정된다. 도 13a는 페이스팅 이전의 상태를 도시한다.

페이스팅의 경우에, 제 1 및 제 2 기판 홀더들(1041, 1042)이 하강되고, 제 1 기판(1035) 및 제 2 기판(1031)이 함께 페이스팅되고, 기판들이 함께 페이스팅되는 상태가 변하지 않게 밀봉제를 경화시키기 위해 자외광이 적용된다. 페이스팅 이후의 상태가 도 13b에 도시되어 있다.

다음에, 제 1 기판(1035)이 스크라이버, 브레이크 또는 원형톱 같은 절단기에 의해 절단된다(도 12d). 따라서, 하나의 기판으로부터 4개 패널들이 제조될 수 있다. 또한, FPC가 알려진 방법에 의해 페이스팅된다.

제 1 기판(1035) 및 제 2 기판(1031)은 유리 기판, 석영 기판 또는 플라스틱 기판으로 형성될 수 있다.

상기 단계들을 통해 얻어진 액정 모듈의 상면도가 도 14a에 도시되어 있다. 다른 액정 모듈의 상면도가 도 14b에 도시되어 있다.

액티브층이 비정질 반도체 막을 포함하는 TFT는 1cm²/Vsec의 낮은 전계 효과 이동도를 갖는다. 따라서, 이미지를 디스플레이하기 위한 드라이버 회로는 IC 칩으로 형성되며, TAB(테이프 자동화 본딩) 또는 COG(칩 온 글래스)에 장착된다.

도 14a에서, 참조 번호 1101은 액티브 매트릭스 기판을 나타내고, 참조 번호 1106은 카운터 기판을 나타내고, 참조 번호 704는 화소 영역을 나타내고, 참조 번호 1105는 FPC를 나타낸다. 액정은 잉크-젯법에 의해 감압하에 방출되며, 한쌍의 기판들(1101 및 1106)이 밀봉제(1107)로 함께 페이스팅된다.

준비정질 실리콘막으로 형성된 액티브층을 포함하는 TFT가 사용되는 경우에, 드라이버 회로의 일부는 TFT로 형성될 수 있으며, 그에 의해, 도 11b에 도시된 액정 모듈을 제조한다. 준비정질 실리콘막으로 형성된 액티브층을 포함하는 TFT로 형성될 수 없는 드라이버 회로는 IC 칩(도시되지 않음)을 포함한다는 것을 주의하여야 한다.

도 14b에서, 참조 번호 1111은 액티브 매트릭스 기관을 나타내고, 참조 번호 1116은 카운터 기관을 나타내고, 참조 번호 1112는 소스 신호선 드라이버 회로를 나타내고, 참조 번호 1113은 게이트 신호선 드라이버 회로를 나타내고, 참조 번호 1114는 화소 영역을 나타내고, 참조 번호 1117은 제 1 밀봉 재료를 나타내고, 참조 번호 1115는 FPC를 나타낸다. 액정은 잉크-젯법에 의해 감압하에 방출되고, 한쌍의 기관들(1111 및 1116)이 제 1 밀봉 재료(1117) 및 제 2 밀봉 재료로 함께 페이스팅된다. 액정이 드라이버 회로들(1112, 1113)에 필요하지 않기 때문에, 액정은 단지 화소 영역(1114)내에만 보유된다. 제 2 밀봉 재료(1118)는 전체 패널을 보강하도록 제공된다.

얻어진 액정 모듈에는 백라이트(1204) 및 도광체(1205)가 제공된다. 덮개(1206)로 액정 모듈을 덮음으로써, 액티브 매트릭스 액정 디스플레이 디바이스(투과형)가 완성된다. 그 단면의 일부가 도 6에 도시되어 있다. 덮개 및 액정 모듈은 접착제 또는 유기 수지로 고정된다. 액정 디스플레이 디바이스가 투과형이기 때문에, 편광막(1203)이 액티브 매트릭스 기관과 카운터 기관 각각에 페이스팅된다.

도 15에서, 참조 번호 1200은 기관을 나타내고, 1201은 화소 전극을 나타내고, 1202는 주상 스페이서를 나타내고, 1207은 밀봉제를 나타내고, 1220은 각 화소에 대응하여 컬러층 및 차광층을 갖는 컬러 필터를 나타내며, 1221은 카운터 전극을 나타내고, 1222 및 1223은 정렬층들을 나타내고, 1224는 액정층을 나타내고, 1219는 보호막을 나타낸다.

본 실시예에는 실시 형태들 1 내지 3 및 실시예들 1 내지 6 중 임의의 하나와 자유롭게 조합될 수 있다.

실시예 8

본 실시예에서, 도 16a 내지 도 16c에 액적 방출을 위한 시스템의 예가 도시되어 있다. 도 16a는 상면도이다. 도 16b는 도 16a의 A-A'를 따른 단면도를 도시한다. 도 16c는 도 16a의 B-B'를 따른 단면도를 도시한다.

도 16a에서, 참조 번호 1601은 박막 트랜지스터, 화소 전극 등이 그 위에 형성되어 있는 기관을 나타낸다. 기관(1601)은 기관 스테이지(도시되지 않음)에 고정된다. 기관 전달시, 기관은 화살표 방향으로 이동된다.

액적 방출 시스템의 헤드(1603)는 기관(1601)의 표면 위에서 이동되고, 조성물(금속 배선 또는 절연층을 형성하기 위한 재료)을 함유하는 용액이 방출된다. 기관은 헤드(1603)를 이동시킴으로써 상대적으로 스캐닝된다. 헤드(1603)는 막힘을 피하기 위해, 용기(1605)내의 용액내에 침액된다. 스캐닝 이전에, 테스트 스테이지(1067)상으로의 방출에 의해, 액적 크기 등이 안정화된다. 안정한 액적들이 얻어질 때, 헤드는 방출을 위해 기관 위로 이동된다.

대안적으로, 헤드(1603)가 고정되고, 기관(1601)이 스캐닝을 위해 이동될 수 있다. 방출된 조성물들(1604 및 1606)을 위한 용매는 원하는 패턴(금속 배선, 절연층, 마스크 등)을 형성하도록 휘발된다(베이킹된다).

여기서, 평행한 두 개의 헤드들(1603)을 단순히 한번 스캐닝함으로써, 전체 표면이 코팅된다. 그러나, 헤드(1603)는 코팅을 반복하기 위해 1회 이상 왕복될 수 있다.

또한, 테스트 스테이지(1607) 및 용액을 포함하는 용기(1605)를 제공하는 예가 여기에 도시되어 있지만, 그러나, 액적들은 테스트 스테이지(1607)를 사용하지 않고, 액적들이 안정화될 때까지 용기(1605)내로 방출될 수 있다.

도 17은 액적 방출 시스템의 제어 시스템 및 노즐들의 예를 도시한다.

액적 방출 수단(1403)의 각 헤드(1405a, 1405b)는 제어 수단(1407)에 연결되고, 헤드들은 컴퓨터(1410)에 의해 제어되며, 따라서, 프로그램된 패턴이 적용될 수 있다. 패턴은 기관(1400)상에 형성될 마커(1411)에 기초하여 적용될 수 있다. 대안적으로, 기관(1400)의 에지는 베이스일 수 있다. 이러한 베이스는 CCD 같은 이미징 수단(1409)에 의해 검출되고, 정보는 이미지 처리 수단(1409)에 의해 디지털 신호로 변환된다. 변환된 디지털 신호는 컴퓨터에 의해 인식되고, 제어 신호가 생성되어 제어 수단(1407)에 전송된다. 기관(1400)상에 형성될 패턴의 정보는 저장 매체(1408)에 저장되고, 제어 신호는 정보에 기초하여 제어 수단(1407)에 전송된다. 따라서, 액적 방출 수단(1403)의 헤드들(1405a, 1405b) 각각은 개별적으로 제어된다.

도 17은 헤드들(1405a 및 1405b)이 스캐닝 방향에 수직인 두 개의 라인들로 배열되는 예를 도시한다. 한편, 도 18b는 큰 기관과 함께 취급하기 위해, 헤드들이 스캐닝 방향에 수직인 세 개의 라인들로 배열되는 예를 도시한다.

도 18에서, 참조 번호 1500은 대형 기관을 나타내고, 1504는 이미징 수단을 나타내고, 1507은 스테이지를 나타내고, 1511은 마커를 나타내고, 1503은 패넬이 형성되는 영역을 나타낸다. 재료층의 패넬은 패넬과 동일한 폭을 갖는 지그재그 운동 또는 왕복 헤드들(1505a, 1505b, 1505c)에 의해 형성된다.

도 18에서, 스캐닝 방향에 수직인 세 개의 라인들로 배열된 헤드들(1505a, 1505b, 1505c)은 각각의 재료층들을 위해서 다른 재료들을 방출하거나, 하나의 재료를 방출할 수 있다. 하나의 재료가 세 개의 헤드들로부터 패넬을 갖도록 층간 절연막을 형성하기 위해 세 개의 헤드들로부터 방출될 때, 처리량이 향상된다.

도 18에 도시된 시스템에 대해, 스캐닝은 헤드가 고정되고, 기관(1500)을 이동시킴으로써 수행될 수 있거나, 기관(1500)이 고정되고 헤드를 이동시킴으로써 수행될 수 있다.

본 실시예에는 실시 형태들 1 내지 3 및 실시예들 1 내지 7 중 임의의 것과 자유롭게 조합될 수 있다.

실시예 9

본 실시예에서, 금속 배선을 형성하기 위한 각 금속 입자의 예들이 도 19a 및 도 19b에 도시되어 있다. 금속 입자는 용매에 분산 또는 용해되며, 따라서, 금속 배선은 액적 방출법에 의해 형성될 수 있다.

도 19a에 도시된 금속 입자는 구리(Cu) 성분(1701) 및 은(Ag) 성분(1702)을 포함한다. 구리는 은에 의해 코팅되며, 따라서, 베이스막을 형성하거나, 베이스 전처리를 수행하는 경우에 접착성이 향상될 수 있다. 또한, 구리의 불규칙 표면이 은으로 코팅되어 매끄러워질 수 있다.

도 19b에 도시된 금속 입자는 구리(Cu) 성분(1711), 은(Ag) 성분(1712)을 포함하며, 버퍼층(1712)으로서 그 사이에 NiB가 제공된다. 버퍼층(1713)은 구리(Cu) 성분 및 은(Ag) 성분 사이의 접착력을 향상시키기 위해 제공된다.

본 실시예에는 실시 형태들 1 내지 3 및 실시예들 1 내지 8 중 임의의 것과 자유롭게 조합될 수 있다.

실시예 10

도 20에, 전해도금 모드가 도시되어 있으며, 대형 머더 유리 기관으로부터 4개 패넬들을 획득하는 경우가 설명된다.

도 20a에 도시된 바와 같이, 예로서, 전류를 공급하기 위해 도전막(1380)을 형성하도록 게이트 전극(1303)과 동일한 레벨에서 잉크-젯법에 의해 Ag가 적용된다. 도전막(1380)은 게이트 전극과 다른 재료로 형성되거나, 전해도금으로 처리되도록 Cu로 형성될 수 있다. 여기서, Cu는 Ag로 형성된 게이트 전극상에 양호하게 적용될 수 있다. 결과적으로, 도금에 의해 균일하게 Cu가 형성될 수 있다.

도 20b에 도시된 바와 같이, 기관(1300)은 스테이지(1384)에 고정되고, 금속이 용해되어 있는 용액을 적용하기 위해 헤드(1381), 금속이 용해되어 있는 용액을 세척하기 위한 헤드(1382) 및 건조 가스를 분무하기 위한 헤드(1383)가 순차적으로 기관 위에 배치된다. 복수의 노즐들을 이렇게 배열함으로써, 연속적 처리가 달성되고 처리량이 향상될 수 있다. 전해도금에 의해 Cu를 적용하는 경우에, 황화구리 및 희석 황산을 함유하는 용액이 금속이 용해되는 용액으로서 사용될 수 있다. 산소, 질소 또는 그 혼합물이 건조 가스로서 사용될 수 있다. 또한, 건조를 가속시키기 위해 고온 가스가 분무될 수 있다.

이 상태에서, 기관(1300)은 화살표 방향으로 이동되고, 대형 머더 유리 기관상에 전해도금이 수행될 수 있다. 기관(1300) 및 헤드들(1381, 1382 및 1383)은 상대적으로 이동될 수 있다.

전해도금에 의해 Cu를 적용하는 경우에, 도금에 의해 은을 코팅하도록 Cu가 제공된다. 은이 값비싼 재료이기 때문에, 이렇게 구리 도금을 수행함으로써, 제조 비용이 감소될 수 있다. 또한, 대형 액정 패넬을 제조하는 경우에, 구리 도금을 수행함으로써 배선 저항이 감소될 수 있다.

구리 도금을 수행하는 경우에, 구리 도금된 배선은 배리어층으로서 실리콘 질화물 또는 NiB로 코팅되는 것이 바람직하다.

도 20c에 도시된 바와 같이, 기관(1300)은 스테이지(1384)에 고정되고, θ 의 각도를 갖도록 경사지게 배열된다. 각도 θ 는 $0^\circ < \theta < 90^\circ$ 의 범위, 바람직하게는 $45^\circ < \theta < 80^\circ$ 의 범위일 수 있다. 또한, 용액은 $90^\circ < \theta < 120^\circ$ 범위의 각도에서 고압으로 헤드(1381)로부터 분무될 수 있다. 유사하게, 세척수가 헤드(1382)로부터 분무되고, 가스는 고압으로 헤드(1383)로부터 분무된다. 이 경우에, 용액은 기관(1300)상에서 흐르지 않고 적하하며, 따라서, 용액의 불균일성이 피해될 수 있다. 기관이 상술한 바와 같이 경사지게 배치되기 때문에, 머더 유리 기관이 보다 큰 경우에도 도금기가 보다 커지는 것이 방지된다.

또한, 스테이지(1384)는 도전체들 및 절연체(1385)를 포함한다. 도전체들 중 하나는 아노드로서 기능하고, 나머지는 캐소드로서 기능한다. 도금은 이들에게 전류를 흘림으로써 수행될 수 있다. 스테이지(1284)는 도전체들 및 절연체를 별개로 구비할 수 있다.

도금된 배선은 연속적 패턴을 갖지만, 패턴의 불필요한 부분이 제거되는 것이 바람직하다. 예로서, 패턴은 기관을 각 패널로 분할함으로써 각 배선으로 절단된다.

도금은 금속이 용해되어 있는 용액내에 기관(1300)을 침지시킴으로써 수행될 수 있다. 또한, 도전막(1302)은 용액내의 금속 이온들의 감소로 인해, 전류 흐름을 필요로 하지 않는 무전해 도금에 의해 게이트 전극 둘레에 형성될 수 있다. 이 경우에, 전류를 흘리기 위해 사용되는 도전막(1380)은 불필요하다.

본 실시예는 실시 형태 1, 실시 형태 2, 실시 형태 3 또는 실시예들 1 내지 9 중 임의의 것과 자유롭게 조합될 수 있다.

실시예 11

본 발명의 액정 디스플레이 디바이스 및 전자 디바이스는 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 장착 디스플레이), 네비게이션 시스템, 오디오 재생 디바이스(카 오디오, 오디오 콤포넌트 등), 랩톱 컴퓨터, 게임기, 휴대용 정보 단말(모바일 컴퓨터, 셀룰러 전화, 휴대용 게임기, 전자 서적 등), 이미지 재생 디바이스(구체적으로, 디지털 다용도 디스크(DVD) 같은 기록 매체를 생성할 수 있으며, 이미지를 디스플레이할 수 있는 디스플레이 디바이스를 구비하는 디바이스) 등을 포함한다. 특히, 대형 스크린 등을 구비한 대형 텔레비전에 본 발명을 적용하는 것이 바람직하다. 전자 디바이스들의 특정 예들이 도 21a 내지 21c에 도시되어 있다.

도 21a는 22 인치 내지 50 인치의 대형 스크린을 구비한 대형 디스플레이 디바이스이며, 이는 새시(2001), 지지부(2002), 디스플레이 영역(2003) 및 비디오 입력 단자(2005)를 포함한다. 디스플레이 디바이스는 퍼스널 컴퓨터를 위한 정보의 디스플레이, TV 방송 수신 등을 위한 모든 디스플레이 디바이스들을 포함한다. 비교적 고가의 대형 디스플레이 디바이스는 측면이 1000mm를 초과하는 5세대 이후 대형 기관들에 대해서도 비교적 저가의 대형 디스플레이 디바이스가 얻어질 수 있다.

도 21b는 주 본체(2201), 새시(2202), 디스플레이 영역(2203), 키보드(2204), 외부 접속 포트(3305), 포인팅 마우스(2206) 등을 포함하는 노트북 퍼스널 컴퓨터이다. 본 발명에 따라 비교적 저가인 노트북 퍼스널 컴퓨터가 얻어질 수 있다.

도 21c는 기록 매체를 장비한 휴대용 이미지 재생 디바이스(구체적으로는 DVD 플레이어)이며, 이는 주 본체(2401), 새시(2402), 디스플레이 영역 A(2403), 디스플레이 영역 B(2404), 기록 매체(DVD 플레이어 등) 판독부(2405), 조작 키들(2406), 스피커부들(2407) 등을 포함한다. 디스플레이 영역 A(2403)는 주로 이미지 정보를 디스플레이하며, 디스플레이 영역 B(2404)는 주로 텍스트 정보를 디스플레이한다. 기록 매체를 장비한 이미지 재생 디바이스는 홈 비디오 게임기들 등을 포함한다. 본 발명에 따라 비교적 저가의 이미지 재생 디바이스가 얻어질 수 있다.

상술한 바와 같이, 본 발명에 따라 제조된 액정 디스플레이 디바이스는 임의의 전자 디바이스의 디스플레이 영역에 적용될 수 있다. 실시 형태들 1 내지 3 및 실시예들 1 내지 8 중 임의의 것에 따른 구조를 사용하여 제조된 임의의 액정 디스플레이 디바이스가 본 실시예의 전자 디바이스를 위해 사용될 수 있다.

본 실시예는 실시 형태 1, 실시 형태 2, 실시 형태 3 또는 실시예들 1 내지 10 중 임의의 것과 자유롭게 조합될 수 있다.

복수의 주 단계들이 액적 방출법에 의해 수행되기 때문에, 따라서, 제조 장치의 제조 비용이 감소될 수 있다.

본 발명에 따라서, 재료층은 포토마스크를 사용하지 않고 패턴화될 수 있으며, 따라서, 재료 효율이 향상된다. 또한, 액정 디스플레이 디바이스 제조시 노광 및 현상의 단계들을 생략시킴으로써 제조 프로세스가 단순화될 수 있다. 또한, 한 측면이 1000mm을 초과하는 5세대 이후의 유리 기판이 사용될 때에도, 액정 디스플레이 디바이스는 쉽게 제조될 수 있다.

도면의 간단한 설명

- 도 1a 내지 도 1e는 실시 형태 1을 도시하는 도면.
- 도 2a 내지 도 2e는 실시 형태 2를 도시하는 도면.
- 도 3a 내지 도 3d는 실시 형태 3을 도시하는 도면.
- 도 4a 내지 도 4e는 실시예 1에 따른 제조 단계들을 도시하는 도면.
- 도 5는 실시예 2에 따른 액정 디스플레이 디바이스를 도시하는 단면도.
- 도 6은 실시예 3에 따른 액정 디스플레이 디바이스를 도시하는 단면도.
- 도 7은 실시예 4에 따른 액정 디스플레이 디바이스를 도시하는 단면도.
- 도 8은 실시예 5에 따른 액정 디스플레이 디바이스를 도시하는 단면도.
- 도 9는 실시예 6에 따른 액정 디스플레이 디바이스를 도시하는 단면도.
- 도 10은 실시예 1에 따른 화소들의 상면도.
- 도 11a 내지 도 11d는 액적 방출법에 의한 액적 적용을 도시하는 사시도 및 단면도(실시예 7).
- 도 12a 내지 도 12d는 프로세스를 도시하는 상면도(실시예 7).
- 도 13a 및 도 13b는 페이스팅 디바이스와 페이스팅 프로세스를 각각 도시하는 단면도(실시예 7).
- 도 14a 및 도 14b는 액정 모듈의 상면도를 각각 도시하는 도면(실시예 7).
- 도 15는 액티브 매트릭스 액정 디스플레이 디바이스를 도시하는 단면도(실시예 7).
- 도 16a 내지 도 16c는 액적 방출 시스템을 도시하는 도면(실시예 8).
- 도 17은 액적 방출 시스템을 도시하는 도면(실시예 8).
- 도 18은 액적 방출 시스템을 도시하는 도면(실시예 8).
- 도 19a 및 도 19b는 금속 입자들의 단면도(실시예 9).
- 도 20a 내지 도 20c는 도금기를 각각 도시하는 도면(실시예 10).
- 도 21a 내지 도 21c는 전자 디바이스들의 예들을 도시하는 도면(실시예 11).

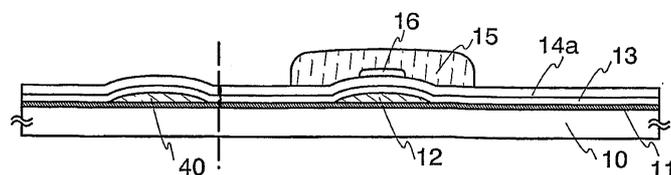
* 참조 부호의 설명 *

10 : 기판, 11 : 베이스막, 12 : 금속 배선, 13 : 게이트 절연막, 14a : 반도체막, 14b : 반도체층, 15a : 마스크, 16 : 절연층, 17 : n-형 반도체막, 18a : 소스 또는 드레인 배선, 18b : 소스 또는 드레인 배선, 19a : 소스 또는 드레인 영역, 19b : 소스

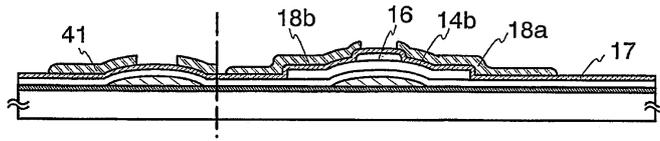
또는 드레인 영역, 20 : 돌출부, 21 : 층간 절연막, 22 : 층간 절연막, 23 : 화소 전극, 24a : 정렬층, 24b : 정렬층, 25 : 카운터 기관, 26a : 컬러층, 26b : 차광층, 27 : 오버 코트층, 28 : 카운터 전극, 29 : 액정, 30 : TFT, 31 : 커패시터 배선, 40 : 배선, 41a : 접속 배선, 42 : 도전체, 43 : 돌출부, 44 : 단자 전극, 45 : 이방성 도전층, 46 : FPC, 110 : 대형 기관, 111 : 화소 영역, 112 : 밀봉제, 113 : 노즐 동작 방향, 114 : 액정 재료, 115 : 적용면, 116 : 액적 방출 시스템, 118 : 노즐, 119 : 점선들로 둘러싸여진 영역, 120 : 반전 스테거형 TFT, 121 : 화소 전극, 210 : 기관, 211 : 베이스막, 213 : 게이트 절연막, 214a : 반도체막, 214b : 반도체층, 215 : 마스크, 216 : 절연층, 217 : n-형 반도체막, 218a : 소스 또는 드레인 배선, 218b : 소스 또는 드레인 배선, 219a : 소스 또는 드레인 영역, 219b : 소스 또는 드레인 영역, 221 : 층간 절연막, 224a : 정렬층, 224b : 정렬층, 225 : 카운터 기관, 226a : 컬러층, 226b : 차광층, 227 : 오버 코트층, 228 : 카운터 전극, 229 : 액정, 230 : TFT, 240 : 배선, 241 : 접속 배선, 242 : 도전체, 244 : 단자 전극, 245 : 이방성 도전층, 246 : FPC, 310 : 기관, 314 : 반도체층, 316 : 절연층, 318a : 소스 또는 드레인 배선, 318b : 소스 또는 드레인 배선, 319a : 소스 또는 드레인 영역, 319b : 소스 또는 드레인 영역, 320 : 돌출부, 322 : 층간 절연막, 323 : 화소 전극, 324a : 정렬층, 324b : 정렬층, 325 : 카운터 기관, 326a : 컬러층, 326b : 차광층, 327 : 오버 코트층, 328 : 카운터 전극, 329 : 액정, 330 : TFT, 340 : 배선, 341 : 접속 배선, 342 : 도전체, 343 : 돌출부, 344 : 단자 전극, 345 : 이방성 도전층, 346 : FPC, 410 : 기관, 411 : 베이스막, 412 : 금속 배선, 413 : 게이트 절연막, 414a : 반도체막, 414b : 반도체층, 415 : 마스크, 416 : 절연 재료 또는 도전성 재료로 형성된 층, 417 : n-형 반도체막, 418a : 소스 또는 드레인 배선, 418b : 소스 또는 드레인 배선, 419a : n-형 반도체막, 419b : n-형 반도체막, 420 : 돌출부, 421 : 층간 절연막, 422 : 층간 절연막, 423 : 화소 전극, 424a : 정렬층, 424b : 정렬층, 425 : 카운터 기관, 426a : 컬러층, 426b : 차광층, 427 : 오버 코트층, 428 : 카운터 전극, 429 : 액정, 430 : TFT, 440 : 배선, 441 : 접속 배선, 442 : 도전체, 443 : 돌출부, 444 : 단자 전극, 445 : 이방성 도전층, 446 : FPC, 510 : 기관, 521 : 층간 절연막, 524a : 정렬층, 524b : 정렬층, 525 : 카운터 기관, 526a : 컬러층, 526b : 차광층, 527 : 오버 코트층, 528 : 카운터 전극, 529 : 액정, 530 : TFT, 544 : 단자 전극, 545 : 이방성 도전층, 546 : FPC, 610 : 기관, 622 : 층간 절연막, 623 : 화소 전극, 624a : 정렬층, 624b : 정렬층, 625 : 카운터 기관, 626a : 컬러층, 626b : 차광층, 627 : 오버 코트층, 628 : 카운터 전극, 629 : 액정, 630 : TFT, 641 : 접속 배선, 644 : 단자 전극, 645 : 이방성 도전층, 646 : FPC, 706 : 카운터 기관, 710 : 기관, 711 : 베이스막, 712 : 게이트 배선, 713 : 게이트 절연막, 714 : 반도체층, 718a : 소스 또는 드레인 배선, 718b : 소스 또는 드레인 배선, 719a : n-형 반도체층, 719b : n-형 반도체층, 720 : 돌출부, 722 : 층간 절연막, 723 : 화소 전극, 724a : 정렬층, 724b : 정렬층, 725 : 카운터 기관, 726a : 컬러층, 726b : 차광층, 727 : 오버 코트층, 728 : 카운터 전극, 729 : 액정, 730 : TFT, 740 : 단자 전극, 743 : 돌출부, 744 : 단자 전극, 745 : 이방성 도전층, 746 : FPC, 824a : 정렬층, 824b : 정렬층, 825 : 카운터 기관, 826a : 컬러층, 826b : 차광층, 827 : 오버 코트층, 828 : 카운터 전극, 829 : 액정, 830 : TFT, 840 : 접속 배선, 844 : 단자 전극, 845 : 이방성 도전층, 846 : FPC, 924a : 정렬층, 924b : 정렬층, 925 : 카운터 기관, 926a : 컬러층, 926b : 차광층, 927 : 오버 코트층, 928 : 카운터 전극, 929 : 액정, 930 : TFT, 940 : 접속 배선, 944 : 단자 전극, 945 : 이방성 도전층, 946 : FPC, 1031 : 제 2 기관, 1032 : 밀봉제, 1033 : 액정, 1034 : 화소 영역, 1035 : 제 1 기관, 1041 : 제 1 기관 홀더, 1042 : 제 2 기관 홀더, 1044 : 윈도우, 1048 : 저면판, 1049 : 광원, 1101 : 기관, 1104 : 화소 영역, 1105 : FPC, 1107 : 밀봉제, 1111 : 기관, 1112 : 소스 신호선 드라이버 회로, 1113 : 게이트 신호선 드라이버 회로, 1114 : 화소 영역, 1115 : FPC, 1116 : 카운터 기관, 1117 : 제 1 밀봉제, 1118 : 제 2 밀봉제, 1200 : 기관, 1201 : 화소 전극, 1202 : 스페이서, 1203 : 편광기, 1204 : 백라이트, 1205 : 도광체, 1206 : 덮개, 1207 : 밀봉제, 1219 : 보호막, 1220 : 컬러 필터, 1221 : 카운터 전극, 1222 : 정렬층, 1223 : 정렬층, 1224 : 액정층, 1300 : 기관, 1302 : 도전막, 1303 : 게이트 전극, 1380 : 도전막, 1381 : 헤드, 1382 : 헤드, 1383 : 헤드, 1384 : 스테이지, 1385 : 스테이지, 1400 : 기관, 1403 : 액적 방출 수단, 1404 : 이미징 수단, 1405a : 헤드, 1405 b : 헤드, 1407 : 제어 수단, 1408 : 저장 매체, 1409 : 이미지 처리 수단, 1410 : 컴퓨터, 1411 : 마커, 1500 : 대형 기관, 1503 : 영역, 1504 : 이미징 수단, 1505 : 헤드, 1505b : 헤드, 1505c : 헤드, 1507 : 스테이지, 1511 : 마커, 1601 : 기관, 1603 : 헤드부들, 1604 : 조성물, 1605 : 용매 용기, 1606 : 조성물, 1607 : 테스트 스테이지, 1701 : 은, 1711 : 구리, 1712 : 은, 1713 : 버퍼층, 2001 : 새시, 2002 : 지지부, 2003 : 디스플레이 영역, 2005 : 비디오 입력 단자, 2201 : 주 본체, 2202 : 새시, 2203 : 디스플레이 영역, 2204 : 키보드, 2205 : 외부 접속 포트, 2206 : 포인팅 마우스, 2401 : 주 본체, 2402 : 새시, 2403 : 디스플레이 영역 A, 2404 : 디스플레이 영역 B, 2405 : 기록 매체 판독부, 2406 : 조작 키, 2407 : 스피커 유닛

도면

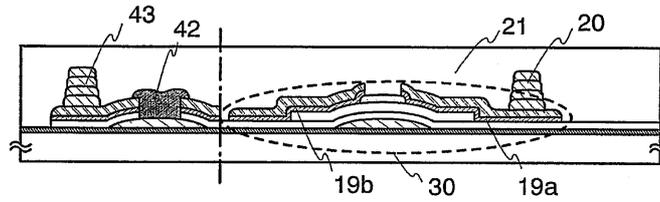
도면 1a



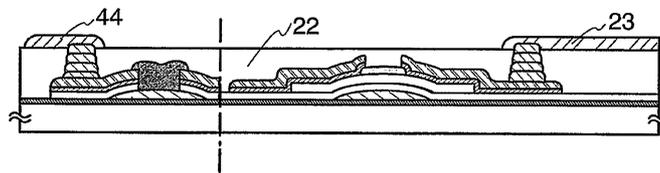
도면1b



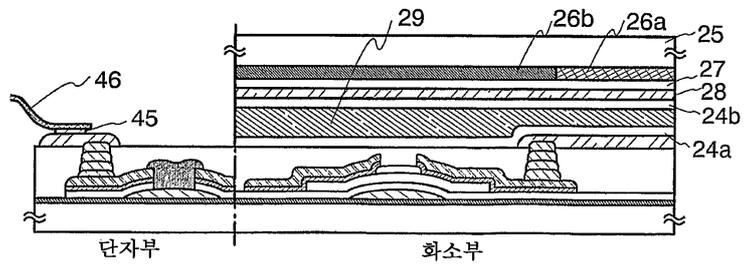
도면1c



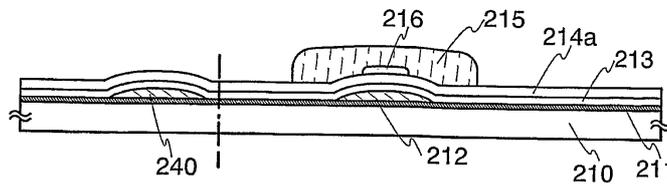
도면1d



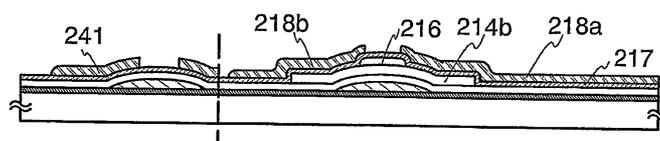
도면1e



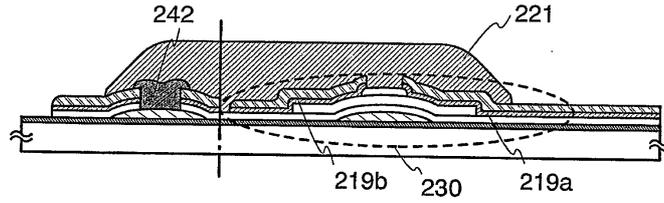
도면2a



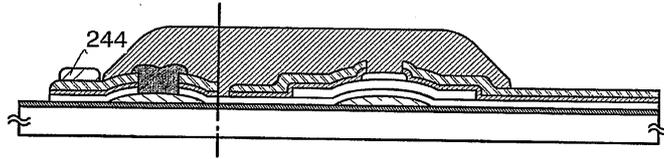
도면2b



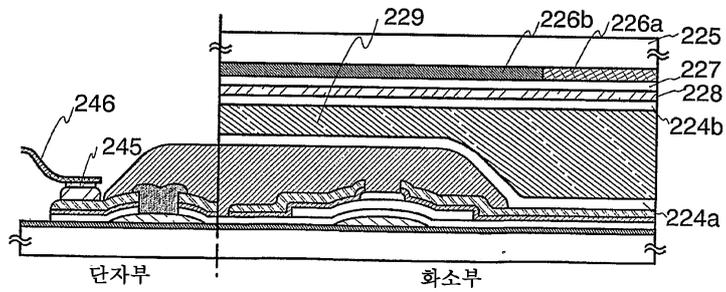
도면2c



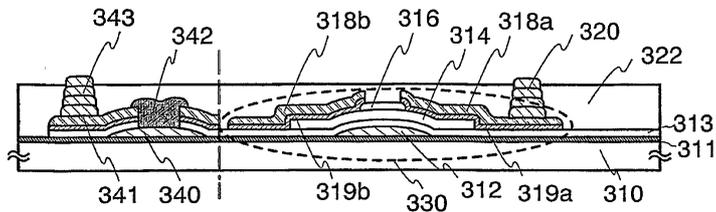
도면2d



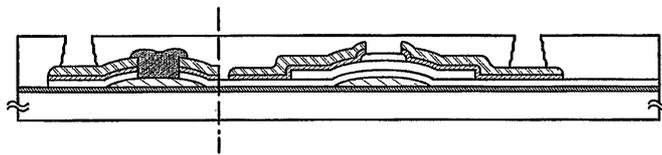
도면2e



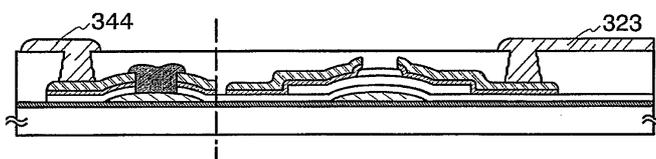
도면3a



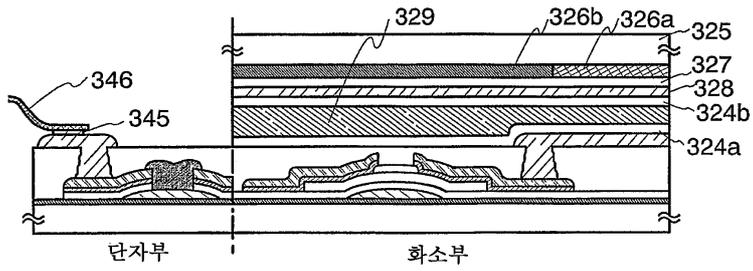
도면3b



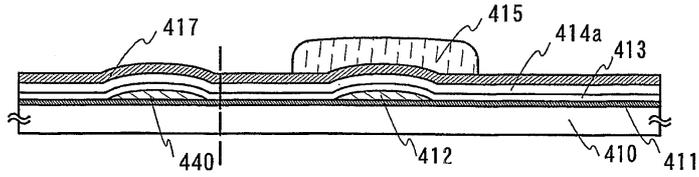
도면3c



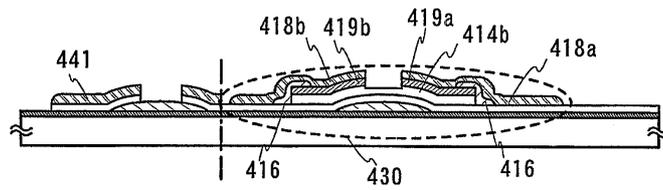
도면3d



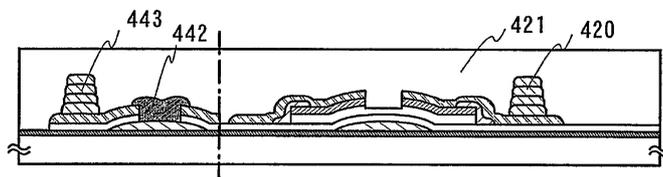
도면4a



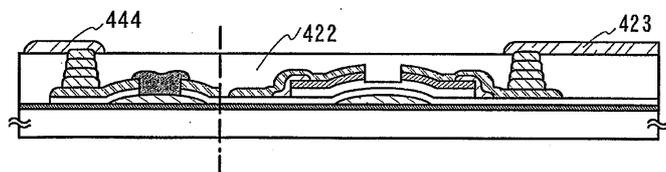
도면4b



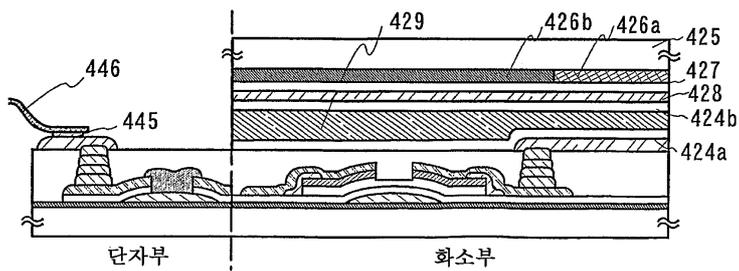
도면4c



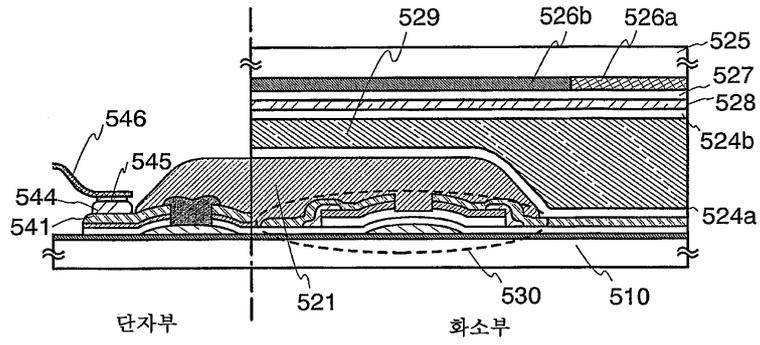
도면4d



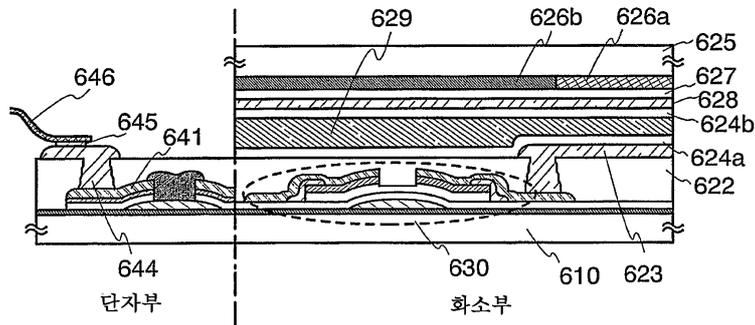
도면4e



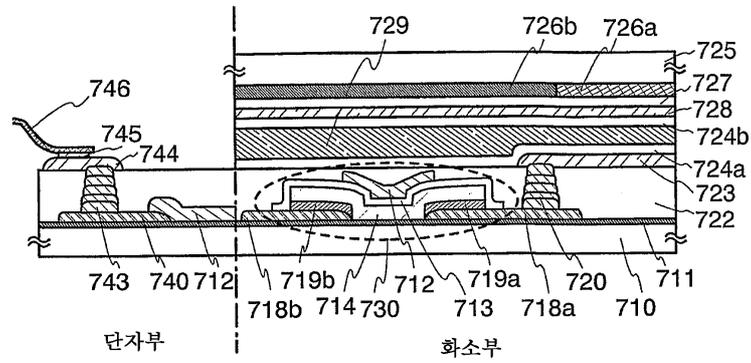
도면5



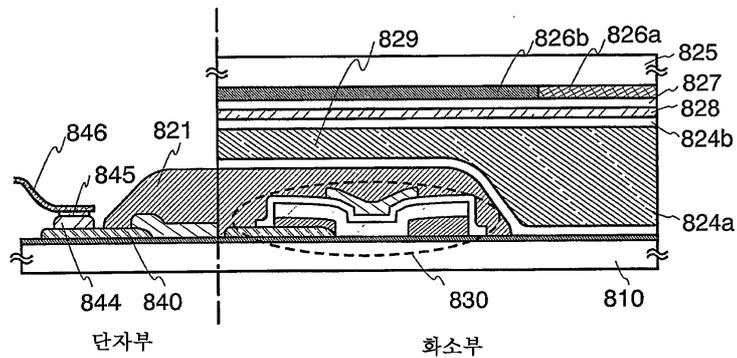
도면6



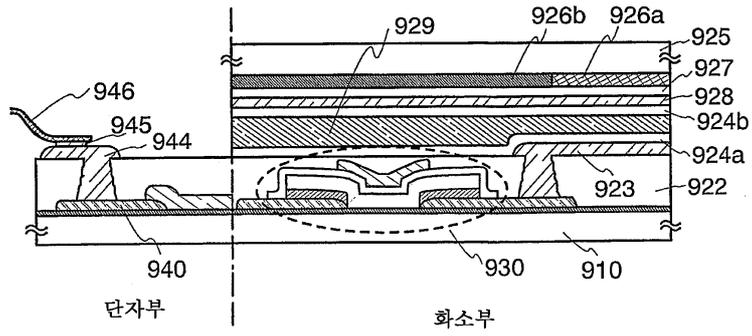
도면7



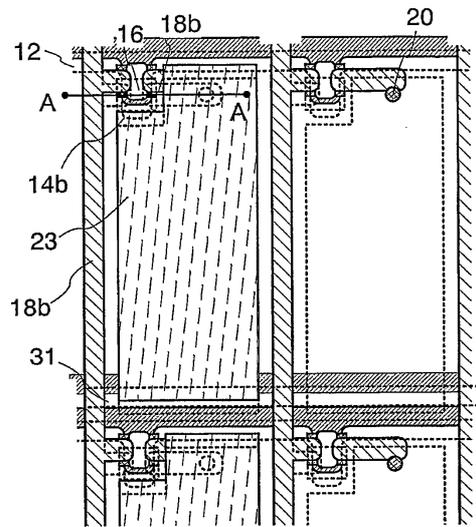
도면8



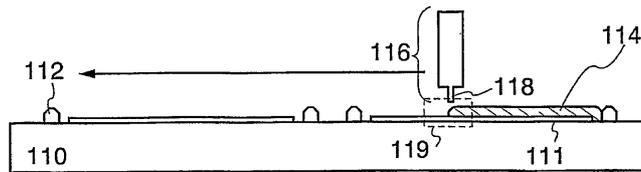
도면9



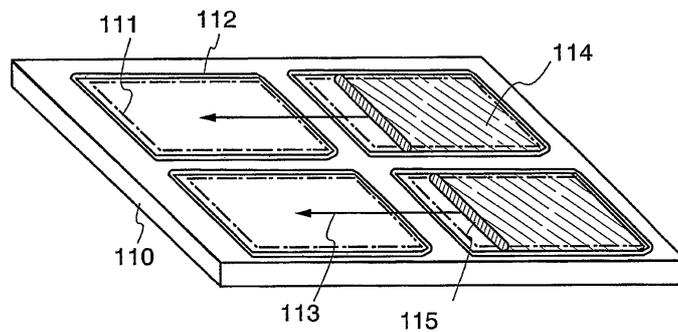
도면10



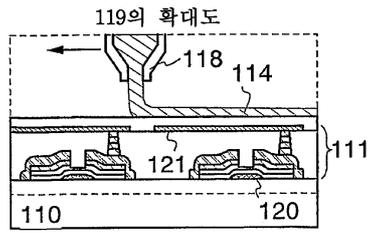
도면11a



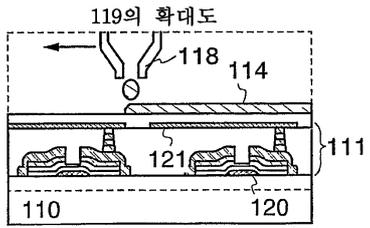
도면11b



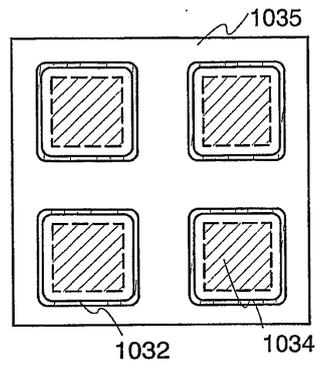
도면11c



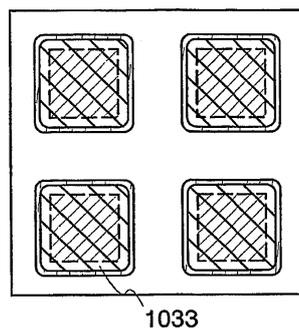
도면11d



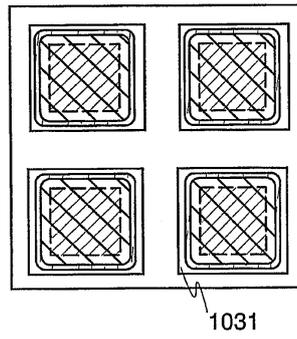
도면12a



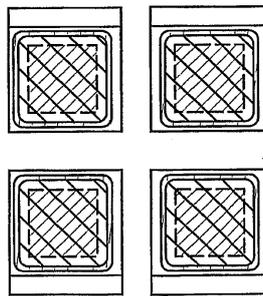
도면12b



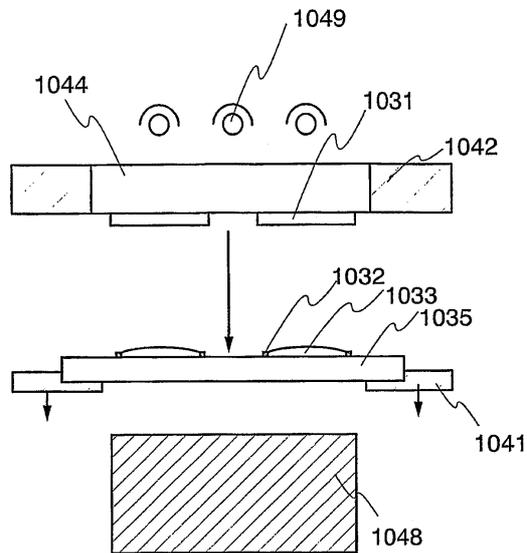
도면12c



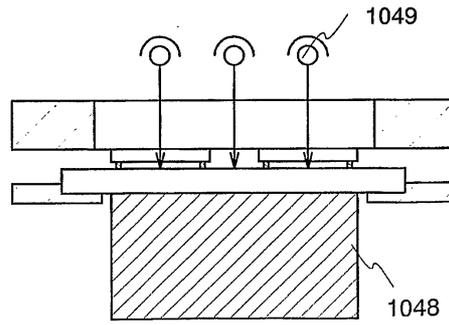
도면12d



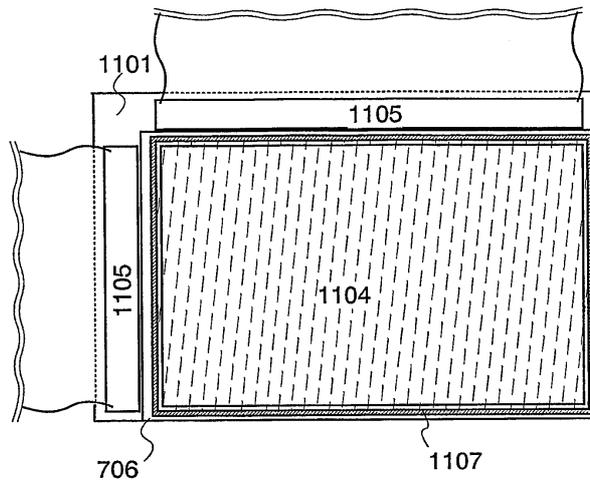
도면13a



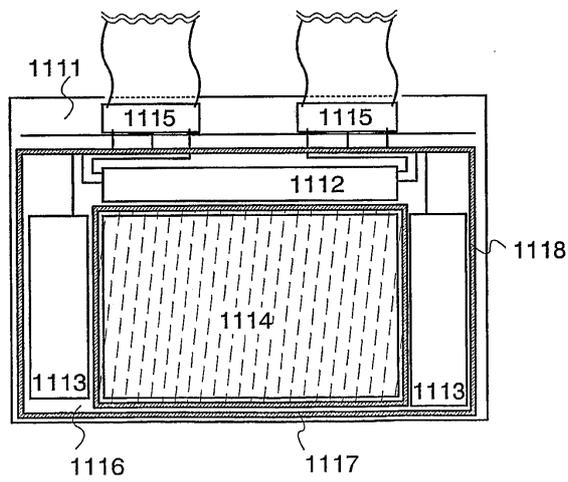
도면13b



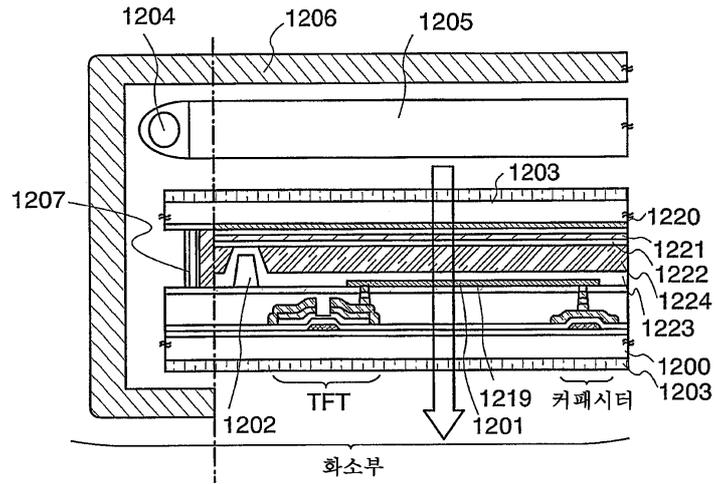
도면14a



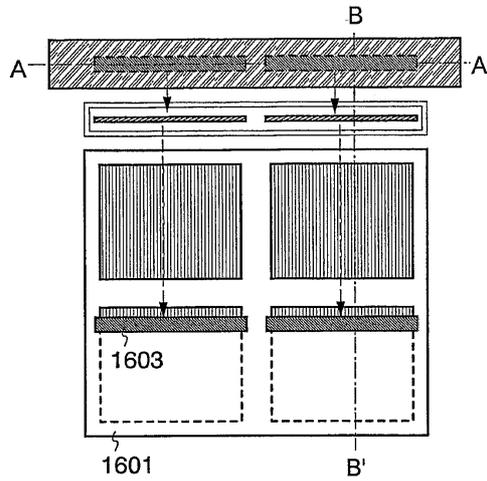
도면14b



도면15



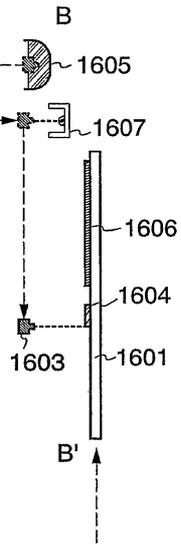
도면16a



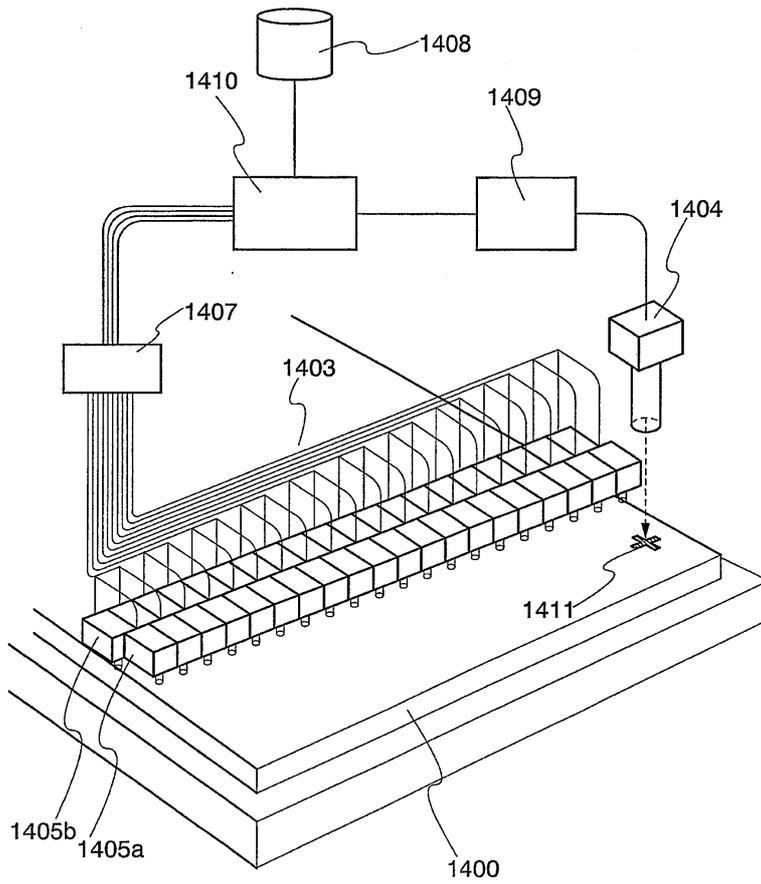
도면16b



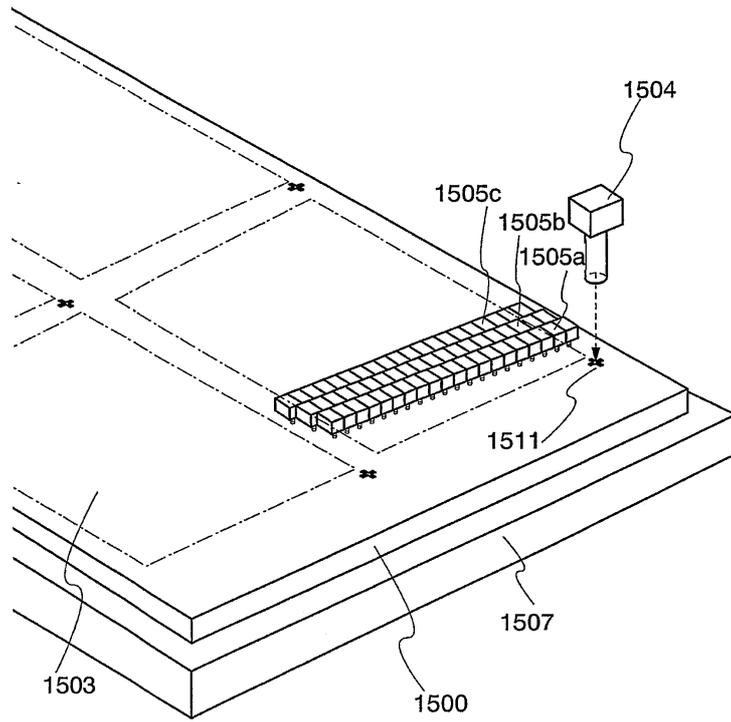
도면16c



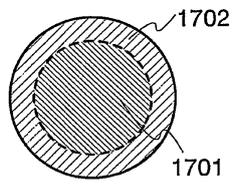
도면17



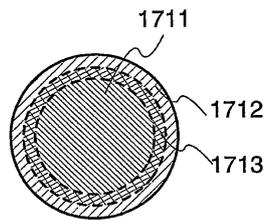
도면18



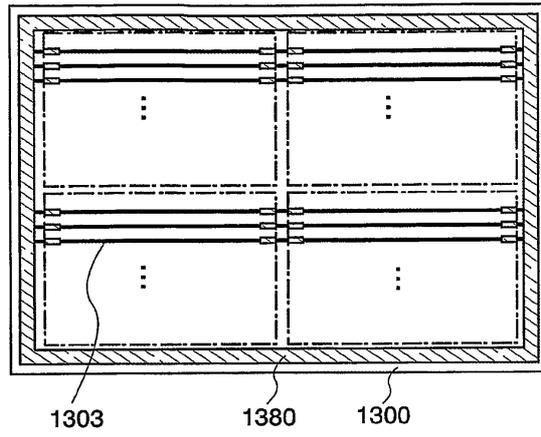
도면19a



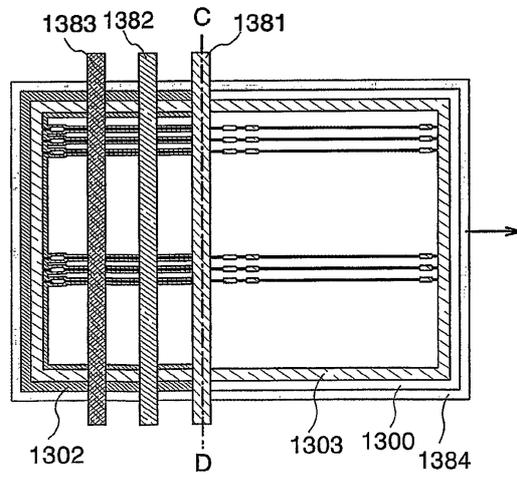
도면19b



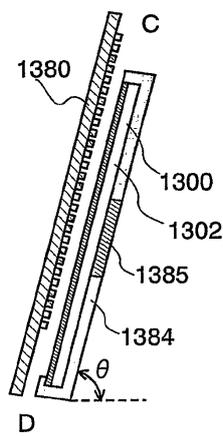
도면20a



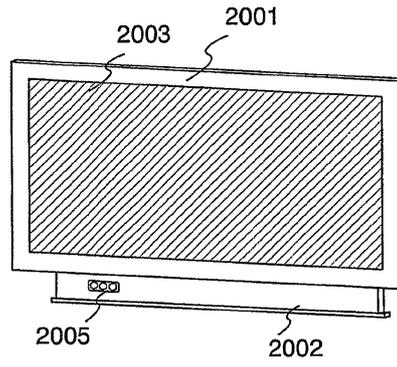
도면20b



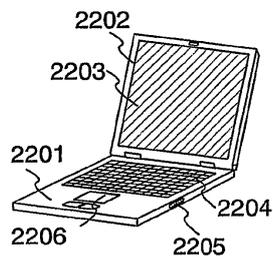
도면20c



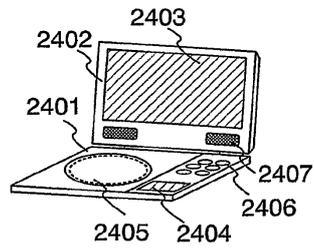
도면21a



도면21b



도면21c



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020060124630A	公开(公告)日	2006-12-05
申请号	KR1020067011738	申请日	2004-11-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	YAMAZAKI SHUNPEI 야마자키순페이 MAEKAWA SHINJI 마에카와신지 FUJII GEN 후지이겐 KUWABARA HIDEAKI 구와바라히데아키		
发明人	야마자키,순페이 마에카와,신지 후지이,겐 구와바라,히데아키		
IPC分类号	G02F1/136 G02F1/1339 G02F1/1362 G02F1/1368 H01L21/288		
CPC分类号	G02F1/13458 G02F1/136227 G02F1/136286 G02F2001/13415 G02F2001/136295 H01L27/1292		
代理人(译)	张本勋 Jeongsanggu		
优先权	2003386023 2003-11-14 JP		
其他公开文献	KR101146208B1		
外部链接	Espacenet		

摘要(译)

随着基板变大，由于膜的形成和蚀刻的重复，制造时间增加；蚀刻剂等的废物处理成本增加；和材料效率显著降低。在本发明中形成用于改善基板和通过液滴喷射方法形成的材料层之间的粘附性的基膜。此外，根据本发明的液晶显示装置的制造方法包括至少一个步骤，用于形成制造液晶显示装置所需的以下图案而不使用光掩模：以布线为代表的材料层的图案（或者电极）图案，绝缘层图案；或形成另一种模式的掩模图案。

©KIPO & WIPO 2007

