

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2006-0099586
G02F 1/136 (2006.01) (43) 공개일자 2006년09월20일

(21) 출원번호 10-2005-0020880

(22) 출원일자 2005년03월14일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 황용한
대구광역시 서구 내당4동 256-27번지

(74) 대리인 특허법인네이트

심사청구 : 없음

(54) 액정표시장치용 어레이 기판의 제조 방법

요약

본 발명은 채널 도핑과 게이트 전극의 형성을 리프트 오프(lift off)법을 이용하여 하나의 마스크 공정으로 실현함으로써 PMOS형 또는 CMOS형의 구동소자를 하나의 기판에 구비한 액정표시장치용 어레이 기판의 제조에 있어 공정 마스크 수를 절감하고, 이에 따라 제조 공정 단순화와 제조 비용을 절감시키는 액정표시장치용 어레이 기판의 제조 방법을 제공한다.

대표도

도 5d

색인어

폴리 실리콘, 공정단순화, 마스크 절감, 리프트 오프, 채널 도핑

명세서

도면의 간단한 설명

도 1은 일반적인 폴리실리콘을 이용한 액정표시장치용 어레이 기판을 개략적으로 도시한 평면도.

도 2a 내지 도 2g는 폴리실리콘을 이용한 PMOS타입의 구동회로를 구비한 액정표시장치용 어레이 기판의 박막 트랜지스터 형성부의 제조 공정에 따른 단면도.

도 3a 내지 도 3k는 본 발명의 제 1 실시예에 따른 폴리실리콘을 이용한 PMOS 타입의 구동회로를 구비한 액정표시장치용 어레이 기판의 제조 공정에 따른 단면도.

도 4a 내지 도 4m은 본 발명의 제 2 실시예에 따른 폴리실리콘을 이용한 CMOS 타입의 구동회로를 구비한 액정표시장치용 어레이 기판의 하나의 화소영역내의 박막 트랜지스터 형성부의 제조 공정에 따른 단면도.

도 5a 내지 도 5m은 본 발명의 제 2 실시예에 따른 폴리실리콘을 이용한 CMOS 타입의 구동회로를 구비한 액정표시장치용 어레이 기판의 구동회로부 내에 구비된 CMOS 구조 인버터의 제조 단계별 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

201 : 기판 203 : 버퍼층

208, 209 : 폴리실리콘 패턴 210 : 게이트 절연막

213 : 금속층 280 : 포토레지스트 패턴

AA : 표시부 DA : 구동회로부

NA : N타입 영역 P : 화소영역

PA : P타입 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로, 특히 폴리실리콘을 반도체층으로 하는 액정표시장치용 어레이 기판의 제조방법에 관한 것이다.

최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.

액정표시장치는 화소를 구동하는 방식에 따라 수동행렬 액정표시장치와 능동행렬 액정표시장치로 나눌 수 있는데, 이 중에서 능동행렬 액정표시장치는 하나의 화소가 각 화소마다 형성된 박막 트랜지스터로 구동이 된다.

이러한 박막 트랜지스터는 게이트 전극과 반도체층과 게이트 및 소스 전극으로 구성되며, 이 중 반도체층은 채널이 형성되는 곳으로 박막 트랜지스터의 특성을 좌우한다.

이러한 반도체층은 일반적으로 비정질 실리콘이나 폴리실리콘을 이용하는데, 최근들어 박막 트랜지스터의 반도체층을 비정질 실리콘에서 폴리실리콘으로 대체하고 있다. 이는 폴리실리콘이 비정질 실리콘에 비해 전계 이동도가 높고 빛 누설 전류가 거의 없으며 기판 상에 구동회로를 제작할 수 있다는 장점을 갖기 때문이다.

도 1은 일반적인 폴리실리콘을 이용한 액정표시장치용 어레이 기판을 개략적으로 도시한 평면도이다.

도시한 바와 같이, 통상적인 폴리실리콘을 이용한 액정표시장치용 어레이 기판은 화상을 표시하는 표시부(3)와 구동회로부(5)가 같이 기판 상에 형성되어 있다. 상기 표시부(3)는 기판(1)의 중앙에 위치하고, 상기 표시부(3)의 일측과 이에 평행하지 않은 타측에 각각 게이트 및 데이터 구동회로부(5a, 5b)가 위치하고 있다. 상기 표시부(3)에는 상기 게이트 구동회로부(5a)와 연결된 다수 개의 게이트 배선(7)과 상기 데이터 구동회로부(5b)와 연결된 다수 개의 데이터 배선(9)이 교차하여 구성되며, 두 배선이 교차하여 정의되는 화소영역(P)에는 화소전극(10)이 형성되어 있고, 상기 두 배선의 교차지점에는 화소전극(10)과 연결된 스위칭 소자인 박막 트랜지스터(Tr)가 위치하고 있다.

또한, 상기 게이트 및 데이터 구동회로부(5a, 5b)는 외부신호 입력단(12)과 연결되어 있으며, 상기 게이트 및 데이터 구동회로부(5a, 5b)는 상기 외부신호 입력단(12)을 통하여 입력된 외부신호를 내부에서 조절하여 각각 게이트 및 데이터 배선

(7, 9)을 통해 표시부(3)로 디스플레이 컨트롤 신호 및 데이터 신호를 공급하기 위한 것이다. 따라서 상기 게이트 및 데이터 구동회로부(5a, 5b) 내부에는 입력되는 신호를 적절하게 출력시키기 위하여 CMOS(complementary metal-oxide semiconductor) 또는 PMOS(p channel metal-oxide semiconductor) 인버터(inverter)가 형성되어 있다.

전술한 폴리실리콘을 이용한 액정표시장치용 어레이 기판은 구동회로부 내부에 인버터로서 CMOS를 구성하느냐 또는 PMOS를 구성하느냐에 따라 CMOS 또는 PMOS 타입으로 나눌 수 있다.

일례로써 PMOS타입의 소자로써 구성되는 어레이 기판은 구동회로부의 구동소자와 화소내의 스위칭 소자를 구성하는 박막 트랜지스터에 있어 폴리실리콘의 반도체층에 p+ 도핑을 실시함으로써 제작할 수 있다.

이후에는 일반적인 폴리실리콘을 이용한 PMOS 타입의 어레이 기판의 제조 방법에 대해 도면을 참조하여 설명한다.

도 2a 내지 도 2g는 폴리실리콘을 이용한 PMOS타입의 액정표시장치용 어레이 기판의 박막 트랜지스터 형성부의 제조 공정에 따른 단면을 도시한 것이다.

도 2a에 도시한 바와 같이, 투명한 기판(20)에 무기절연물질을 전면 증착하여 버퍼층(25)을 형성한다. 다음, 상기 버퍼층(25)이 형성된 기판(20) 상에 비정질 실리콘(a-Si)을 전면 증착하고, 레이저 등을 이용한 결정화 공정을 진행하여 상기 비정질 실리콘층을 폴리 실리콘층으로 결정화시킨다. 이후, 제 1 마스크 공정을 실시하여 상기 폴리 실리콘층을 패터닝함으로써 반도체층(30)을 형성한다.

다음, 2b에 도시한 바와 같이, 상기 반도체층(30)이 형성된 기판(20) 전면 무기절연물질을 전면 증착하여 게이트 절연막(45)을 형성한 다음, 상기 게이트 절연막 위로 포토레지스트를 도포하고, 제 2 마스크 공정을 실시함으로써 상기 반도체층 중 채널이 형성될 즉, 추후 공정에 의해 게이트 전극(미도시)이 형성될 부분에 대응하는 부분의 게이트 절연막을 노출시키는 포토레지스트 패턴(35)을 형성한다.

이후, 상기 포토레지스트 패턴(35)을 마스크로 하여 채널이 형성되어야 할 반도체층 영역에 저도즈량을 갖는 이온주입에 의한 채널 도핑을 실시한다.

다음, 도 2c에 도시한 바와 같이, 채널 도핑을 실시 후, 상기 포토레지스트 패턴(도 2b의 35)을 스트립(strip)하여 제거하고, 금속물질을 상기 게이트 절연막(45) 위로 전면 증착한 후, 제 3 마스크 공정을 진행하여 상기 반도체층(30) 중 채널 도핑된 액티브층과 중첩하여 게이트 전극(50)을 형성한다. 이때, 도면에 나타나지 않았지만, 기판(20)상의 표시부(미도시)에는 다수의 게이트 배선(미도시)이 형성된다. 다음, 상기 게이트 전극(50)을 마스크로 이용하여 기판(20) 전면 이온주입에 의한 고도즈량의 p+ 도핑을 실시하여 게이트 전극(50)에 대응되는 영역의 반도체층을 제외한 반도체층(30) 영역에 p+ 도핑된 p형 오믹콘택층(30b)을 형성한다. 이때, 게이트 전극(50)에 의해 p+ 도핑이 이루어지지 않고, 채널 도핑된 반도체층(30)은 액티브층(30a)을 형성하게 된다.

다음, 도 2d에 도시한 바와 같이, 상기 오믹콘택층(30b)이 형성된 기판(20) 상의 상기 게이트 전극(50) 위로 전면 무기절연물질을 증착하여 층간절연막(70)을 형성하고, 제 4 마스크 공정을 실시하여 상기 층간절연막(70)과 그 하부의 게이트 절연막(45) 일부를 일괄 또는 연속 식각함으로써 상기 각 오믹콘택층(30b) 일부를 외부로 노출시키는 반도체층 콘택홀(73a, 74b)을 형성한다.

다음, 도 2e에 도시한 바와 같이, 상기 반도체층 콘택홀(73a, 73b)을 갖는 층간절연막(70)이 형성된 기판(20) 상에 금속물질을 증착하고 제 5 마스크 공정을 진행하여 상기 반도체층 콘택홀(73a, 73b)을 통해 오믹콘택층(30b)과 각각 접촉하는 소스 및 드레인 전극(80a, 80b)을 형성한다. 이때, 도면에는 나타나지 않았지만, 기판(20)상의 표시부(미도시)에는 하부의 게이트 배선(미도시)과 교차하는 데이터 배선(미도시)이 형성된다.

다음, 도 2f에 도시한 바와 같이, 상기 소스 및 드레인 전극(80a, 80b)이 형성된 기판(20) 상에, 무기절연물질 또는 유기절연물질을 전면 증착 또는 도포하고, 제 6 마스크 공정을 진행하여 하부의 드레인 전극(80b) 일부를 노출시키는 드레인 콘택홀(95)을 갖는 보호층(90)을 형성한다.

다음, 도 2g에 도시한 바와 같이, 상기 드레인 콘택홀을 갖는 보호층(90)이 형성된 기판 상에 투명 도전성 물질을 전면 증착하고, 제 7 마스크 공정을 진행하여 상기 드레인 콘택홀(95)을 통해 드레인 전극(80b)과 접촉하는 화소전극(97)을 형성함으로써 폴리실리콘을 이용한 PMOS타입의 액정표시장치용 어레이 기판을 완성한다.

전술한 PMOS 타입의 구동회로부를 갖는 액정표시장치용 어레이 기판인 경우 총 7회의 마스크 공정을 진행하였지만, CMOS 타입의 구동회로부를 갖는 어레이 기판을 제조하는 경우, 채널 도핑, n+ 도핑, n-도핑(LDD 도핑, 이는 생략가능), p+ 도핑을 실시해야 하는 바, 총 8회 또는 9회의 마스크 공정을 진행하여야 액정표시장치용 어레이 기판의 제조를 완성할 수 있다.

하지만, 상기 마스크 공정은 포토레지스트의 도포(photo resist coating)와 상기 도포된 포토레지스트를 노광(exposure), 현상(develop)하고, 식각하고자 하는 물질층을 식각하는 등의 복잡한 공정이므로, 마스크 공정을 많이 진행할수록 액정표시장치용 어레이 기판의 제조비용 및 공정시간이 증가되고, 이로 인하여 생산수율이 떨어지게 되며, 더욱이 마스크 공정을 많이 진행할수록 박막 트랜지스터 소자에 결함을 발생시킬 확률이 높아지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 폴리실리콘의 액정표시장치용 어레이 기판의 제조에 있어 공정 마스크 수를 줄임으로써 공정수 및 공정시간을 단축하여 생산수율을 향상시키고 나아가 제조비용을 줄이는 것을 그 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명의 제 1 특징에 따른 액정표시장치용 어레이 기판의 제조 방법은 기판 상에 제 1 내지 제 3 영역을 갖는 폴리실리콘 패터를 형성하는 단계와; 상기 폴리실리콘 패터 위로 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 폴리실리콘 패터 중앙의 상기 제 1 영역을 제외한 상기 제 2, 3 영역에 대응하여 포토레지스트 패터를 형성하는 단계와; 상기 포토레지스트 패터를 도핑 마스크로 하여 상기 제 1 영역에 채널 도핑을 실시하는 단계와; 상기 포토레지스트 패터 위로 전면에 금속층을 형성하는 단계와; 리프트 오프(lift off) 공정을 진행하여 상기 포토레지스트 패터 및 그 상부의 금속층을 제거함으로써 상기 제 1 영역에 대응하여 게이트 전극을 형성하는 단계와; 상기 게이트 전극을 도핑 마스크로 하여 p+ 도핑을 실시하여 상기 제 2, 3 영역에 p형 오믹콘택층을 형성하는 단계와; 상기 폴리실리콘 패터 위로 상기 p형 오믹콘택층을 노출시키는 반도체층 콘택홀을 갖는 층간절연막을 형성하는 단계와; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 상기 p형 오믹콘택층과 각각 접촉하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함한다.

이때, 상기 폴리실리콘 패터를 형성하는 단계 이전에 기판 상에 버퍼층을 형성하는 단계를 더욱 포함한다.

또한, 상기 폴리실리콘 패터를 형성하는 단계는 기판상에 비정질 실리콘층을 형성하는 단계와; 상기 비정질 실리콘층을 결정화하여 폴리실리콘층을 형성하는 단계와; 상기 폴리실리콘층을 패터닝하는 단계를 포함한다.

본 발명의 제 2 특징에 따른 액정표시장치용 어레이 기판의 제조 방법은 화상의 표시부와 상기 표시부 외측으로 구동회로부가 정의되며, 상기 표시부에는 스위칭 소자인 박막 트랜지스터가 구비되는 스위칭 영역이 정의되고, 상기 구동회로부에는 N형 박막트랜지스터가 형성되는 N타입 영역과 P형 박막트랜지스터가 형성되는 P타입 영역이 정의된 기판 상의 각 영역에 제 1 내지 제 3 영역을 갖는 제 1 내지 제 3 폴리실리콘 패터를 형성하는 단계와; 상기 제 1 내지 제 3 폴리실리콘 패터 위로 기판 전면에 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 제 1 내지 제 3 폴리실리콘 패터 각각의 중앙 제 1 영역을 제외한 제 2, 3 영역에 대응하여 포토레지스트 패터를 형성하는 단계와; 상기 제 1 내지 제 3 폴리실리콘 패터 각각의 제 1 영역에 상기 포토레지스트 패터를 도핑 마스크로 하여 채널 도핑을 실시하는 단계와; 상기 포토레지스트 패터 위로 전면에 금속층을 형성하는 단계와; 리프트 오프 공정을 진행하여 상기 포토레지스트 패터 및 그 상부의 금속층을 제거함으로써 상기 제 1 내지 제 3 포토레지스트 패터 각각의 제 1 영역에 대응하여 제 1 내지 제 3 게이트 전극을 형성하는 단계와; 상기 제 1 내지 제 3 게이트 전극이 형성된 기판에 n+ 도핑을 실시하여 스위칭 영역과 N타입 영역에 n형 오믹콘택층을 형성하는 단계와; p+ 도핑을 실시하여 P타입 영역에 p형 오믹콘택층을 형성하는 단계와; 상기 n형 및 p형 오믹콘택층을 포함하는 제 1 내지 제 3 폴리실리콘 패터 위로 상기 각 오믹콘택층을 노출시키는 반도체층 콘택홀을 갖는 층간절연막을 형성하는 단계와; 상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 상기 오믹콘택층과 각각 접촉하는 소스 및 드레인 전극을 형성하는 단계와; 상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와; 상기 보호층 위로 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함한다.

이때, 상기 스위칭 영역과 N타입 영역에 n형 오믹콘택층을 형성하는 단계는 상기 제 1 내지 제 3 게이트 전극이 형성된 기판 상에 포토레지스트를 도포하여 포토레지스트층을 형성하는 단계와; 상기 포토레지스트층을 패터닝하여 상기 스위칭 영역과 N타입 영역에는 상기 제 1 및 제 2 게이트 전극의 폭보다 더 넓은 너비를 갖는 제 2, 3 포토레지스트 패턴을 상기 제 1, 2 게이트 전극을 덮으며 형성하고, 동시에 상기 P타입 영역에는 상기 제 3 폴리실리콘 패턴 전체를 덮도록 제 4 포토레지스트 패턴을 형성하는 단계와; 상기 제 2 내지 4 포토레지스트 패턴을 도핑 마스크로 하여 기판 전면에 n+ 도핑을 실시하는 단계와; 상기 제 2 내지 4 포토레지스트 패턴을 제거하는 단계를 포함한다.

또한, 상기 n형 오믹콘택층과 채널 도핑된 제 1 영역 사이의 제 4, 5 영역에 n-도핑을 실시하여 LDD층을 형성하는 단계를 더욱 포함한다.

또한, 상기 p+ 도핑을 실시하여 P타입 영역에 p형 오믹콘택층을 형성하는 단계는 상기 제 1 내지 제 3 게이트 전극 위로 전면에서 포토레지스트층을 형성하는 단계와; 상기 포토레지스트층을 패터닝하여 상기 스위칭 영역과 N타입 영역의 제 1 및 제 2 폴리실리콘 패턴을 완전히 가리는 제 5, 6 포토레지스트 패턴을 형성하는 단계와; 상기 제 5, 6 포토레지스트 패턴을 도핑 마스크로 하여 p+ 도핑을 실시하는 단계와; 상기 제 5, 6 포토레지스트 패턴을 제거하는 단계를 포함한다.

또한, 상기 제 1 내지 제 3 폴리실리콘 패턴을 형성하는 단계 이전에 기판 상에 버퍼층을 형성하는 단계를 더욱 포함한다.

또한, 상기 제 1 내지 제 3 폴리실리콘 패턴을 형성하는 단계는 기판 상에 비정질 실리콘층을 형성하는 단계와; 상기 비정질 실리콘층을 결정화하여 폴리실리콘층을 형성하는 단계와; 상기 폴리실리콘층을 패터닝하는 단계를 포함한다.

또한, 제 1, 2 특징에 따른 액정표시장치의 제조방법에 있어서, 상기 리프트 오프 공정에 의해 게이트 전극을 형성하는 단계는 상기 포토레지스트 패턴 및 그 상부로 금속층이 형성된 기판을 현상액에 디핑하거나 또는 상기 현상액을 기판위로 스프레이 하는 단계와; 상기 포토레지스트 패턴이 상기 현상액과 반응하여 상기 기판상의 상기 게이트 절연막으로부터 상기 포토레지스트 패턴 및 그 상부의 금속층을 제거하는 단계를 포함하며, 또한, 상기 리프트 오프 공정에 의한 게이트 전극 형성 후에는 메탈 애싱(metal ashing)을 진행하여 상기 게이트 전극의 에지부를 매끄럽게 하는 단계를 더욱 포함한다.

이하, 본 발명의 실시예에 따른 폴리실리콘을 이용한 액정표시장치용 어레이 기판의 제조 방법에 대해 도면을 참조하여 설명한다.

<제 1 실시예>

도 3a 내지 도 3k는 본 발명의 제 1 실시예에 따른 폴리실리콘을 이용한 PMOS 타입의 구동회로를 구비한 액정표시장치용 어레이 기판의 제조 공정에 따른 단면을 도시한 것이다. 특히, 상기 제조 단계에 따른 도면은 어레이 기판 중 화상을 표시하는 표시부 내에 형성된 스위칭 소자인 박막 트랜지스터 형성 부분을 절단한 것을 도시한 것이며, 표시부 외측의 구동회로부 내에 구비된 인버터는 상기 표시부 내에 형성된 박막 트랜지스터와 동일한 구조이므로 이에 따른 제조 단계별 단면도는 생략하였다.

우선, 도 3a에 도시한 바와 같이, 투명한 기판(101) 전면에서 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂) 중에서 선택되는 하나를 증착하여 버퍼층(103)을 형성한다. 상기 버퍼층(103)은 상부에 형성되는 비정질 실리콘층을 폴리실리콘층으로 결정화 할 경우, 레이저 조사 등에 의해 발생하는 열로 인해 기판(101) 내부에 존재하는 알칼리 이온, 예를 들면 칼륨 이온(K⁺), 나트륨 이온(Na⁺) 등이 발생할 수 있는데, 이러한 알칼리 이온에 의해 폴리실리콘층의 막 특성이 저하되는 것을 방지하기 위해서 형성하는 것이다. 하지만, 상기 버퍼층(103)은 생략할 수도 있다.

다음, 상기 버퍼층(103) 위로 전면에서 비정질 실리콘을 증착하여 비정질 실리콘층(미도시)을 형성하고, ELA(Eximer Laser Annealing)법, SLS(Sequential Lateral Solidification)법, SPC(Solid Phase Crystallization)법, RTA(rapid thermal annealing)법, MIC(Metal Induced Crystallization)법 중에 하나를 실시함으로써 상기 비정질 실리콘층(미도시)을 결정화함으로써 폴리실리콘층(106)을 형성한다.

다음, 도 3b에 도시한 바와 같이, 상기 폴리실리콘층(도 3a의 106) 위로 전면에서 포토레지스트를 도포하고, 노광, 현상, 식각을 포함하는 제 1 마스크 공정을 실시함으로써 상기 폴리실리콘층(도 3a의 106)을 패터닝하여 폴리실리콘 패턴(108)을 형성한다.

다음, 도 3c에 도시한 바와 같이, 상기 폴리실리콘 패턴 위로 기판 전면에 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂) 중에서 선택되는 하나를 증착하여 게이트 절연막(110)을 형성하고, 상기 게이트 절연막(110) 위로 제 2 마스크 공정을 실시함으로써 상기 폴리실리콘 패턴(108) 중 추후 공정에 의해 형성되는 게이트 전극과 대응되는 영역의 게이트 절연막(110)을 노출시키는 포토레지스트 패턴(190)을 형성한다.

다음, 상기 포토레지스트 패턴(170)을 마스크로 하여 노출된 게이트 절연막(110) 하부에 형성된 폴리실리콘 패턴(108) 영역(108a)(이는 추후에 액정표시장치의 구동 시 캐리어의 이동통로가 되는 채널을 형성하는 액티브층(108a)을 형성함)에 저도즈량을 갖는 이온주입에 의한 채널 도핑을 실시한다. 이렇게 채널을 형성하게 될 액티브층에 저도즈량의 이온주입에 의한 채널 도핑을 실시하는 이유는 V_{fb}(flat band voltage)를 조절하기 위함이다. 완성된 액정표시장치용 어레이 기판에 있어서는 게이트 전극과 액티브층 사이에 게이트 절연막이 형성되어 있고, 이러한 게이트 절연막 또는 액티브층에 존재하는 + 또는 - 이온에 의해 액티브층과 게이트 전극간의 에너지 밴드에 영향을 미치게 되어 V_{th} 전압을 변동시키는 문제가 발생하는데, 이러한 문제를 해결하기 위한 것이 액티브층에 저농도 도핑을 실시하여 V_{fb}를 조절함으로써 최종적으로는 V_{th} 전압을 조절 위함이다.

다음, 3d에 도시한 바와 같이, 채널 도핑을 실시한 후, 상기 채널 도핑 마스크로서의 역할을 하기위해 형성된 포토레지스트 패턴(170) 및 상기 노출된 게이트 절연막(110) 위로 전면에 금속물질을 증착하여 금속층(115)을 형성한다.

다음, 3e에 도시한 바와 같이, 상기 금속층(도 3d의 115)이 형성된 기판(101)을 포토레지스트를 현상하기 위한 현상액 담구거나 또는 상기 현상액을 기판 전면에 스프레이(spray)하면, 상기 게이트 절연막(110) 상부에 형성된 포토레지스트 패턴(도 3d의 170)이 상기 현상액과 반응하여 상기 게이트 절연막(110)으로부터 떨어져 나가게 되는데, 이때, 상기 포토레지스트 패턴(도 3d의 170) 상부에 형성된 금속층(도 3d의 115) 또한 상기 포토레지스트 패턴(도 3d의 170)과 함께 기판(101)으로부터 떨어져 나가게 됨으로써 최종적으로는 채널 도핑된 폴리실리콘 패턴 영역(108a)에 대응하여 게이트 절연막(110) 상부에 게이트 전극(117)을 형성하게 된다. 이렇게 포토레지스트 및 그 상부에 형성된 물질층이 상기 포토레지스트의 현상 공정 진행시 동시에 제거되는 것을 리프트 오프(lift off) 공정이라 한다.

따라서, 전술한 리프트 오프 공정에 의해 하나의 마스크 공정으로 채널 도핑과, 게이트 전극(117)을 포함하여 게이트 배선(미도시)을 형성함으로써 하나의 마스크 공정을 절감하는 것이 본 발명의 가장 특징적인 것이다.

다음, 도 3f에 도시한 바와 같이, 리프트 오프법에 의해 게이트 전극(117) 및 게이트 배선(미도시)이 형성된 기판(101)에 있어, 상기 게이트 전극(117) 및 게이트 배선(미도시)은 리프트 오프 공정에 의해 강제적으로 기판(101)으로부터 떨어져 나가며 패터닝됨으로써 형성된 것이므로 에지부분이 매우 거칠게 형성되어 있는 바, 이는 이후 증착되는 물질층의 접착력 등에 좋지 않은 영향을 미칠 수 있기에, 이를 방지하고자, 메탈 애싱(ashing) 공정을 실시하여 상기 게이트 전극(117) 및 게이트 배선(미도시)의 에지부를 매끄럽게 한다.

다음, 3g에 도시한 바와 같이, 상기 매끄럽게 애싱 처리된 게이트 전극(117)을 도핑 마스크로 하여 상기 게이트 전극(117) 외부로 노출된 게이트 절연막(110) 하부의 폴리실리콘 패턴 영역(108b)에 고농도의 p+ 도핑을 실시함으로써 p형 오믹콘택층(108b)을 형성한다. 이때, 게이트 전극(117)에 의해 p+ 도핑이 이루어지지 않고, 이전 공정에 의해 채널 도핑된 폴리실리콘 패턴 영역(108a)은 액티브층(108a)을 형성하게 된다.

다음, 도 3h에 도시한 바와 같이, 상기 게이트 전극(117) 위로 전면에 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)과 같은 무기절연물질을 증착하거나 또는 벤조사이클로부텐(BCB) 또는 포토 아크릴(photo acryl)과 같은 유기절연물질을 도포하여 층간절연막(125)을 형성하고, 제 3 마스크 공정을 실시하여 상기 층간절연막(125)과 그 하부의 게이트 절연막 일부(110)를 일괄 또는 연속 식각함으로써 상기 오믹콘택층(108b) 일부를 외부로 노출시키는 반도체층 콘택홀(130a, 130b)을 형성한다.

다음, 도 3i에 도시한 바와 같이, 상기 반도체층 콘택홀(130a, 130b)을 갖는 층간절연막(125)이 형성된 기판(101) 상에 금속물질을 증착하고 제 4 마스크 공정을 진행하여 상기 반도체층 콘택홀(130a, 130b)을 통해 상기 오믹콘택층(108b)과 각각 접촉하는 소스 및 드레인 전극(140, 143)을 형성한다. 이때, 기판(101)상의 표시부(미도시)에는 하부의 게이트 배선(미도시)과 교차하는 데이터 배선(미도시)이 상기 소스 및 드레인 전극(140, 143)과 동시에 형성된다.

다음, 도 3j에 도시한 바와 같이, 상기 소스 및 드레인 전극(140, 143)이 형성된 기판(101) 상에, 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 전면에 증착하거나 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 전면에 도포함으로써 보호층(150)을 형성하고, 상기 보호층(150)에 제 5 마스크 공정을 진행함으로써 하부의 드레인 전극(143) 일부를 노출시키는 드레인 콘택홀(155)을 형성한다.

다음, 도 3k에 도시한 바와 같이, 상기 드레인 콘택홀(155)을 갖는 보호층(150)이 형성된 기판(101) 상에 투명 도전성 물질 예를들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)를 전면에 증착하고, 제 6 마스크 공정을 진행하여 상기 드레인 콘택홀(155)을 통해 드레인 전극(143b)과 접촉하는 화소전극(160)을 형성함으로써 폴리실리콘을 이용한 PMOS타입의 액정표시장치용 어레이 기판을 완성한다.

<제 2 실시예>

도 4a 내지 도 4m과 도 5a 내지 도 5m은 본 발명의 제 2 실시예에 따른 폴리실리콘을 이용한 CMOS 타입의 구동회로를 구비한 액정표시장치용 어레이 기판의 제조 공정에 따른 단면을 도시한 것으로서, 도 4a 내지 도 4m은 어레이 기판 중 화상을 표시하는 표시부(AA) 내에 형성된 스위칭 소자인 박막 트랜지스터 형성 부분(SA)을 포함하는 하나의 화소영역(P) 일부를 절단한 것을 도시한 것이며, 도 5a 내지 도 5m은 표시부(AA) 외측의 구동회로부(DA) 내에 구비된 CMOS 구조 인버터의 제조 단계별 단면을 도시한 것이다. 설명의 편의상 표시부(AA)의 박막트랜지스터 형성부를 스위치 영역(SA)이라 하고, 구동회로부(DA)의 CMOS구조의 인버터에 있어서, n타입 박막트랜지스터가 형성될 부분을 N타입 영역(NA), p타입 박막트랜지스터가 형성될 부분을 P타입 영역(PA)라 칭한다.

우선, 도 4a와 도 5a에 도시한 바와 같이, 투명한 절연기판(201) 전면에 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 증착하여 버퍼층(203)을 형성한다. 이때, 상기 버퍼층(203)은 생략될 수도 있다.

다음, 상기 버퍼층(203) 위로 전면에 비정질 실리콘을 증착하여 비정질 실리콘층(미도시)을 형성하고, ELA(Eximer Laser Annealing)법, SLS(Sequential Lateral Solidification)법, SPC(Solid Phase Crystallization)법, RTA(rapid thermal annealing)법, MIC(Metal Induced Crystallization)법 중에 하나를 실시하여 상기 비정질 실리콘층을 결정화함으로써 폴리실리콘층(206)을 형성한다.

다음, 도 4b와 도 5b에 도시한 바와 같이, 상기 폴리실리콘층(도 4a와 도 5a의 206) 위로 전면에 포토레지스트를 도포하여 포토레지스트층을 형성하고, 이를 노광, 현상하고 하부의 폴리실리콘층(도 4a와 도 5a의 206)의 식각을 포함하는 제 1 마스크 공정을 실시함으로써 상기 폴리실리콘층(도 4a와 도 5a의 206)을 패터닝하여 스위칭 영역(SA)과 N타입 영역(NA)과 P타입 영역(PA)에 각각 폴리실리콘 패턴(207, 208, 209)을 형성한다.

다음, 도 4c와 도 5c에 도시한 바와 같이, 상기 폴리실리콘 패턴(207, 208, 209) 위로 기판(201) 전면에 무기절연물질을 증착하여 게이트 절연막(210)을 형성하고, 상기 게이트 절연막(210) 위로 제 2 마스크 공정을 실시함으로써 상기 폴리실리콘 패턴(207, 208, 209) 영역의 중앙부분 즉 추후 공정에 의해 형성되는 게이트 전극(미도시)과 대응되는 영역의 게이트 절연막(210)을 노출시키는 포토레지스트 패턴(280)을 형성한다.

다음, 상기 포토레지스트 패턴(280)을 마스크로 하여 노출된 게이트 절연막(210) 영역 하부에 형성된 각 폴리실리콘 패턴(207a, 208a, 209a)에 저도즈량을 갖는 이온주입에 의한 n- 또는 p-도핑을 실시한다. 이렇게 채널을 형성하게 될 폴리실리콘 패턴에 저도즈량의 채널 도핑을 실시하는 이유는 제 1 실시예에서 설명한 바와 같이 V_{fb}(flat band voltage)를 조절하기 위함이다.

다음, 도 4d와 도 5d에 도시한 바와 같이, 채널 도핑을 실시한 후, 상기 채널 도핑 마크스로서의 역할을 하기위해 형성된 상기 포토레지스트 패턴(280) 및 채널 도핑된 각 폴리실리콘 패턴(207a, 208a, 209a)에 대응하여 상기 노출된 게이트 절연막(210) 위로 전면에 금속물질을 증착하여 금속층(213)을 형성한다.

다음, 도 4e와 도 5e에 도시한 바와 같이, 상기 금속층(도 4d와 도 5d의 213)이 형성된 기판(201)을 리프트 오프(lift off)법을 진행함으로써 상기 포토레지스트 패턴(도 4d와 도 5d의 280)과 그 상부의 금속층(도 4d와 도 5d의 213)을 제거함으로써 스위칭 영역(SA)과 N타입 및 P타입 영역(NA, PA)에 각각 게이트 전극(215, 217, 219)을 형성한다. 이때, 도면에 나타나지 않았지만 표시부(AA)에 있어서는 게이트 배선 또한 형성된다.

좀 더 구체적으로 리프트 오프(lift off)법에 대해 설명하면, 포토레지스트를 현상하기 위한 현상액에 상기 포토레지스트 패턴(도 4d와 도 5d의 280) 및 그 상부로 금속층(도 4d와 도 5d의 213)이 형성된 기판(201)을 디핑하거나 또는 상기 현상액을 상기 기판(201)위로 스프레이 하는 현상 공정을 진행하게 되는데, 이때, 상기 기판(201)상의 상기 포토레지스트 패턴(도 4d와 도 5d의 280)이 상기 현상액과 반응하여 상기 게이트 절연막(210)으로부터 떨어지게 되고, 이때, 상기 포토레지스트 패턴(도 4d와 도 5d의 280) 상부에 형성된 금속층(도 4d와 도 5d의 213)도 상기 포토레지스트 패턴(도 4d와 도 5d의 280)이 기판(201) 더욱 정확히는 게이트 절연막(210)으로부터 떨어져 나감에 따라 같이 떨어져 나가게 됨으로써 상기 게이트 절연막(210)과 직접 접촉하여 형성된 금속층만이 최종적으로 기판(201)상에 남아있게 되어 게이트 배선(미도시) 및 게이트 전극(215, 217, 219)을 형성하게 된다.

다음, 도 4f와 도 5f에 도시한 바와 같이, 리프트 오프(lift off)법에 의해 게이트 전극(215, 217, 219) 및 게이트 배선(미도시)이 형성된 기판(201)에 있어, 상기 게이트 전극(215, 217, 219) 및 게이트 배선(미도시)은 리프트 오프 공정에 의해 강제적으로 기판(201)으로부터 떨어져 나가며 형성된 것이므로 에지부가 매우 거칠게 형성되는 바, 이는 이후 그 상부로 증착 또는 도포되어 형성되는 물질층의 접착력 등에 좋지 않은 영향을 미칠 수 있기에, 이를 방지하고자, 메탈 애싱 공정을 실시하여 상기 게이트 전극 및 게이트 배선의 에지부를 매끄럽게 연마한다.

도 4g와 도 5g에 도시한 바와 같이, 상기 매끄럽게 메탈 애싱 처리된 게이트 전극(215, 217, 219) 위로 전면에 포토레지스트를 도포하고 제 3 마스크 공정을 실시하여 이를 패터닝함으로써 스위칭 영역(SA)과 N타입 영역(NA)에 있어서는 상기 게이트 전극(215, 217)의 폭보다 넓으며, 상기 폴리실리콘 패턴(207, 208) 전체의 폭보다는 좁은 제 1 포토레지스트 패턴(282)을 형성하고, P타입 영역(PA)에 있어서는, 상기 게이트 전극(219) 위로 하부의 폴리실리콘 패턴 전부를 덮도록 하는 형태의 제 2 포토레지스트 패턴(284)을 형성한다.

이후, 상기 제 1, 2 포토레지스트 패턴(282, 284)을 도핑 마스크로 하여 고도즈량을 갖는 n+ 도핑을 실시한다. 이때, 상기 n+ 도핑 진행시 스위칭 영역(SA) 및 N타입 영역(NA)에 있어서는, 상기 제 1 포토레지스트 패턴(282) 외부로 노출된 게이트 절연막(210) 하부의 폴리실리콘 패턴(207, 208)이 도핑됨으로써 n형 오믹콘택층(207b, 208b)을 형성하게 된다. 하지만, P타입 영역(PA)에 있어서는, 제 2 포토레지스트 패턴(284)에 의해 폴리실리콘 패턴(209) 전체가 블로킹되어 n+ 도핑이 이루어지지 않는다.

다음, 도 4h와 도 5h에 도시한 바와 같이, 상기 n+ 도핑이 이루어진 기판(201)상의 상기 제 1, 2 포토레지스트 패턴(도 4g와 도 5g의 282, 284)을 스트립(strip)하여 제거한 후, 기판(201) 전면에 저도즈량을 갖는 n- 도핑을 실시한다. 이때, 상기 저도즈량을 갖는 n-도핑은 채널 도핑의 도즈량보다는 크며, 고도즈량을 갖는 n+ 도핑보다는 작은 값을 갖는 것이 바람직하다. 전술한 n-도핑을 실시하게 되면, 각 영역(SA, NA, PA)에 있어 각 게이트 전극(215, 217, 219)이 블로킹 마스크로 작용하여 상기 게이트 전극(215, 217, 219) 외부로 노출된 게이트 절연막(210) 하부의 폴리실리콘 패턴 전체에 n- 도핑이 이루어지게 되며, 이때, 스위칭 영역(SA)과 N타입 영역(NA)에 있어서는 고도즈량의 n+ 도핑이 이루어진 n형 오믹콘택층(207b, 208b)은 상기 n-도핑에 의해 영향받지 않고 여전히 n형 오믹콘택층(207b, 208b)을 형성하며, 상기 오믹콘택층(207b, 208b)과 게이트 전극(215, 217) 하부의 채널 도핑된 액티브층(207a, 208a) 사이의 폴리실리콘 패턴(207c, 208c)만이 상기 n-도핑의 영향으로 LDD층(207c, 208c)을 형성하게 된다. 이때, P타입 영역(PA)에 있어서는 게이트 전극 하부의 액티브층(209a)을 제외한 폴리실리콘 패턴(209b)에 n-도핑이 이루어지게 되나 이는 추후에 더 큰 도즈량을 갖는 p+ 도핑이 실시되기에 n-도핑의 효과는 상쇄된다.

다음, 도 4i와 도 5i에 도시한 바와 같이, 스위칭 영역(SA) 및 N타입 영역(NA)에 있어 LDD층(207c, 208c)이 형성된 기판(201) 상에 포토레지스트를 도포하고 제 4 마스크 공정을 실시하여 상기 스위칭 영역(SA) 및 N타입 영역(NA)에 있어서는 n형 오믹콘택층(207b, 208b)과 LDD층(207c, 208c)과 액티브층(207a, 208a)으로 구성된 폴리실리콘 패턴(207, 208)을 전체적으로 덮는 구조의 제 3 포토레지스트 패턴(286)을 형성하고, P타입 영역(PA)에 있어서는 게이트 전극(219)으로 블로킹 마스크로 이용하게 됨으로 포토레지스트 패턴을 형성하지 않는다.

다음, 상기 제 3 포토레지스트 패턴(286) 및 게이트 전극(219)을 블로킹 마스크로 하여 고도즈량을 갖는 p+ 도핑을 실시함으로써 P타입 영역(PA)에 p형 오믹콘택층(209b)을 형성한다. 이때, 스위칭 영역(SA) 및 N타입 영역(NA)에는 제 3 포토레지스트 패턴(286)에 의해 p+ 도핑이 블로킹됨으로써 P타입 영역(PA)에만 상기 게이트 전극 외측의 폴리실리콘 패턴(209)에만 p+ 도핑이 이루어지게 된다. 따라서, P타입 영역(PA)에 있어서 게이트 전극(219) 하부에 채널 도핑된 액티브층(209a)과 상기 액티브층(209a)의 양측으로 p+ 도핑된 p형 오믹콘택층(209b)이 형성되게 된다.

다음, 도 4j와 도 5j에 도시한 바와 같이, p형 오믹콘택층(209b)이 형성된 기판(201)상에 남아있는 제 3 폴리실리콘 패턴(도 4i와 도 5i의 286)을 제거하고, 상기 각 영역(SA, NA, PA)의 각 게이트 전극(215, 217, 219) 및 상기 게이트 전극(215,

217, 219) 외부로 노출된 게이트 절연막(210) 위로 전면에 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)과 같은 무기절연물질을 증착하거나 또는 벤조사이클로부텐(BCB) 또는 포토 아크릴(photo acryl)과 같은 유기절연물질을 도포하여 층간절연막(225)을 형성하고, 제 5 마스크 공정을 실시하여 상기 층간절연막(225)과 그 하부의 게이트 절연막(210) 일부를 일괄 또는 연속 식각함으로써 상기 각 오믹콘택층(207b, 208b, 209b) 일부를 외부로 노출시키는 반도체층 콘택홀(227a, 227b, 229a, 229b, 231a, 231b)을 형성한다.

다음, 도 4k와 도 5k에 도시한 바와 같이, 상기 반도체층 콘택홀(227a, 227b, 229a, 229b, 231a, 231b)을 갖는 층간절연막(225)이 형성된 기판(201) 상에 금속물질을 증착하고 제 6 마스크 공정을 진행하여 상기 각 반도체층 콘택홀(227a, 227b, 229a, 229b, 231a, 231b)을 통해 각 오믹콘택층(207b, 208b, 209b)과 각각 접촉하는 소스 및 드레인 전극((235a, 237a, 239a), (235b, 237b, 239b))을 형성한다. 이때, 기판(201)상의 표시부(AA)에는 도면에 나타나지 않았지만 하부의 게이트 배선과 교차하는 데이터 배선이 상기 소스 및 드레인 전극((235a, 237a, 239a), (235b, 237b, 239b))과 동시에 형성된다.

다음, 도 4l과 도 5l에 도시한 바와 같이, 상기 소스 및 드레인 전극(((235a, 237a, 239a), (235b, 237b, 239b)))이 형성된 기판(201) 상에, 무기절연물질인 질화실리콘(SiNx) 또는 산화실리콘(SiO₂)을 전면 증착하거나, 또는 유기절연물질인 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포하여 보호층(245)을 형성하고, 제 7 마스크 공정을 진행하여 스위칭 영역(SA)에 있어 상기 보호층(245) 하부의 드레인 전극(235b) 일부를 노출시키는 드레인 콘택홀(247)을 형성한다.

다음, 도 4m과 도 5m에 도시한 바와 같이, 상기 드레인 콘택홀(247)을 갖는 보호층(245)이 형성된 기판(201) 상에 인듐-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO) 등의 투명 도전성 물질을 전면 증착하고, 제 8 마스크 공정을 진행함으로써 스위칭 영역(SA) 더욱 정확히는 표시부(AA)의 각 화소영역(P)에 상기 드레인 콘택홀(247)을 통해 상기 드레인 전극(235b)과 접촉하는 화소전극(260)을 형성함으로써 폴리실리콘을 이용한 CMOS타입의 구동회로를 구비한 액정표시장치용 어레이 기판을 완성한다.

전술한 제 2 실시예에서 화소부에 있어서 박막트랜지스터는 n+ 도핑된 오믹콘택층을 갖는 N타입의 박막트랜지스터로 형성됨을 보이고 있으나, p+ 도핑된 p형 오믹콘택층을 구비한 P타입 박막트랜지스터로 구성될 수도 있다.

발명의 효과

이와 같이, 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 제조 방법은 총 6회(PMOS 타입의 구동회로를 구비할 경우) 또는 총 7회(LDD층을 형성하지 않을 경우), 8회(CMOS타입의 구동회로를 구비할 경우)의 마스크 공정에 의해 폴리실리콘을 이용한 액정표시장치용 어레이 기판을 제작함으로써 마스크 공정수를 줄여 제조 시간 및 제조 비용을 감소시키는 효과가 있다.

(57) 청구의 범위

청구항 1.

기판 상에 제 1 내지 제 3 영역을 갖는 폴리실리콘 패턴을 형성하는 단계와;

상기 폴리실리콘 패턴 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 폴리실리콘 패턴 중앙의 상기 제 1 영역을 제외한 상기 제 2, 3 영역에 대응하여 포토레지스트 패턴을 형성하는 단계와;

상기 포토레지스트 패턴을 도핑 마스크로 하여 상기 제 1 영역에 채널 도핑을 실시하는 단계와;

상기 포토레지스트 패턴 위로 전면 금속층을 형성하는 단계와;

리프트 오프(lift off) 공정을 진행하여 상기 포토레지스트 패턴 및 그 상부의 금속층을 제거함으로써 상기 제 1 영역에 대응하여 게이트 전극을 형성하는 단계와;

상기 게이트 전극을 도핑 마스크로 하여 p+ 도핑을 실시하여 상기 제 2, 3 영역에 p형 오믹콘택층을 형성하는 단계와;

상기 폴리실리콘 패턴 위로 상기 p형 오믹콘택층을 노출시키는 반도체층 콘택홀을 갖는 층간절연막을 형성하는 단계와;

상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 상기 p형 오믹콘택층과 각각 접촉하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 보호층 위로 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 2.

화상의 표시부와 상기 표시부 외측으로 구동회로부가 정의되며, 상기 표시부에는 스위칭 소자인 박막 트랜지스터가 구비되는 스위칭 영역이 정의되고, 상기 구동회로부에는 N형 박막트랜지스터가 형성되는 N타입 영역과 P형 박막트랜지스터가 형성되는 P타입 영역이 정의된 기판 상의 각 영역에 제 1 내지 제 3 영역을 갖는 제 1 내지 제 3 폴리실리콘 패턴을 형성하는 단계와;

상기 제 1 내지 제 3 폴리실리콘 패턴 위로 기판 전면에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 제 1 내지 제 3 폴리실리콘 패턴 각각의 중앙 제 1 영역을 제외한 제 2, 3 영역에 대응하여 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 내지 제 3 폴리실리콘 패턴 각각의 제 1 영역에 상기 포토레지스트 패턴을 도핑 마스크로 하여 채널 도핑을 실시하는 단계와;

상기 포토레지스트 패턴 위로 전면에 금속층을 형성하는 단계와;

리프트 오프 공정을 진행하여 상기 포토레지스트 패턴 및 그 상부의 금속층을 제거함으로써 상기 제 1 내지 제 3 포토레지스트 패턴 각각의 제 1 영역에 대응하여 제 1 내지 제 3 게이트 전극을 형성하는 단계와;

상기 제 1 내지 제 3 게이트 전극이 형성된 기판에 n+ 도핑을 실시하여 스위칭 영역과 N타입 영역에 n형 오믹콘택층을 형성하는 단계와;

p+ 도핑을 실시하여 P타입 영역에 p형 오믹콘택층을 형성하는 단계와;

상기 n형 및 p형 오믹콘택층을 포함하는 제 1 내지 제 3 폴리실리콘 패턴 위로 상기 각 오믹콘택층을 노출시키는 반도체층 콘택홀을 갖는 층간절연막을 형성하는 단계와;

상기 층간절연막 위로 상기 반도체층 콘택홀을 통해 상기 오믹콘택층과 각각 접촉하는 소스 및 드레인 전극을 형성하는 단계와;

상기 소스 및 드레인 전극 위로 상기 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 형성하는 단계와;

상기 보호층 위로 상기 드레인 콘택홀을 통해 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

상기 리프트 오프 공정에 의해 게이트 전극을 형성하는 단계는

상기 포토레지스트 패턴 및 그 상부로 금속층이 형성된 기판을 현상액에 디핑하거나 또는 상기 현상액을 기판위로 스프레이 하는 단계와;

상기 포토레지스트 패턴이 상기 현상액과 반응하여 상기 기판상의 상기 게이트 절연막으로부터 상기 포토레지스트 패턴 및 그 상부의 금속층을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 4.

제 1 항 또는 제 2 항에 있어서,

상기 리프트 오프 공정에 의한 게이트 전극 형성 후에는 메탈 애싱(metal ashing)을 진행하여 상기 게이트 전극의 에지부를 매끄럽게 하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 5.

제 1 항에 있어서,

상기 폴리실리콘 패턴을 형성하는 단계 이전에 기판 상에 버퍼층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 6.

제 1 항에 있어서,

상기 폴리실리콘 패턴을 형성하는 단계는

기판상에 비정질 실리콘층을 형성하는 단계와;

상기 비정질 실리콘층을 결정화하여 폴리실리콘층을 형성하는 단계와;

상기 폴리실리콘층을 패터닝하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 7.

제 2 항에 있어서,

상기 스위칭 영역과 N타입 영역에 n형 오믹콘택층을 형성하는 단계는

상기 제 1 내지 제 3 게이트 전극이 형성된 기판 상에 포토레지스트를 도포하여 포토레지스트층을 형성하는 단계와;

상기 포토레지스트층을 패터닝하여 상기 스위칭 영역과 N타입 영역에는 상기 제 1 및 제 2 게이트 전극의 폭보다 더 넓은 너비를 갖는 제 2, 3 포토레지스트 패턴을 상기 제 1, 2 게이트 전극을 덮으며 형성하고, 동시에 상기 P타입 영역에는 상기 제 3 폴리실리콘 패턴 전체를 덮도록 제 4 포토레지스트 패턴을 형성하는 단계와;

상기 제 2 내지 4 포토레지스트 패턴을 도핑 마스크로 하여 기판 전면에서 n^+ 도핑을 실시하는 단계와;

상기 제 2 내지 4 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 8.

제 2 항에 있어서,

상기 n 형 오믹콘택층과 채널 도핑된 제 1 영역 사이의 제 4, 5 영역에서 n -도핑을 실시하여 LDD층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 9.

제 2 항에 있어서,

상기 p^+ 도핑을 실시하여 P타입 영역에서 p 형 오믹콘택층을 형성하는 단계는

상기 제 1 내지 제 3 게이트 전극 위로 전면에서 포토레지스트층을 형성하는 단계와;

상기 포토레지스트층을 패터닝하여 상기 스위칭 영역과 N타입 영역의 제 1 및 제 2 폴리실리콘 패턴을 완전히 가리는 제 5, 6 포토레지스트 패턴을 형성하는 단계와;

상기 제 5, 6 포토레지스트 패턴을 도핑 마스크로 하여 p^+ 도핑을 실시하는 단계와;

상기 제 5, 6 포토레지스트 패턴을 제거하는 단계

를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 10.

제 2 항에 있어서,

상기 제 1 내지 제 3 폴리실리콘 패턴을 형성하는 단계 이전에 기판 상에 버퍼층을 형성하는 단계를 더욱 포함하는 액정표시장치용 어레이 기판의 제조 방법.

청구항 11.

제 2 항에 있어서,

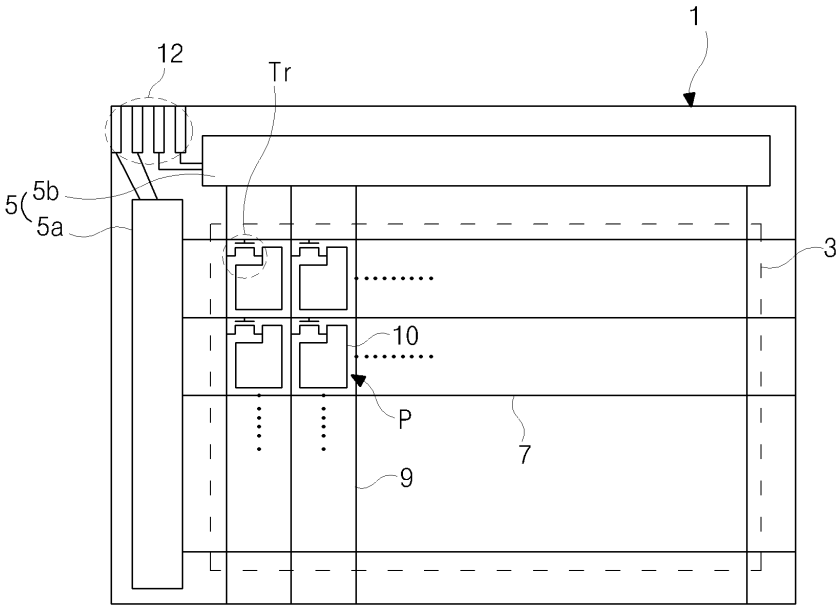
상기 제 1 내지 제 3 폴리실리콘 패턴을 형성하는 단계는

기판 상에 비정질 실리콘층을 형성하는 단계와;

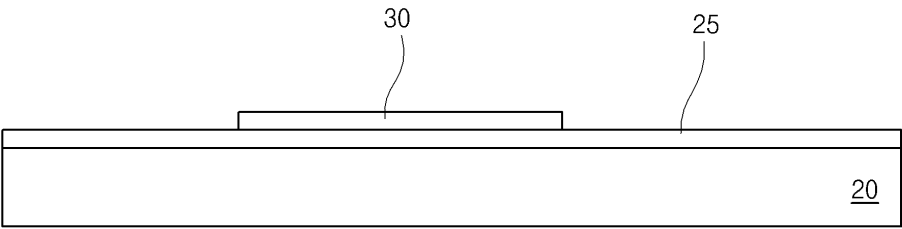
상기 비정질 실리콘층을 결정화하여 폴리실리콘층을 형성하는 단계와;
상기 폴리실리콘층을 패터닝하는 단계
를 포함하는 액정표시장치용 어레이 기판의 제조 방법.

도면

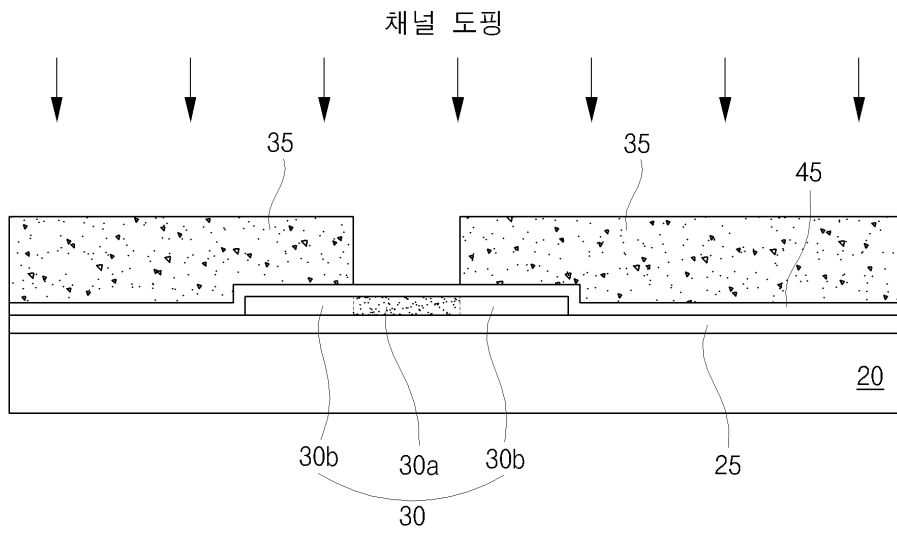
도면1



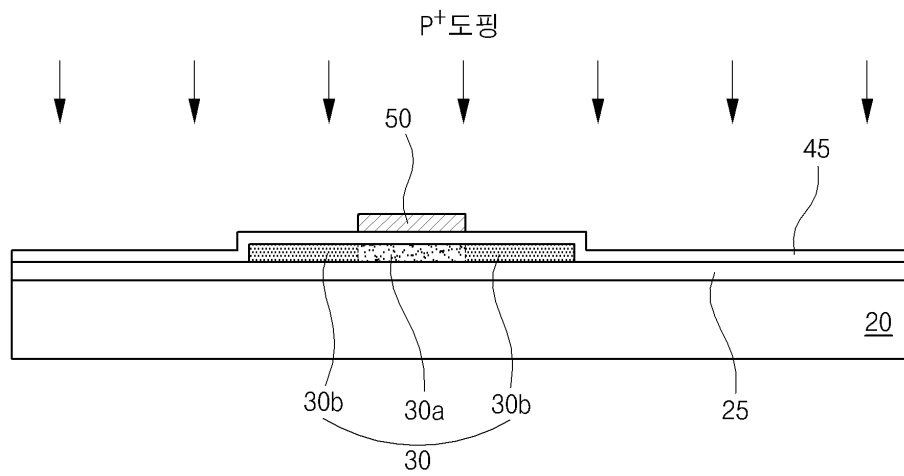
도면2a



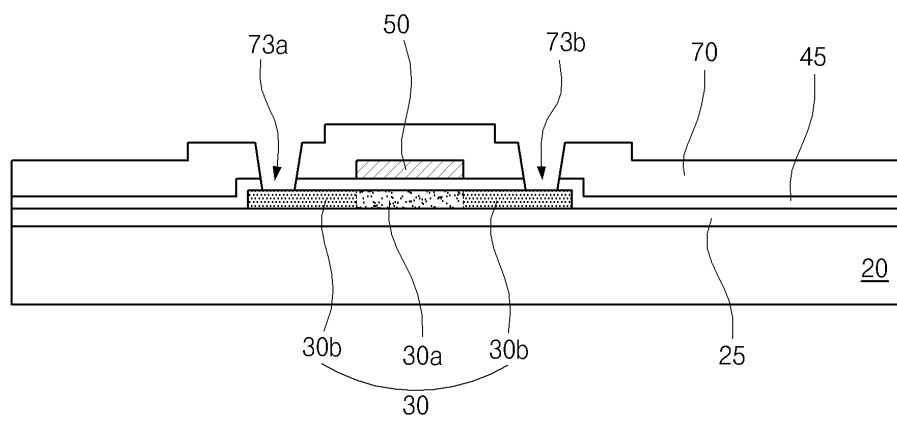
도면2b



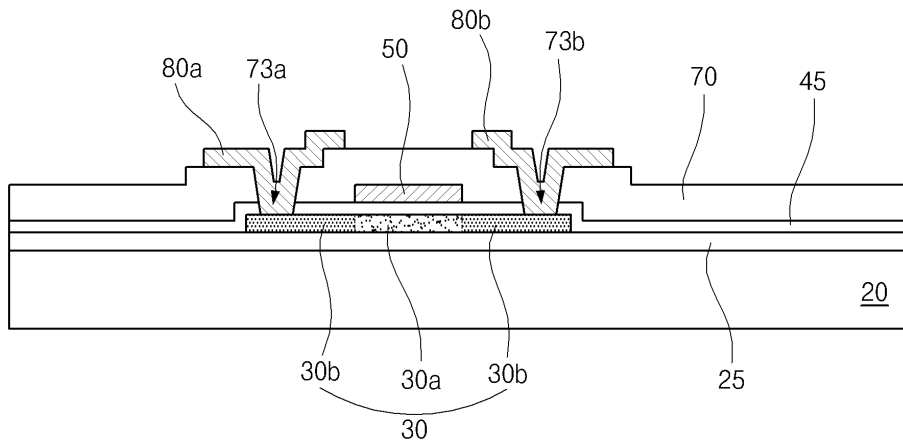
도면2c



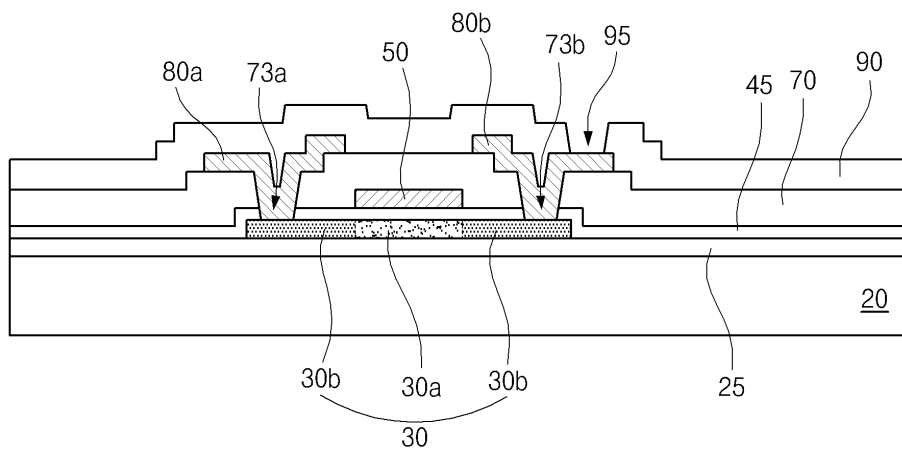
도면2d



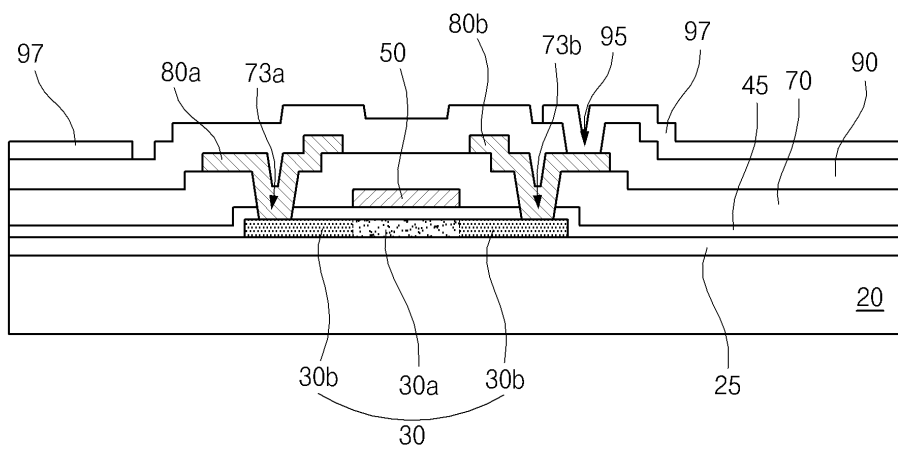
도면2e



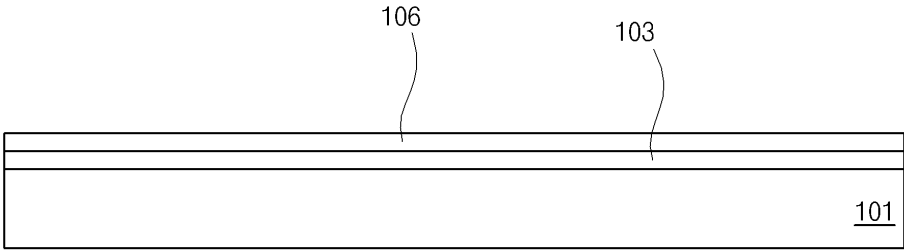
도면2f



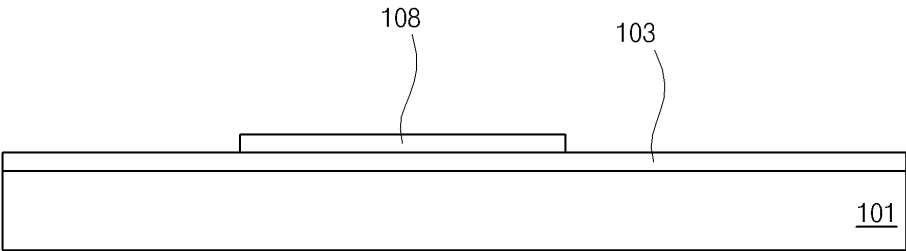
도면2g



도면3a

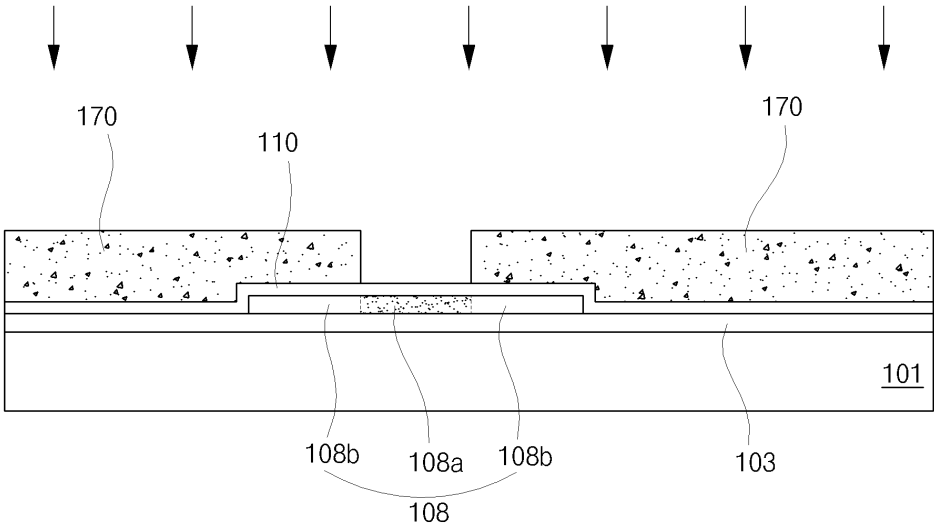


도면3b

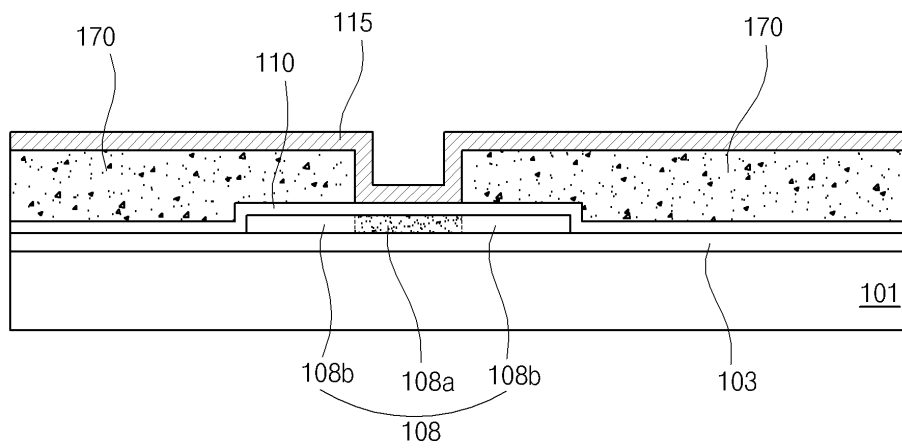


도면3c

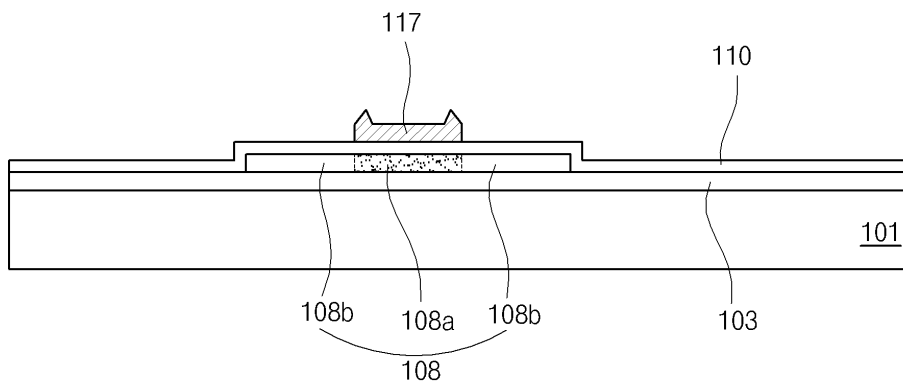
채널 도핑



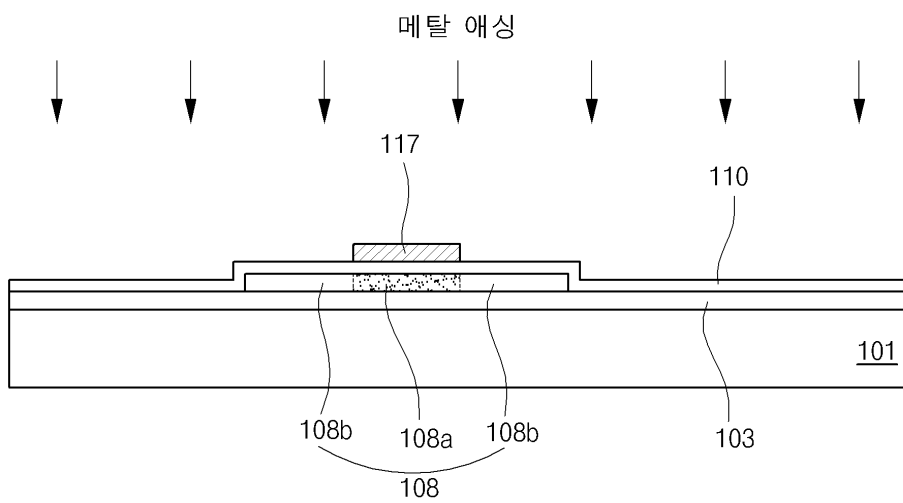
도면3d



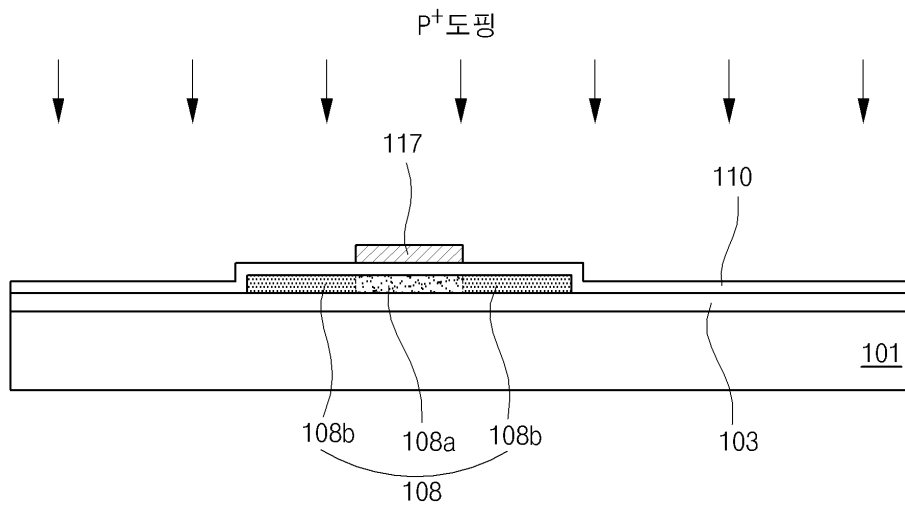
도면3e



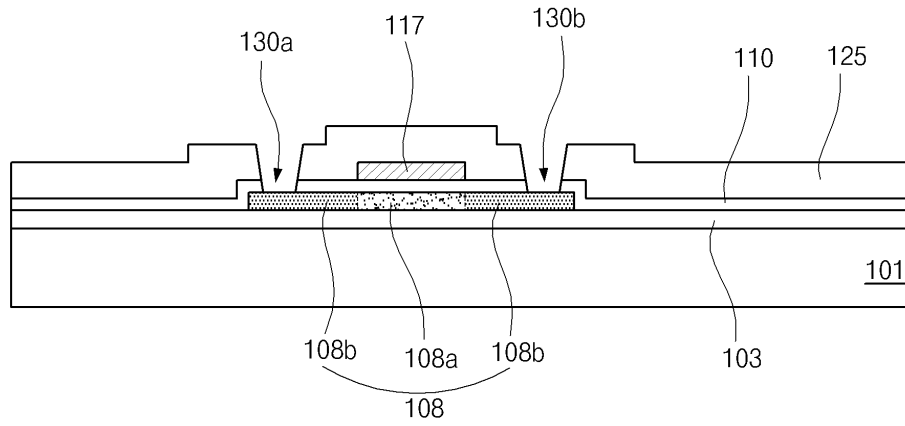
도면3f



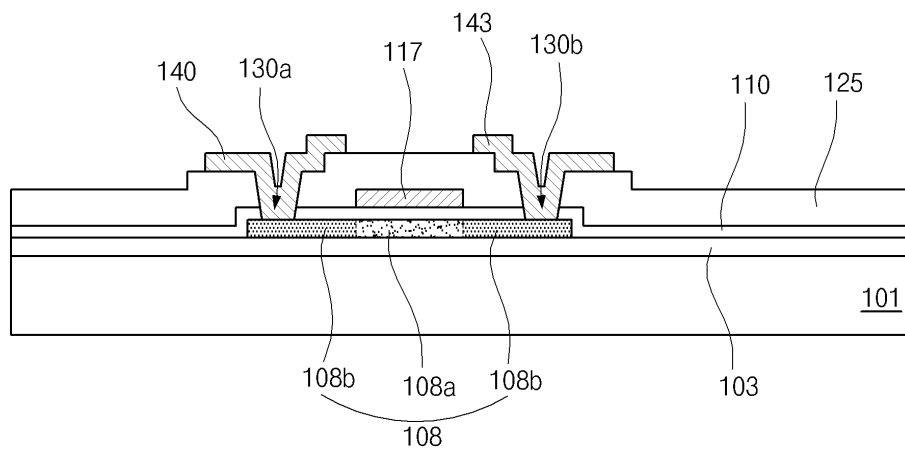
도면3g



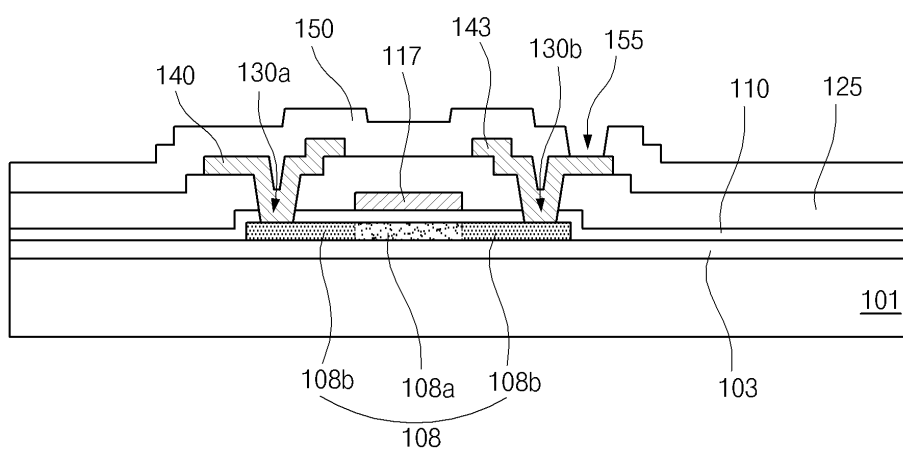
도면3h



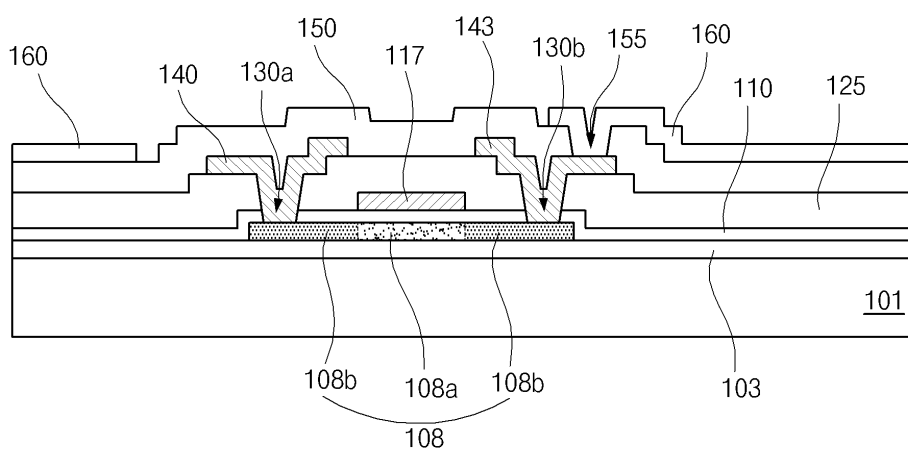
도면3i



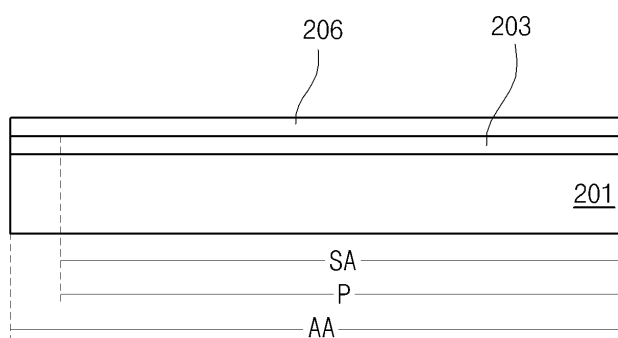
도면3j



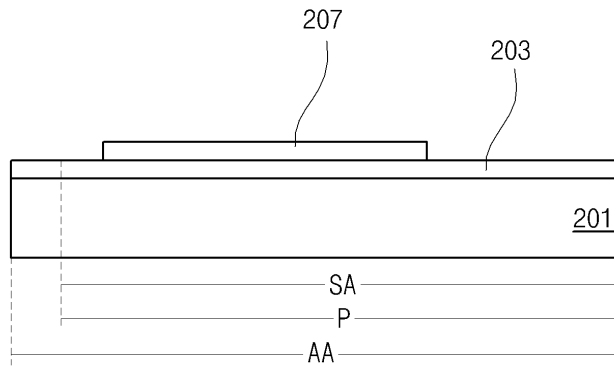
도면3k



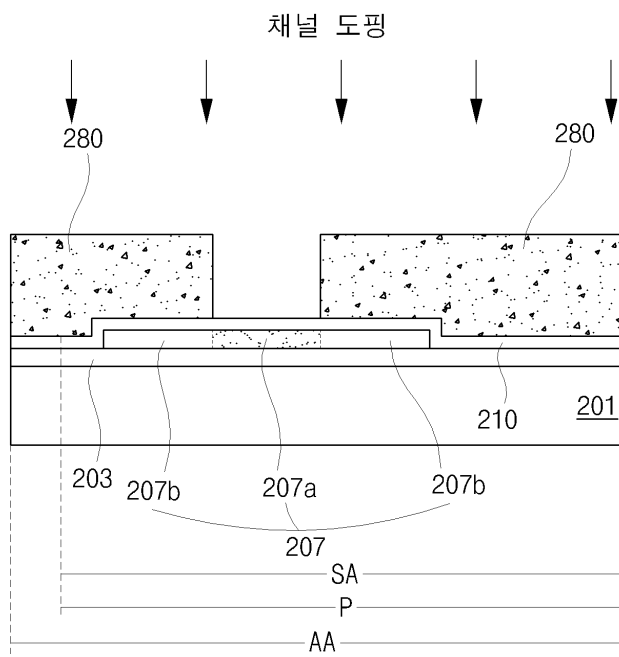
도면4a



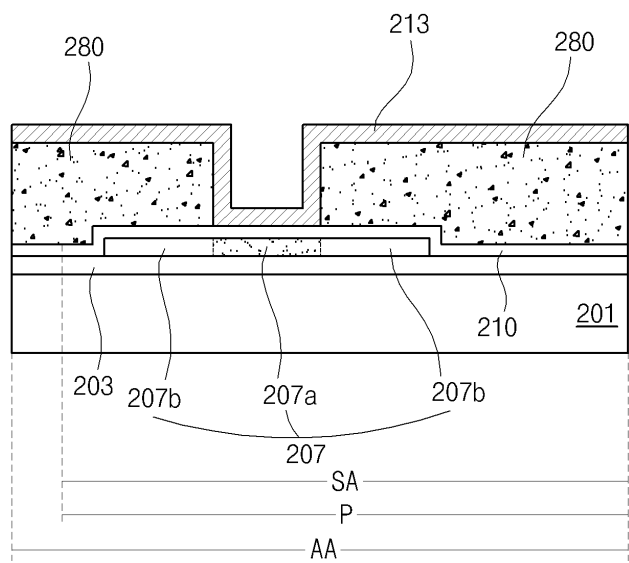
도면4b



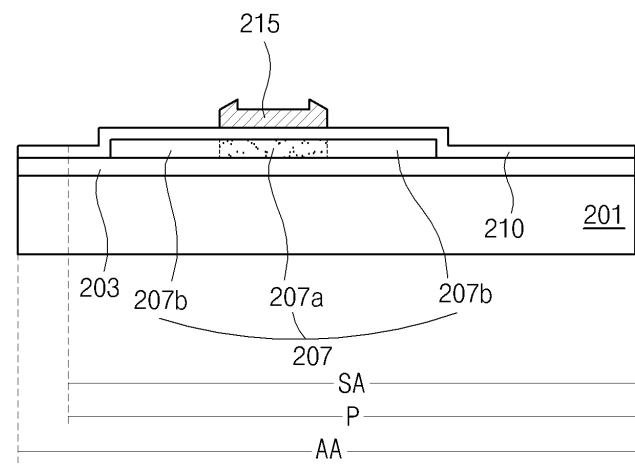
도면4c



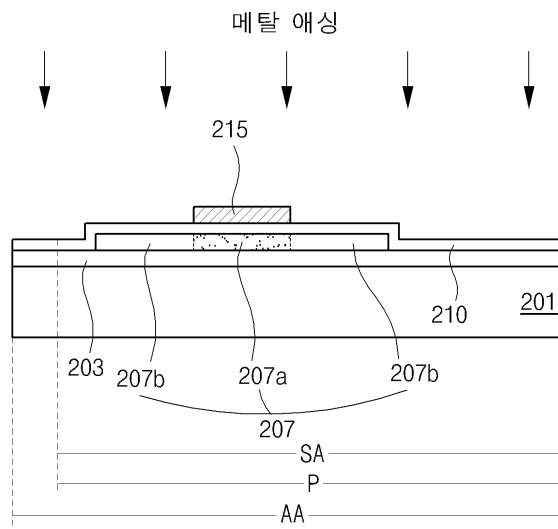
도면4d



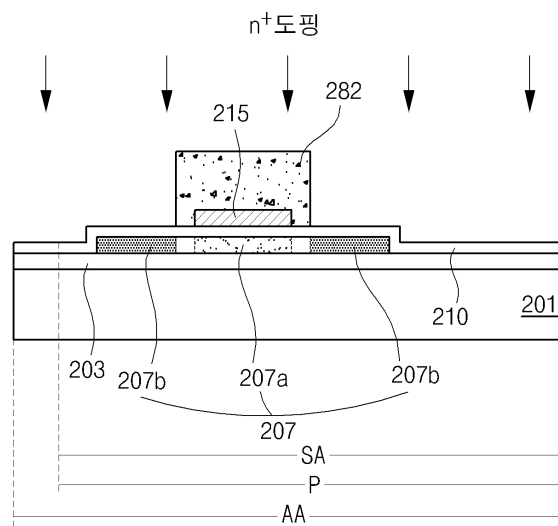
도면4e



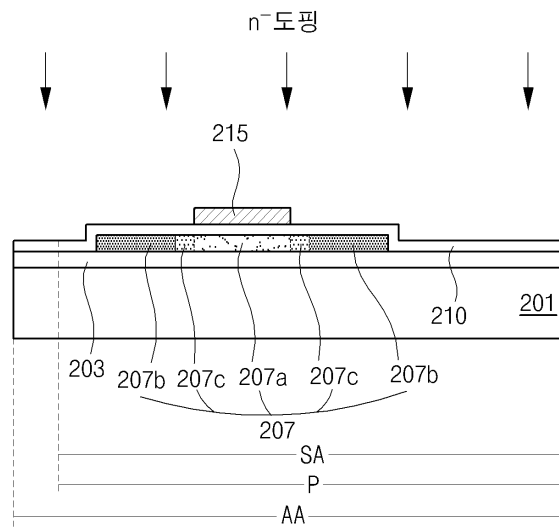
도면4f



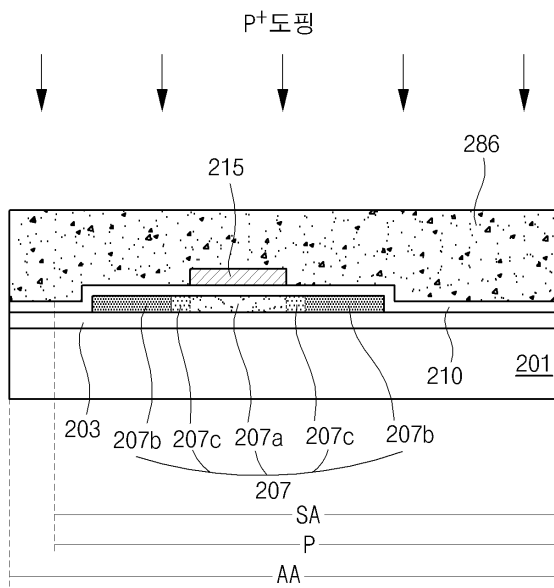
도면4g



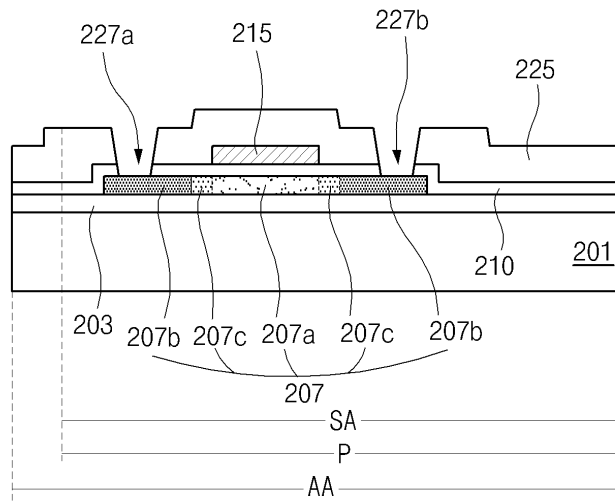
도면4h



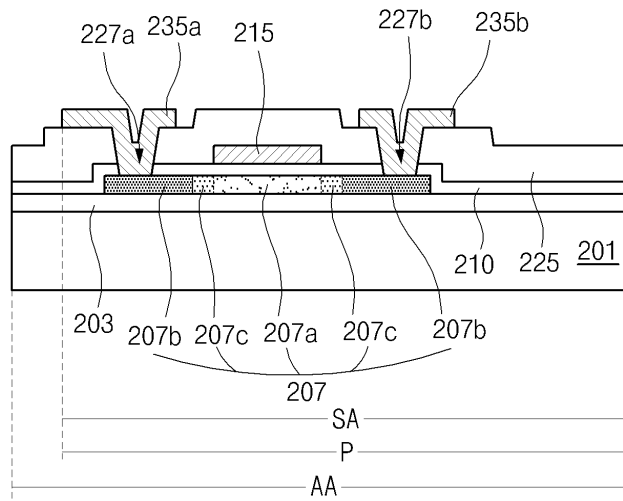
도면4i



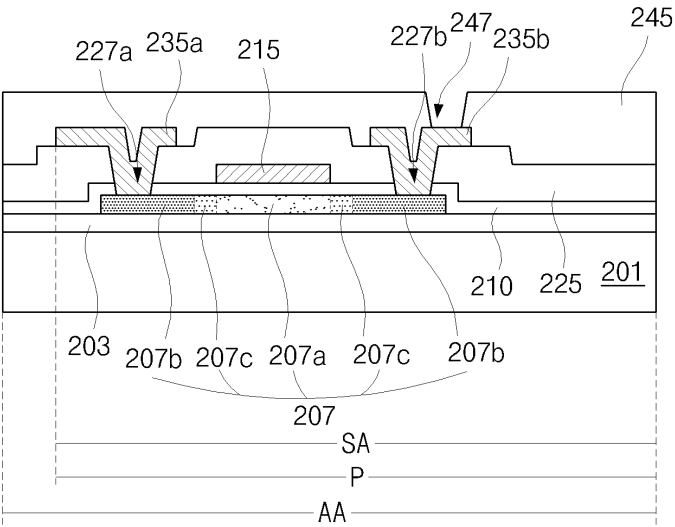
도면4j



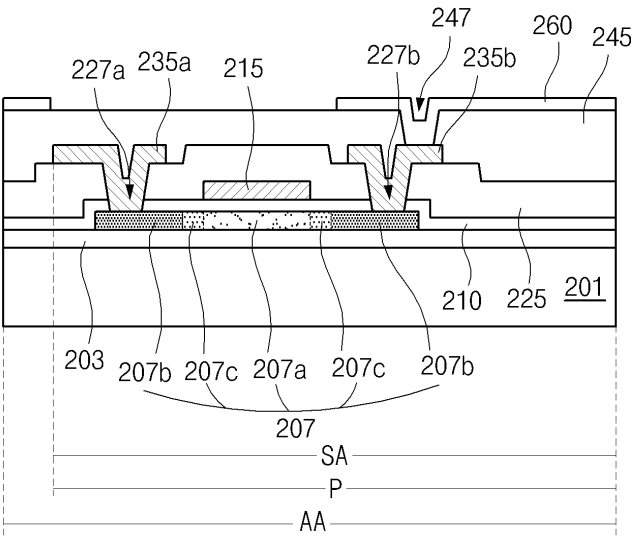
도면4k



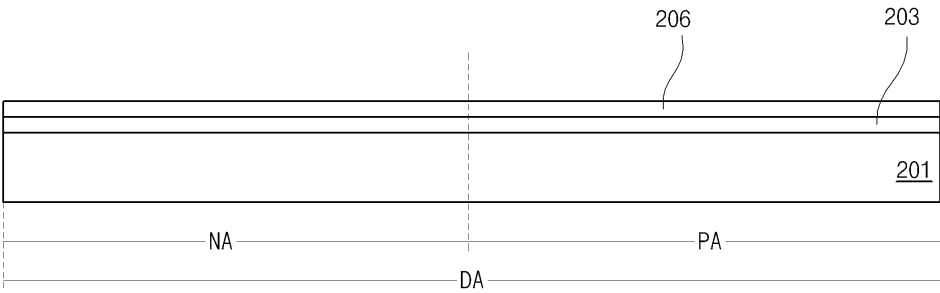
도면4l



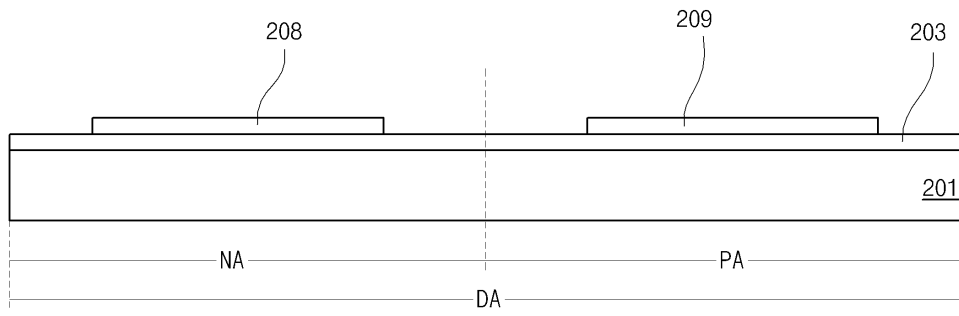
도면4m



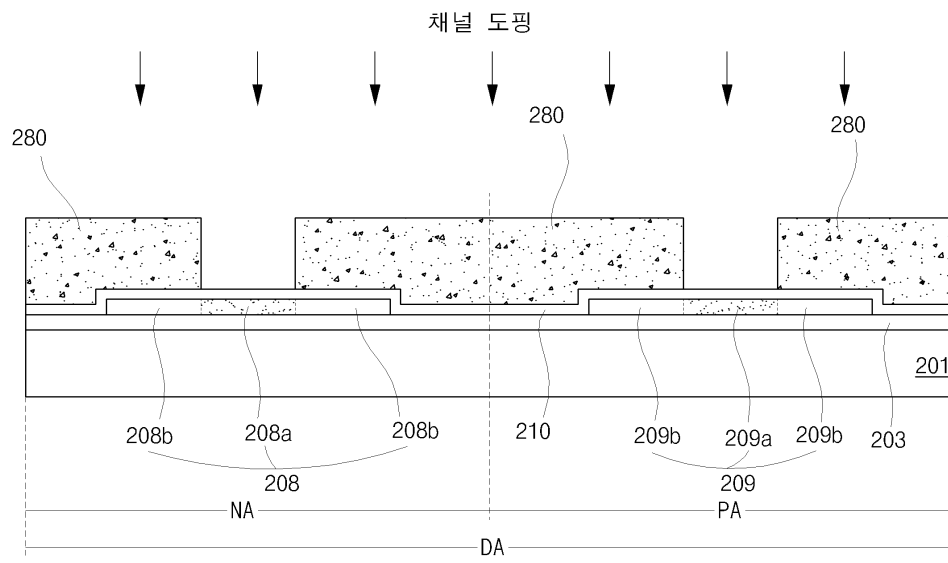
도면5a



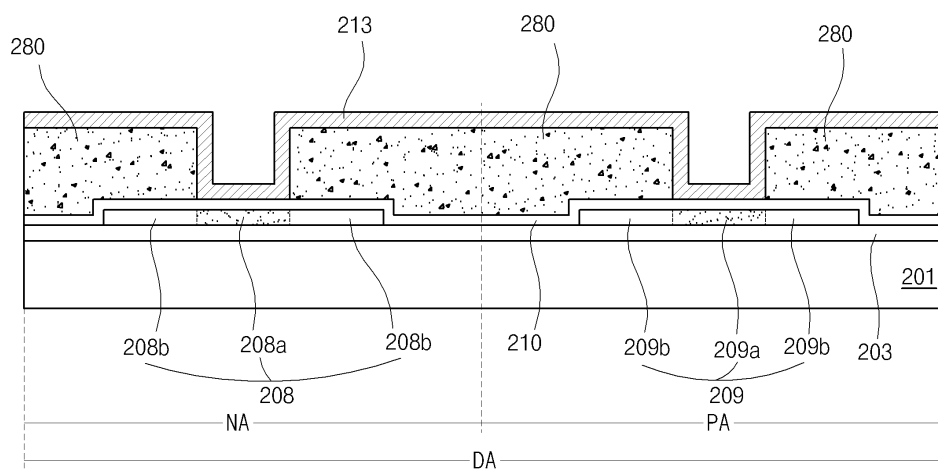
도면5b



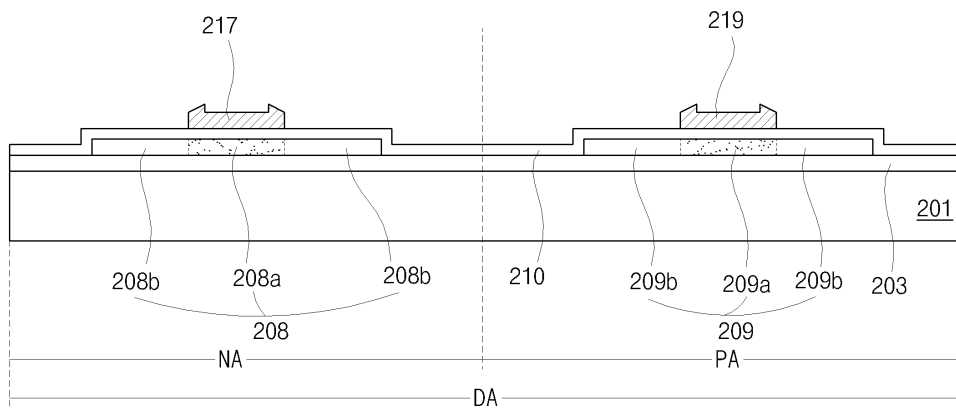
도면5c



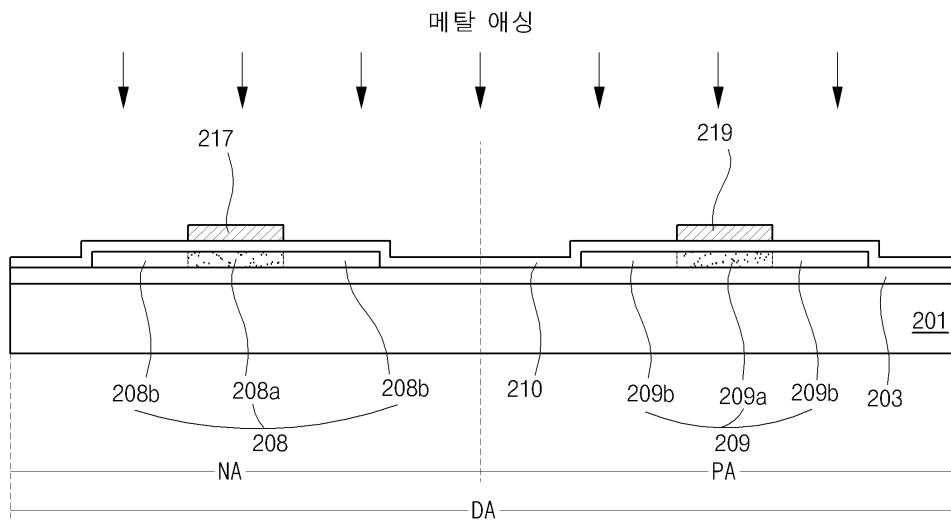
도면5d



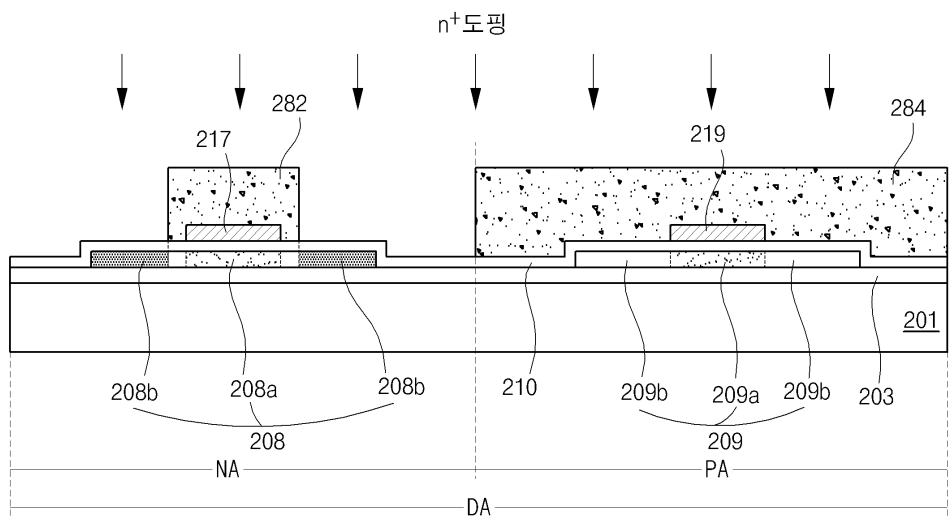
도면5e



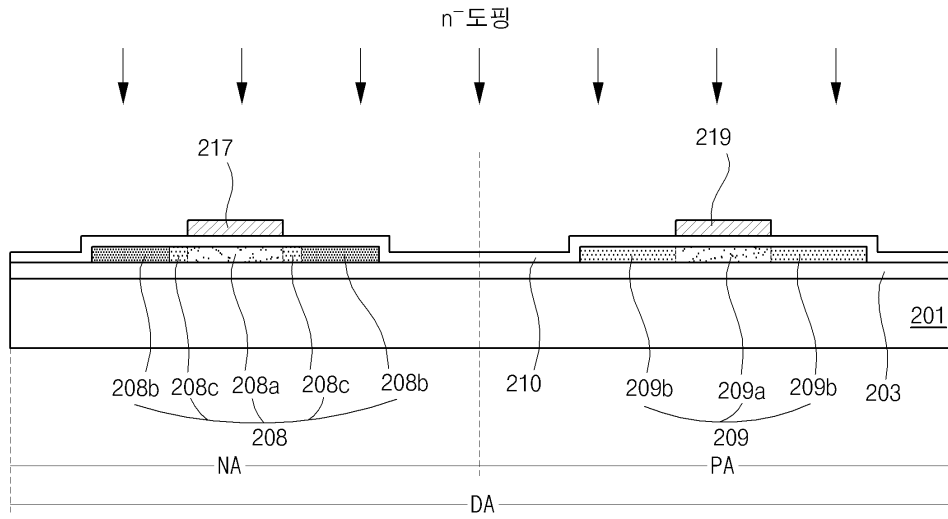
도면5f



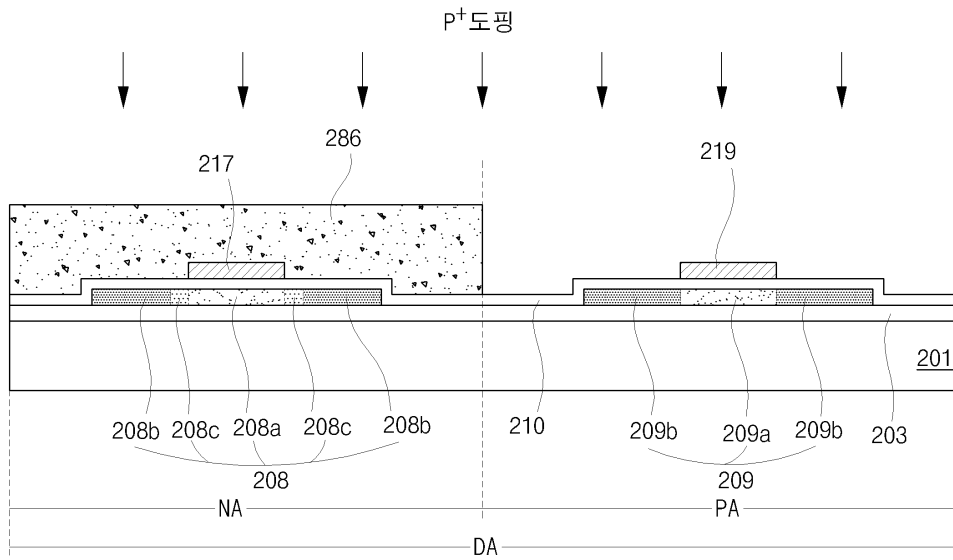
도면5g



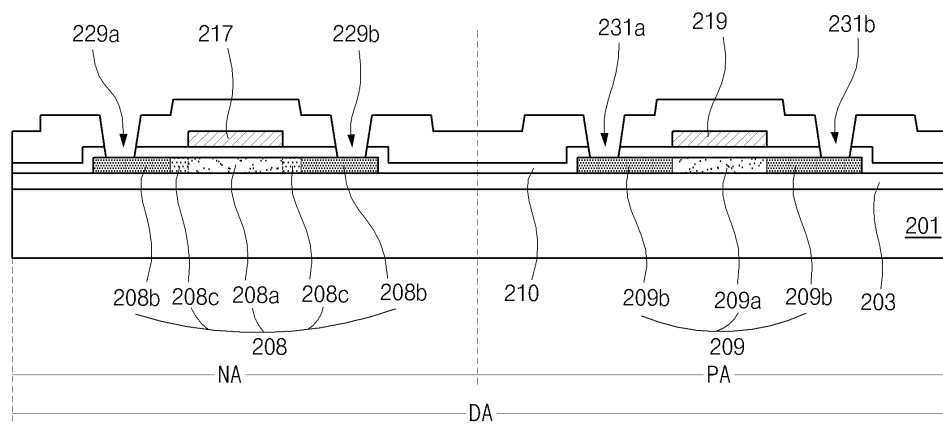
도면5h



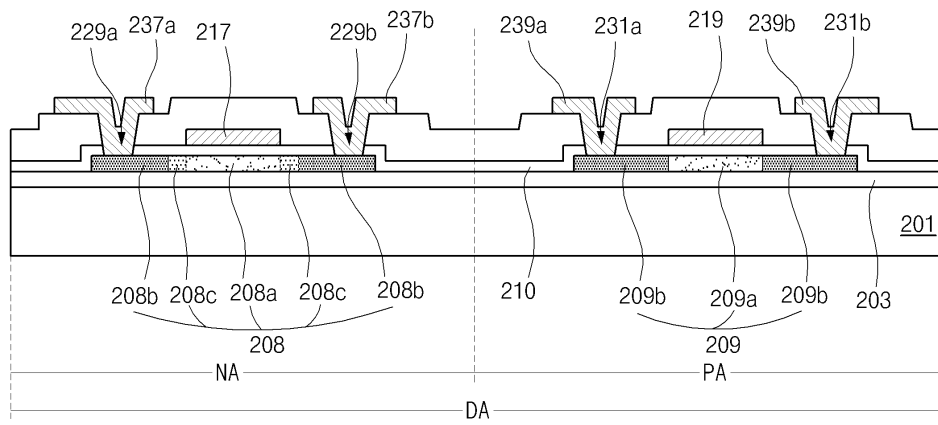
도면5i



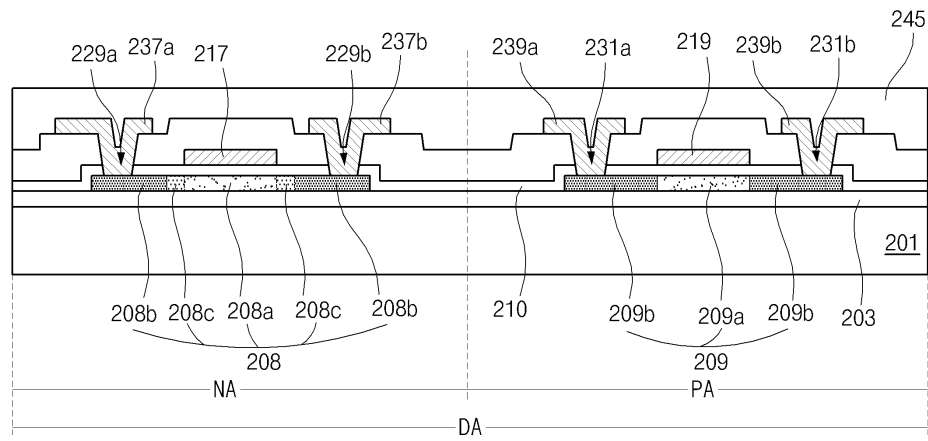
도면5j



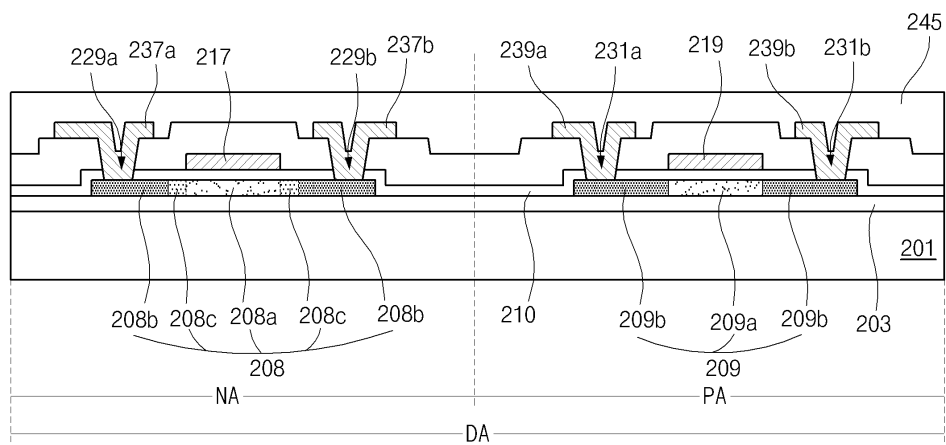
도면5k



도면5l



도면5m



专利名称(译)	制造用于液晶显示器的阵列基板的方法		
公开(公告)号	KR1020060099586A	公开(公告)日	2006-09-20
申请号	KR1020050020880	申请日	2005-03-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HWANG YONG HAN		
发明人	HWANG,YONG HAN		
IPC分类号	G02F1/136		
CPC分类号	E02D3/11 E02D2200/17		
其他公开文献	KR101106559B1		
外部链接	Espacenet		

摘要(译)

本发明的目的在于提供一种液晶显示装置用阵列基板的制造方法，该液晶显示装置用于液晶显示器用阵列基板的制造减少处理掩模数，该液晶显示器包括PMOS型或CMOS型的驱动器部件。通过使用一次掩模工艺的剥离方法实现栅电极的形成和沟道掺杂，并因此节省了制造工艺的简化和制造成本。多晶硅，加工简化，掩膜缩减，剥离，通道掺杂。

