

(19)대한민국특허청(KR)

(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/136

(11) 공개번호 10-2005-0079814
(43) 공개일자 2005년08월11일

(21) 출원번호 10-2004-0007932
(22) 출원일자 2004년02월06일

(71) 출원인 비오이 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 오의석
경기도이천시증포동190-2호선경아파트204동102호
이대규
인천광역시남동구간석4동387호신한국아파트202호

(74) 대리인 강성배

심사청구 : 있음

(54) 액정 표시 장치용 어레이 기판 및 그의 제조 방법

요약

본 발명은 액정 표시 장치용 어레이 기판 및 그의 제조 방법에 관한 것으로, 기판; 상기 기판 위에 형성된 게이트 전극; 상기 게이트 전극을 덮는 기판 전면에 순차적으로 형성된 적어도 하나의 게이트 절연막; 상기 적어도 하나의 게이트 절연막 상부에 위치하며, 상기 게이트 전극과 대응되는 위치에 형성된 반도체 층; 상기 게이트 전극에 대응되는 부분에서 상기 반도체층을 덮도록 형성된 적어도 하나의 오믹 접촉층; 상기 적어도 하나의 게이트 절연막, 반도체층, 및 적어도 하나의 접촉층에 대하여 개구부와 게이트 버스 라인 측에는 벗겨내고, 게이트 버스와 데이터 버스의 겹침부나 박막 트랜지스터부는 그대로 남기어 게이트 버스 라인을 노출시킴으로써 적어도 하나의 오믹 접촉층과 대응되는 위치에 형성되며, 서로 일정 간격 이격되게 형성된 소오스 및 드레인 전극; 상기 소오스 전극과 상기 드레인 전극을 마스크로 하여 형성된 보호막; 및 상기 보호막의 전면에 상기 드레인 전극과 전기적으로 접속하도록 형성된 화소 전극을 포함하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판을 제공한다.

대표도

도 3

색인어

어레이 기판, 액정 표시

명세서

도면의 간단한 설명

도 1은 종래의 액정 표시 장치용 어레이 기판을 나타낸 단면도.

도 2는 본 발명의 실시예에 따른 동일 저항을 갖는 버스 라인의 형성 방법을 설명하는 도면.

도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 어레이 기판을 나타낸 단면도.

도 4는 도 3에 도시된 액정 표시 장치용 어레이 기판의 평면도.

도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치용 어레이 기판을 나타낸 단면도.

도면의 주요 부분에 대한 부호 설명

202 : 기판 203 : 게이트 버스 라인

204 : 게이트 전극 206 : 제1 게이트 절연막

208 : 제2 게이트 절연막 210 : 반도체층

212 : 제1 오믹 접촉층 214 : 제2 오믹 접촉층

216 : 데이터 버스 라인 218 : 소오스 전극

220 : 드레인 전극 224 : 보호막

230 : 화소 전극 502 : 기판

503 : 게이트 버스 라인 504 : 게이트 전극

506 : 제1 게이트 절연막 508 : 제2 게이트 절연막

510 : 반도체층 512 : 오믹 접촉층

518 : 소오스 전극 520 : 드레인 전극

524 : 보호막 530 : 화소 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 어레이 기판에 관한 것으로, 보다 상세하게는, 게이트 버스 라인의 폭을 줄여 화소의 개구 면적을 넓힐 수 있고 이것을 통해 고개구율, 고휘도의 액정 표시 장치를 제작 가능하게 하는 어레이 기판 및 그의 제조 방법에 관한 것이다.

도 1은 종래의 어레이 기판을 나타낸 단면도이다.

종래의 어레이 기판은 기판(102)을 포함한다. 상기 기판(102) 위에 게이트 전극(104)이 형성된다. 상기 게이트 전극(104)을 덮는 기판 전면의 게이트 절연막들(106 및 108)이 순차적으로 형성된다. 반도체 층(110)은 상기 게이트 절연막(108) 상부에 위치하며, 상기 게이트 전극(104)과 대응되는 위치에 형성된다. 오믹 접촉층(112)이 상기 게이트 전극(104)에 대응되는 부분에서 상기 반도체 층(110)을 덮도록 형성된다.

소오스 전극(114) 및 드레인 전극(116)은 상기 오믹 접촉층(112)과 대응되는 위치에 형성되며, 서로 일정 간격 이격되게 형성된다. 보호막(118)은 상기 소오스 전극(114)과 상기 드레인 전극(116) 위에 전면 도포하여 형성된다. 화소 전극(120)은 상기 보호막(118)에 콘택홀을 만들어 상기 드레인 전극(116)과 전기적으로 접속하도록 형성된다. 도면부호 103은 게이트 버스 라인, 117은 데이터 버스 라인이다.

종래의 어레이 설계는 단일 두께에 따라 버스 라인들의 감소를 통한 고 개구율에 한계를 가지고 있다. 왜냐 하면, 버스 라인의 폭이 줄면 저항이 증가하기 때문에, 신호 전송에 있어 큰 지연 현상이 발생하기 때문이다. 버스 라인의 폭을 줄 일 경우 그 만큼 화소 설계 상 버스의 정전 용량이 주어 주어야 한다. 그러나, 정전 용량을 줄이게 되면, 피드-쓰루 전압이 증가됨으로써 잔상이나 플리커 발생에 주요 원인이 된다. 따라서 정전 용량의 변화를 통해 고 개구율을 달성하는데는 어려움이 크다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 종래 기술의 제반 문제점을 해결하기 위하여 안출된 것으로서, 버스 라인의 폭을 줄여도 저항을 유지할 수 있는 인자 중 버스의 높이를 증가시켜 신호 지연이 없는 고 개구율을 갖는 액정 표시 장치용 어레이 기판 및 그의 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 기판; 상기 기판 위에 형성된 게이트 전극; 상기 게이트 전극을 덮는 기판 전면에서 순차적으로 형성된 적어도 하나의 게이트 절연막; 상기 적어도 하나의 게이트 절연막 상부에 위치하며, 상기 게이트 전극과 대응되는 위치에 형성된 반도체 층; 상기 게이트 전극에 대응되는 부분에서 상기 반도체층을 덮도록 형성된 적어도 하나의 오믹 접촉층; 상기 적어도 하나의 게이트 절연막, 반도체층, 및 적어도 하나의 접촉층에 대하여 개구부와 게이트 버스 라인 측에는 벗겨내고, 게이트 버스와 데이터 버스의 겹침부나 박막 트랜지스터부는 그대로 남기어 게이트 버스 라인을 노출시킴으로써 적어도 하나의 오믹 접촉층과 대응되는 위치에 형성되며, 서로 일정 간격 이격되게 형성된 소오스 및 드레인 전극; 상기 소오스 전극과 상기 드레인 전극을 마스크로 하여 형성된 보호막; 상기 보호막의 전면에서 상기 드레인 전극과 전기적으로 접속하도록 형성된 화소 전극을 포함하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판을 제공한다.

또한, 본 발명은 기판을 준비하는 단계; 상기 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 덮는 기판 전면에서 적어도 하나의 게이트 절연막을 형성하는 단계; 상기 적어도 하나의 절연막 상부에 위치하며, 상기 게이트 전극과 대응되는 위치에 반도체 층을 형성하는 단계; 상기 게이트 전극에 대응되는 부분에서 상기 반도체층을 덮는 적어도 하나의 오믹 접촉층을 형성하는 단계; 상기 적어도 하나의 게이트 절연막, 반도체층, 및 적어도 하나의 오믹 접촉층에 대하여 개구부와 게이트 버스 라인 측에는 벗겨내고, 게이트 버스와 데이터 버스의 겹침부나 박막 트랜지스터부는 그대로 남기어 게이트 버스 라인을 노출시키는 단계; 상기 데이터 버스 라인에서 분기하는 소오스 전극 및 상기 소오스 전극과 대향하는 드레인 전극을 적어도 하나의 오믹 접촉층에 접촉되도록 형성하는 단계; 상기 소오스 전극과 상기 드레인 전극을 마스크로 하여 유기 절연막을 도포하여 보호막을 형성하는 단계; 및 상기 보호막의 전면에서 상기 드레인 전극과 전기적으로 접속하는 화소 전극을 형성하는 단계를 포함하는 액정 표시 장치용 어레이 기판 제조 방법을 제공한다.

(실시예)

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

액정 표시 장치의 고 개구율을 달성하기 위해서는 화소 개구부를 가리고 있는 버스 라인들의 폭을 축소시켜야 가장 효과적이다. 버스 라인의 폭이 줄면 버스 라인을 통하여 전달되는 신호는 심한 저항을 받게 된다. 흔히 버스에 전송되는 신호는 버스 라인의 저항과 정전 용량을 곱한 인자에 따라 지연 시간이 종속받는다. 그에 따라 버스의 저항이 크면 신호 지연 시간을 적정 수준으로 유지하기 위하여 정전 용량을 낮추어야 하지만, 정전 용량은 잔상 및 화면 품위와 관련되어 있어 변화시키기 어려운 인자 요소이다.

본 발명은 게이트 버스 라인과 소오스 버스 라인의 재질일 같을 때, 도 2에 도시된 바와 같이, 게이트 버스 라인의 적층이 가능함을 이용하여 게이트 라인 폭을 감소시키는 고 개구율 설계 방법에 대해 설명한다. 또한 기존 마스크의 사용수와 같은 수를 사용할 수 있어 어레이 기판 제작에 특별한 어려움에 없도록 한 것을 특징으로 한다. 도 2는 본 발명의 실시예에 따른 동일 저항을 갖는 버스 라인의 형성 방법을 설명하는 도면이다.

이하, 본 발명의 제1 실시예에 따른 어레이 기판 및 그의 제조 방법을 도 3 및 도 4를 참조하여 설명한다. 도 3은 본 발명의 제1 실시예에 따른 액정 표시 장치용 어레이 기판을 나타낸 단면도이다. 도 4는 도 3에 도시된 액정 표시 장치용 어레이 기판의 평면도이다.

본 발명의 실시예에 따른 어레이 기판은 기판(202), 게이트 전극(204), 제1 및 제2 게이트 절연막(206 및 208), 반도체 층(210), 제1 및 제2 오믹 접촉층(212 및 214), 소오스 전극(218), 드레인 전극(220), 보호막(224), 및 화소 전극(230)을 포함한다.

Cr 금속막을 스퍼터링법으로 투명 기판(202) 위에 증착하고, 상기 Cr 금속막을 포토리소그래피법으로 에칭하여 게이트 버스 라인(203) 및 상기 게이트 버스 라인(203)에서 분기하는 게이트 전극(204)을 형성한다.

이어서, 제1 및 제2 게이트 절연막(206 및 208)이 되는 산화 실리콘(SiNx) 또는 질화 실리콘(SiOx)의 무기 절연막, 반도체 층(210)이 되는 비정질 실리콘 층, 제1 및 제2 오믹 접촉층(212 및 214)이 되는 n^+ 이온이 도핑된 비정질 실리콘 층을 스퍼터링법으로 연속하여 증착하고, 포토리소그래피법으로 에칭하여 개구부와 게이트 버스 라인(203) 측에는 벗겨 내고, 게이트 버스 라인(203)과 데이터 버스 라인(216)이 겹치는 부분 그리고 박막 트랜지스터 부분은 그대로 둔다. 그에 따라, TFT 부분에는 제2 절연막(208), 반도체 층(210), 및 제1 및 제2 오믹 접촉층(212 및 214)이 게이트 전극(204) 부분에 섬 모양으로 형성된다.

이어서, Cr 금속막을 스퍼터링법으로 증착하고, 포토리소그래피법으로 에칭하여 상기 제1 게이트 절연막(206)에 데이터 버스 라인(216)을 형성하고, 상기 데이터 버스 라인(216)에서 분기하는 소오스 전극(218) 및 상기 소오스 전극(218)과 대향하는 드레인 전극(220)이 각각 제1 및 제2 오믹 접촉층(212 및 214)에 접촉되도록 형성한다.

상기 소오스 전극(218)과 상기 드레인 전극(220)을 마스크로 하여 드라이 에칭에 의해 오믹 접촉층을 에칭하여 상기 제1 및 제2 오믹 접촉층(212 및 214)을 서로 분리시킨다.

상기 소오스 전극(218) 및 상기 드레인 전극(220)이 형성된 기판의 전면에 SiNx 또는 SiOx 의 무기 절연막을 증착하거나 BCB(benzocyclobutene) 등의 유기 절연막을 도포하여 보호막(224)을 형성한다.

상기 보호막(224)을 마스크를 이용하여 포토리소그래피 공정과 식각 공정으로 패터닝함으로써 제1 콘택홀(226) 및 제2 콘택홀(228)을 형성한다.

상기 콘택홀(226)은 제1 및 제2 게이트 절연막(206 및 208), 반도체 층(210), 상기 보호막(224)을 관통하여 상기 게이트 전극(204)이 노출되게 형성된다. 상기 제2 콘택홀(228)은 상기 보호막(224)을 관통하여 상기 드레인 전극(220)이 노출되게 형성된다.

인듐 주석 산화물(Indium Tin Oxide; ITO) 막 상기 보호막(224)의 전면에 스퍼터링법으로 증착하고, 포토리소그래피 공정으로 에칭하여 드레인 전극(220)과 전기적으로 접속하는 화소 전극(230)을 형성한다.

도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치용 어레이 기판을 나타낸 단면도이다.

본 발명의 제2 실시예에 따른 어레이 기판은 기판(502), 게이트 전극(504), 제1 및 제2 게이트 절연막(506 및 508), 반도체 층(510), 오믹 접촉층(512), 소오스 전극(518), 드레인 전극(520), 보호막(524), 및 화소 전극(530)을 포함한다.

Cr 금속막을 스퍼터링법으로 투명 기판(502) 위에 증착하고, 상기 Cr 금속막을 포토리소그래피법으로 에칭하여 게이트 버스 라인(503) 및 상기 게이트 버스 라인(503)에서 분기하는 게이트 전극(504)을 형성한다.

이어서, 제1 및 제2 게이트 절연막(506 및 508)이 되는 산화 실리콘(SiNx) 또는 질화 실리콘(SiOx)의 무기 절연막, 반도체 층(510)이 되는 비정질 실리콘 층, 오믹 접촉층(512)이 되는 n^+ 이온이 도핑된 비정질 실리콘 층을 스퍼터링법으로 연속하여 증착하고, 포토리소그래피법으로 에칭하여 개구부와 게이트 버스 라인(503) 측에는 벗겨 내고, 게이트 버스 라인(503)과 데이터 버스 라인(516)이 겹치는 부분 그리고 박막 트랜지스터 부분은 그대로 둔다. 그에 따라, TFT 부분에는 제2 절연막(508), 반도체 층(510), 및 오믹 접촉층(512)이 게이트 전극(504) 부분에 직사각형 모양으로 형성된다.

이어서, Cr 금속막을 스퍼터링법으로 증착하고, 포토리소그래피법으로 에칭하여 상기 제1 게이트 절연막(506)에 데이터 버스 라인(516)을 형성하고, 상기 데이터 버스 라인(516)에서 분기하는 소오스 전극(518) 및 상기 소오스 전극(518)과 대향하는 드레인 전극(520)이 오믹 접촉층(512)에 접촉되도록 형성한다.

소오스 전극(518) 및 드레인 전극(520)이 형성된 기판의 전면에 SiNx 또는 SiOx의 무기 절연막을 증착하거나 BCB(benzocyclobutene) 등의 유기 절연막을 도포하여 보호막(524)을 형성한다.

상기 보호막(524)을 마스크를 이용하여 포토리소그래픽 공정과 식각 공정으로 패터닝함으로써 제1 콘택홀(526) 및 제2 콘택홀(528)을 형성한다.

상기 콘택홀(526)은 제1 및 제2 게이트 절연막(506 및 508), 반도체 층(510), 상기 보호막(524)을 관통하여 상기 게이트 전극(504)이 노출되게 형성된다. 상기 제2 콘택홀(528)은 상기 보호막(524)을 관통하여 상기 드레인 전극(520)이 노출되게 형성된다.

인듐 주석 산화물(Indium Tin Oxide; ITO) 막 상기 보호막(524)의 전면에 스퍼터링법으로 증착하고, 포토리소그래피 공정으로 에칭하여 드레인 전극(520)과 전기적으로 접속하는 화소 전극(530)을 형성한다.

본 발명의 제2 실시예에서는 게이트 버스의 높이를 올리기 위하여 게이트 절연막을 불필요 지역에서는 제거시키고, 또한 게이트 버스 라인의 적층으로 주변부와 단차 차이가 기존 어레이 기판 구조에 비해 크다. 때문에 셀 제작 공정에서 러빙 시 무라 발생 빈도 증가나 스페이스들 뭉침 등의 문제가 우려되기도 한다. 이를 개선하기 위하여 본 발명의 제2 실시예에서는 절연막을 우선 입히고 게이트가 지나가는 곳엔 홈을 만들어 도 5에 도시된 바와 같이, 그 속에 게이트를 형성함으로써 주변부와 단차를 기존과 같이 줄일 수 있다. 본 발명에서는 게이트만을 적층하는 것으로 고 개구율을 시도하였는데 효과 면에서 데이터 버스 라인의 적층도 큰 영향을 줄수 있는 경우도 적용된다.

이상에서는 본 발명을 특정한 바람직한 실시예로서 설명하였으나, 본 발명은 상기한 실시예에 한정되지 아니하며, 특허 청구의 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형이 가능할 것이다.

발명의 효과

따라서, 본 발명은 버스 라인의 높이 조절로 폭을 줄이더라도 신호 지연 및 화면 품질에 손상을 주지 않도록 하는 기술적 해결 수단을 가짐으로 고 개구율을 이루게 한다. 본 발명은 또한 기존 어레이 제작에 필요한 마스크 수를 유지할 수 있는 제조 방법으로 기존 제작 방법에서의 단순한 응용으로 어레이 제작이 용이하다는 장점을 갖는다.

(57) 청구의 범위

청구항 1.

기판;

상기 기판 위에 형성된 게이트 전극;

상기 게이트 전극을 덮는 기판 전면에 순차적으로 형성된 적어도 하나의 게이트 절연막;

상기 적어도 하나의 게이트 절연막 상부에 위치하며, 상기 게이트 전극과 대응되는 위치에 형성된 반도체 층;

상기 게이트 전극에 대응되는 부분에서 상기 반도체층을 덮도록 형성된 적어도 하나의 오믹 접촉층;

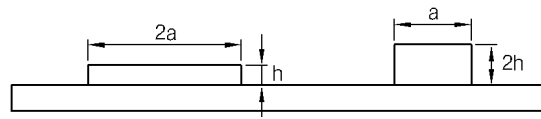
상기 적어도 하나의 게이트 절연막, 반도체층, 및 적어도 하나의 접촉층에 대하여 개구부와 게이트 버스 라인 측에는 벗겨내고, 게이트 버스와 데이터 버스의 겹침부나 박막 트랜지스터부는 그대로 남기어 게이트 버스 라인을 노출시킴으로써 적어도 하나의 오믹 접촉층과 대응되는 위치에 형성되며, 서로 일정 간격 이격되게 형성된 소오스 및 드레인 전극;

상기 소오스 전극과 상기 드레인 전극을 마스크로 하여 형성된 보호막; 및

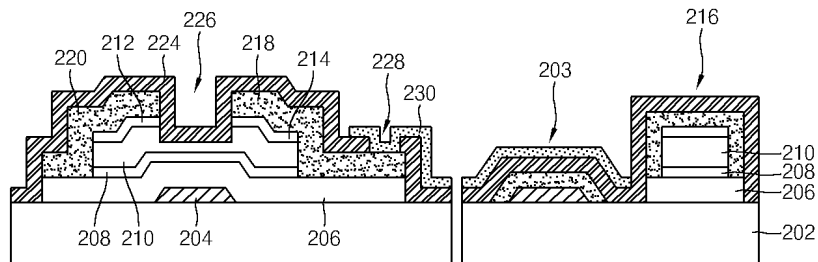
상기 보호막의 전면에 상기 드레인 전극과 전기적으로 접속하도록 형성된 화소 전극을 포함하는 것을 특징으로 하는 액정 표시 장치용 어레이 기판.

도면2

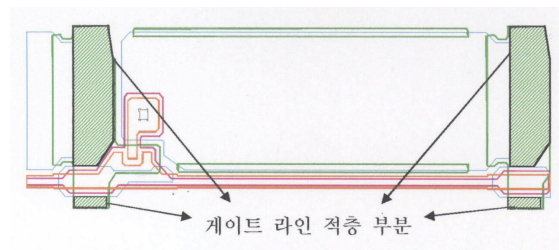
$$\text{저항 } R = \text{비저항} \times \frac{\text{버스라인 길이}}{(2a) \times h} = \text{비저항} \times \frac{\text{버스라인 길이}}{a \times (2h)}$$



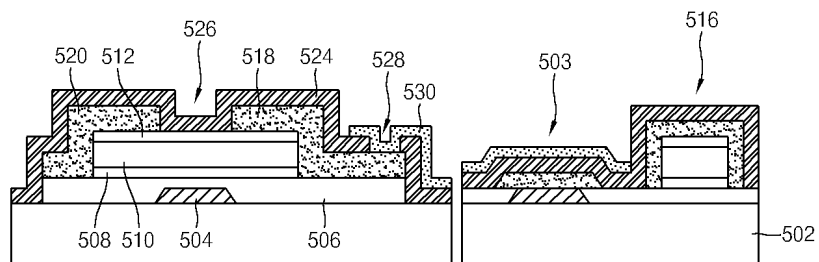
도면3



도면4



도면5



专利名称(译)	用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020050079814A	公开(公告)日	2005-08-11
申请号	KR1020040007932	申请日	2004-02-06
[标]申请(专利权)人(译)	HYDIS TECH HYDIS技术有限公司		
申请(专利权)人(译)	하이디스테크놀로지주식회사		
当前申请(专利权)人(译)	하이디스테크놀로지주식회사		
[标]发明人	OH EUISEOK 오의석 LEE DAEKYU 이대규		
发明人	오의석 이대규		
IPC分类号	G02F1/136		
其他公开文献	KR100687346B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种栅极总线，用作液晶显示器阵列面板及其制造方法，栅极从栅极总线分支，栅极总线，以及包含准备数据的效果总线，并且为了区别层中的源/漏电极和它被穿越，并通过相同的金属电极之间的栅电极上的栅极绝缘层和源极/漏极金属层，半导体层，和薄膜晶体管 and 金属上形成栅极总线的源极/漏极电极上的带电像素电极是包含在它 with 数据总线 and 栅极总线和保护膜和像素的交叉点限定的区域中制备的源/漏电极虽然通过栅极总线的高度控制减小了宽度，但是电极被层压并且以这种方式不会对信号延迟和屏幕质量造成损害。源/漏电极从数据总线分支并在栅电极上部层和栅电极和源/漏电极中制备。关于薄膜晶体管，制备漏电极的源极/上部 and 欧姆接触层的保护膜。阵列面板和液晶显示器。

