(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
G02F 1/13

(11) 공개번호 10-2004-0022938
(43) 공개일자 2004년03월18일

(21) 출원번호 10-2002-0054536
(22) 출원일자 2002년09월10일

(71) 출원인 엘지.필립스 엘시디 주식회사
서울 영등포구 여의도동 20번지

(72) 발명자 이재구
대구광역시북구산격3동1407-77

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시소자의 제조방법

요약

본 발명은 스토리지캐패시터의 용량값을 증대시킬 수 있는 액정표시소자의 제조방법에 관한 것이다.

본 발명에 따른 액정표시소자의 제조방법은 게이트라인과 데이터라인이 교차되는 영역에 박막트랜지스터를 형성하는 단계와, 박막트랜지스터가 형성된 기판을 덮도록 보호막을 형성하는 단계와, 보호막을 부분노광마스크를 이용하여 선택적으로 제거하여 관통홀을 형성함과 동시에 드레인접촉홀을 형성하는 단계와, 관통홀 및 드레인접촉홀을 통해 각각 게이트절연막 및 박막트랜지스터의 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 6

명세서

도면의 간단한 설명

도 1은 통상의 액정표시소자를 나타내는 평면도.

도 2는 도 1에서 선 'A-A''를 따라 절취한 액정표시소자를 나타내는 단면도.

도 3a 내지 도 3e는 도 2에 도시된 액정표시소자의 제조방법을 나타내는 단면도.

도 4a 및 도 4b는 스토리지캐패시터의 다른 형태를 나타내는 단면도.

도 5는 본 발명에 따른 액정표시소자를 나타내는 평면도.

도 6은 도 5에서 선'B-B''를 따라 절취한 액정표시소자를 나타내는 단면도.

도 7a 내지 도 7e는 도 6에 도시된 액정표시소자의 제조방법을 나타내는 단면도.

도 8a 내지 도 8c는 도 7d에 도시된 접촉홀과 관통홀을 형성하기 위한 제조방법을 나타내는 단면도.

<도면의 주요부분에 대한 부호의 간단한 설명>

1,31 : 기판 2,32 : 게이트라인

4,34 : 데이터라인 6,36 : 게이트전극

8,38 : 소스전극 10,40 : 드레인전극

12,42 : 게이트절연막 14,44 : 활성층

16,46 : 오믹접촉층 18,48 : 보호막

20,50 : 드레인접촉홀 22,52 : 화소전극

24 : 스토리지전극 26 : 스토리지접촉홀

56 : 관통홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 스토리지캐패시터의 용량값을 증대시킬 수 있는 액정표시소자의 제조방법에 관한 것이다.

통상의 액정표시소자는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정표시소자는 액정셀들이 매트릭스 형태로 배열되어진 액정패널과, 이 액정패널을 구동하기 위한 구동회로를 구비하게 된다. 액정패널에는 액정셀들 각각에 전계를 인가하기 위한 화소전극들과 공통전극이 마련되게 된다. 통상, 화소전극은 하부기판 상에 액정셀별로 형성되는 반면 공통전극은 상부기판의 전면에 일체화되어 형성되게 된다. 화소전극들 각각은 스위치 소자로 사용되는 박막 트랜지스터(Thin Film Transistor; TFT)에 접속되게 된다. 화 소전극은 박막 트랜지스터를 통해 공급되는 데이터신호에 따라 공통전극과 함께 액정셀을 구동하게 된다.

도 1 및 도 2를 참조하면, 액정표시소자는 데이터라인(4)과 게이트라인(2)의 교차부에 위치하는 TFT(TP)와, TFT(TP)의 드레인전극(10)에 접속되는 화소전극(22)과, 화소전극(22)과 게이트라인(2)과의 중첩부분에 위치하는 스토리지캐패시터(SP)를 구비한다.

TFT(TP)는 게이트라인(2)에 접속된 게이트전극(6), 데이터라인(4)에 접속된 소스전극(8) 및 드레인접촉홀(20)을 통해 화소전극(22)에 접속된 드레인전극(10)으로 이루어진다. 또한, TFT(TP)는 게이트전극(6)에 공급되는 게이트전압에 의해 소스전극(8)과 드레인전극(10)간에 채널을 형성하기 위한 반도체층(14,16)을 더 구비한다. 이러한 TFT(TP)는 게이트라인(2)으로부터의 게이트신호에 응답하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(22)에 공급한다.

화소전극(22)은 데이터라인(4)과 게이트라인(2)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명무기도전물질로 이루어진다. 이 화소전극(22)은 드레인접촉홀(20)을 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공통전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(1)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이방성에 의해 회전하게 된다. 이에 따라, 광원으로부터 화소전극(22)을 경유하여 공급되는 광을 상부기판 쪽으로 투과되게 한다.

스토리지 캐패시터(SP)는 화소전극(22)의 전압변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐패시터(SP)는 게이트라인(2)과, 게이트절연막(12)을 사이에 두고 스토리지전극(24)으로 형성된다. 이 스토리지전극(24)은 보호막(18) 상에 형성된 스토리지접촉홀(26)을 통해 화소전극(22)과 전기적으로 접속된다.

이러한 액정표시소자의 제조방법은 도 3a 내지 도 3e를 결부하여 설명하기로 한다.

먼저, 하부기판(1) 상에 게이트금속층을 증착한 후 패터닝함으로써 도 3a에 도시된 바와 같이 게이트라인(2) 및 게이트전극(6)이 형성된다. 게이트라인(2) 및 게이트전극(6)이 형성된 하부기판(1) 상에 제1 절연물질을 증착하여 게이트절연막(12)이 형성된다. 이 게이트절연막(12) 상에 제1 및 제2 반도체물질을 증착한 후 패터닝함으로써 활성층(14) 및 오믹접촉층(16)이 형성된다. 그런 다음, 게이트절연막(12) 상에 데이터금속층을 증착한 후 패터닝함으로써 데이터라인(4), 스토리지전극(24), 소스전극(8) 및 드레인전극(10)이 형성된다. 이후, 제2 절연물질을 증착하여 보호층(18)을 형성한 후, 보호층(18)을 관통하는 드레인접촉홀(20) 및 스토리지접촉홀(26)이 형성된다. 보호층(18)이 형성된 하부기판(1) 상에 투명전도성물질을 증착한 후 패터닝함으로써 화소전극(22)이 형성된다.

상술한 구조의 액정표시소자에 있어서, 스토리지캐패시터(SP)는 게이트절연막(12)을 사이에 두고 마주보도록 형성되는 스토리지전극(24)과 게이트라인(2)으로 형성된다. 이 경우, 스토리지캐패시터를 형성하기 위해 별도의 스토리지전극(24)을 형성하여야 하므로 상대적으로 공정이 복잡해져 패턴불량이 발생할 확률이 높 다.

이러한 문제점을 해결하기 위해 도 4a 및 도 4b에 도시된 바와 같이 게이트절연막(12) 및 보호막(18)을 사이에 두고 마주보는 게이트라인(2)과 화소전극(22)으로 스토리지캐패시터를 형성하게 된다. 이 경우, 별도의 스토리지전극(24)을 형성하지 않아도 되므로 패턴불량이 발생할 확률을 줄일 수 있는 장점이 있다.

그러나, 게이트절연막(12)을 사이에 두고 마주보는 게이트라인(2)과 스토리지전극(24)으로 스토리지캐패시터를 형성할 때보다 게이트절연막(12) 및 보호막(18)을 사이에 두고 마주보는 게이트라인(2)과 화소전극(22)으로 스토리지캐패시터를 형성할 때 전극(2,22)간의 거리가 상대적으로 멀다. 이에 따라, 전극(2,22)간의 거리에 반비례하는 스토리지캐패시터의 용량값이 작아지는 문제점이 있다. 특히, 개구율을 높이기 위해 도 4b에 도시된 바와 같이 유기절연물질로 보호막(18)을 형성할 경우, 도 4a에 도시된 바와 같이 무기절연물질로 보호막(18)을 형성할 때보다 보호막(18)의 유전율이 상대적으로 낮음과 동시에 보호막(18)의 두께가 상대적으로 두껍기 때문에 유전율에 비례함과 동시에 거리가 반비례하는 스토리지캐패시터(SP)의 용량값이 더욱 더 작아지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 스토리지캐패시터의 용량값을 증대시킬 수 있는 액정표시소자의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명에 따른 액정표시소자의 제조방법은 게이트라인과 데이터라인이 교차되는 영역에 박막트랜지스터를 형성하는 단계와, 박막트랜지스터가 형성된 기판을 덮도록 보호막을 형성하는 단계와, 보호막을 부분노광마스크를 이용하여 선택적으로 제거하여 관통홀을 형성함과 동시에 드레인접촉홀을 형성하는 단계와, 관통홀 및 드레인접촉홀을 통해 각각 게이트절연막 및 박막트랜지스터의 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 박막트랜지스터를 형성하는 단계는 게이트라인을 형성함과 동시에 기판 상에 게이트전극을 형성하는 단계와, 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와, 게이트절연막 상에 반도체층을 형성하는 단계와, 반도체층이 형성된 기판 상에 소스 및 드레인전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 드레인접촉홀은 보호막을 관통하여 상기 드레인전극을 노출시키는 것을 특징으로 한다.

상기 부분노광마스크는 전면 노광영역, 차단영역, 그리고 부분 노광영역을 포함하는 것을 특징으로 한다.

상기 액정표시소자의 제조방법은 보호막이 형성된 기판 상에 포토레지스트를 증착하는 단계와, 부분 노광 마스크를 이용한 포토리쏘그래피공정으로 상기 드레인전극 상에 형성된 포토레지스트를 제거함과 동시에 상기 게이트라인 상에 제1 영역 을 갖는 포토레지스트패턴과 그 이외의 영역 상에 제2 영역을 갖는 포토레지스트패턴을 형성하는 단계와, 포토레지스트 패턴을 마스크로 하여 상기 드레인전극과 대응되는 보호막을 제거함과 동시에 상기 제1 영역과 대응되는 보호막을 제거하는 단계를 포함하는 것을 특징으로 한다.

상기 포토레지스트 패턴에서 제1 영역은 상기 마스크의 부분노광영역에 대응되고, 상기 제2 영역은 차단영역에 대응되는 것을 특징으로 한다.

상기 부분노광영역과 대응되는 보호막의 두께는 상기 차단영역과 대응되는 보호막의 두께의 약 0~70%정도인 것을 특징으로 한다.

상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시 예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시 예들을 도 5 내지 도 8c를 참조하여 상세하게 설명하기로 한다.

도 5 및 도 6을 참조하면, 액정표시소자의 하부기판(31)은 데이터라인(34)과 게이트라인(32)의 교차부에 위치하는 TFT(TP)와, TFT부(TP)의 드레인전극(40)에 접속되는 화소전극(52)과, 화소전극(52)과 이전단의 게이트라인(32)과 중첩부분에 위치하는 스토리지 캐패시터(SP)를 구비한다.

TFT(TP)는 게이트라인(32)에 접속된 게이트전극(36), 데이터라인(34)에 접속된 소스전극(38) 및 드레인접촉홀(50)을 통해 화소전극(52)에 접속된 드레인전극(40)으로 이루어진다. 또한, TFT(TP)는 게이트전극(36)에 공급되는 게이트전압에 의해 소스전극(38)과 드레인전극(40)간에 채널을 형성하기 위한 반도체 층(44,46)을 더 구비한다. 이러한 TFT(TP)는 게이트라인(32)으로부터의 게이트신호에 응답하여 데이터라인(34)으로부터의 데이터신호를 선택적으로 화소전극(52)에 공급한다.

화소전극(52)은 데이터라인(34)과 게이트라인(32)에 의해 분할된 셀 영역에 위치하며 광투과율이 높은 투명무기도전물질로 이루어진다. 이 화소전극(52)은 드레인접촉홀(50)을 경유하여 공급되는 데이터신호에 의해 상부기판(도시하지 않음)에 형성되는 공통전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 하부기판(31)과 상부기판(도시하지 않음) 사이에 위치하는 액정은 유전율이방성에 의해 회전하게 된다. 이에 따라, 광원으로부터 화소전극(52)을 경유하여 공급되는 광을 상부기판 쪽으로 투과되게 한다.

스토리지 캐패시터(SP)는 화소전극(52)의 전압변동을 억제하는 역할을 하게 된다. 이러한 스토리지 캐패시터(SP)는 이전단 게이트라인(32)과, 이전단 게이트라인(32)과 게이트절연막(42)을 사이에 두고 형성되는 화소전극(52)으로 이루어진다.

화소전극(52)은 보호막(48)을 관통하는 관통홀(56)을 통해 게이트절연막(42)과 접촉된다.

이에 따라, 스토리지캐패시터(SP)는 게이트절연막(42) 사이에 두고 게이트라인(32)과 화소전극(52)으로 이루어진다. 이러한, 종래 스토리지캐패시터와 같이 스토리지캐패시터(SP)의 용량값을 증대시키기 위한 별도의 스토리지전극을 필요로 하지 않음에 따라 공정이 단순해진다. 즉, 종래 별도의 스토리지전극을 형성함으 로써 발생되는 패턴불량의 발생확률이 줄어든다.

이와 같이, 스토리지캐패시터(SP)를 게이트절연막(42)을 사이에 두고 이전단 게이트라인(32)과 화소전극(52)으로 형성함으로써 스토리지캐패시터(SP)의 용량값이 상대적으로 증가된다.

도 7a 내지 도 7e는 도 6에 도시된 액정표시소자의 제조방법을 나타내는 도면이다.

도 7a를 참조하면, 기판(31) 상에 게이트라인(32) 및 게이트전극(36)이 형성된다.

이를 위해, 기판(31) 상에 스퍼터링(sputtering) 등의 증착방법으로 게이트금속층이 증착된다. 게이트금속층으로는 알루미늄(Al) 또는 알루미늄 합금 등이 이용된다. 이어서, 제1 마스크(도시하지 않음)를 이용하여 게이트금속층이 식각공정을 포함하는 포토리쏘그래피 공정으로 패터닝됨으로써 하부기판(31) 상에 게이트라인(32) 및 게이트전극(36)이 형성된다.

도 7b를 참조하면, 게이트라인(32) 및 게이트전극(36)이 형성된 기판(31) 상에 게이트절연막(42), 활성층(44) 및 오믹접촉층(46)이 형성된다.

이를 위해, 게이트라인(32) 및 게이트전극(36)이 형성된 기판(31) 상에 무기절연물질인 산화실리콘(SiOx) 또는 질화실리콘(SiNx) 등이 증착됨으로써 게이트절연막(42)이 형성된다. 이 게이트절연막(42) 상에는 제1 및 제2 반도체층이 화학기상증착(Chemical Vapor Deposition) 방법으로 연속 증착된다. 제1 반도체층은 불순물이 도핑되지 않은 비정질실리콘으로 형성되며, 제2 반도체층은 N형 또는 P형의 불순물이 도핑된 비정질실리콘으로 형성된다. 이어서, 제2 마스크(도시하지 않음)을 이용하여 제1 및 제2 반도체층이 건식식각(Dry Etching) 공정을 포함하는 포토리쏘그래피

방법으로 패터닝됨으로써 활성층(44) 및 오믹접촉층(46)이 형성된다.

도 7c를 참조하면, 활성층(44) 및 오믹접촉층(46)이 형성된 하부기판(31) 상에 데이터라인(34), 소스 및 드레인전극(38,40)이 형성된다.

이를 위해, 활성층(44) 및 오믹접촉층(46)이 형성된 하부기판(31) 상에 CVD방법 또는 스퍼터링(sputtering) 등의 증착방법으로 데이터금속층이 증착된다. 데이터금속층으로는 크롬(Cr) 또는 몰리브덴(Mo)등으로 형성된다. 이어서, 제3 마스크(도시하지 않음)을 이용하여 데이터금속층이 습식식각 공정을 포함하는 포토리쏘그래피 공정으로 패터닝됨으로써 데이터라인(34), 소스전극(38) 및 드레인전극(40)이 형성된다. 그 다음, 소스전극(38)과 드레인전극(40) 사이로 노출된 오믹접촉층(46)이 건식식각 공정으로 제거되어 소스전극(38)과 드레인전극(40)을 분리시킨다. 오믹접촉층(46)이 일부 제거됨으로써 활성층(44)에서 소스 및 드레인전극(38,40)사이의 게이트전극(36)과 대응하는 부분은 채널이 된다.

도 7d를 참조하면, 소스전극(38) 및 드레인전극(40)이 형성된 하부기판(31)상에 보호막(48)이 형성된다.

이를 위해, 소스전극(38) 및 드레인전극(40)이 형성된 하부기판(31)상에 절연물질이 증착됨으로써 보호막(48)이 형성된다. 보호막(48)은 아크릴(Acryl)계 유기화합물, BCB(benzocyclobutane), PFCB(perfluorocyclobutane) 등의 유기 절연물질, 또는 질화실리콘(SiNx), 산화실리콘(SiOx) 등의 무기절연물질로 형성된다. 이 어서, 제4 마스크(도시하지 않음)을 이용하여 보호막(48)이 식각공정을 포함하는 포토리쏘그래피공정으로 패터닝됨으로써 드레인접촉홀(50) 및 관통홀(56)이 형성된다.

드레인접촉홀(50)은 보호층(48)을 관통하여 드레인전극(40)의 일부가 노출되도록 형성된다. 관통홀(56)은 보호층(48)을 관통하여 게이트라인(32)과 중첩되는 영역의 게이트절연막(42)의 일부가 노출되도록 형성된다. 이러한 관통홀(56)과 드레인접촉홀(50)을 형성하기 위한 공정은 추후에 상세히 설명하기로 한다.

도 7e를 참조하면, 보호막(48)이 형성된 하부기판(31) 상에 화소전극(52)이 형성된다.

이를 위해, 보호막(48) 상에 스퍼터링(sputtering) 등과 같은 증착방법으로 투명전도성물질이 증착된다. 투명전도성물질은 인듐-틴-옥사이드(Indium-Tin-Oxide : ITO), 인듐-징크-옥사이드(Indium-Zinc-Oxide : IZO) 또는 인듐-틴-징크-옥사이드(Indium-Tin-Zinc-Oxide : ITZO) 등이 이용된다. 이어서, 제5 마스크(도시하지 않음)를 이용하여 투명전도성물질이 식각공정을 포함하는 포토리쏘그래피 공정으로 패터닝됨으로써 화소전극(52)이 형성된다.

화소전극(52)은 보호막(48)을 관통하는 드레인접촉홀(50)을 통해 드레인전극(40)과 전기적으로 접속된다. 또한, 화소전극(52)은 보호막(48)을 관통하는 관통홀(56)을 통해 게이트절연막(42)과 접속되어 게이트절연막(42)을 사이에 두고 형성되는 게이트라인(32)과 함께 스토리지캐패시터(SP)를 형성한다.

도 8a 내지 도 8c는 도 7d에 도시된 접촉홀과 관통홀을 형성하기 위한 제조 방법을 나타내는 도면이다.

도 8a를 참조하면, 보호막(48)이 형성된 하부기판(31) 상에 포토레지스트(60)를 전면 도포한다. 그런 다음, 하부기판(31) 상에 반투과마스크 또는 회절마스크인 제4 마스크(68)가 정렬된다. 여기서, 제4 마스크(68)는 투명한 마스크기판(62)의 부분노광영역(S3)에 형성되는 부분투과층(64)과, 차단영역(S1)에 형성되는 차단층(66)을 구비한다. 그리고, 제4 마스크(68)는 전면 노광영역(S2)에서 투명한 마스크기판(62)이 그대로 노출되게 형성된다.

도 8b를 참조하면, 제4 마스크(68)를 이용한 포토리쏘그래피공정에 의해 제4 마스크(68)의 전면 노광영역(S2)을 통해 전면 노광된 포토레지스트는 모두 제거되고, 차단영역(S1)과 부분노광영역(S3)을 통해 노광되지 않거나 부분 노광된 포토레지스트패턴(70)이 형성된다. 특히, 포토레지스트패턴(70)에서 제4 마스크(68)의 차단층(66)에 의해 노광되지 않은 제1 포토레지스트패턴(70a)은 제1 높이를 갖도록 형성되며, 제4 마스크(68)의 부분투과층(64)에 의해 부분 노광된 제2 포토레지스트패턴(70b)은 제1 높이보다 상대적으로 낮은 제2 높이를 갖도록 형성된다.

도 8c를 참조하면, 포토레지스트패턴(70)을 마스크로 이용한 건식식각공정으로 보호막(48)이 패터닝된다. 이에 따라, 보호막(48)을 관통하는 드레인접촉홀(50)과 관통홀(56)이 형성된다.

드레인접촉홀(50) 형성시 보호막(48)은 건식식각가스에 반응하는 반면에 드레인전극(40)은 반응하지 않기 때문에 보호막(48)은 식각되어 드레인전극(40)을 노출시키게 된다. 또한, 관통홀(56) 형성시 보호막(48)과 게이트절연막(42)은 건식 식각가스에 반응을 하지만, 관통홀(56)을 형성하기 위한 포토레지스트패턴(70b)의 두께가 상대적으로 얇기 때문에 게이트절연막(42)은 식각되지 않고 보호막(48)만이 선택적으로 식각된다.

여기서, 제4 마스크(68)의 차단층(66)이 위치하는 TFT를 덮도록 형성되는 보호막(48)이 약 100%정도의 두께가 남도록 형성되면, 제4 마스크의 부분투과층(64)에 위치하는 게이트라인(32)과 중첩되는 보호막(48)은 약 0~70%정도의 두께가 남도록 패터닝된다.

이 후, 스트립공정으로 보호막(48), 소스 및 드레인전극(38,40)에 잔존하는 포토레지스트패턴(70)이 제거된다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시소자의 제조방법에 의하면, 스토리지캐패시터를 게이트절연막을 사이에 두고 화소전극과 게이트라인으로 형성된다. 이 때, 회절마스크나 반투과마스크를 이용하여 화소전극과 게이트라인 사이에 형성되는 보호막과 게이트절연막 중 보호막만을 패터닝함으로써 화소전극과 게이트라인 사이에는 게이트절연막이 남게 된다. 이와 같이, 화소전극과 게이트라인 사이에 형성되는 절연막의 두께를 회절노광기술을 이용하여 선택적으로 줄일 수 있어 스토리지캐패시터의 용량값을 최대화할 수 있다. 또한, 별도의 스토리지전극을 형성하지 않기 때문에 패턴 불량 발생 확률을 줄일 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하 는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

(57) 청구의 범위

청구항 1.

게이트라인과 데이터라인이 교차되는 영역에 박막트랜지스터를 형성하는 단계와,

상기 박막트랜지스터가 형성된 기판을 덮도록 보호막을 형성하는 단계와,

상기 보호막을 부분노광마스크를 이용하여 선택적으로 제거하여 관통홀을 형성함과 동시에 드레인접촉홀을 형성하는 단계와,

상기 관통홀 및 드레인접촉홀을 통해 각각 게이트절연막 및 박막트랜지스터의 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 박막트랜지스터를 형성하는 단계는

상기 게이트라인을 형성함과 동시에 기판 상에 게이트전극을 형성하는 단계와,

상기 게이트전극 및 게이트라인을 덮도록 게이트절연막을 형성하는 단계와,

상기 게이트절연막 상에 반도체층을 형성하는 단계와,

상기 반도체층이 형성된 기판 상에 소스 및 드레인전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 3.

제 2 항에 있어서,

상기 드레인접촉홀은 상기 보호막을 관통하여 상기 드레인전극을 노출시키는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 4.

제 3 항에 있어서,

상기 부분노광마스크는 전면 노광영역, 차단영역, 그리고 부분 노광영역을 포함하는 것을 특징으로 하는 액정표시소자의 제조 방법.

청구항 5.
제 4 항에 있어서,

상기 관통홀과 드레인접촉홀을 형성하는 단계는

상기 보호막이 형성된 기판 상에 포토레지스트를 증착하는 단계와,

상기 부분 노광 마스크를 이용한 포토리쏘그래피공정으로 상기 드레인전극 상에 형성된 포토레지스트를 제거함과 동시에 상기 게이트라인 상에 제1 영역을 갖는 포토레지스트패턴과 그 이외의 영역 상에 제2 영역을 갖는 포토레지스트패턴을 형성하는 단계와,

상기 포토레지스트 패턴을 마스크로 하여 상기 드레인전극과 대응되는 보호막을 제거함과 동시에 상기 제1 영역과 대응되는 보호막을 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6.
제 5 항에 있어서,

상기 포토레지스트 패턴에서

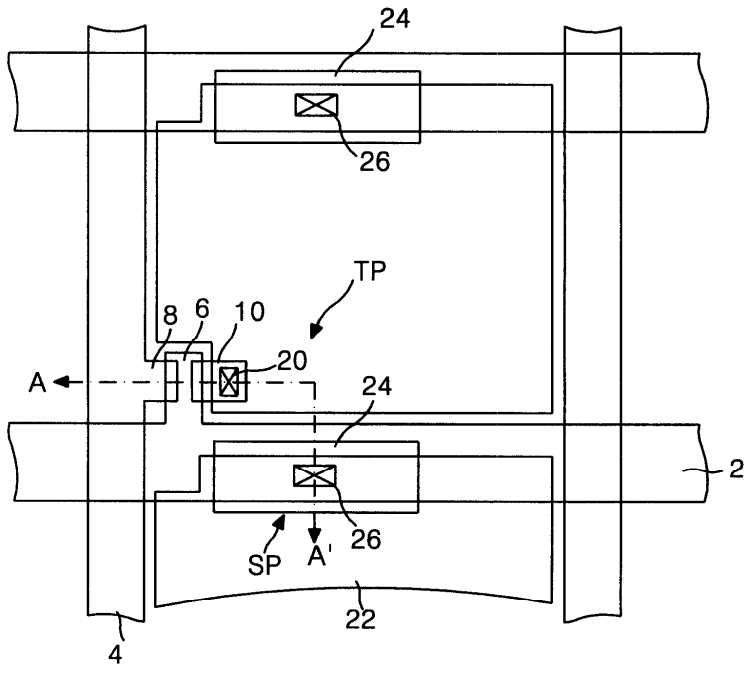
상기 제1 영역은 상기 마스크의 부분노광영역에 대응되고, 상기 제2 영역은 차단영역에 대응되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 7.
제 4 항에 있어서,

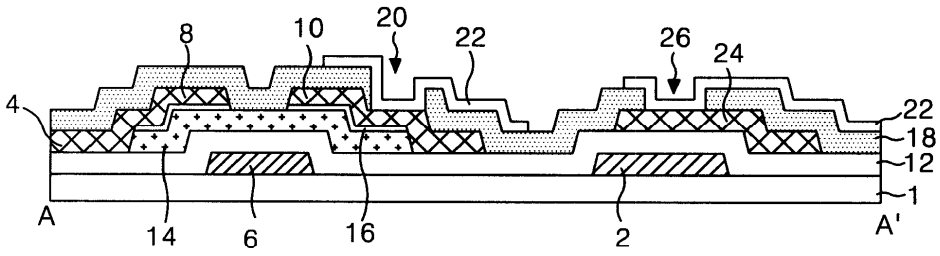
상기 부분노광영역과 대응되는 보호막의 두께는 상기 차단영역과 대응되는 보호막의 두께의 약 0~70%정도인 것을 특징으로 하는 액정표시소자의 제조방법.

도면

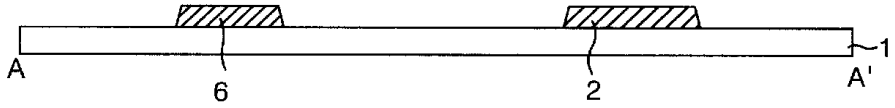
도면1



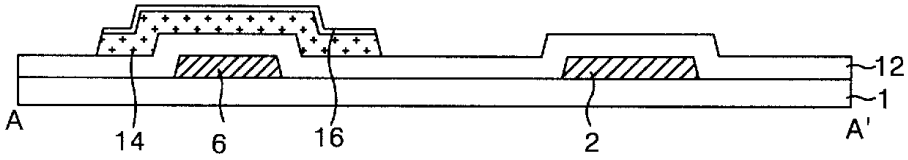
도면2



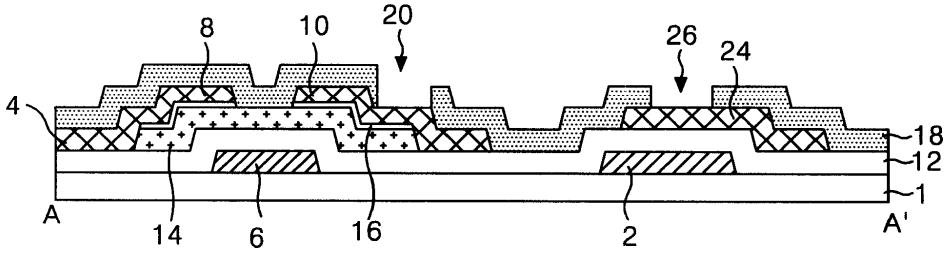
도면3a



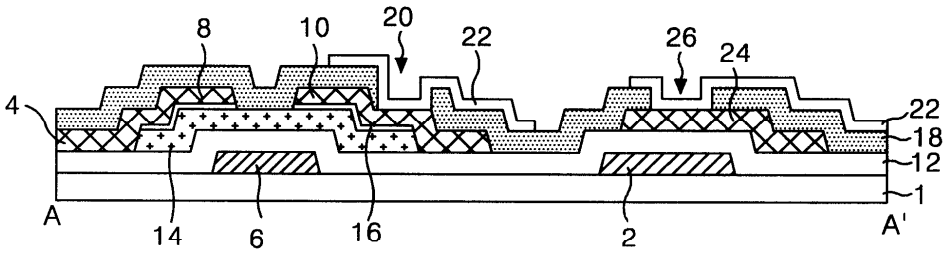
도면3b



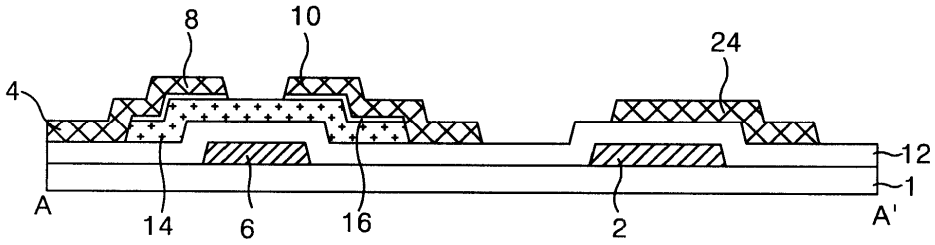
도면3c



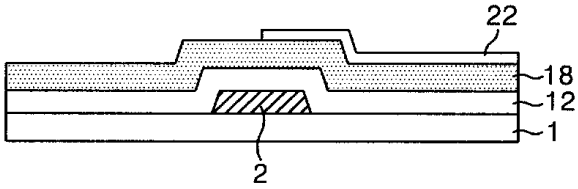
도면3d



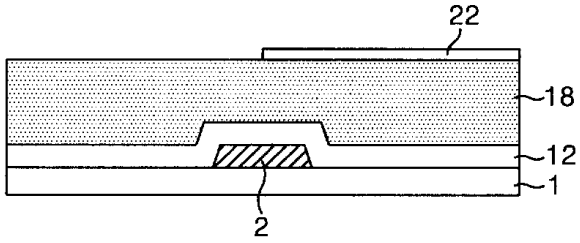
도면3e



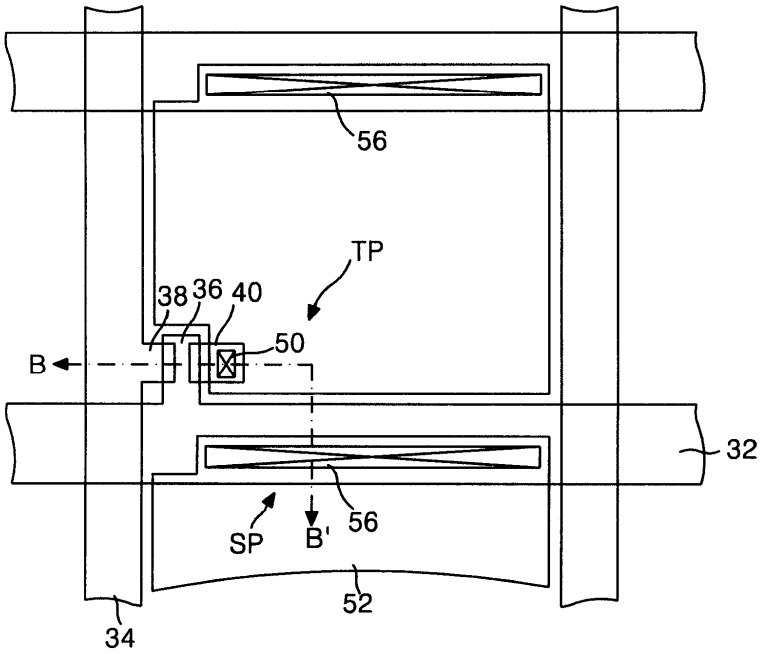
도면4a



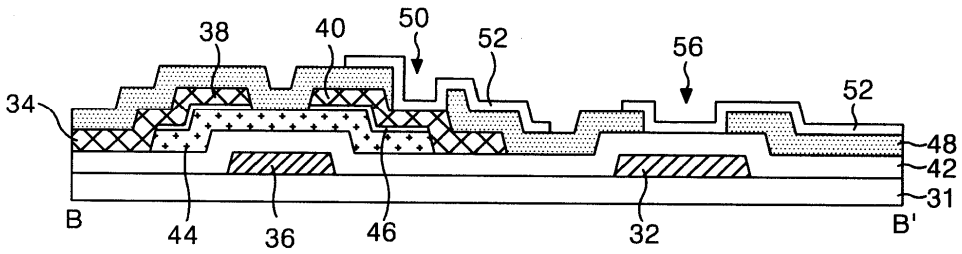
도면4b



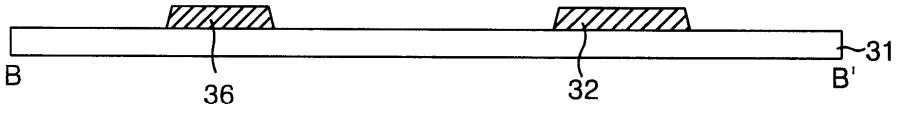
도면5



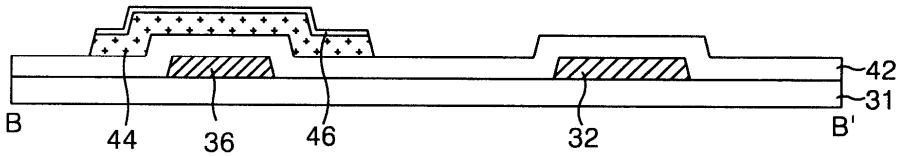
도면6



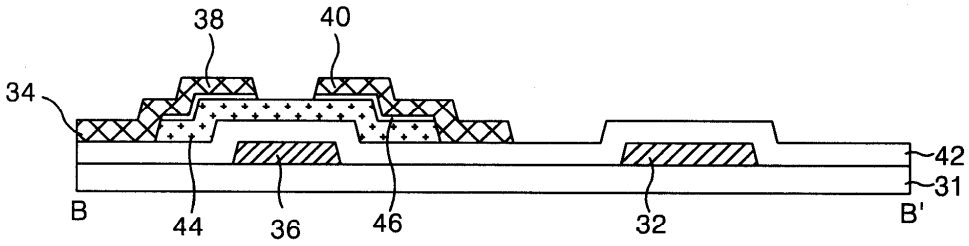
도면7a



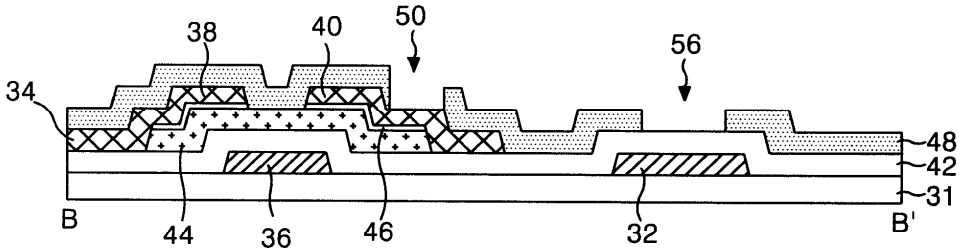
도면7b



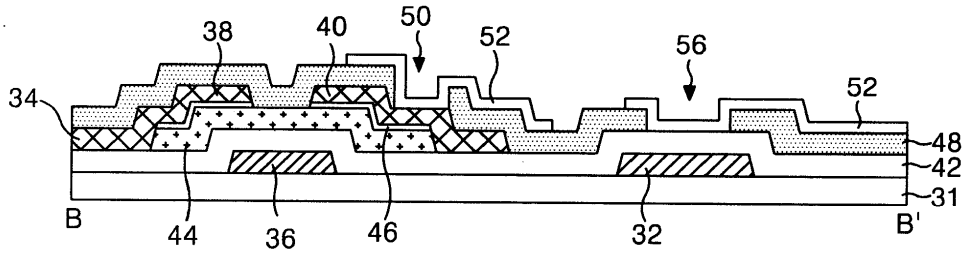
도면7c



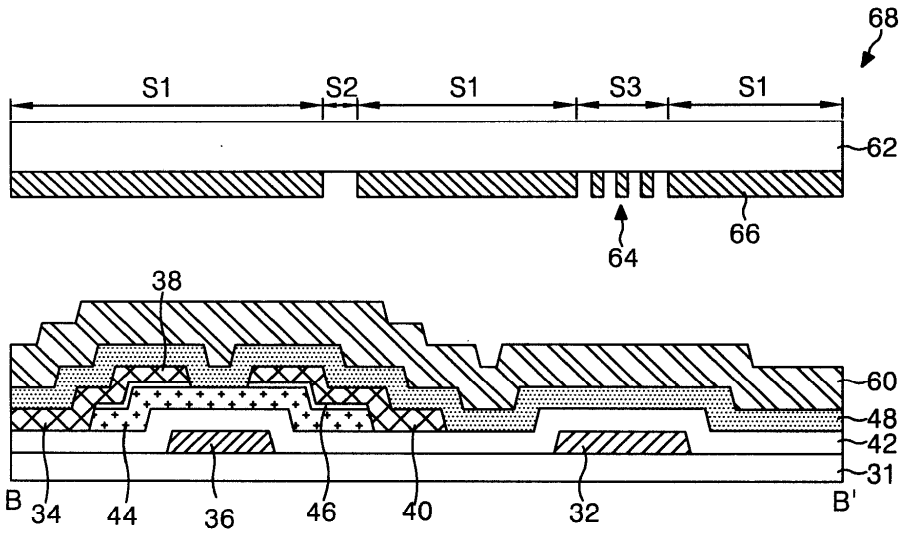
도면7d



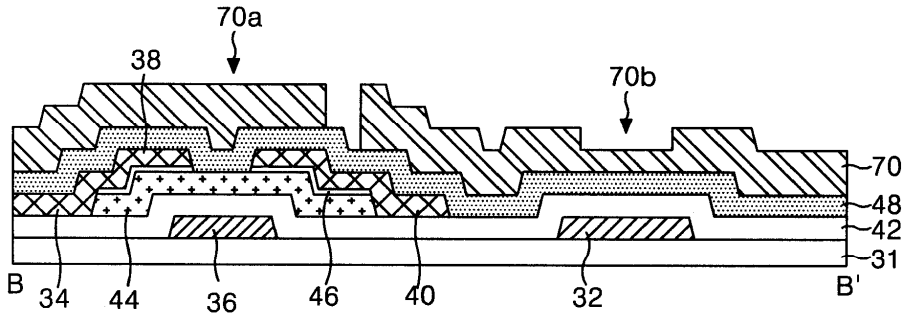
도면7e



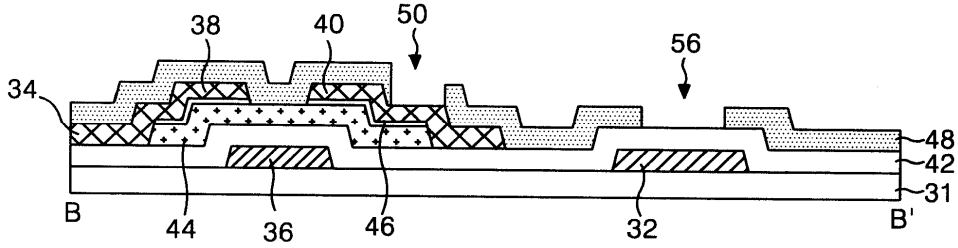
도면8a



도면8b



도면8c



专利名称(译)	液晶显示元件的制造方法		
公开(公告)号	KR1020040022938A	公开(公告)日	2004-03-18
申请号	KR1020020054536	申请日	2002-09-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JAEGU		
发明人	LEE,JAEGU		
IPC分类号	G02F1/13 H01L27/12 H01L21/84 H01L21/77 H01L27/13		
CPC分类号	H01L27/13 H01L27/1288 H01L27/1214 H01L27/12 H01L27/1255		
其他公开文献	KR100886241B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置的制造方法技术领域本发明涉及能够提高存储电容器的电容值的液晶显示装置的制造方法。 根据本发明的另一方面，提供一种制造液晶显示装置的方法，包括在栅极线和数据线彼此交叉的区域中形成薄膜晶体管，形成保护膜以覆盖其上形成有薄膜晶体管的基板，形成通孔和漏极接触孔，并形成分别通过通孔和漏极接触孔与薄膜晶体管的栅极绝缘膜和漏极接触的像素电极而且，其特征在于。 6