

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.⁷
G02F 1/1343

(11) 공개번호 특2003-0078795
(43) 공개일자 2003년10월08일

(21) 출원번호 10-2003-0019773
(22) 출원일자 2003년03월29일

(30) 우선권주장 JP-P-2002-00096006 2002년03월29일 일본(JP)

(71) 출원인 엔이씨 엘씨디 테크놀로지스, 엘티디.
일본 가나가와현 가와사키시 나카하라구 시모누마베 1753

(72) 발명자 마쯔모토기미카즈
일본도쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

이따구라구니마사
일본도쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

니시다신이찌
일본도쿄도미나토구시바5초메7방1고닛뽕덴끼가부시끼가이샤나이

(74) 대리인 특허법인코리아나

심사청구 : 있음

(54) 횡전계방식 액정표시장치

요약

횡전계방식 액정표시장치는 기판, 상기 기판상에 형성되는 주사선, 절연층을 데이터선과 주사선 사이에 삽입하는 동안 주사선을 가로질러 기판상에 형성되는 상기 데이터선, 상기 주사선과 상기 데이터선보다 기판에 더 멀리 위치하고 상기 주사선과 상기 데이터선의 폭보다 더 긴 폭을 가지며 상기 주사선과 데이터선을 구조적으로 커버하도록 형성되는 투명 공통전극 배선을 구비한다. 이 장치의 구성은 데이터선과 주사선으로부터의 모든 전계가 공통전극배선 상에서 종단할 수 있게 한다. 공통전극배선을 투명 도전체로서 형성하는 것은 장치의 개구율을 유지시킨다.

대표도

도 2

색인어

횡전계방식, 액정표시장치

명세서

도면의 간단한 설명

도 1a 는 본 발명의 제 1 실시형태에 따른 액정표시장치의 평면도.

도 1b 는 도 1a 의 I-I 선을 따라서 취한 단면도.

도 2 는 도 1a 에 나타난 화소에 대응하는 회로도.

도 3a 는 본 발명의 제 1 실시형태의 제 1 변형예에 따른 액정표시장치의 평면도.

도 3b 는 도 3a 의 III-III 선을 따라서 취한 단면도.

도 4a 는 도 1a 에 나타난 최상의 배선 레벨에 형성되고 공통전극배선을 구성하는 투명막.

도 4b 는 데이터선의 투명층과 화소전극을 구성하고 제 2 금속층과 동일 레벨에서 형성되는 투명막.

도 4c 는 도 4a 와 도 4b 에 나타난 것 이외의 도전성 막.

도 5a 는 본 발명의 제 1 실시형태의 제 2 변형예에 따른 액정표시장치의 평면도.

도 5b 는 도 5a 의 III-III 선을 따라서 취한 단면도.

도 6a 는 본 발명의 제 1 실시형태의 제 3 변형예에 따른 액정표시장치의 평면도.

도 6b 는 도 6a 에 나타난 III-III 선을 따라서 취한 단면도.

도 7a 는 본 발명의 제 1 실시형태의 제 4 변형예에 따른 액정표시장치의 평면도.

도 7b 는 도 7a 에 나타난 III-III 선을 따라서 취한 단면도.

도 8a 는 본 발명의 제 1 실시형태의 제 5 변형예에 따른 액정표시장치의 평면도.

도 8b 는 도 8a 에 나타난 I-I 선을 따라서 취한 단면도.

도 9a 는 도 8a 에 나타난 최상의 배선 레벨에 형성되는 투명막.

도 9b 는 최상의 배선 레벨 하부에 형성되는 투명막.

도 9c 는 도 9a 와 도 9b 에 나타난 것 이외의 도전성 막.

도 10 은 데이터선과 공통전극배선의 일부가 불투명막 (크롬) 과 투명막 (인듐 틴 옥사이드 (ITO) 로 이루어진 적층 구조를 갖는 경우에 대응하는, 도 1a 에 나타난 I-I, II-II 선을 따라서 취한 단면도.

도 11 은 데이터선이 단일 크롬막으로 이루어지고, 공통전극배선이 단일 ITO 막으로 이루어진 경우에 대응하는, 도 1a 에 나타난 I-I, II-II 선을 따라서 취한 단면도.

도 12 는 본 발명의 제 1 실시형태에 따른 공통전극배선과 주사선의 단면도.

도 13 은 본 발명의 제 2 실시형태에 따른 액정표시장치의 평면도.

도 14 는 도 1a 에 나타난 액정표시장치에 디스클리네이션 (disclination) 이 어떻게 형성되는 지를 설명하는 예시도.

도 15a 는 도 13 에 나타난 최상의 배선 레벨에서 형성되는 투명막.

도 15b 는 최상의 배선 레벨 하부에 형성되는 투명막.

도 15c 는 도 15a 와 도 15b 에 나타난 것 이외의 도전성 막.

도 16 은 장치의 액정패널 주변부가 어떻게 구성되는지를 나타내는 단면도.

도면의 주요 부분에 대한 부호의 설명

10 : 액정표시장치 11 : 능동소자기판
 12 : 대향기판 13 : 액정층
 14 : 편광판 15 : 도전층
 16 : 제 2 투명절연성기판 18 : 색층
 19 : 오버코트층 20 : 배향막
 22 : 제 1 투명절연성기판 23 : 제 1 층간 절연막
 24 : 데이타선 25 : 제 2 층간 절연막
 126, 226, 326 : 공통전극배선 227 : 화소전극
 28 : 주사선 29 : 절연막
 30 : 박막트랜지스터 34 : 드레인 전극
 35 : 소스전극 36 : 게이트 전극
 32 : a-Si 막 33 : n+ a-Si 막
 39 : 콘택 홀 40 : 블랙 매트릭스

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치에 관한 것으로서, 특히, 횡전계 (IPS; In-Plane Switching) 방식 액정표시장치에 관한 것이다.

액정표시장치에는 크게 2 가지 유형이 있다. 그 중 하나의 유형은 액정분자의 주축 (축방향을 '디렉터 (director)' 라 지칭함) 이 기판에 수직인 면에서 회전하도록 함으로써 이미지를 표시한다. 한편, 다른 하나의 유형은 액정분자의 주축이 기판에 평행인 면에서 회전하도록 함으로써 이미지를 표시한다.

전자를 트위스티드 네마틱 (Twisted Nematic; TN) 액정표시장치로, 후자를 IPS 액정표시장치로 분류한다.

IPS 액정표시장치는, 관측자가 장치에 대하여 서로 다른 방향으로부터 장치의 표시상의 이미지를 관측하는 경우에도, 관측자가 분자의 종축에 따라서만 액정분자를 관측하기 때문에, 관측자는 액정분자가 기판에 대하여 서있거나 눕혀 있는 것과 상관없이 이미지를 관측할 수 있어서, TN 액정표시장치를 이용하여 관측하는 것보다 보다 넓은 광시야각을 획득하는 것을 특징으로 한다.

이것이 최근에 IPS 액정표시장치가 TN 액정표시장치보다 보다 광범위하게 사용되는 이유이다.

예를 들면, 일본 특개평 제 6(1994)-202127 (이하, 제 1 종래기술이라 지칭함) 과 일본 특개평 제 9(1997)-318972 (이하, 제 2 종래기술이라 지칭함) 는 IPS 액정표시장치의 개구율을 향상시키는 기술을 개시한다.

제 1 종래기술에서 개시된 IPS 액정표시장치는 능동소자로 이루어진 구동수단을 가지며, 능동소자에 이미지 신호를 전송하는데 이용되는, 액정층에 대향하는 신호배선의 대부분의 부위가 도체에 의해 절연층을 통하여 커버되는 것을 특징으로 한다. 그러나, 제 1 종래기술에서 채용되는 실시형태는 투명전극이 바람직하지 않는 전계누설로부터 신호선

을 차폐하게 하는 구성을 결코 나타내지 않는다.

제 2 종래기술에서 개시된 IPS 액정표시장치는 공통전극배선과 블랙 매트릭스로서 기능하고 (즉, 블랙 매트릭스로서도 기능하는 공통전극배선 또는 그 역) 또한 블랙 매트릭스로서도 기능하는 공통전극배선에 의해 완전히 커버되는 주사선과 데이터선으로서도 기능하는 소자를 갖는다. 제 2 종래기술은 공통전극배선이 동시에 도체와 차폐막으로서 기능하게 하기 위한 것이며, 투명전극이 주사선과 데이터선으로부터의 전계 누설을 방지하게 하기 위한 구성을 결코 나타내지 않는다.

발명이 이루고자 하는 기술적 과제

이들 2 개의 종래 기술에 개시된 IPS 액정표시장치는 장치의 개구율과 표시되는 이미지의 휘도를 향상시키기 위함이다.

데이터선과 공통전극 간, 그리고 주사선과 공통전극 간에 전위차가 존재하므로, 이 전위차에 의해 바람직하지 않은 전계가 발생된다. 그 전계가 화소전극과 공통전극 간의 표시영역에 도달하면, 바람직하지 않은 전계가 도달하는 대응 영역에 포함된 액정분자는 그 바람직하지 않은 전계에 의해 영향을 받아서 이상 (abnormal) 배향된다. 예를 들면, 흑색 배경에 백색 창이 화면에 나타나는 경우, 흑색을 표시하며 대응화소가 백색을 표시하도록 구동된 이미지 신호를 전송하는 데이터선에 대응하여 흑색을 표시하는 화소는 그레이 레벨을 갖게 되며, 이러한 현상이 '종방향 크로스 토크 (longitudinal cross-talk)' 로 불리는 표시 문제점이다.

이 문제점을 방지하기 위해서, 데이터선과 주사선 양측에 제공되는 더미 (dummy) 공통전극이 넓은 폭을 갖도록 제조되며, 그 데이터선과 주사선으로부터의 전계는 더미 공통전극 상에 종단 (terminate), 즉, 데이터선과 주사선으로부터의 전계누설이 방지되거나, 데이터선과 주사선이 표시되는 이미지에 영향을 주지않는 전위에서 공통전극과 같은 전극들에 의해 커버된다.

액정표시장치의 개구율을 향상시키기 위해서, 후술하는 경우와 같이, 공통전극은 데이터선과 주사선을 커버하도록 형성하는 것이 바람직하다.

그러나, 종래 기술을 채용하는 경우, 공통전극이 차폐막으로 형성되기 때문에, 장치내에서 광선의 활용도가 바람직하지 않게 감소하게 된다.

공통전극이 차폐막으로 형성되는 이유는 화소들 간의 경계 근방의 디스플레이가 경계 인접의 화소에서 누설되는 광에 의해 영향을 받기 때문이다. 통상, 이러한 바람직하지 않은 현상을 방지하기 위해서, 차폐막으로 이루어지는 블랙 매트릭스가 화소들 간의 경계 근방의 형성된다. 그 후, 본 출원의 발명자들은 시뮬레이션과 실험을 수행하여, 경계 인접의 화소로부터 누설하는 광선이 화소들 간의 경계 둘레의 표시에 영향을 주는 정도를 결정함으로써, 주사선과 데이터선으로부터 전계 누설이 언제 완전히 방지되고, 경계의 인접 화소로부터의 광선누출이 화소들 간의 경계 근방의 표시에 영향을 주는 정도가 작으며, 표시되는 이미지가 고 품질을 갖도록 요구되는 경우를 제외하면, 블랙 매트릭스는 장치로부터 제거될 수 있는 지에 대한 결론에 도달하였다.

본 발명은 상술한 시뮬레이션과 실험에 기초하여 창출되었으며, 종방향 크로스 토크의 발생을 방지하고 장치의 개구율을 향상시킬 수 있는 횡전계방식 액정표시장치에 관한 것이다.

또한, 본 발명은 상술한 문제점을 해결하도록 제안되었다. 즉, 본 발명에 따른 횡전계방식 액정표시장치는 주사선을 갖는 제 1 기판, 그 위에 형성되는 데이터선과 공통전극배선을 구비하되, 그 데이터선은 데이터선과 주사선 사이에 절연막을 삽입할 때 주사선을 가로질러 형성되고, 그 공통전극배선은 주사선과 데이터선보다 제 1 기판에 보다 멀리 위치되며 주사선과 데이터선을 구조적으로 커버하기 위해서 주사선과 데이터선의 폭보다 더 긴 폭을 갖는다. 본 발명의 장치는 제 1 기판과 제 2 기판 사이에 액정을 삽입할 때 제 1 기판에 대향하도록 배치되는 제 2 기판을 더 구비한다.

그 장치의 구성에 의해 데이터선과 주사선으로부터의 모든 전계를 공통전극배선상에서 종단시킬 수 있다. 공통전극배선을 투명 도전성 재료로 형성하는 것은 종래 장치의 개구율을 유지시킨다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 실시형태들을 상세히 설명한다.

이하, 능동소자 기판 (11) 과 대향 기판 (12) 상의 층을 각각 지칭하는 경우, 액정층 (13) 에 관련하여 다른 층보다 가깝게 위치한 층을 상부층이라 지칭하고, 액정층 (13) 에 관련하여 다른 층보다 멀게 위치한 층을 하부층이라 지칭한다.

[본 발명의 제 1 실시형태]

도 1 과 도 2 는 본 발명의 제 1 실시형태에 따른 횡전계방식 능동소자 액정표시장치를 나타낸다. 도 1a 는 본 실시형태에 따른 액정표시장치의 평면도이고, 도 1b 는 I-I 선을 따라서 취한 단면도이며, 도 2 는 도 1a 에 나타난 화소에 대응하는 회로도이다.

도 1b 에 나타난 바와 같이, 액정표시장치 (10) 는 능동소자 기판 (11), 대향 기판 (12), 능동소자 기판 (11) 과 대향 기판 (12) 사이에 삽입된 액정층 (13) 을 구비한다.

대향 기판 (12) 은 제 2 투명절연성기판 (16), 그 기판에 형성되는 색층 (18), 및 그 색층 (18) 에 형성되는 투명 오버코트층 (19) 을 구비한다. 또한, 액정표시장치 패널의 표면과 작동자 사이의 직접 마찰에 의해 발생하는 정전하가 액정층 (13) 에 전기적으로 영향을 미치는 것을 방지하기 위해서, 투명 도전층 (15) 이 제 2 투명 절연성 기판 (16) 의 후면에 형성된다. 색층 (18) 은 적색 (R) 염료 또는 안료로 이루어진 수지에 의해 제조된 적색층 (118), 녹색 (G) 염료 또는 안료로 이루어진 수지에 의해 제조된 녹색층 (218), 및 청색 (B) 염료 또는 안료로 이루어진 수지에 의해 제조된 청색층 (318) 이 주기적으로 배치되도록 구성된다. 도 1b 에 나타난 바와 같이, 인접 색과 다른 색을 배치하는 경우에도 인접 색층 사이에 공간 (spacing) 이 생기는 것을 방지하기 위해서, 인접한 색층과 서로다른 색을 갖는 색층들이 서로 오버랩되도록 형성된다.

능동소자 기판 (11) 은 제 1 투명 절연성 기판 (22); 그 기판 (11) 상에 형성되고 주사선 (28, 도 1a 참조) 과 게이트전극 (36, 도 2 참조) 을 구성하는 제 1 금속막; 제 1 금속막 상에 형성되는 제 1 층간 절연막 (23); 제 1 층간 절연막 (23) 상에 모두 형성되는 섬모양의 비결정 실리콘막, 데이터선 (24), 박막 트랜지스터 (30) 의 소스전극 (35) 과 드레인전극 (34), 투명막으로 이루어진 화소전극; 제 1 층간 절연막 (23) 상에 형성되고 그 제 1 층간 절연막 (23) 상에 형성되는 소자들을 커버하는 제 2 층간 절연막 (25); 및 투명막으로 이루어지고 제 3 층간 절연막 (25) 상에 형성되는 공통전극배선 (26) 을 구비한다. 데이터선 (24) 은 불투명막 (124) 및 그 불투명 막의 폭보다 좁은 폭을 가지면서 그 에 밀착된 투명막 (224) 으로 이루어진 적층구조를 갖는다. 데이터선의 구성은 데이터선의 저항을 감소시키고 데이터 신호의 시간지연을 방지할 수 있게 한다. 투명막 (224) 의 폭이 불투명 막 (124) 의 폭보다 좁게 제조되는 이유는 다음과 같다. 즉, 기판의 표면에 배포되어 레지스트 패턴에 의해 커버되지 않는 투명막의 일부를 에칭함으로써 투명막 (224) 이 형성되고 데이터선이 외부에 노출되는 경우, 예를 들면, ITO 로 이루어진 투명막과 예를 들면, 크롬으로 이루어진 불투명막 사이에 셀 반응 (이 반응은, 서로 다른 금속이 전해용액에 담가져서 그 금속들이 전기적으로 서로 연결되는 경우에 반응이 관측되며, 그 사이에 전위차가 발생된다; 통상 이 반응을 '셀 반응' 이라 지칭한다) 에 기인하여 전위차가 발생되어, 그 전위차는 데이터선으로서 형성되는 불투명층으로 하여금 보다 용이하게 에칭되게 한다. 투명막 패턴과 불투명막 패턴간의 크기차가 커짐에 따라서, 그 현상, 즉 셀 반응이 가속되며, 몇몇 경우에는 불투명막과 투명막이 소실된다. 이 현상을 방지하여 장치의 수율을 향상시키기 위해서, 투명막보다 1 내지 2 μm 만큼 넓은 불투명막을 형성하는 것이 바람직하다.

배향막 (20) 이 능동소자기판 (11) 과 대향기판 (12) 각각의 표면에 코팅되고, 액정층 (13) 의 액정분자를 균일하게 배향되도록 하기 위해서, 데이터선이 연장하는 방향에 대해서 10 내지 30 도의 각도 방향으로 러빙된다. 그러면, 2 개의 기판이 서로 밀착되어 대향한다. 배향막이 러빙되는 각은 액정 분자의 초기 배향 방향으로 지칭된다.

도 1a 에 나타난 바와 같이, 능동소자기판 (11) 은 데이터 신호가 제공되는 데이터선 (24), 기준전압이 제공되는 공통전극배선 (26), 표시되는 화소에 대응하여 전압이 공급되는 화소전극 (27), 주사신호가 제공되는 주사선 (28), 및 박막트랜지스터 (30) 을 구비한다. 공통전극배선 (26) 과 화소전극 (27) 은 각각 교차 배치되는 부분을 각각 가지며, 공통전극배선 (26) 과 화소전극 (27) 사이에 전압이 인가되는 경우, 제 1 투명 절연성 기판 (22) 과 제 2 투명 절연성 기판 (16) 의 표면에 평행한 방향으로 전계가 발생된다. 공통전극배선 (26) 과 화소전극 (27) 은 빗모양 (comb-shaped) 부분을 가지며, 공통전극배선 (26) 의 빗모양 부분 (공통전극배선 (26) 의 경우에는, 빗모양 부분이 서브 전극으로도 지칭되며, 화소전극 (27) 의 서브전극에 인접하는 공통전극배선 (26) 의 서브전극이 화소전극 (27) 의 서브전극과 협력하여 전계를 발생하는데 기여한다) 와 화소전극 (27) 의 빗모양 부분 (화소전극 (27) 의 경우, 빗모양 부분이 서브 전극으로도 지칭되며, 화 소전극 (27) 의 서브전극은 화소전극의 주요 부분을 구성한다) 는 서로 평행하게 교차 배치된다. 액정표시장치 (10) 에서, 액정분자는 화소전극 (27) 과 공통전극배선 (26) 사이에 발생하는 전계에 의해 구동된다. 통상, 액정 분자를 구동하는데 이용되는 화소전극 (27) 과 공통전극배선 (26) 은 모두 화소전극과 공통전극으로 각각 지칭된다. 그러나, 공통전극배선이 공통배선과 공통전극 양자로서 기능하기 때문에, 공통배선과 공통전극을 서로 명확하게 구별하는 것은 어렵다. 따라서, 이하, '공통배선' 및 '공통전극' 대신에 '공통전극배선' 이라는 용어가 이용된다.

또한, 불투명 막으로 이루어진 공통전극배선 (26) 은 불투명 공통전극배선 (126) 이라 지칭하고, 투명막으로 이루어진 공통전극배선은 투명 공통전극배선 (226) 이라 지칭한다.

도 1a 에 나타난 바와 같이, 데이타선 (24) 과 주사선 (28) 은 투명막으로 이루어지고, 데이타선 (24) 과 주사선 (28) 의 폭보다 넓은 폭을 갖는 공통전극배선 (226) 에 의해 구조적으로 간접 커버된다. 상술한 바와 같이 데이타선 (24) 을 구성하는 경우, 주사선 (28) 과 공통전극배선 (226) 은 주사선 (28) 과 데이타선 (24) 으로부터의 전계누설이 완전히 방지될 수 있게 한다. 따라서, 화소전극과 공통전극배선 (226) 을 이용하여 제어될 수 있는 효율적인 표시영역이 확대되어, 장치의 개구율을 향상시킨다. 또한, 공통전극배선 (226) 이 투명막으로부터 제조되기 때문에, 주사선 (28) 과 데이타선 (24) 을 제외한 모든 구조적 영역이 장치의 개구로서 기능하게 할 수 있다.

또한, 도 1a 에 나타난 바와 같이, 투명막으로 이루어진 공통전극배선 (226) 이 메쉬 (mesh) 패턴으로 ITO 막을 형성함으로써 제공되어, 배선저항이 감소될 수 있게 한다.

도 1b 에 나타난 바와 같이, 공통전극배선 (26) 과 화소전극 (27) 을 능동소자기판의 서로 다른 층에 형성함으로써 공통전극배선 (26) 과 화소전극 (27) 간의 단락을 방지하여, 장치의 수율을 증가시킨다. 이 경우, 화소전극 (27) 보다 액정층 (13) 에 보다 근접한 층 상에 공통전극배선 (26) 을 형성함으로써 공통전극배선 (26) 과 데이타선 (24) 사이의 공간과 공통전극배선 (26) 과 주사선 (28) 사이의 공간이 확대될 수 있어, 공통전극배선 (26) 과 데이타선 (24) 간의 기생 용량 및 공통전극배선 (26) 과 주사선 (28) 간의 기생 용량이 감소된다.

도 3a 에 나타난 바와 같이, 주사선 (28) 이 연장하는 방향과 평행한 공통전극배선 (26) 의 부분이 주사선 (28) 이 연장하는 방향과 평행한 화소전극 (27) 의 부분이 제 2 층간 절연막 (25) 을 통하여 위/아래 방향으로 서로 대향한다. 상술한 바와 같이, 공통전극배선 (26) 의 부분이 화소전극 (27) 의 부분은 액정 용량과 평행하게 접촉되는 축적용량을 구성하여 장치의 전기적 안정성을 향상시킨다.

도 1a 를 참조하면, 소스전극 (35) 와 화소전극 (227) 은 절연막을 삽입하지 않고 형성되어, 콘택 홀의 채움에 대한 요구를 제거한다. 따라서, 콘택 홀이 절연막에 형성될 필요가 없기 때문에, 콘택 홀의 형성을 위해서 소스 전극이 보다 크게 형성될 필요가 없으며, 즉, 장치의 개구율을 줄이지 않고도 소스전극 (35) 과 화소전극 (27) 간의 접촉 저항이 감소될 수 있다.

도 4a 내지 도 4c 는 도 1a 의 평면도를 3 개의 영역, (1) 최상위 배선레벨에서 형성되며 공통전극배선 (226, 도 4a) 을 구성하는 투명 (ITO) 막, (2) 화소전극 (227) 과 데이타선 (24, 도 4b) 의 투명막 (224) 을 구성하는 투명 (ITO) 막, (3) 주사선 (28) 을 구성하는 제 1 금속막과 데이타선 (24, 도 4c) 의 불투명막 (124) 을 구성하는 제 2 금속막을 구비하는 다른 막들로 분할된 평면도이다. 투명막으로 이루어진 화소전극 (227) 과 불투명막 (124) 의 폭보다 더 좁은 폭을 갖는 투명막 (224) 양자는 데이타선을 구성하며, 제 2 금속막과 동일한 레벨에 형성된다. 즉, 불투명막 (124) 의 폭보다 좁은 폭을 가지며, 그 불투명막 (124) 에 밀착되는 투명막 (224) 이 화소전극 (227) 에 따라 형성된다. 도 1a 와 도 4a 내지 도 4c 에 나타난 바와 같이, 데이타선 (24) 과 주사선 (28) 을 완전하게 커버하며 투명막으로 이루어진 공통전극배선 (226) 과 그 공통전극배선 (226) 에 인접하여 형성되고 투명막으로 이루어진 화소전극 (227) 사이에는, TFT 소자가 존재하는 영역을 제외하면 차광막이 구조적으로 존재하지 않는다. 또한, 화소전극 (27) 은 투명막 (227) 으로 이루어지기 때문에, 장치의 개구율이 증가하여 장치의 광원 활용도를 향상시킨다.

또한, 도 1a 에 나타난 바와 같이, TFT 가 정상 스위칭 성능을 유지하게 하기 위해서 대향 기판 (12) 의 제 2 투명기판 (16) 상에 형성되는 최저한의 TFT 소자를 구조적으로 커버하도록 차광막 (40, 통상, 블랙 매트릭스라 지칭됨) 이 형성된다.

2 개의 기판이 서로 결합될 때 블랙 매트릭스가 TFT 소자에 의해 차지된 영역 이외의 영역에 형성되고, 능동소자기판 (11) 과 대향기판 (12) 간의 중첩 어긋남이 (relative displacement) 생기는 경우에는, 블랙 매트릭스 (40) 가 장치의 개구율을 감소시키기 때문에 바람직하지 않다.

또한, 도 5a 와 도 5b 는 도 1a 와 도 1b 에 나타난 실시형태의 제 2 변형예를 나타낸다. 도 5a 는 제 2 변형예의 액정 표시장치의 평면도이며, 도 5b 는 도 5a 에 나타난 III-III 선을 따라서 취한 단면도이다. 도 5a 와 도 5b 에 나타난 바와 같이, 대응화소에 축적용량을 증가시키기 위해서 층간 절연막 (23) 을 통하여 주사선 (28) 을 오버랩하도록 화소전극 (27) 이 제조되어, 액정표시장치의 표시패널 상에 형성되는 이미지를 안정화시킨다.

또한, 도 6a 와 도 6b 는 도 1a 와 도 1b 에 나타난 실시형태의 제 3 변형예를 나타낸다. 도 6a 는 제 3 변형예의 액정 표시장치의 평면도이며, 도 6b 는 도 6a 는 III-III 선을 따라서 취한 단면도이다. 도 6b 에 나타난 바와 같이, 공통전극배선 (26) 의 저항을 감소시키기 위해서, 크롬과 같은 저저항 재료로 이루어진 공통전극배선 (126) 을 공통전극배선 (26) 에 커플링하여, 적층구조를 형성하는 것이 바람직하다. 장치에서의 개구율의 감소를 방지하기 위해서는, 공통전극배선 (126) 이 주사선 (28) 을 구조적으로 오버랩하도록 제조되며, 바람직하게는, 주사선 (28) 의 내부에 위치

된다 (비록 불투명 재료로 이루어진 전체 공통전극배선 (126) 이 도 6a 에 나타내지만, TFT (30) 의 활성영역을 커버하는 부분만 두꺼운 검정선 (626) 으로서 나타낸다).

저저항 재료로 이루어진 공통전극배선 (126) 은 불투명하기 때문에, 블랙 매트릭스가 대향기판 (12) 의 표시영역에 형성될 필요가 없다. 이러한 이유로, 2 개의 기판이 함께 결합될 때 능동소자기판 (11) 과 대향기판 (12) 간의 중첩 어긋남이 발생하는 때에는, 블랙 매트릭스가 표시영역으로 오버플로우하지 않으므로 장치의 개구율 감소를 방지한다.

또한, 도 7a 및 도 7b 는 도 1a 및 도 1b 에 나타난 실시형태의 제 4 변형예를 나타낸다. 도 7a 는 제 4 변형예의 액정 표시장치의 평면도이며, 도 7b 는 도 7a 에 나타난 III-III 선을 따라서 취한 단면도이다. 도 7b 에 나타난 바와 같이, 공통전극배선은 공통전극배선 (126) 과 공통전극배선 (226) 으로 이루어지며 두 선 모두 적층구조를 형성하는 경우 (비록 불투명 재료로 이루어진 전체 공통전극배선 (126) 이 도 7a 의 평면도에 나타내지 않지만, TFT (30) 의 활성영역을 커버하는 부분은 두꺼운 검정선 (626) 에 의해 나타낸다), 절연막 (29) 으로 공통전극배선 (126, 226) 을 커버하는 것이 바람직하다.

투명 재료로 이루어진 공통전극배선 (226) 은 ITO 등으로 이루어지고, 통상, ITO 와 같은 산화막이 TN LCD 에서 사용되며, 당업자에게는 기지인 매우 안정된 재료이다. 그러나, ITO 재료는 핀홀로 인하여 흠결 부분 (defective portion) 을 가지며, 그 직하부에 위치한 막을 완전히 커버할 수 없는 경우에는, 단지 배향막 (20) 만이 크롬, 즉 불투명 재료로 이루어진 공통전극배선 (126) 을 커버하게 되어 크롬이 액정층으로 침투하는 것을 방지하는 보호막으로서 기능한다. 따라서, 액정패널의 신뢰성을 보다 향상시키기 위해서는, 공통전극배선 (126, 226) 상에 절연막을 형성하는 것이 바람직하다.

도 8a 와 도 8b 는 도 1a 와 도 1b 에 나타난 실시형태의 제 5 변형예를 나타낸다. 도 8a 는 제 4 변형예에 따른 액정 표시장치의 평면도이며, 도 8b 는 도 8a 에 나타난 I-I 선을 따라서 취한 단면도이다. 도 1b 에 나타난 제 1 실시형태에서, 투명재료로 이루어지는 공통전극배선 (226) 은 단지 제 2 층간 절연막 (25) 상에 형성되지만, 도 8b 에 나타난 제 5 변형예에서는, 투명재료로 이루어진 공통전극배선이 제 2 층간절연막 (25) 상에 형성되는 공통전극배선 (226) 과 제 2 금속막과 동일 레벨에서 형성되는 공통전극배선 (326) 으로 이루어진다. 즉, 도 8b 에 나타난 바와 같이, 투명재료로 이루어지는 화소전극은 2 개의 화소전극 (227) 을 가지며, 투명재료로 이루어진 공통전극배선 (326) 이 그 사이에 형성된다. 따라서, 공통전극배선 (26) 은 그 사이에 층간절연막 (25) 이 삽입되는 2 개의 배선, 즉 공통전극배선 (226, 326) 으로 이루어진다. 공통전극배선의 구성은 화소전극과 공통배선전극 간의 거리를 실질적으로 보다 가깝게 할 수 있어서, 그 사이의 전계를 확대시킨다. 따라서, 동일한 세기의 전계를 생성하는데 화소전극과 공통전극배선 간의 전압차가 실질적으로 보다 적게 제조될 수 있다.

도 9a 내지 도 9c 는 도 8a 에 나타난 평면도를 3 개의 영역, (1) 최상위 배선 레벨에서 형성되며 공통전극배선 (226, 도 9a) 을 구성하는 투명 (ITO) 전극, (2) 제 2 금속 (도 9b) 과 동일한 레벨에서 모두 형성되는, 화소전극 (227) 을 구성하는 투명막 (ITO) 과 데이타선 (124) 상에 형성되는 투명전극 (224), (3) 주사선 (28) 을 구성하는 제 1 금속막과 불투명막 (124, 도 9c) 을 구성하는 제 2 금속속막을 구비하는 다른 막들로 분할되는 평면도이다. 공통전극배선 (226, 326) 은 콘택 홀을 통해서 접속된다.

상술한 바와 같이 구성된 액정표시장치가 콘택 홀에 의해 차지되는 영역에 대응하여 유효 개구율을 감소시키지만, 보다 낮은 전압에서는 액정을 구동하고 전력소모를 감소시킬 수 있다. 장치의 유효 개구율이 감소하는 이유는, 장치가 IPS 동작모드에 있는 경우, 측면 전계가 전극 직하부에 유효하게 형성되지 않기 때문에, 전극 상부의 액정 분자가 회전되지 않아서, 액정분자를 통해 전송되는 빛의 투과가 커지는 것을 방지한다. 이러한 경우, 액정분자는 전달되는 광의 소량이 되도록 할 수 있으며, '개구율' 이라는 용어는 투명 전극을 통하여 전달되는 광을 포함하는 형태에서 계산되는 유효 개구율을 의미한다. 콘택 홀을 형성하는 것은 전극 영역을 증가시키고 측면 전계가 인가되는 영역이 감소되는 것에 비례하여 유효 개구율을 낮춘다.

도 10 과 도 11 은 제 1 실시형태의 따른 TFT 소자와 TFT 소자를 제외한 화소소자를 함께 나타내는 도면이다. 도 10 과 도 11 은 I-I 과 II-II 선을 따라서 각각 취한 단면도이다.

도 10 은 공통전극배선 (26) 과 데이타선 (24) 이 불투명막과 투명막으로 이루어지는 적층구조를 갖는 경우에 대응하며, 도 11 은 데이타선 (24) 이 단일막으로 이루어지는 경우, 즉, 공통배선전극 (26) 은 투명막 (226) 으로만 이루어지고, 데이타선 (24) 은 불투명막 (124) 으로서만 이루어지는 경우에 대응한다. 이하, 도 10 과 도 11 에 나타난 구성에 의해 생기는 이점을 상세히 설명하며, 주로 도 10 을 참조하여 설명한다.

도 1a, 도 1b 및 도 10 에 나타난 바와 같이, 주사선 (28) 과 게이트 전극 (36) 은 제 1 배선레벨에 형성되는 제 1 금속막으로 이루어진다.

IPS 액정표시장치 (10) 는 주사신호가 주사선 (28) 을 통하여 게이트 전극에 제공되어 화소를 선택하고, 데이타 신호

가 데이터선을 통하여 화소전극에 기입되며, 제 1 투명절연성 기판 (22) 과 제 2 투명절연성 기판 (16) 에 평행한 전계가 공통전극배선 (26) 과 화소전극 (27) 사이에 발생하여, 특정 이미지를 표시하기 위해서 액정분자가 투명 절연성 기판 (22, 16) 에 평행한 평면에서 그 전계에 의해 회전하도록 한다. 도 1a 에서, 모두 투명 재료로 이루어진 공통전극배선 (226) 과 화소전극 (227) 에 의해 둘러싸인 종방향 영역을 '칼럼' 이라 지칭한다.

도 10 에 나타낸 TFT 관련 소자는 크롬으로 이루어진 공통전극배선 (126) 이 형성되어 게이트 전극 (36) 을 구조적으로 오버랩하도록 구성되며, TFT 상에 입사하고 제 2 투명절연성 기판 (16) 의 한 변으로부터 방사되는 광으로부터 게이트 전극을 차폐한다. 이는 TFT 의 신뢰성을 더욱 향상시킨다. 또한, 불투명막 (126) 과 투명막 (226) 으로 이루어진 적층구조를 가지고 양자가 서로 밀착되어 공통전극배선을 형성하는 것은 공통배선의 저항을 감소시키고 공통전극 전위의 안정성을 향상시킨다. 또한, 크롬으로 이루어진 공통전극 배선 (126) 은 게이트 전극을 오버랩하게 함으로써 장치의 개구율을 향상시킨다.

도 10 을 참조하여 공통전극배선과 게이트 전극과의 구조적 관계가 TFT 와 결합하여 설명되지만, 그 구조적 관계가 주사선 (28) 과 구조적으로 그 주사선 (28) 을 커버하는 공통전극배선 간의 구조적 관계에서도 적용될 수 있다. 도 12 는 크롬으로 이루어지는 불투명막 (126) 과 투명막 (226) 으로 이루어진 적층구조를 갖도록 구성되며, 양자 모두 공통전극배선 (26) 을 구성하며, 서로 밀착되고, 공통전극배선 (26) 으로 주사선 (28) 을 구조적으로 커버하는 실시예를 나타낸다. 불투명막 (126) 은 주사선 (28) 이 불투명막 (126) 을 구조적으로 커버하기 위해서 주사선 (28) 의 폭보다 더 작은 폭을 갖도록 형성된다. 이는 장치의 개구율을 향상시키고 공통전극배선 (26) 의 저항을 감소시켜, 데이터 신호가 지연되는 것을 방지한다.

도 12 는 공통전극배선 (26) 이 주사선을 구조적으로 커버하는 경우를 나타내지만, 데이터선 (24) 을 구조적으로 커버하는 공통전극배선 (24) 이 도 12 에 나타낸 경우에서 채용된 구조와 동일한 구조를 갖도록 구성될 수도 있다. 공통전극배선 (26) 이 데이터선 (24) 을 구조적으로 커버하는 경우, 불투명 재료로 이루어진 공통전극배선 (126) 을 차광막으로 채용하는 것은 대향기판의 블랙 매트릭스 영역을 감소시키고, 도 12 에 나타낸 구성에 의해 나타나는 이점과 동일한 이점이 생겨서, 블랙 매트릭스를 대향기판에서 제거한다.

도 12 에 나타낸 바와 같이, ITO 로 이루어지는 투명막 (226) 이 불투명막 (126) 보다 액정층 (13) 에 보다 가깝게 배치되며, 불투명막 (126) 은 투명막 (226) 으로 완전히 커버된다. 이는 불투명막이 액정과 반응하여 액정에 용해되는 것을 방지시켜 장치 신뢰성을 향상시킨다. 이는 ITO 가 전기화학반응에 대하여 매우 높은 안정성을 나타내는 재료이기 때문이다. 불투명막 (126) 이 ITO 보다 전기화학반응에 대하여 높은 안정성을 나타내는 재료로 형성되는 경우에는, 불투명막 (126) 을 투명막 (226) 보다 액정층 (13) 에 보다 가깝게 배치하고, 또한, 불투명 막 (126) 으로 투명막 (226) 을 커버하는 것이 바람직하다.

도 10 에 나타낸 바와 같이, 박막 트랜지스터 (30) 은 게이트 전극 (36), 드레인 전극 (34) 및 소스 전극 (35) 을 구비하며, 주사선 (28) 과 데이터선 (24) 이 서로 교차하는 교차점 근처의 각 픽셀에 대응하여 배치된다. 게이트 전극 (36) 은 주사선 (28) 에 전기적으로 접속되고, 드레인 전극 (34) 은 데이터선 (24) 에 접속되며, 소스전극 (35) 은 화소전극 (227) 에 접속된다.

도 10 에 나타낸 바와 같이, TFT (30) 의 소스전극 (35) 은, 제 2 전극으로 이루어지며 데이터선을 구성하는 불투명막 (135) 및 ITO 로 이루어지고 화소전극 (227) 을 구성하며 화소전극 (227) 과 동일한 레벨에 형성되는 투명막 (235) 으로 이루어진다. 데이터 전극 (24) 의 투명막 (224) 과 동일한 레벨에서 드레인 전극 (34) 의 투명막 (234) 과 소스전극 (35) 의 투명막 (235) 을 형성하는 것은 TFT 형성 처리 단계수의 증가를 방지한다.

또한, 투명막 (234, 235) 이 그 길이가 투명막 (234, 235) 의 길이보다 TFT 채널과 평행한 방향에서 더 긴 불투명막 (134, 135) 으로 구조적으로 각각 커버된다. 즉, 도 10 에 나타낸 바와 같이, 불투명막 (134, 135) 이 채널에 대응하는 개구부의 말단과 정렬되는 말단을 갖도록 형성되며, 투명막 (234, 235) 은 채널에 대응하는 개구부의 말단으로부터 0.5 내지 1.0 μm 떨어져서 그들의 말단이 형성된다. 이 막들의 구성은, TFT 의 특성에 영향을 미치는 불투명막의 패턴에 의해 TFT 채널의 길이가 결정되기 때문에 투명막이 패턴되는 정확성에 기인하여 TFT 의 특성이 변하는 것을 방지한다. 또한, 투명막이 불투명막 상에 형성되어 2 개의 막이 서로 밀착하여 투명막과 불투명막의 패턴 폭 간의 차이가 점차 커지는 경우에는, 상술한 바와 같이, 일부 경우, 막을 에칭하여 막들 내의 각각의 패턴을 형성하는 단계에서 불투명 막과 투명막이 사라진다. 이 현상을 방지하여 장치의 수율을 향상시키기 위해서는, 막 (234, 235) 의 길이가 TFT 채널에 평행한 방향으로 불투명 막 (134, 135) 의 길이보다 0.5 내지 1.0 μm 만큼 더 짧도록 투명막 (234, 235) 을 형성하는 것이 바람직하다.

도 11 에 나타낸 제 1 실시형태에 따라서, 액정표시장치의 TFT 소자는 TFT 소자를 구조적으로 커버하는 공통전극배선 (226) 이 단일막으로서 투명막 (ITO) 로서만 이루어지고, 드레인 전극 (34) 과 소스전극 (35) 이 단일막으로서 제 2 금속막으로 이루어진다. 또한, 도 11 에 나타낸 화소에서, 데이터선 (24) 은 단일막으로서 불투명막 (124) 만으로 이루어진다. 도 11 에 나타낸 액정표시장치의 나머지 구성은 도 10 에 나타낸 액정표시장치에 나타낸 구조와 동일

하다.

이하, 도 10 에 나타난 화소와 TFT 소자를 제조하는 방법을 간단히 설명한다.

게이트 전극 (36) 과 주사선 (28) 은 크롬과 같은 제 1 금속막으로 모두 이루어지며, 건식 에칭과 리소그래피 기술에 의해 제 1 투명절연성 기판 (22) 으로서 유리기판 상에 형성된다.

그 후, 실리콘 다이옥사이드 (SiO_2) 와 실리콘 질화물 (SiN_x) 로 이루어진 제 1 층간 절연막 (23) 이 게이트 전극 (36) 과 주사선 (28) 을 커버하도록 투명 절연성 기판 (22) 상에 형성된다.

그 후, 비결정 실리콘 (a-Si) 막 (32) 과 n+ 비결정 실리콘 (a-Si) 막 (33) 으로 이루어지며 적층구조를 갖는 비결정 실리콘 막이 제 1 층간 절연막 (23) 상에 형성된다.

그 후, 비결정 실리콘 막 (32, 33) 이 리소그래피 기술과 건식 에칭에 의해 에칭되고 패턴되어 섬모양의 반도체층을 형성한다.

그 후, 제 2 금속막으로서 크롬이 기판의 표면상에 배포되고 리소그래피 기술과 건식 에칭에 의해 패턴되어, TFT 의 드레인 전극 (34) 의 불투명막 (134), TFT 의 소스전극 (35) 의 불투명막 (135), 및 데이터선 (24) 의 불투명막 (124) 을 형성한다.

그 후, ITO 가 기판의 표면상에 배포되고 리소그래피 기술과 건식 에칭에 의해 패턴되어, 드레인 전극 (34) 의 투명막 (234), 소스전극 (35) 의 투명막 (235), 데이터선 (24) 의 투명막 (224) 및 화소전극 (27) 의 투명막 (227) 을 형성한다.

ITO 로 패턴을 형성한 후, TFT 채널이 에칭에 의해 형성된다. 즉, n+ a-Si 막 (33) 과 a-Si 막 (32) 으로 이루어지고 드레인 전극 (34) 과 소스 전극 (35) 사이에 형성되는 개구부를 통하여 외부에 노출되는 비결정 실리콘 막의 부분이, 드레인 전극 (34) 과 소스전극 (35) 을 마스크로서 이용하여 비결정 실리콘 막의 표면으로부터 중간 두께까지 에칭하여 TFT (30) 의 채널을 형성한다.

그 후, 무기재료로서 실리콘 질화물로 이루어진 제 2 층간 절연막 (25) 이 기판의 표면 상에 배포된다.

크롬은 리소그래피 기술과 건식 에칭에 의해 패턴되어 게이트 전극 (36) 의 위치와 대략 가하학적으로 동일한 지점에 대략 위치하는 공통전극배선 (126) 을 형성한다. 이러한 경우, 바람직하게는, 크롬으로 이루어진 공통전극배선 (126) 이 공통전극배선 영역보다 넓은 영역을 갖는 게이트 전극 (36) 으로 구조적으로 커버된다. 이는 게이트 전극 (36) 만이 장치의 개구율을 결정하고 공통전극배선 (126) 은 영향을 미치지 않는, 즉 장치의 개구율을 감소시키지 않는 점 때문이다.

ITO 가 기판의 표면 상에 배포되고 리소그래피 기술과 건식 에칭에 의해 패턴되어, 화소영역과 TFT 영역 내에 ITO 로 이루어진 공통전극배선 (226) 을 각각 형성한다.

도 11 에 나타난 액정표시장치가 어떻게 제조되는지에 대한 설명은, 도 10 과 도 11 에 나타난 장치의 구성들 간의 차이가 도 11 에 나타난 장치가 ITO 로 이루어진 데이터선과 크롬으로 이루어진 공통전극배선을 구비하지 않는 점 만이기 때문에 생략된다.

[본 발명의 제 2 실시형태]

도 13 은 본 발명의 제 2 실시형태에 따른 능동소자 액정표시장치 (100) 을 나타낸다. 러빙 방향에 의해 결정되는 초기 배향 방향 (러빙이 행해지는 방향, 즉, 러빙 방향) 과 화소전극 (27) 과 공통전극배선 (26) 사이에 인가되는 전계 방향 간의 관계는 다음과 같이 결정된다. 즉, 화소전극 (27) 과 공통전극배선 (26) 사이에 전압이 인가되는 경우, 각각의 액정분자의 전계방향과 일치하는 방향으로 배향을 하기 위해서, 화소전극 (27) 과 공통전극배선 (26) 에 의해 둘러싸인 전체 표시영역 상에서 초기 배향 방향으로부터 약간만 시계방향으로 액정분자 각각을 회전하게 된다. 상술한 관계를 나타내기 위해서, 도 13 에 나타난 바와 같이, 화소전극 (27) 의 상부 말단과 하부 말단 및 지면에서 수직인 방향으로 지면을 관측할 때의 각각의 칼럼에서 공통전극배선 (26) 이 경사되어 형성된다.

도 14 에 나타난 바와 같이, 화소전극 (27) 과 공통전극배선 (26) 사이 및 액정분자가 초기배향방향에서 전계가 존재하는 방향으로 반시계방향으로 회전하게 되는 영역에 전압이 인가되는 경우, 각각의 칼럼내의 액정분자가 회전하여야 하는 바람직한 방향과 반대 방향으로 액정분자 각각이 회전하게 되는 도메인이 화소의 말단 부분에 생성된다. 보다 상세하게는, 러빙 방향이 도 13 에 나타난 바와 같이 정의되며, 도 14 의 '이상 전계' 로 지칭되는 전계가 액정분자에

인가되어, 각각의 액정분자의 배향 방향이 이상 전계 방향과 일치하도록 하기 위해서 액정분자 각각이 예각만큼 회전하게 된다. 그 결과, 각각의 액정분자가 반시계방향으로 회전하게 된다. 한편, 정상 측면 전계가 인가되는 액정분자는, 각각의 액정분자의 배향방향이 정상측면 전계 방향과 일치하도록 하기 위해서 각각 예각만큼 회전하게 된다. 상술한 바와 같이, 액정분자가 위치한 영역에 의존하여 전계방향이 서로다르게 되는 경우, 정상전계와 이상전계에 대응하는 영역들 사이의 경계 부근영역의 대응 액정분자는 서로 반대방향으로 회전하게 되어 대응 액정분자들 간의 경계에서의 디스클리네이션(disclination)을 형성한다. 통상, 액정분자가 화소내의 어떤 영역내의 정상방향과 반대방향으로 회전하게 되는 경우, 액정분자가 정상방향으로 회전하게 되고, 다른 액정분자가 정상방향과 반대방향인 이상방향으로 회전하게 되는 도메인들 간의 경계 영역에서 디스클리네이션이 형성된다. 디스클리네이션이 오랜 기간동안 고정되어 형성되면, 표시조건이 그에 대응하여 변하며, 장치 동작의 초기 단계에서의 표시와 동일한 표시가 적절하게 획득되지 않아서, 장치의 신뢰성을 저감시킨다. 또한, 공통전극배선 (26) 과 화소전극 (27) 이 투명막으로 이루어지기 때문에, 관측자에게 용이하게 디스클리네이션이 관측된다.

도 13 에 나타난 바와 같이, 공통전극배선 (26) 과 화소전극 (27) 을 그 소자들이 상부측과 하부측으로서 경사진 말단 측면을 갖는 형성함으로써, 액정분자의 이러한 역회전을 방지한다. 공통전극배선 (26) 과 화소전극 (27) 을 그 소자들이 상부측과 하부측으로서 경사진 말단 측면을 가지며 액정분자가 고정된 방향으로 회전하게 형성함으로써 구성되는 구조는 반역회전 (anti-reverse-rotation) 구조라 지칭된다.

도 15a 내지 도 15c 를 참조하여 반역회전 구조의 레벨배치를 설명한다. 도 15a 내지 도 15c 는 3 개의 영역, (1) 최상위 배선레벨에 형성되고 공통전극배선 (226, 도 15a) 을 구성하는 투명 (ITO) 막, (2) 데이터선 (24) 의 투명전극 (224) 과 화소전극 (227) 을 구성하며, 둘 모두 제 2 금속막과 동일한 레벨에서 형성되는 투명 (ITO) 막, (3) 주사선 (28) 을 구성하는 제 1 금속막과 데이터선 (24, 도 15c) 의 불투명막 (124) 을 구성하는 제 2 금속막을 구비하는 기타의 막으로 도 13 의 평면도를 분할하는 평면도이다. 투명막으로 이루어지고 제 2 금속막과 동일한 레벨에서 형성되는 화소전극 (227) 및 ITO 로 이루어지고 제 2 중간 절연 막 상에 형성되는 공통전극배선 (226) 은 각각 빗모양의 전극을 갖게 되며, 화소전극 (227) 과 공통전극배선 (226) 에 대응하는 빗모양의 전극들이 상부측과 하부측으로 경사진 말단측 (526, 527) 을 각각 가지므로, 액정분자가 고정방향으로 회전하게 되는 반역회전 구조를 형성시킨다. 따라서, 장치의 액정분자의 주축이 역방향으로 회전하는 것을 방지할 수 있어, 디스클리네이션의 형성을 방지하고 액정표시장치 (100) 의 신뢰성과 광투과성을 향상시킨다.

[본 발명의 제 3 실시형태]

도 16 은 장치의 액정패널의 부근이 어떻게 구성되는지를 나타낸다. 도 16 에 나타난 바와 같이, 제 1 금속선 (41) 로 이루어지는 주사선이 패널 부근에 배치되고 콘택 홀 (44) 을 통하여 제 2 금속막 (42) 에 전기적으로 접속된다. 제 1 금속막과 제 2 금속막의 구성은, 데이터선 (24) 의 패턴 형성후에 ITO 가 습식에칭되는 (화소전극 (227) 의 패턴을 형성) 경우에 관측되는 상술한 셀 반응으로 인한 전극소실을 방지할 수 있게 하여, 장치의 수율을 향상시킨다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 액정표시장치에 따르면, 식별항목 '발명이 이루고자 하는 기술적 과제' 및 기타 관련 항목을 해결할 수 있으므로, 다음과 같은 이점이 생긴다.

- (1) IPS 액정표시장치는 화소들 간의 경계로부터 표시영역으로의 전계누설로 인한 종방향 크로스 토크의 발생하고 장치의 개구율이 감소하는 것을 방지할 수 있다.
- (2) 투명 재료로 이루어진 공통전극이 데이터선을 구조적으로 커버하도록 구성된 IPS 액정표시장치는 공통전극의 저항값을 감소시킬 수 있다.
- (3) IPS 액정표시장치는, 장치의 개구율을 향상시키기 위해서, 종래기술에서 표시되는 이미지에 나타나는 종방향 크로스 토크를 방지하기 위해서 채용되는 블랙 매트릭스 영역을 감소시키거나 블랙 매트릭스를 제거할 수 있다.
- (4) IPS 액정표시장치는 보다 저렴한 가격으로 제조되는 투명전극을 구비할 수 있다.
- (5) IPS 액정표시장치는 투명재료로 이루어진 공통전극이 공통전극배선과 데이터선 간의 기생 용량을 증가시키지 않고도 데이터선을 구조적으로 완전하게 커버하도록 구성된다.
- (6) IPS 액정표시장치는 데이터선으로부터 전계누설을 방지하기 위한 매우 신뢰성있는 투명재료를 갖도록 구성될 수 있다.

(57) 청구의 범위**청구항 1.**

주사선, 데이타선 및 공통전극배선이 상부에 형성된 제 1 기판;

상기 제 1 기판에 대향하여 배치되는 제 2 기판; 및

상기 제 1 기판과 상기 제 2 기판 사이에 삽입되는 액정을 구비하되,

상기 데이타선과 상기 주사선 사이에 절연막이 삽입되어 상기 데이타선이 상기 주사선을 가로질러 형성되고, 상기 공통전극배선은 상기 주사선과 상기 데이타선보다 상기 제 1 기판으로부터 더 멀리 위치되며 상기 주사선과 상기 데이타선을 구조적으로 커버하도록 상기 주사선과 상기 데이타선의 폭보다 더 긴 폭을 갖도록 구성되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 2.

제 1 항에 있어서,

상기 공통전극배선은 투명막과 불투명막으로 이루어지는 적층구조를 가지고, 상기 투명막과 불투명막은 서로 밀착되며, 상기 불투명막은 상기 주사선 내부에 구조적으로 위치되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 3.

제 1 항에 있어서,

상기 제 1 기판 상부에 화소전극을 더 구비하되,

상기 공통전극배선과 상기 화소전극은 각각 하나 이상의 공통 서브전극과 하나 이상의 화소 서브전극을 각각 갖고, 상기 공통전극배선과 화소전극의 하나 이상 의 서브전극이 서로 평행하며, 또한, 각각 상기 액정의 액정분자의 초기 배향방향에 대하여 예각으로 경사진 측면을 갖는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 4.

제 1 항에 있어서,

상기 제 1 기판 상의 화소전극을 더 구비하되,

상기 데이타선은 불투명 도전성 막과 투명 도전성 막으로 이루어지며, 상기 불투명 도전성 막은 상기 투명 도전성 막보다 상기 제 1 기판에 더 가깝게 위치되며, 상기 투명 도전성 막은 상기 불투명 도전성 막의 내부에 구조적으로 위치되고, 상기 화소전극은 상기 투명 도전성 막으로 이루어지는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 5.

제 3 항에 있어서,

상기 하나 이상의 공통 서브전극의 일부는 상기 화소전극과 동일한 레벨에서 형성되는 것을 특징으로 하는 횡전계방식 액정표시장치.

청구항 6.

제 5 항에 있어서,

상기 화소전극과 동일한 레벨에서 형성되는 상기 하나 이상의 공통 서브전극의 일부는 상기 불투명 도전성 막으로 이루어지고,

상기 공통전극배선은, 투명 도전성 막으로 이루어지고 상기 불투명 도전성 막에 대응하는 위치에 형성되며 또한 상기 불투명 도전성 막에 전기적으로 접속되는, 상기 하나 이상의 공통 서브전극의 일부를 갖는 횡전계방식 액정표시장치.

청구항 7.

제 3 항에 있어서,

상기 공통전극배선은 상기 화소전극과 다른 레벨에 형성되는 것을 특징으로 하는 횡전계방식 액정표시장치.

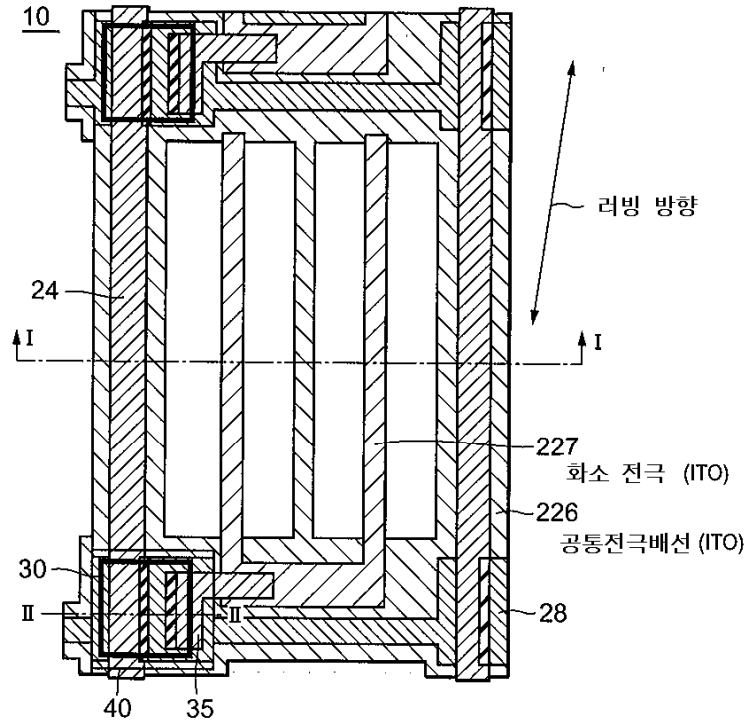
청구항 8.

제 2 항, 제 4 항 및 제 6 항 중 어느 한 항에 있어서,

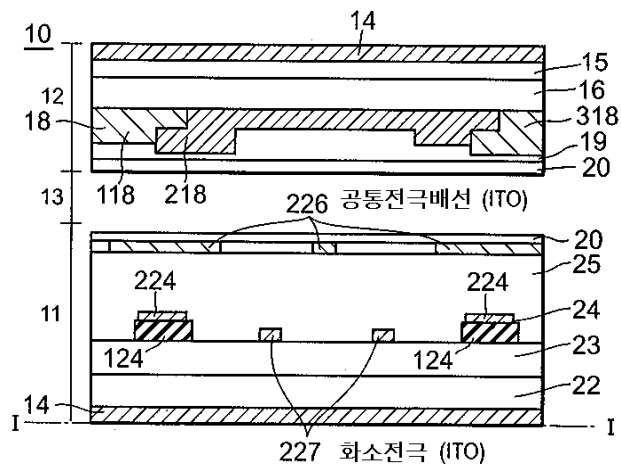
상기 투명 도전성 막은 인듐 틴 옥사이드 (ITO) 인 것을 특징으로 하는 횡전계방식 액정표시장치.

도면

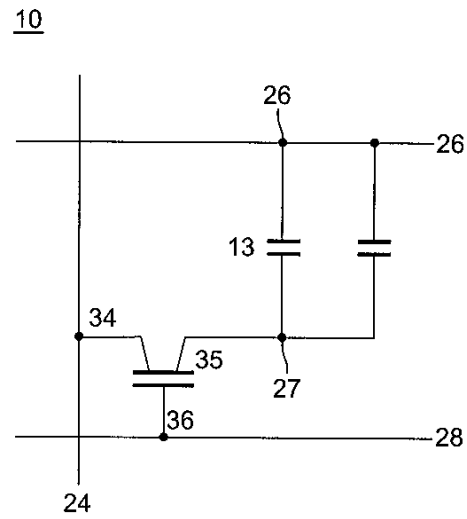
도면1a



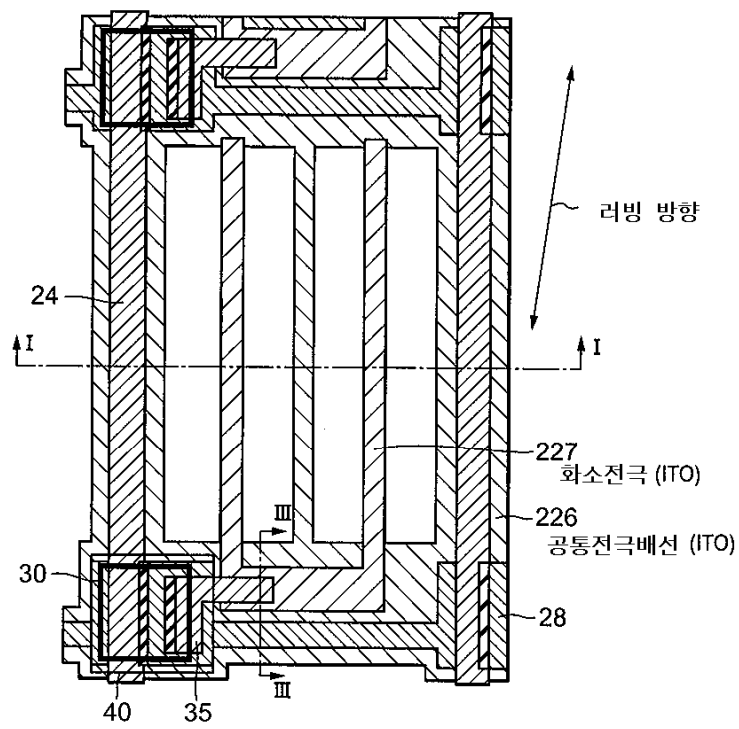
도면1b



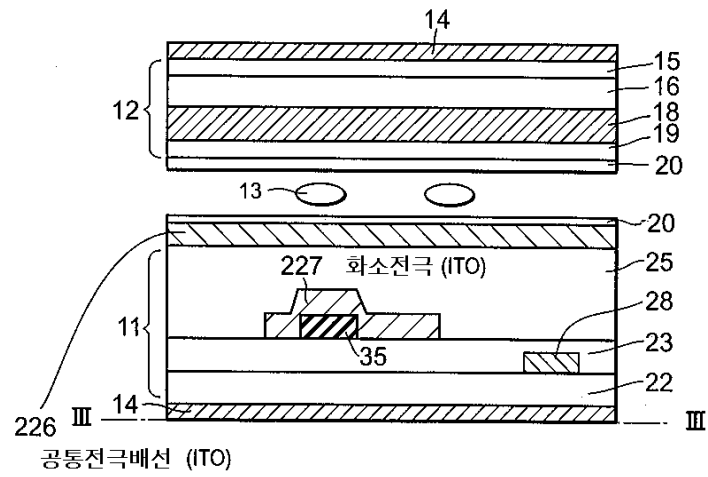
도면2



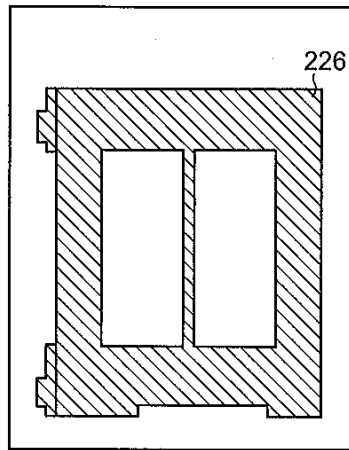
도면3a



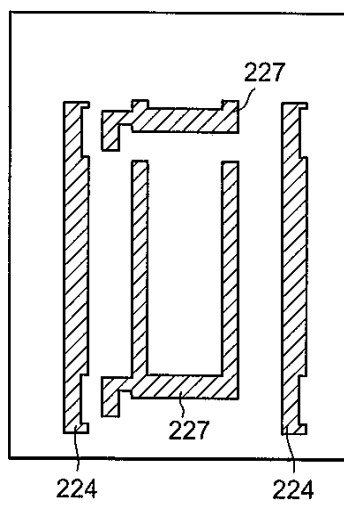
도면3b



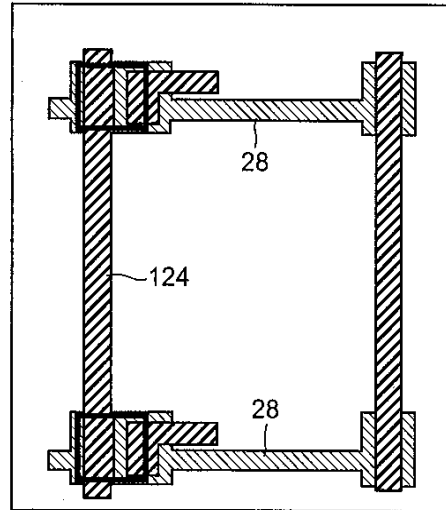
도면4a



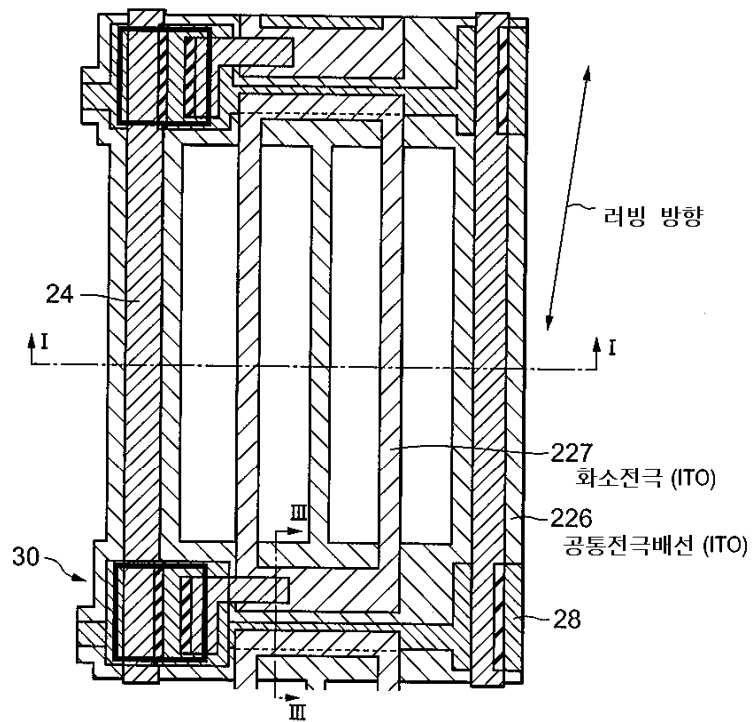
도면4b



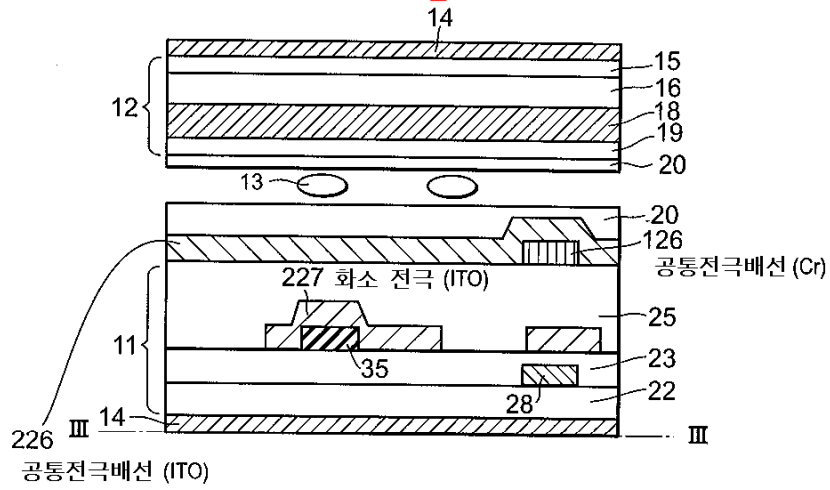
도면4c



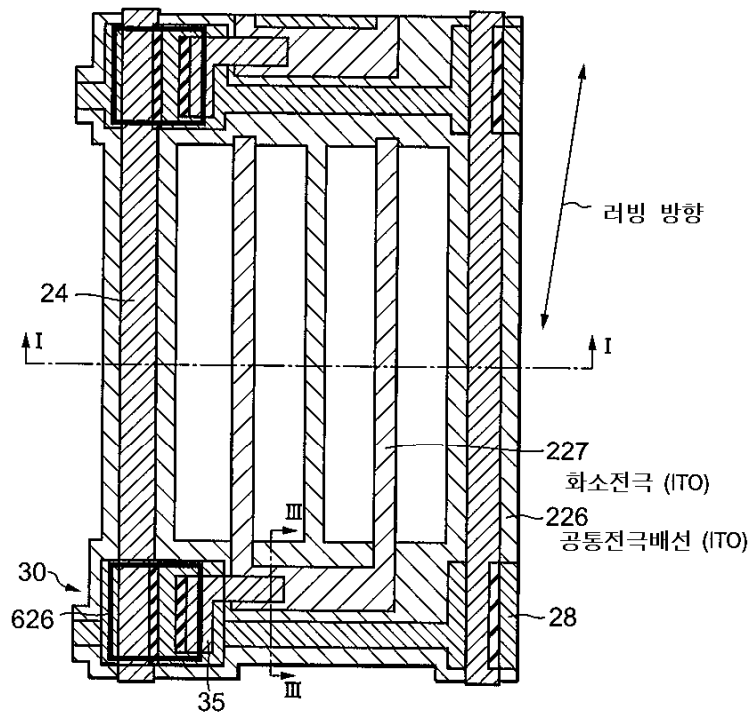
도면5a



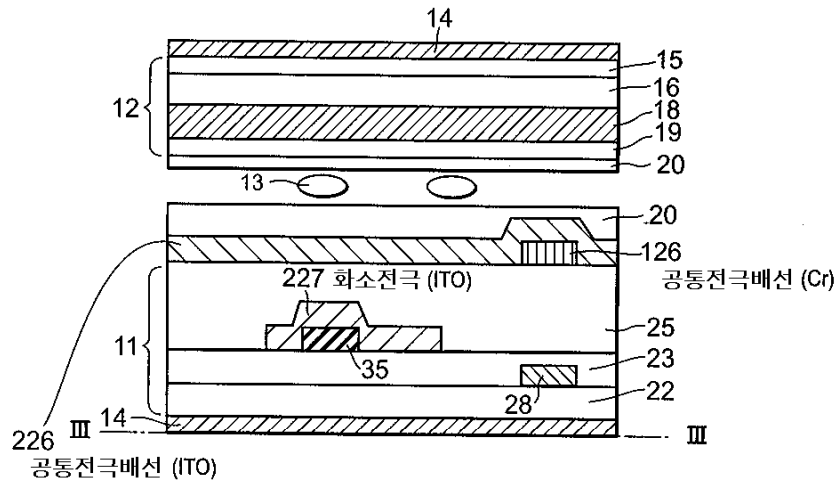
도면5b



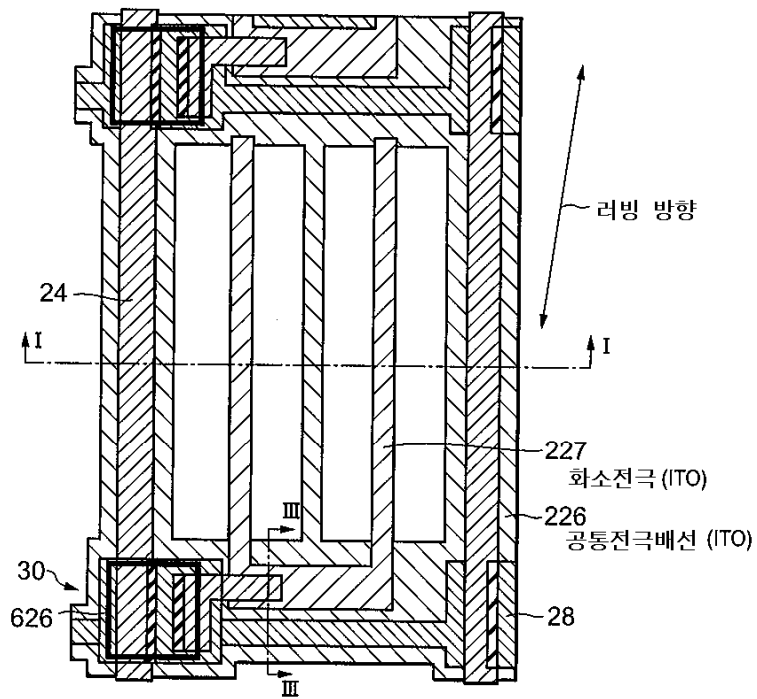
도면 6a



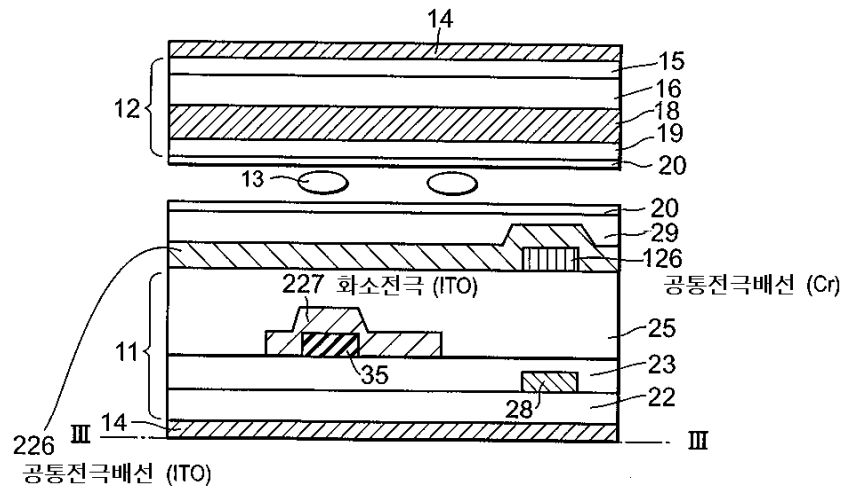
도면6b



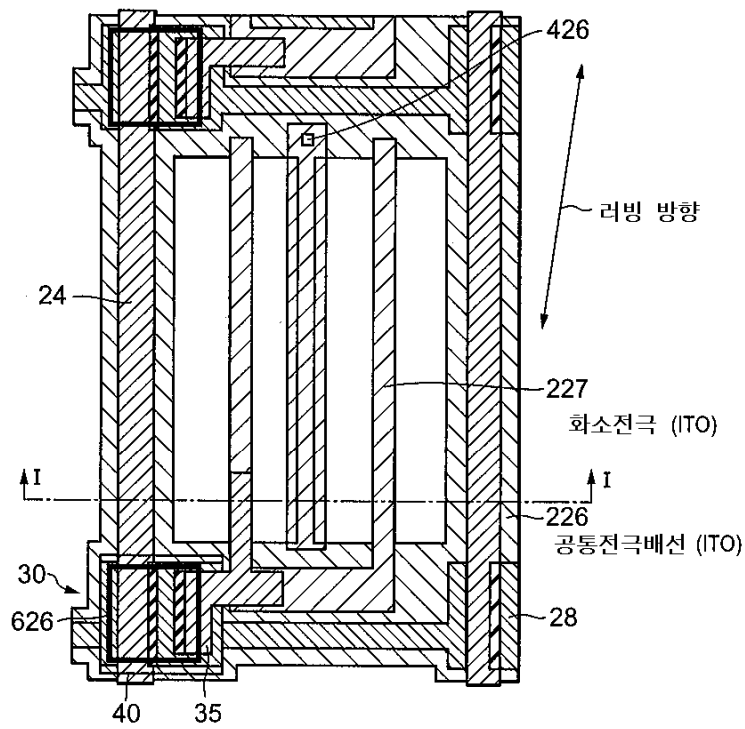
도면7a



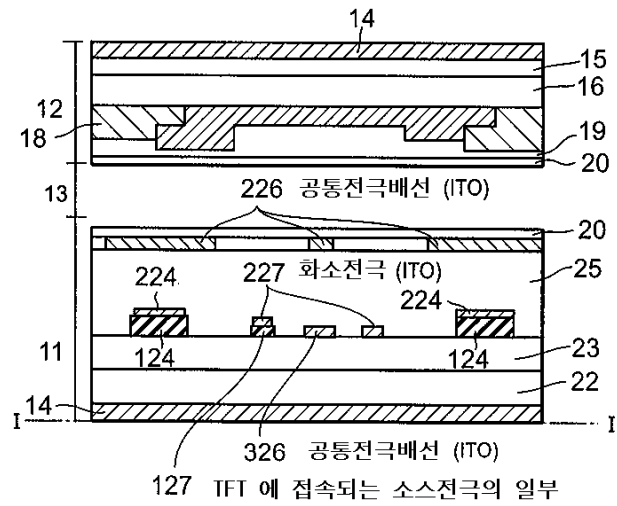
도면7b



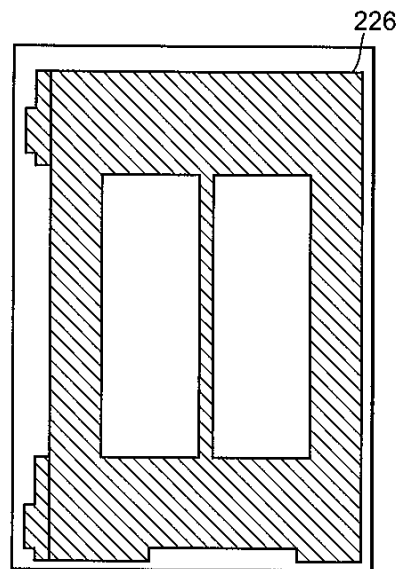
도면8a



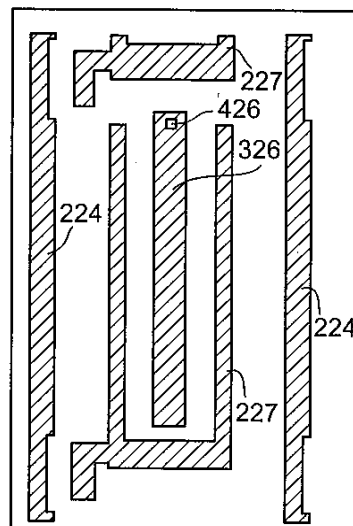
도면8b



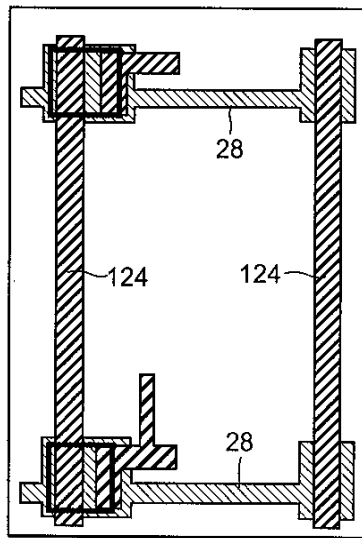
도면9a



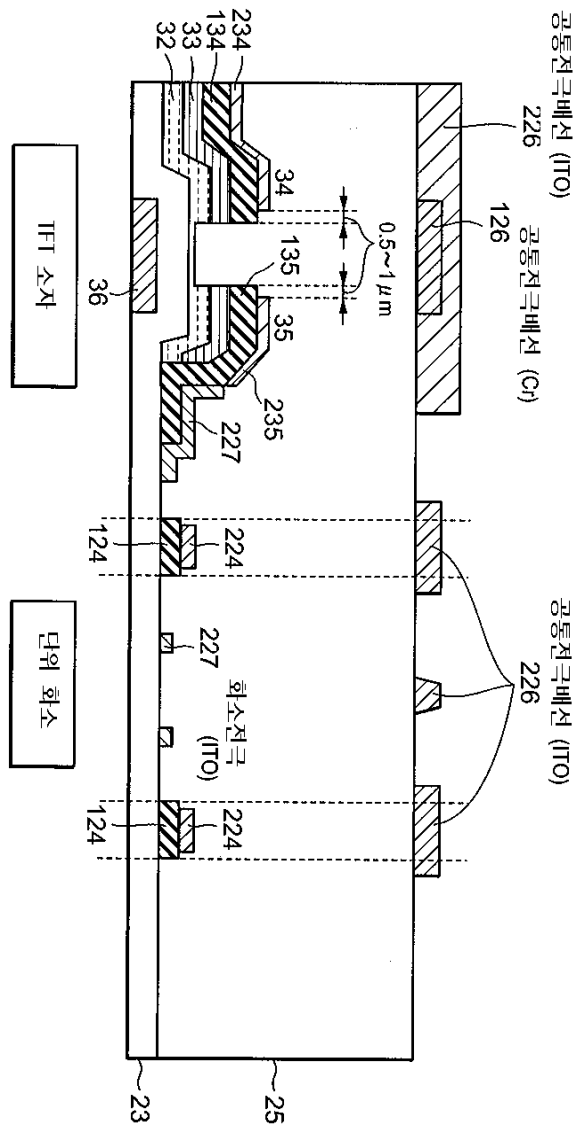
도면9b



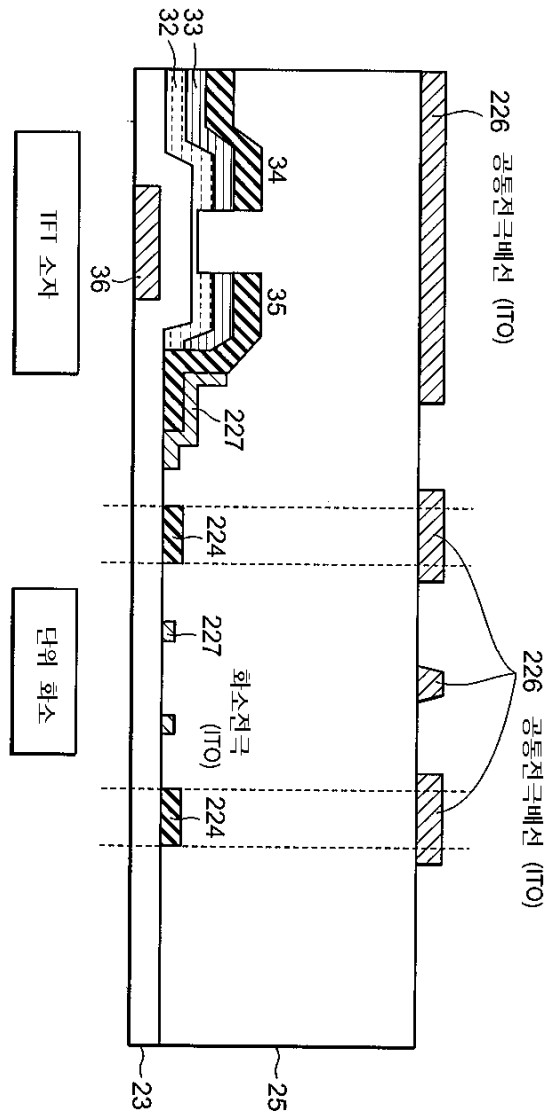
도면9c



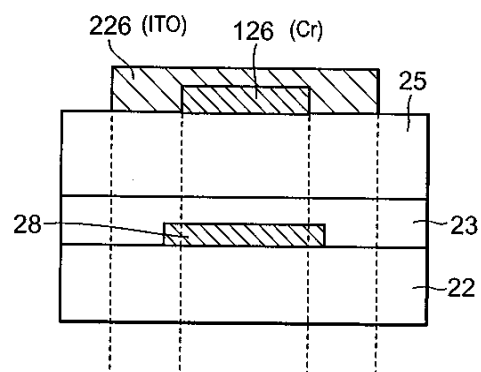
도면10



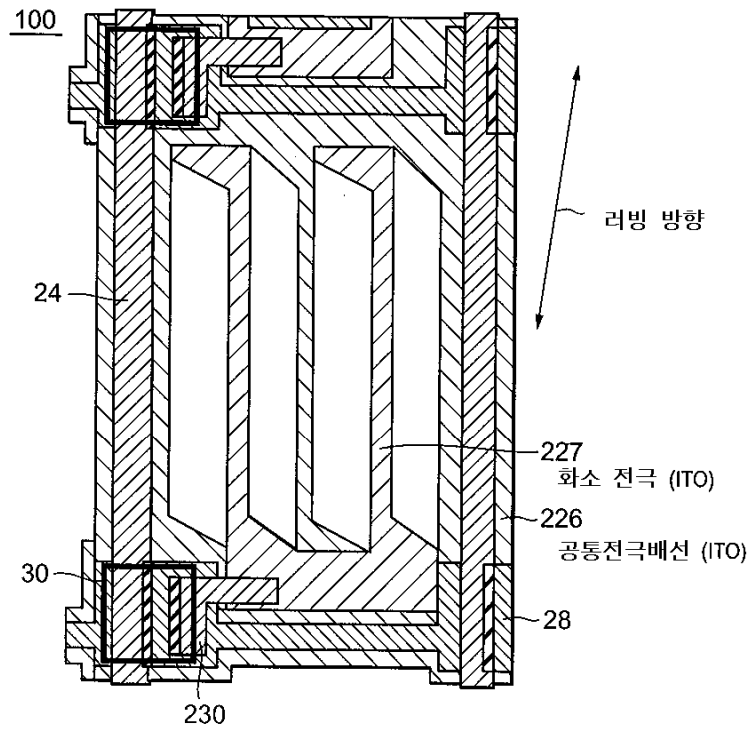
도면11



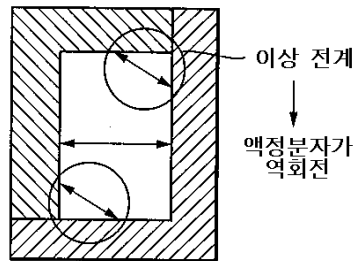
도면12



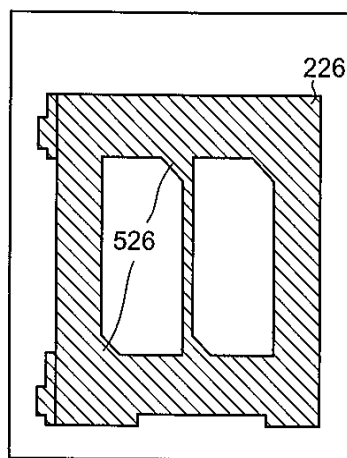
도면13



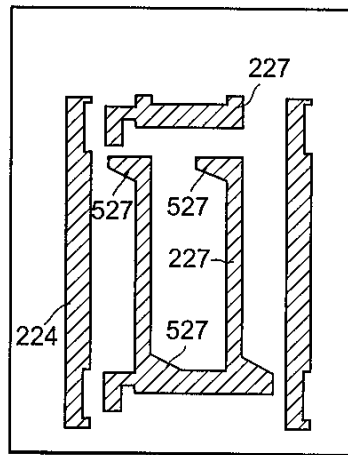
도면14



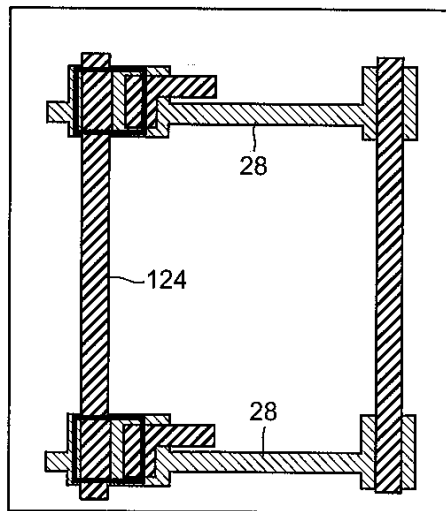
도면15a



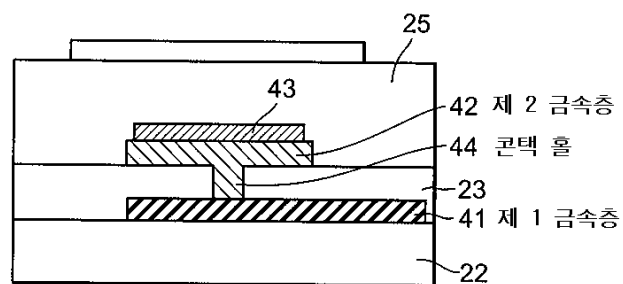
도면15b



도면15c



도면16



专利名称(译)	横向电场型液晶显示器		
公开(公告)号	KR1020030078795A	公开(公告)日	2003-10-08
申请号	KR1020030019773	申请日	2003-03-29
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	日元号技术可否让这个夏		
当前申请(专利权)人(译)	日元号技术可否让这个夏		
[标]发明人	MATSUMOTO KIMIKAZU 마쯔모토기미카즈 ITAKURA KUNIMASA 이따구라구니마사 NISHIDA SHINICHI 니시다신이찌		
发明人	마쯔모토기미카즈 이따구라구니마사 니시다신이찌		
IPC分类号	G02F1/1362 G02F1/1368 G02F1/1343 H01L21/3205 H01L23/52 G02F1/1337 H01L29/786		
CPC分类号	G02F1/136286 G02F2001/136218 G02F1/134363		
代理人(译)	韩国专利公司		
优先权	2002096006 2002-03-29 JP		
其他公开文献	KR100510566B1		
外部链接	Espacenet		

摘要(译)

面内切换模式液晶装置具有形成在基板上的扫描线和基板，并且绝缘层的长宽度比形成的数据总线更靠近基板上的扫描线位于基板中，并且扫描线和数据总线的绝缘层插在数据总线和扫描线之间。并且包括为了覆盖扫描线和数据总线的结构而形成的透明公共电极布线。该装置的配置来自数据总线和扫描线的所有电场在公共电极线结构上垂直切割。保持装置的孔径比以形成作为透明导体的公共电极线结构。在平面切换模式下，和液晶显示器。

10

