



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월28일
(11) 등록번호 10-1421441
(24) 등록일자 2014년07월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1343 (2006.01)
(21) 출원번호 10-2007-0042015
(22) 출원일자 2007년04월30일
심사청구일자 2012년04월09일
(65) 공개번호 10-2008-0096990
(43) 공개일자 2008년11월04일
(56) 선행기술조사문헌
KR1020050009077 A*
KR1020050047757 A*
KR1020060094386 A
KR1020070015695 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이선화
경기도 파주시 번영로 55, 새꽃마을아파트 115동 1003호 (금촌동)
정영민
경기 파주시 교하읍 동문2차아파트 201동 1002호
(74) 대리인
특허법인로알

전체 청구항 수 : 총 8 항

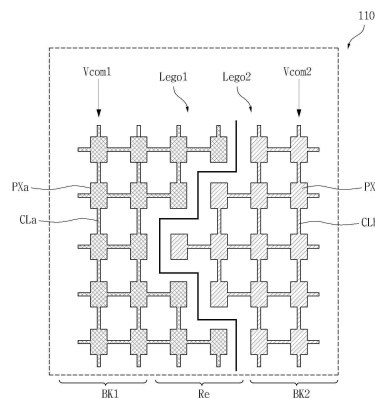
심사관 : 이옥우

(54) 발명의 명칭 어레이 기판 및 그를 이용한 액정 표시 장치

(57) 요약

공통 전압의 편차가 최소화되고, 블록들 간 경계부로 인한 뎀 라인(Dim Line)이 방지되는 어레이 기판 및 그를 이용한 액정 표시 장치가 제공된다. 어레이 기판은 복수의 제1 화소들이 배열되는 제1 블록, 제1 블록으로 제1 공통 전압을 인가하는 제1 공통 패턴, 복수의 제2 화소들이 배열되는 제2 블록, 제2 블록으로 제2 공통 전압을 인가하는 제2 공통 패턴을 포함한다. 상기 제1 블록 및 제2 블록 간의 경계부는 요철 라인이고, 상기 경계부를 사이에 두고 상기 제1 공통 패턴과 제2 공통 패턴이 분리된다.

대표도 - 도4



특허청구의 범위

청구항 1

청구항 1은(는) 설정등록료 납부시 포기되었습니다.

복수의 제1 화소들이 행(Row)과 열(Column)을 이루며 매트릭스 형태로 배열되는 제1 블록;

상기 복수의 제1 화소들을 서로 연결하여 상기 복수의 제1 화소들로 제1 공통 전압을 인가하는 제1 공통 패턴;

상기 제1 블록과 인접하도록 위치하고, 복수의 제2 화소들이 행(Row)과 열(Column)을 이루며 매트릭스 형태로 배열되는 제2 블록; 및

상기 복수의 제2 화소들을 서로 연결하여 상기 복수의 제2 화소들로 제2 공통 전압을 인가하는 제2 공통 패턴을 포함하며,

상기 제1 블록 및 제2 블록 간의 경계부는 요철 라인이고, 상기 경계부를 사이에 두고 상기 제1 공통 패턴과 제2 공통 패턴이 분리되는 것을 특징으로 하는 어레이 기판.

청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 제1 블록은 상기 경계부에 위치하는 제1 레고 패턴을 포함하고,

상기 제2 블록은 상기 경계부에 위치하는 제2 레고 패턴을 포함하고,

상기 제2 레고 패턴은 상기 제1 레고 패턴이 소정의 간격만큼 쉬프트(Shift) 된 것을 특징으로 하는 어레이 기판.

청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

상기 경계부에 위치하는 제1 화소들 및 제2 화소들은,

계단 형상을 이루도록 번갈아 배치되는 것을 특징으로 하는 어레이 기판.

청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 경계부에 위치하는 제1 화소들 및 제2 화소들은,

랜덤(Random)하게 번갈아 배치되는 것을 특징으로 하는 어레이 기판.

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 경계부에 위치하는 제1 화소들 및 제2 화소들은,

행(Row)을 기준으로 각 행마다 번갈아 배치되는 것을 특징으로 하는 어레이 기판.

청구항 6

청구항 6은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 경계부에 위치하는 제1 화소들 및 제2 화소들은,

행(Row)을 기준으로 $K(K \geq 2$ 인 자연수) 행마다 번갈아 배치되는 것을 특징으로 하는 어레이 기판.

청구항 7

청구항 7은(는) 설정등록료 납부시 포기되었습니다.

제1항에 있어서,

상기 제1 블록은 상기 경계부에 위치하는 제1 레고 패턴을 포함하고,

상기 제2 블록은 상기 경계부에 위치하는 제2 레고 패턴을 포함하고,

상기 제1 레고 패턴의 제1 화소들과 상기 제2 레고 패턴의 제2 화소들은 서로 엇갈리게 형성되며,

상기 제1 레고 패턴 및 상기 제2 레고 패턴이 중첩되는 경우 상기 제1 레고 패턴의 제1 화소들과 상기 제2 레고 패턴의 제2 화소들이 중복 없이 일렬로 배치되는 것을 특징으로 하는 어레이 기판.

청구항 8

복수의 블록들로 이루어지고, 상기 복수의 블록들 각각은 매트릭스 형태로 배열된 복수의 화소들과 상기 복수의 화소들을 서로 연결하는 공통 패턴을 포함하며, 상기 공통 패턴은 블록 단위로 단선되어 있는 액정 패널;

상기 액정 패널에 행(Row) 단위로 스캔 신호를 공급하는 게이트 구동부;

상기 스캔 신호에 응답하여 상기 액정 패널에 데이터 전압을 공급하는 데이터 구동부;

상기 게이트 구동부 및 상기 데이터 구동부의 구동 타이밍을 제어하는 타이밍 컨트롤러부; 및

상기 액정 패널의 상기 복수의 블록들로 공통 전압을 인가하는 공통 전압 인가부를 포함하며,

상기 액정 패널에서 이웃하는 제1 블록 및 제2 블록 간의 경계부는 요철 라인이고, 상기 경계부를 사이에 두고 상기 제1 블록의 공통 패턴과 상기 제2 블록의 공통 패턴이 분리되는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제8항에 있어서,

상기 제1 블록은 상기 경계부에 위치하는 제1 레고 패턴을 포함하고,

상기 제2 블록은 상기 경계부에 위치하는 제2 레고 패턴을 포함하고,

상기 제1 레고 패턴 또는 제2 레고 패턴은, 블록 단위로 쉬프트(Shift) 되면서 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 10

청구항 10은(는) 설정등록료 납부시 포기되었습니다.

제8항에 있어서,

상기 액정 패널을 이루는 상기 복수의 블록들은,

위치별 최적 공통 전압의 레벨에 따라 작성된 공통 전압 맵(Map)에 맞추어 나누어진 것을 특징으로 하는 액정 표시 장치.

청구항 11

제8항에 있어서,

상기 공통 전압 인가부는,

상기 복수의 블록들에 대해 저장된 블록별 공통 전압을 상기 복수의 블록들 각각에 인가하는 것을 특징으로 하는 액정 표시 장치.

청구항 12

제8항에 있어서,
상기 복수의 블록들 사이의 경계부에 위치하는 상기 복수의 화소들은,
계단 형상을 이루도록 번갈아 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 13

제8항에 있어서,
상기 복수의 블록들 사이의 경계부에 위치하는 상기 복수의 화소들은,
랜덤(Random)하게 번갈아 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 14

제8항에 있어서,
상기 복수의 블록들 사이의 경계부에 위치하는 상기 복수의 화소들은,
인접하는 두 블록 내의 화소들이 행(Row)을 기준으로 각 행마다 번갈아 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 15

제8항에 있어서,
상기 복수의 블록들 사이의 경계부에 위치하는 상기 복수의 화소들은,
인접하는 두 블록 내의 화소들이 행(Row)을 기준으로 $K(K \geq 2$ 인 자연수) 행마다 번갈아 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 16

제8항에 있어서,
상기 제1 블록은 상기 경계부에 위치하는 제1 레고 패턴을 포함하고,
상기 제2 블록은 상기 경계부에 위치하는 제2 레고 패턴을 포함하고,
상기 제1 레고 패턴의 제1 화소들과 상기 제2 레고 패턴의 제2 화소들은 서로 엇갈리게 형성되며,
상기 제1 레고 패턴 및 상기 제2 레고 패턴이 중첩되는 경우 상기 제1 레고 패턴의 제1 화소들과 상기 제2 레고 패턴의 제2 화소들이 중복 없이 일렬로 배치되는 것을 특징으로 하는 액정 표시 장치.

명세서**발명의 상세한 설명****발명의 목적****발명이 속하는 기술 및 그 분야의 종래기술**

[0014] 본 발명은 디스플레이 장치에 관한 것으로, 더욱 상세하게는 어레이 기판 및 그를 이용한 액정 표시 장치에 관한 것이다.

[0015] 액정 표시 장치는 투명 절연 기판인 상, 하부 기판 사이에 이방성 유전율을 갖는 액정층을 형성한 후, 액정층에 형성되는 전계의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 표시면인 상부 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다. 액정 표시 장치로는 박막 트랜지스터(TFT: Thin Film Transistor)를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다.

- [0016] 이러한 액정 표시 장치는 크게 화상을 표시하는 액정 패널과 액정 패널을 구동하기 위한 구동부로 구분된다.
- [0017] 액정 패널을 이루는 각 화소의 등가 회로를 살펴 보면, 게이트 라인과 데이터 라인이 교차 형성되고, 교차 부위에 박막 트랜지스터와 화소 전극이 배치되며, 화소 단위로 액정 커패시터와 스토리지 커패시터 등이 함께 구성된다.
- [0018] 이와 같이 구성되는 각 화소의 등가 회로는 다음과 같이 동작한다.
- [0019] 우선, 스캔 신호가 인가되어 박막 트랜지스터가 턴-온 되면, 각 화소의 화소 데이터에 대응하는 데이터 전압이 선택되어 데이터 라인으로부터 각 화소에 인가된다. 화소 데이터는 계조(Gray level)를 표현하는 디지털 신호로, 일반적으로 0에서 255 사이의 값을 갖도록 설정된다.
- [0020] 그러면, 각 화소에 인가되는 데이터 전압과 공통 전압의 차이에 의하여 발생하는 전계가 액정 커패시터에 공급되어 전계의 세기에 대응하는 투과율로 빛이 투과된다. 이때, 스토리지 커패시터는 화소에 인가된 데이터 전압을 1 프레임 기간 동안 유지한다. 데이터 라인을 통해 인가되는 데이터 전압은 플리커 현상을 줄이기 위하여 공통 전압을 중심으로 양의 전압과 음의 전압이 스위칭되면서 인가되는 것이 일반적이다.
- [0021] 각 화소는 인가되는 데이터 전압에 따라 개별적으로 동작하는데, 공통 전압은 화소 단위로 구동할 때 화소의 중심 전위가 되므로, 화질 향상을 위해서는 액정 패널의 위치와 무관하게 모든 화소에 동일한 수준의 공통 전압이 인가되어야 한다.
- [0022] 그런데, 공통 전압은 액정 패널의 일 측에서 인가되어 다른 측으로 전달되는 것이 일반적이므로, 액정 패널의 위치에 따라 실질적으로 각 화소에 인가되는 공통 전압의 레벨(Level)이 변동되어 크로스토크(Crosstalk), 플리커(Flicker) 등의 불량이 발생하는 문제점이 있다.
- [0023] 특히, 액정 표시 장치가 대형화되고 해상도가 높아짐에 따라 이러한 불량은 더욱 심화되어 화질 저하를 일으키게 된다.

발명이 이루고자 하는 기술적 과제

- [0024] 따라서, 본 발명이 이루고자 하는 기술적 과제는 액정 패널의 위치에 따른 공통 전압의 편차를 최소화할 수 있는 어레이 기판 및 그를 이용한 액정 표시 장치를 제공하는 것이다.
- [0025] 본 발명이 이루고자 하는 다른 기술적 과제는 대형 화면을 구현할 때 공통 전압의 불균일로 인해 발생하는 플리커나 크로스토크 등의 불량을 개선하여 화질을 향상시킬 수 있는 어레이 기판 및 그를 이용한 액정 표시 장치를 제공하는 것이다.
- [0026] 본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- [0027] 본 발명의 어레이 기판은 복수의 제1 화소들이 행(Row)과 열(Column)을 이루며 매트릭스 형태로 배열되는 제1 블록과, 상기 복수의 제1 화소들을 서로 연결하여 상기 복수의 제1 화소들로 제1 공통 전압을 인가하는 제1 공통 패턴과, 상기 제1 블록과 인접하도록 위치하고, 복수의 제2 화소들이 행(Row)과 열(Column)을 이루며 매트릭스 형태로 배열되는 제2 블록과, 상기 복수의 제2 화소들을 서로 연결하여 상기 복수의 제2 화소들로 제2 공통 전압을 인가하는 제2 공통 패턴을 포함한다. 상기 제1 블록 및 제2 블록 간의 경계부는 요철 라인이고, 상기 경계부를 사이에 두고 상기 제1 공통 패턴과 제2 공통 패턴이 분리된다.

본 발명의 액정 표시 장치는 복수의 블록들로 이루어지고, 상기 복수의 블록들 각각은 매트릭스 형태로 배열된 복수의 화소들과 상기 복수의 화소들을 서로 연결하는 공통 패턴을 포함하며, 상기 공통 패턴은 블록 단위로 단선되어 있는 액정 패널과, 상기 액정 패널에 행(Row) 단위로 스캔 신호를 공급하는 게이트 구동부와, 상기 스캔 신호에 응답하여 상기 액정 패널에 데이터 전압을 공급하는 데이터 구동부와, 상기 게이트 구동부 및 상기 데이터 구동부의 구동 타이밍을 제어하는 타이밍 컨트롤러부와, 상기 액정 패널의 상기 복수의 블록들로 공통 전압을 인가하는 공통 전압 인가부를 포함한다. 상기 액정 패널에서 이웃하는 제1 블록 및 제2 블록 간의 경계부는 요철 라인이고, 상기 경계부를 사이에 두고 상기 제1 블록의 공통 패턴과 상기 제2 블록의 공통 패턴이 분리된

다.

- [0028] 삭제
- [0029] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다. 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0030] 이하, 본 발명의 실시예들에 따른 어레이 기판 및 그를 이용한 액정 표시 장치에 대하여 첨부된 도면들을 참조하여 상세히 설명한다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구성도이고, 도 2는 도 1에 나타난 액정 패널의 구성을 설명하기 위한 등가 회로도이다.
- [0032] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 액정 패널(100), 게이트 구동부(210), 데이터 구동부(220), 타이밍 컨트롤러부(230), 감마 전압 발생부(240), 공통 전압 인가부(250)를 포함한다.
- [0033] 액정 패널(100)은 복수의 블록(BK1, BK2, BK3, BK4)들로 이루어지고, 각 블록(BK1, BK2, BK3, BK4) 내에는 복수 개의 화소들이 매트릭스 형태로 형성되어 있으며, 행(Row)을 이루는 게이트 라인(GL)들과 열(Column)을 이루는 데이터 라인(DL)들이 서로 교차하도록 배열되어 있다.
- [0034] 각 블록(BK1, BK2, BK3, BK4)은 액정 패널(100) 내 화소들을 일정 단위로 묶어 수직 방향으로 분할한 영역으로서, 한 블록(BK1, BK2, BK3, BK4) 내에는 동일한 레벨의 공통 전압이 공통적으로 인가된다.
- [0035] 각각의 화소는 도 2에 도시된 것처럼, 서로 교차되는 게이트 라인(GL)들과 데이터 라인(DL)들에 의해 영역이 구분된다. 게이트 라인(GL) 및 데이터 라인(DL)의 교차 부위에는 박막 트랜지스터(TFT)가 배치된다.
- [0036] 각 화소에는 액정 셀(C1c)로 등가화되는 액정 물질이 형성되며, 액정 셀(C1c)에 인가된 전압을 일정하게 유지시키기 위한 스토리지 커패시터(Cst)가 형성된다.
- [0037] 이러한 액정 패널(100)은 게이트 라인(GL)들을 통해 순차적으로 쉬프트 되면서 공급되는 스캔 신호와, 데이터 라인(DL)들을 통해 1 수평 기간마다 공급되는 데이터 전압에 따라 각 화소에 화상을 표시하게 된다. 여기서, 스캔 신호는 1 수평 기간 동안만 공급되는 게이트 하이 전압과 나머지 기간 동안 공급되는 게이트 로우 전압이 교번되는 펄스이다.
- [0038] 각 화소마다 구비된 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터 게이트 하이 전압이 공급되는 경우, 턴-온되어 데이터 라인(DL)으로부터 제공되는 데이터 전압을 액정 셀(C1c)로 공급한다. 그리고, 박막 트랜지스터(TFT)는 게이트 라인(GL)으로부터 게이트 로우 전압이 공급되는 경우, 턴-오프되며, 이로 인해 액정 셀(C1c)에 충전된 전압이 일정 시간 동안 유지된다.
- [0039] 도 1을 다시 참조하면, 게이트 구동부(210)는 액정 패널(100)에 행(Row) 단위로 스캔 신호를 공급한다. 즉, 타이밍 컨트롤러부(230)로부터 공급되는 게이트 제어 신호에 따라 게이트 라인(GL)들에 순차적으로 스캔 신호를 공급한다.
- [0040] 데이터 구동부(220)는 스캔 신호에 응답하여 액정 패널(100)로 데이터 전압을 공급한다. 즉, 타이밍 컨트롤러부(230)로부터 공급되는 데이터 제어 신호에 따라 타이밍 컨트롤러부(230)로부터 입력되는 적색, 녹색, 청색의 화소 데이터를 데이터 전압으로 변환하고, 이를 1 수평 기간마다 데이터 라인(DL)들로 공급한다.
- [0041] 여기서, 데이터 전압은 감마 전압 발생부(240)로부터 공급되는 감마 전압들 중 외부로부터 입력되는 적색, 녹색, 청색의 화소 데이터에 맞게 선택되는 감마 전압이다.
- [0042] 타이밍 컨트롤러부(230)는 외부로부터 수신되는 적색, 녹색, 청색의 화소 데이터를 재처리하여 데이터 포맷을 액정 패널(100)에 맞게 바꾼 후 이를 데이터 구동부(220)로 출력한다. 그리고, 수직 및 수평 동기 신호(Vsync, Hsync), 클럭(CLK) 등을 이용하여 게이트 구동부(210)의 구동 타이밍을 제어하기 위한 게이트 제어 신호와, 데이터 구동부(220)의 구동 타이밍을 제어하기 위한 데이터 제어 신호를 발생한다.
- [0043] 게이트 제어 신호로는 게이트 스타트 펄스(GSP: Gate Start Pulse), 게이트 쉬프트 클럭(GSC: Gate Shift

Clock), 게이트 출력 인에이블(GOE: Gate Output Enable) 등이 포함된다.

- [0044] 데이터 제어 신호로는 소스 스타트 펄스(SSP: Source Start Pulse), 소스 쉬프트 클럭(SSC: Source Shift Clock), 소스 출력 인에이블(SOE: Source Output Enable), 극성 신호(POL: Polarity) 등이 포함된다.
- [0045] 감마 전압 발생부(240)는 계조 범위 내에서 데이터 구동부(220)의 디지털/아날로그 변환에 필요한 감마 전압들을 계조별로 생성하여 데이터 구동부(220)로 공급한다.
- [0046] 공통 전압 인가부(250)는 액정 패널(100) 내의 복수의 블록(BK1, BK2, BK3, BK4)들로 공통 전압(Vcom1, Vcom2, Vcom3, Vcom4)을 인가한다. 복수의 블록(BK1, BK2, BK3, BK4)들에 대해 저장된 블록별 공통 전압(Vcom1, Vcom2, Vcom3, Vcom4)은 별도로 저장된 후 공통 전압 인가부(250)에 의해 여러 블록들(BK1, BK2, BK3, BK4) 각각으로 인가된다.
- [0047] 공통 전압 인가부(250)는 공통 전압(Vcom1, Vcom2, Vcom3, Vcom4)의 변동을 바로잡기 위한 보상 회로(도시되지 않음)를 추가로 포함할 수 있다. 보상 회로는 일정한 기간(1 수평 기간, 1 프레임 기간 등)마다 액정 패널(100)의 블록별 공통 전압(Vcom1, Vcom2, Vcom3, Vcom4)을 피드백 받아 정해진 전압 레벨에 맞게 보정한 후 다시 액정 패널(100)의 각 블록(BK1, BK2, BK3, BK4)으로 공급한다.
- [0048] 액정 패널(100)의 전체에 동일한 레벨의 공통 전압이 인가되면, 위치에 따른 보상 편차가 발생할 수 있다. 그러므로, 복수의 블록(BK1, BK2, BK3, BK4)으로 나누어진 액정 패널(100)의 구조가 채용되고, 각 블록별로 최적의 공통 전압(Vcom1, Vcom2, Vcom3, Vcom4)이 인가됨으로써, 보상 편차가 최소화될 수 있다.
- [0049] 즉, 액정 패널(100)의 한 프레임에 테스트 패턴이 인가된 후, 액정 패널(100)의 구동에 의해 실제 표시되는 화면의 영역별 휘도 수준에 따라 블록별 공통 전압(Vcom1, Vcom2, Vcom3, Vcom4)의 레벨이 설정된다. 액정 패널(100)에 블록별 공통 전압(Vcom1, Vcom2, Vcom3, Vcom4)이 공급되면, 액정 패널(100)의 화면 상에 나타나는 휘도 편차가 개선될 수 있다.
- [0050] 도 3은 도 1에 나타난 액정 패널의 일부 단면도로서, 수평 전계(IPS: In-Plane Switching) 구조가 채용된 액정 패널(100)의 단면 구조를 예시하고 있다.
- [0051] 액정 패널(100)은 일정한 간격을 두고 서로 마주보도록 합착된 어레이 기판(110) 및 컬러 필터 기판(150), 어레이 기판(110)과 컬러 필터 기판(150)의 사이에 형성된 액정층(170), 어레이 기판(110) 상의 박막 트랜지스터(TFT), 화소 전극(141), 공통 전극(142) 등을 포함한다.
- [0052] 어레이 기판(110)은 스위칭 소자로 동작하는 박막 트랜지스터(TFT)를 가지며, 기판(111) 상에 화소 단위로 형성된 박막 트랜지스터(TFT)가 각각의 화소를 구동하는 액티브 매트릭스 타입(Active matrix type)으로 구성된다. 어레이 기판(110)의 내측면에는 평행을 이루는 화소 전극(141)과 공통 전극(142)이 서로 엇갈리도록 교차 배열된다.
- [0053] 화소 전극(141)은 박막 트랜지스터(TFT)의 드레인 전극(135)에 전기적으로 접촉된다. 게이트 전극(131)에 인가된 스캔 신호에 의해 박막 트랜지스터(TFT)가 턴-온 되면, 소스 전극(134)에 인가된 데이터 전압이 드레인 전극(135)을 통해 화소 전극(141)으로 공급된다.
- [0054] 박막 트랜지스터(TFT)의 수직 단면 구조는 다음과 같다.
- [0055] 박막 트랜지스터(TFT)는 어레이 기판(110) 상의 게이트 전극(131)과 그 상부의 게이트 절연막(121), 반도체층(132), 반도체층(132)의 양측으로 이격 형성되어 있는 소스 전극(134) 및 드레인 전극(135), 소스 전극(134) 및 드레인 전극(135)과 반도체층(132) 사이에 게재되는 저항성 접촉층(133)으로 구성된다.
- [0056] 박막 트랜지스터(TFT)의 상부에는 보호막(122)이 덮이고, 보호막(122) 상에는 드레인 전극(135)과 화소 전극(141)을 전기적으로 접촉시키기 위한 콘택홀이 형성된다. 화소 전극(141)은 콘택홀을 통해 박막 트랜지스터(TFT)의 드레인 전극(135)에 전기적으로 접촉된다.
- [0057] 컬러 필터 기판(150)은 색상을 표현하기 위한 기판(151) 상의 적색, 녹색, 청색의 컬러 필터(153)와 인접하는 화소들 간에 위치하여 빛샘을 차단하는 블랙 매트릭스(152) 등을 갖는다.
- [0058] 도시되지는 않았으나, 어레이 기판(110) 및 컬러 필터 기판(150)의 내측에는 상, 하부 배향막이 각각 형성되며, 상, 하부 배향막은 러빙 처리되어 어레이 기판(110)과 컬러 필터 기판(150) 사이에 게재되는 액정층(170)의 액정 분자들을 일정한 방향으로 초기 배향시키게 된다.

- [0059] 이러한 액정 패널(100)은 어레이 기관(110) 상의 화소 전극(141) 및 공통 전극(142)에 각각 인가되는 데이터 전압 및 공통 전압의 전위차에 의해 수평 전계를 생성하고, 생성된 수평 전계에 따라 액정층(170)을 이루는 액정의 배향을 제어하여 화상을 표시하게 된다.
- [0060] 도 4는 도 1의 액정 패널을 이루는 어레이 기관에 적용되는 레고 패턴의 모형도로서, 어레이 기관(110) 상에 형성된 제1 블록(BK1)과 제2 블록(BK2)의 경계부(Re)가 갖는 구조를 나타내고 있다.
- [0061] 도 4를 참조하면, 어레이 기관(110)은 서로 인접하는 제1 블록(BK1)과 제2 블록(BK2)을 포함한다.
- [0062] 어레이 기관(110) 상의 제1 블록(BK1)에는 복수의 제1 화소(PXa)들이 행(Row)과 열(Column)을 이루며 매트릭스 형태로 배열되고, 제2 블록(BK2)에는 복수의 제2 화소(PXb)들이 행(Row)과 열(Column)을 이루며 매트릭스 형태로 배열된다.
- [0063] 제1 공통 패턴(CLA)은 공통 전극(142)를 포함하는 패턴으로, 제1 블록(BK1) 내에 위치한 복수의 제1 화소(PXa)들을 서로 연결하여 제1 화소(PXa)들로 제1 공통 전압(Vcom1)을 인가한다.
- [0064] 제2 공통 패턴(CLB)은 제2 블록(BK2) 내에 위치한 복수의 제2 화소(PXb)들을 서로 연결하여 제2 화소(PXb)들로 제2 공통 전압(Vcom2)을 인가한다.
- [0065] 제1 블록(BK1) 내의 제1 화소(PXa)들로 제1 공통 전압(Vcom1)을 인가하는 제1 공통 패턴(CLA)과 제2 블록(BK2) 내의 제2 화소(PXb)들로 제2 공통 전압(Vcom2)을 인가하는 제2 공통 패턴(CLB)은 서로 단선되어 있다.
- [0066] 즉, 두 블록(BK1, BK2) 간의 경계부(Re)에서, 제1 공통 패턴(CLA)과 제2 공통 패턴(CLB) 간의 연결 부분은 적용되는 레고 패턴(Lego1, Lego2)에 맞게 끊어지게 된다.
- [0067] 제1 블록(BK1) 및 제2 블록(BK2) 사이의 경계부(Re)에 위치하는 제1 화소(PXa)들은 요철을 이루도록 배치되어 제1 레고 패턴(Lego1)을 형성한다. 그리고, 두 블록(BK1, BK2) 사이의 경계부(Re)에 위치하는 제2 화소(PXb)들은 제1 레고 패턴(Lego1)과 대칭을 이루면서 맞물려지는 제2 레고 패턴(Lego2)을 형성하도록 배치된다.
- [0068] 여기서, 레고 패턴(Lego Pattern)이란, 패턴의 경계 부분이 일직선이 아닌 복잡한 모양을 갖는 것을 뜻한다. 제1 블록(BK1)과 제2 블록(BK2)의 경계부(Re)가 다양한 모양의 요철(오목부와 볼록부)을 가지게 되면, 그 경계부(Re)의 시인성이 떨어져 경계부(Re)가 일직선인 경우에 비해 사람의 눈에 잘 띄지 않게 된다.
- [0069] 결과적으로, 액정 패널(100)의 제1 블록(BK1) 및 제2 블록(BK2)을 설정할 때, 전체 액정 패널(100)에서 각 위치별로 최적의 공통 전압(Vcom1, Vcom2)을 측정되고 공통 전압 맵(Map)이 작성된다. 그 후에, 작성된 공통 전압 맵에 맞추어 제1 블록(BK1)과 제2 블록(BK2)이 나누어지고, 인접하는 두 블록(BK1, BK2)의 경계부(Re)에 레고 패턴이 적용되는 것이다.
- [0070] 도 5는 도 1에 나타난 액정 패널의 각 화소에 배치되는 공통 전극의 모식도이다.
- [0071] 도 1을 통해 설명한 바와 같이, 액정 패널(100)은 복수의 블록들로 이루어지며, 각 블록 내에는 도 5와 같은 공통 패턴(CL)을 갖는 복수의 화소(PX)들이 매트릭스 형태로 배열된다.
- [0072] 액정 패널(100)을 수직 방향의 블록들로 나누는 구조가 채용되면, 위치별로 최적의 공통 전압이 쉽게 인가될 수 있다.
- [0073] 이때, 한 블록 내의 공통 패턴(CL)은 서로 연결되고, 다른 블록의 공통 패턴(CL)과 단선된다.
- [0074] 블록을 구분하는 방법으로는 다양한 방법이 적용될 수 있다.
- [0075] 예를 들어, 공통 패턴(CL)이 수직 방향으로 연결되고, 데이터 구동부(220)를 이루는 복수 개의 드라이버 칩 각각을 기준으로 칩 단위로 블록이 나누어질 수 있다.
- [0076] 또는, 위치별 최적 공통 전압의 레벨에 따라 작성된 공통 전압 맵(Map)에 맞추어 액정 패널(100)을 이루는 복수의 블록들이 나누어질 수도 있다.
- [0077] 하나의 블록 내에 위치하는 화소(PX)들은 공통 패턴(CL)에 의해 서로 연결되어 동일한 레벨의 공통 전압을 인가받는다.
- [0078] 이때, 공통 패턴(CL)은 블록 단위로 단선되어 있으므로, 블록마다 최적화된 레벨의 공통 전압이 공급될 수 있다.

- [0079] 하나의 화소(PX) 내에서 공통 패턴(CL)은 수평/수직 방향으로 모두 연결된다. 즉, 메쉬 타입(Mesh Type)의 공통 패턴(CL)이 형성되며, 이러한 타입의 공통 패턴(CL)은 수평 또는 수직 중 한쪽 방향으로만 연결된 패턴에 비하여 공통 전압의 왜곡을 줄일 수 있는 장점이 있다.
- [0080] 그리고, 블록의 경계가 되는 부분에서만 공통 패턴(CL)의 연결선을 제거하여 한 블록 내의 공통 패턴(CL)이 다른 블록의 공통 패턴(CL)과 연결되지 않도록 한다.
- [0081] 결과적으로, 한 블록 내부의 모든 화소(PX)의 공통 패턴(CL)은 서로 연결되어 있고, 두 블록의 경계부에서만 공통 패턴(CL)이 끊어지게 된다.
- [0082] 이러한 구조가 채용되면, 각 블록마다 최적화된 공통 전압이 공급되므로, 블록들의 경계부(Re)에서 뎀 라인(Dim Line)이 나타날 수 있다.
- [0083] 즉, 액정 패널(100)을 수직 방향의 블록들로 분할하고, 위치별로 최적화된 공통 전압을 블록 단위로 입력하고자 할 때, 블록들의 경계부에서 뎀 라인이 보일 수 있다.
- [0084] 그러므로, 화소(PX) 내의 공통 패턴(CL)을 수평/수직 방향으로 모두 연결한 메쉬 타입으로 형성하고, 블록들 간에 위치한 경계부의 연결선만 끊어주는 것이다. 이때, 경계부를 기준으로 한 휘도 차가 사람 눈에 쉽게 인식되지 않도록 하기 위하여, 경계부는 일직선이 아니라, 다양한 모양의 레고 패턴 구조로 형성된다.
- [0085] 도 4를 다시 참조하면, 인접하는 제1 블록(BK1) 및 제2 블록(BK2) 사이의 경계부(Re)에 위치하는 제1 화소(PXa)들은 요철을 이루도록 배치되어 제1 레고 패턴(Lego1)을 형성한다.
- [0086] 그리고, 경계부(Re)에 위치하는 제2 화소(PXb)들은 제1 레고 패턴(Lego1)과 대칭을 이루면서 맞물려지는 제2 레고 패턴(Lego2)을 형성하도록 배치된다.
- [0087] 경계부(Re)에 위치하는 제1 화소(PXa)들 및 제2 화소(PXb)들은 도 4에 도시된 것처럼, 계단 형상을 이루도록 번갈아 배치되어, 대칭을 이루는 계단 형상의 제1 레고 패턴(Lego1)과 제2 레고 패턴(Lego2)을 구성할 수 있다.
- [0088] 도 6은 도 4에 나타난 레고 패턴의 변형예이고, 도 7은 도 4에 나타난 레고 패턴의 다른 변형예이다.
- [0089] 경계부(Re)에 위치하는 제1 화소(PXa)들 및 제2 화소(PXb)들은 도 6에 도시된 것처럼, 행(Row)을 기준으로 각 행마다 번갈아 배치될 수도 있다. 혹은, 도 7에 도시된 것처럼, 행(Row)을 기준으로 $K(K \geq 2 \text{인 자연수})$ 행마다 번갈아 배치되는 구조가 두 블록들(BK1, BK2) 간의 경계부(Re)에 채용될 수도 있다.
- [0090] 이와 같이, 제1 레고 패턴(Lego1)과 제2 레고 패턴(Lego2)을 형성하기 위한 경계부(Re) 내 제1 화소(PXa)들과 제2 화소(PXb)들의 배치는 특정한 배열로 한정되지 않으며, 서로 대칭을 이루고, 일직선 구조에 비해 경계부(Re)의 시인성을 떨어뜨리는 범위 내에서 다양한 배열이 채용될 수 있다.
- [0091] 도 8은 도 4 내지 도 7에 나타난 레고 패턴의 형성 방법을 설명하기 위한 참고도이다.
- [0092] 도 8의 (a)와 같이 마스크(Mask)가 제1 영역(R1), 제2 영역(R2), 제3 영역(R3)으로 구분되고, 제2 영역(R2) 상에 제1 레고 패턴(Lego1)과 제2 레고 패턴(Lego2)에 대응하는 마스크 패턴이 형성된다고 가정하자.
- [0093] 이러한 마스크(Mask)를 일정한 간격만큼 쉬프트(Shift)해 가면서, 제2 영역(R2)을 여러 번 노광하는 공정이 수행되면, (b)와 같은 어레이 기판(110)의 패턴이 형성될 수 있다.
- [0094] 복수 개의 블록(BK1, BK2, BK3, BK4)으로 구분되어 있는 어레이 기판(110) 상에서, 인접하는 두 블록들, 예를 들면, 제1 블록(BK1)과 제2 블록(BK2)이 맞닿는 경계부(Re)에 제1 레고 패턴(Lego1)과 제2 레고 패턴(Lego2)이 형성된다.
- [0095] 마스크(Mask)의 제2 영역(R2)의 좌, 우에 위치한 제1 및 제2 레고 패턴(Lego2)은 어레이 기판(110) 상의 경계부(Re)에 서로 맞물려져 형성된다.
- [0096] 경계부(Re) 상에서 서로 맞닿는 제1 블록(BK1)과 제2 블록(BK2)의 끝단에서, 각 블록에 속하는 화소들은 오목부와 볼록부를 가지면서 대칭을 이루도록 번갈아 배치된다.
- [0097] 여기서, 제1 레고 패턴(Lego1)과 제2 레고 패턴(Lego2)은 서로 대칭을 이루게 되므로, 제1 레고 패턴(Lego1)의 볼록부는 제2 레고 패턴(Lego2)의 오목부와 맞물려지고, 제1 레고 패턴(Lego1)의 오목부는 제2 레고 패턴(Lego2)의 볼록부와 맞물려진다.

[0098] 제1 레고 패턴(Lego1) 또는 제2 레고 패턴(Lego2)은, 블록 단위로 쉬프트(Shift) 되면서 형성된다.

[0099] 도 9는 도 8에 나타난 레고 패턴의 형성 방법을 보다 자세히 설명하기 위한 참고도이다.

[0100] 제1 레고 패턴(Lego1)을 이루는 제1 화소(PXa)들과 제2 레고 패턴(Lego2)을 이루는 제2 화소(PXb)들은 중복되지 않도록 서로 엇갈리게 형성된다.

[0101] 즉, 하나의 경계부 영역을 형성하기 위해 경계부를 기준으로 나누어진 두 영역에 제1 화소(PXa)들과 제2 화소(PXb)들이 중복되지 않게 배치된다.

[0102] 예를 들어, 좌측의 N번째 열(Column_N)에 제1 화소(PXa)들이 배치된 경우, N+1번째 열(Column_N+1)에는 제2 화소들(PXb)들이 배치되지 않는다. 반대로, 좌측의 N번째 열(Column_N)에 제1 화소(PXa)들이 배치되지 않은 경우, N+1번째 열(Column_N+1)에는 제2 화소들(PXb)들이 배치된다.

[0103] 이와 같은 방식으로, 경계부에서, 좌측의 N번째 열(Column_N)과 우측의 N+1번째 열(Column_N+1)에 화소들이 서로 중첩되지 않게 배열된다.

[0104] 제1 레고 패턴(Lego1)과 제2 레고 패턴(Lego2)이 중첩되어 접합되면, 제1 레고 패턴(Lego1)의 제1 화소(PXa)들과 제2 레고 패턴(Lego1)의 제2 화소(PXb)들은 일렬로 배치되어 중복이 없는 하나의 완성된 패턴을 이루게 된다.

[0105] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.

[0106] 따라서, 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

발명의 효과

[0107] 상기한 바와 같이 이루어진 본 발명에 따르면, 화면에서 위치에 따른 공통 전압의 편차가 최소화될 수 있으며, 대형 화면을 구현할 때 공통 전압의 불균일로 인해 발생하는 플리커나 크로스토크 등의 불량이 개선되어 화질이 향상될 수 있다.

[0108] 또한, 본 발명에 따르면, 공통 전압의 불균일을 보상하기 위해 액정 패널 내 영역을 복수의 블록들로 분할하는 경우, 블록들 간 경계부가 눈에 잘 띄지 않게 할 수 있으며, 그에 따라 블록들 간 경계부로 인한 딥 라인(Dim Line)을 방지할 수 있다.

도면의 간단한 설명

[0001]	도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구성도이다.
[0002]	도 2는 도 1에 나타난 액정 패널의 구성을 설명하기 위한 등가 회로도이다.
[0003]	도 3은 도 1에 나타난 액정 패널의 일부 단면도이다.
[0004]	도 4는 도 1의 액정 패널을 이루는 어레이 기판에 적용되는 레고 패턴의 모형도이다.
[0005]	도 5는 도 1에 나타난 액정 패널의 각 화소에 배치되는 공통 전극의 모식도이다.
[0006]	도 6은 도 4에 나타난 레고 패턴의 변형예이다.
[0007]	도 7은 도 4에 나타난 레고 패턴의 다른 변형예이다.
[0008]	도 8은 도 4 내지 도 7에 나타난 레고 패턴의 형성 방법을 설명하기 위한 참고도이다.
[0009]	도 9는 도 8에 나타난 레고 패턴의 형성 방법을 보다 자세히 설명하기 위한 참고도이다.
[0010]	(도면의 주요부분에 대한 부호의 설명)
[0011]	100: 액정 패널 210: 게이트 구동부

- [0012]

220: 데이터 구동부

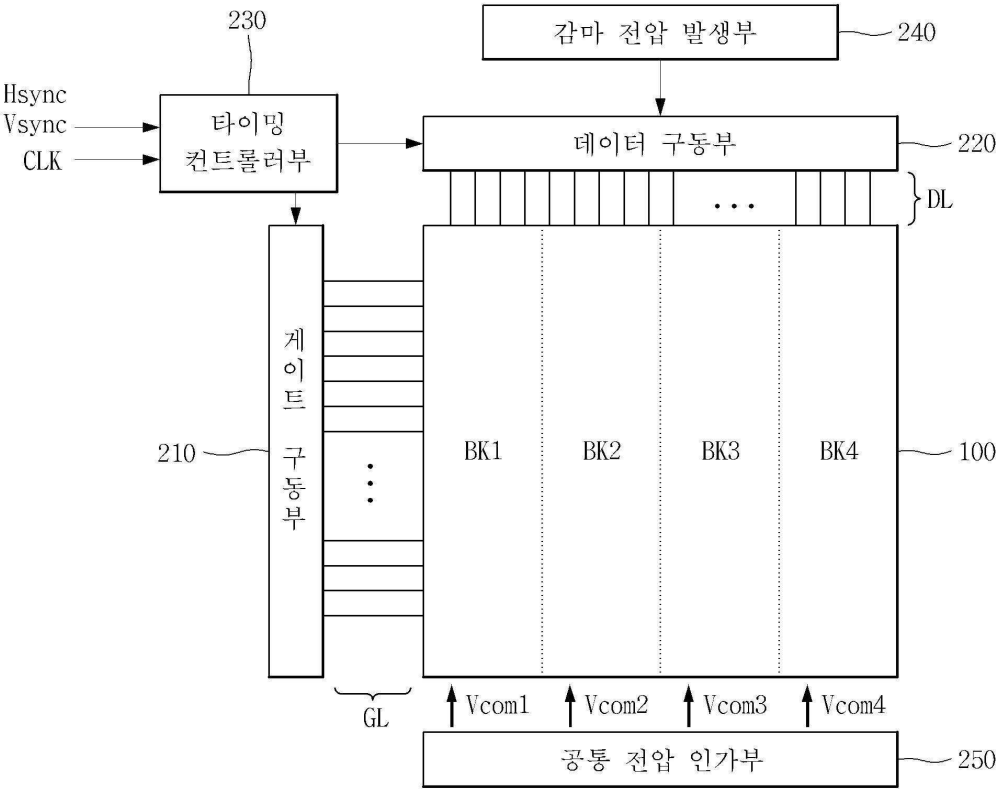
230: 타이밍 컨트롤러부
- [0013]

240: 감마 전압 발생부

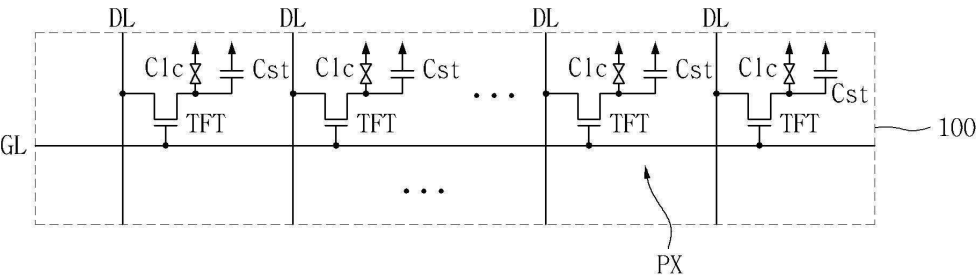
250: 공통 전압 인가부

도면

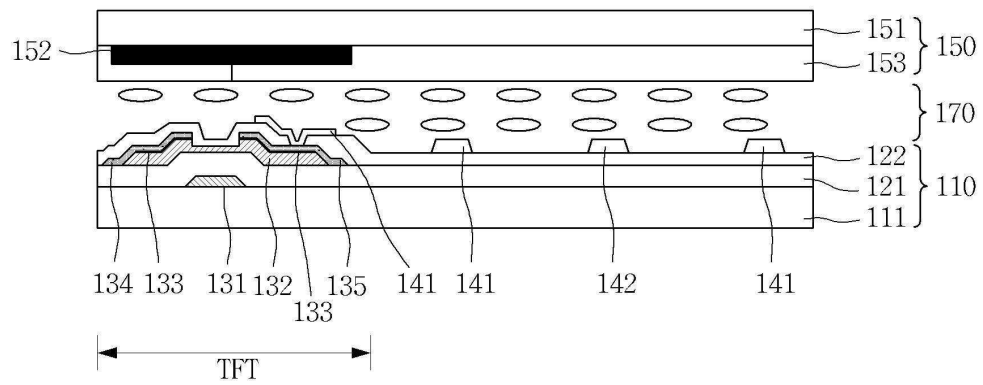
도면1



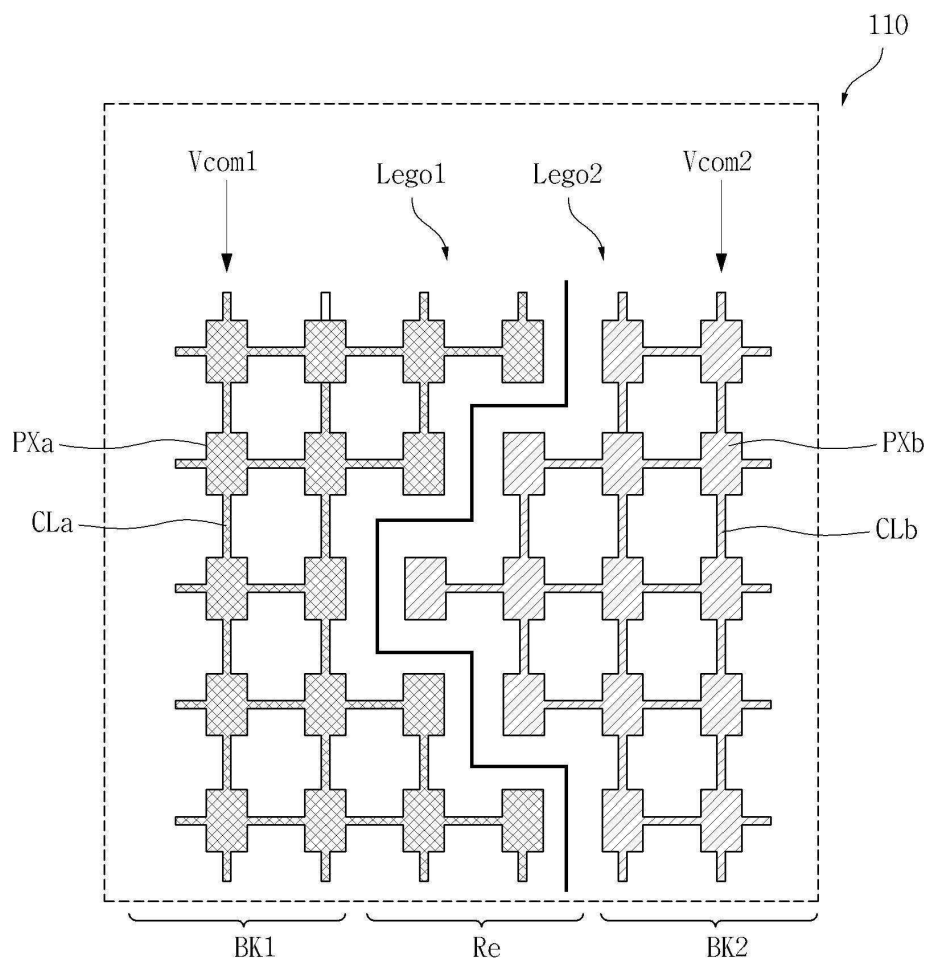
도면2



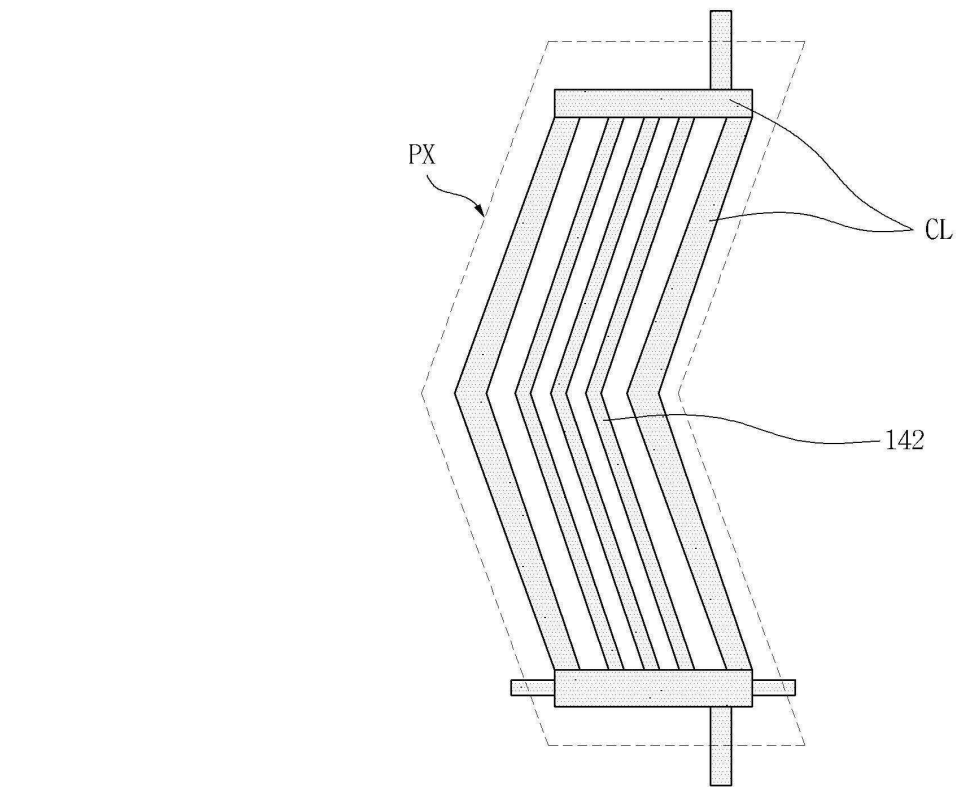
도면3



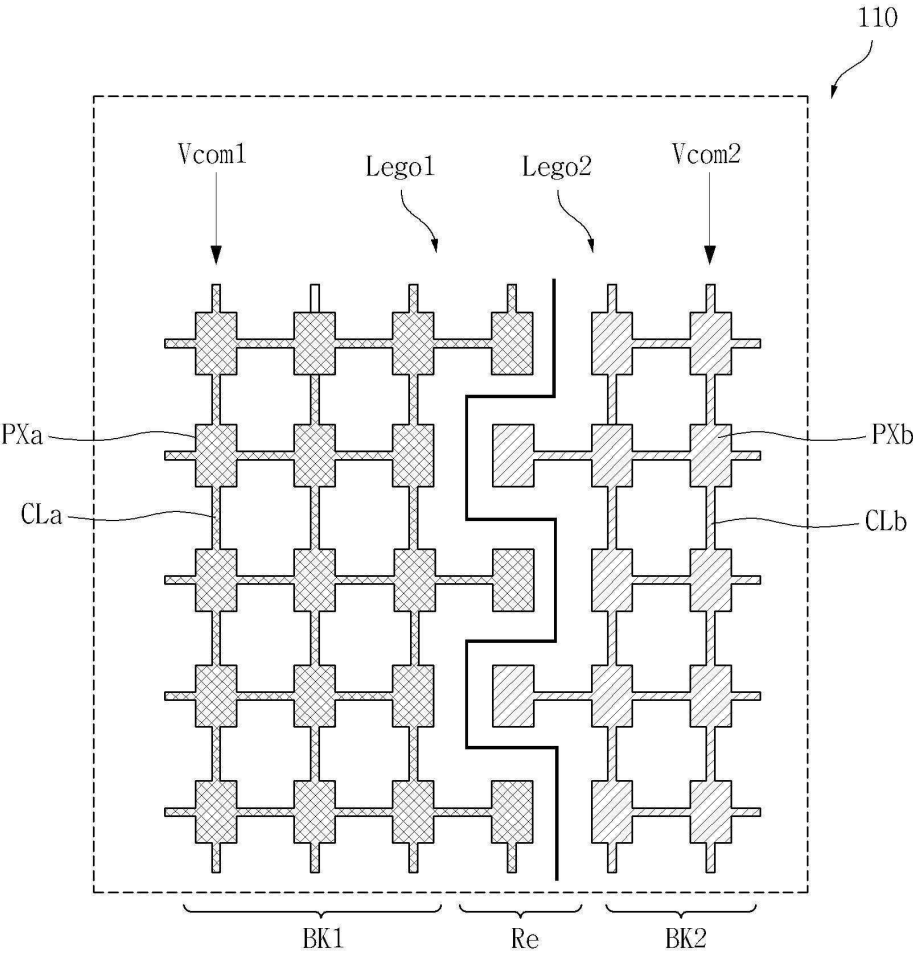
도면4



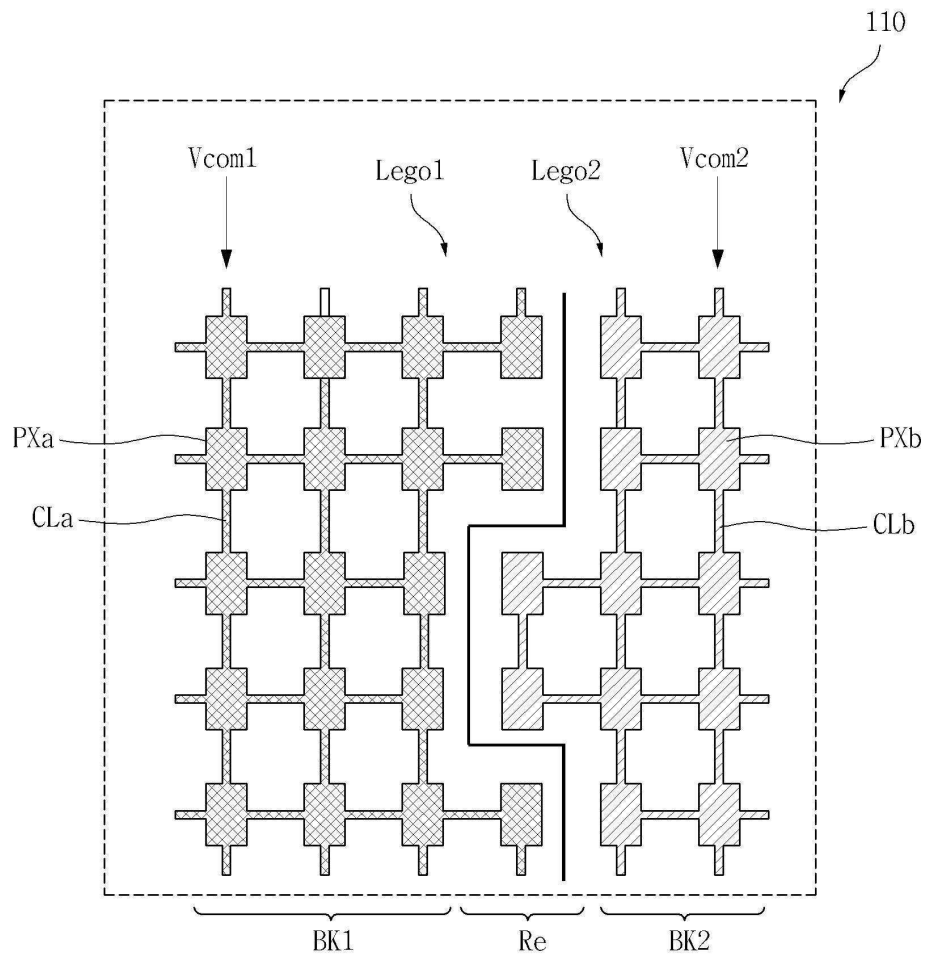
도면5



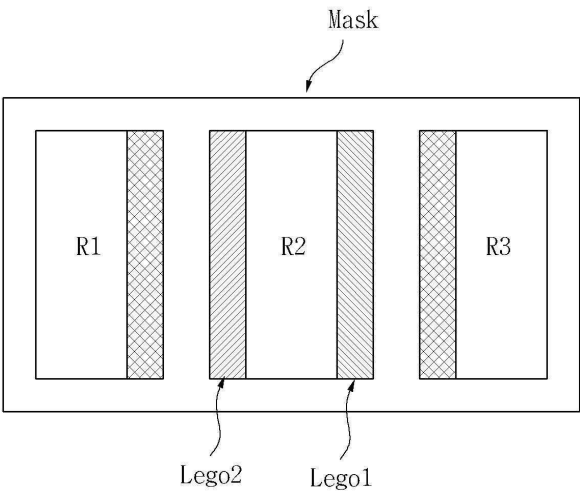
도면6



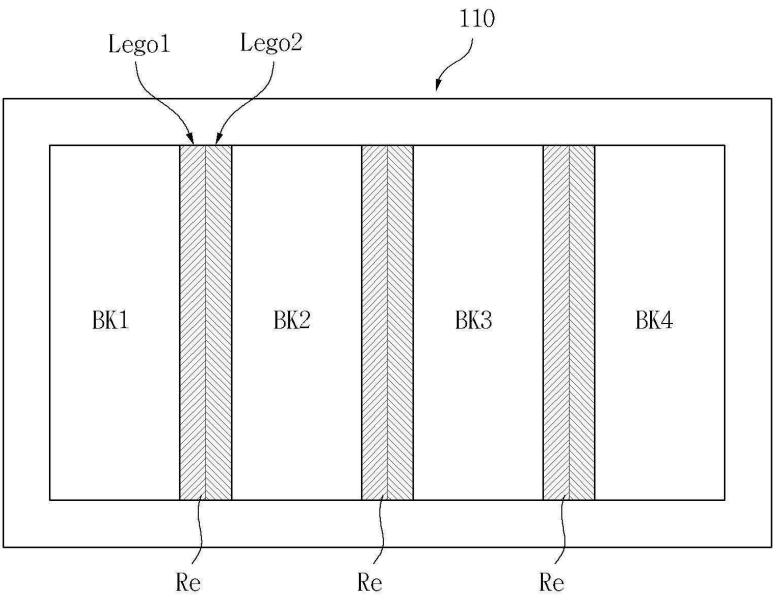
도면7



도면8

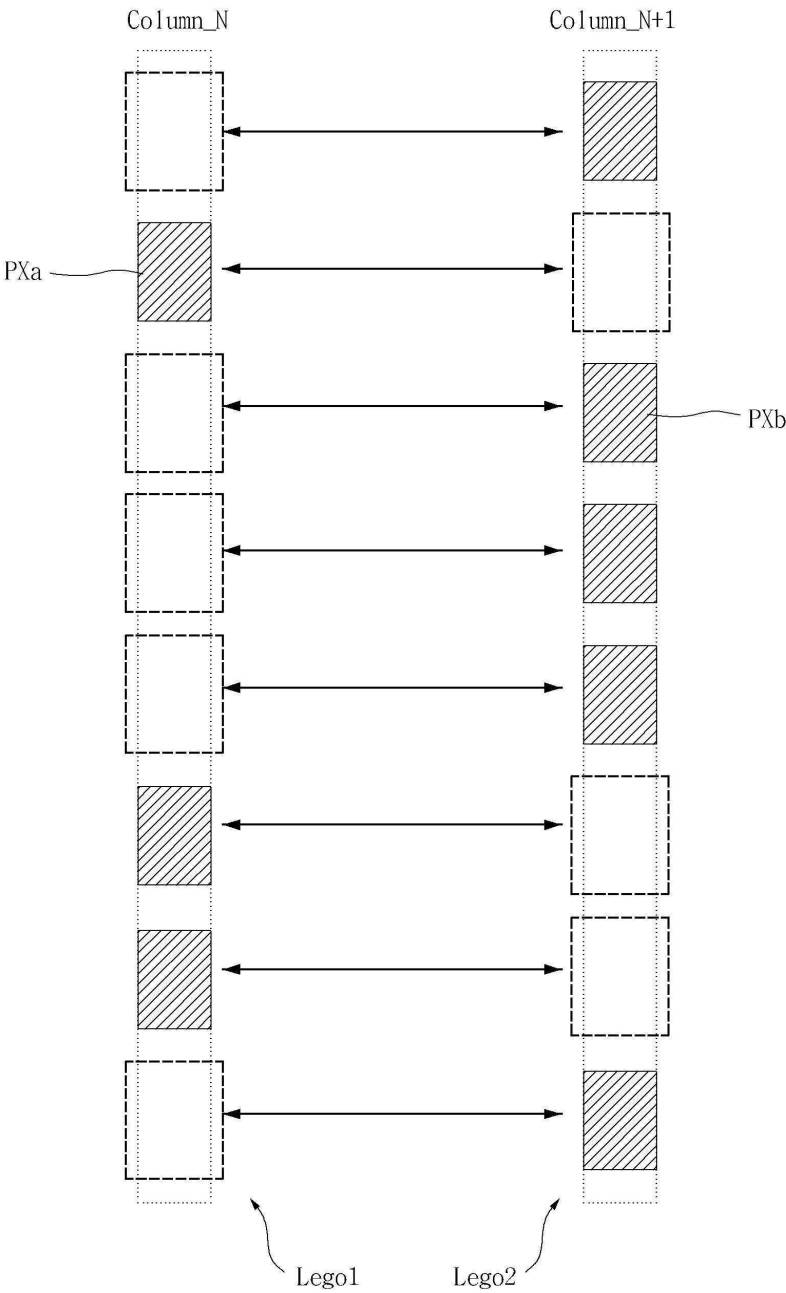


(a)



(b)

도면9



专利名称(译)	标题：使用相同的阵列基板和液晶显示器		
公开(公告)号	KR101421441B1	公开(公告)日	2014-07-28
申请号	KR1020070042015	申请日	2007-04-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SUN HWA 이선화 JEONG YOUNG MIN 정영민		
发明人	이선화 정영민		
IPC分类号	G02F1/133 G02F1/1343		
CPC分类号	G02F1/134336 G02F1/136286 G09G3/3614 G09G3/3655 G09G3/3696		
其他公开文献	KR1020080096990A		
外部链接	Espacenet		

摘要(译)

提供阵列基板和使用其的液晶显示器，以最小化公共电压与位置的差异，从而由于公共电压变化引起的闪烁或串扰而改善显示质量。第一块被布置为矩阵类型，而多个第一像素 (PXa) 被形成行和列。第一公共图案 (CLa) 连接到多个第一像素，并且授权第一公共电压到像素。第一块附近的第二块被布置为矩阵类型，而多个第二像素 (PXb) 被形成行和列。第一公共图案未连接到第二共用图案。多个第二像素彼此连接并且向第二像素产生第二公共电压。第一像素布置成在第一和第二块的边缘中形成凹凸，并形成第一乐高图案。

