



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월09일
(11) 등록번호 10-1416902
(24) 등록일자 2014년07월02일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2006-0061662

(22) 출원일자 2006년06월30일

심사청구일자 2011년06월29일

(65) 공개번호 10-2008-0003121

(43) 공개일자 2008년01월07일

(56) 선행기술조사문헌

KR1020000033515 A

KR1020060001700 A

JP2000196097 A

전체 청구항 수 : 총 9 항

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

오재영

경기 의왕시 내손로 13, 101동 210호 (내손동, 포
일자이아파트)

(74) 대리인

박장원

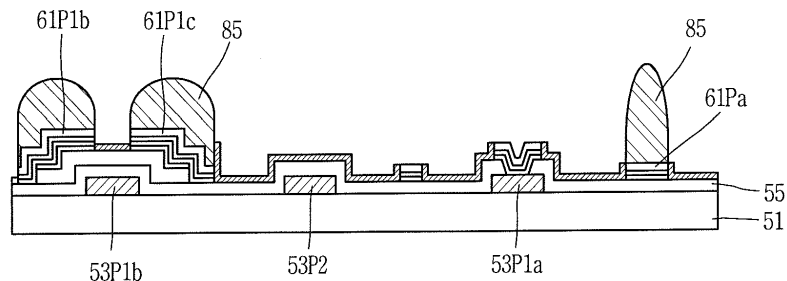
심사관 : 신창우

(54) 발명의 명칭 액정표시소자의 제조방법

(57) 요약

본 발명은 액정표시소자의 박막 트랜지스터 제조방법에 관해 개시한다. 개시된 상기 방법은 채널영역이 정의되며, 상면에 게이트전극을 가진 절연기관을 제공하고; 기관 상에 상기 게이트전극을 덮는 액티브층을 형성하고; 액티브층을 가진 기관 상에 소오스/드레인전극용 금속막, 화소전극용 투명금속막 및 소정의 마스크를 차례로 형성하되, 상기 마스크는 상기 채널영역을 노출시키고; 마스크를 이용하여 상기 투명금속막 및 금속막을 선택적으로 식각하여 채널영역을 노출함과 동시에 소오스/드레인전극 및 화소전극을 형성하고; 마스크에 의해 노출된 기관 상에 상기 채널영역을 덮는 채널보호막을 형성하고; 및 마스크를 제거하는 것을 포함한다. 상술한 바와 같이, 본 발명은 3마스크 공정을 통해 액정표시소자를 제조할 수 있다. 따라서, 기존의 4마스크 공정에 비해 공정이 단순화되며, 이로써 생산효율이 증대되는 이점이 있다.

대표도 - 도3h



특허청구의 범위

청구항 1

채널영역이 정의되며, 상면에 게이트전극을 가진 절연기판을 제공하고,

상기 기판 상에 상기 게이트전극을 덮는 게이트 절연막 및 액티브층을 차례로 형성하고,

상기 액티브층을 가진 기판 상에 소오스/드레인전극용 및 화소전극용 금속막 및 투명금속막과, 소정의 마스크를 차례로 형성하되, 상기 마스크는 상기 채널영역을 노출시키고,

상기 마스크를 이용하여 상기 금속막 및 투명금속막을 선택적으로 식각하여 채널영역을 노출함과 동시에, 상기 금속막 및 투명금속막으로 이루어진 소오스/드레인전극 및, 상기 금속막 및 투명금속막으로 이루어지며 공통전극과 빛이 통과하는 영역을 사이에 두고 대향하도록 화소전극을 형성하고,

상기 마스크에 의해 노출된 기판 상에 상기 채널영역을 덮는 채널보호막을 형성하고,

상기 마스크를 제거하는 것을 포함하는 액정표시소자의 박막 트랜지스터 제조방법.

청구항 2

제 1항에 있어서, 상기 액티브층을 형성하는 것은

상기 기판 상에 비정질실리콘층과 고농도의 불순물이 도핑된 비정질실리콘층이 차례로 적층된 실리콘층을 차례로 형성하고,

상기 실리콘층을 선택 식각하여 액티브층을 형성하고,

상기 고농도의 불순물이 도핑된 비정질실리콘층을 식각하여 채널영역을 노출하는 것을 포함하는 액정표시소자의 박막 트랜지스터 제조방법.

청구항 3

제 1항에 있어서, 상기 채널 보호막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 액정표시소자의 박막 트랜지스터 제조방법.

청구항 4

제 3항에 있어서, 상기 채널 보호막은 200~500Å 두께로 형성하는 것을 특징으로 하는 액정표시소자의 박막 트랜지스터 제조방법.

청구항 5

박막 트랜지스터부, 저장부, 게이트패드부 및 데이터패드부가 각각 정의된 기판을 제공하고,

상기 기판의 박막 트랜지스터부에 게이트전극을, 상기 저장부에 스토리지전극을, 그리고 상기 게이트패드부에 게이트패드를 형성하고,

상기 기판 상에 상기 게이트전극을 덮는 게이트 절연막 및 활성층을 차례로 형성하고, 상기 활성층을 형성하는 동시에 상기 게이트패드를 오픈하고,

상기 활성층을 가진 기판 상에 제 1금속막, 투명도전막 및 제 2금속막을 차례로 형성하고,

상기 제 1금속막, 투명도전막 및 제 2금속막을 패터닝하여 상기 박막 트랜지스터부에 상기 제 2금속막, 투명도전막 및 제1 금속막으로 이루어진 소오스전극 및 드레인전극과, 상기 제 2금속막, 투명도전막 및 제 1금속막으로 이루어지며 드레인전극과 연결되고, 공통전극과 빛이 통과하는 영역을 사이에 두고 대향하도록 형성되는 화소전극과, 상기 제 2금속막, 투명도전막 및 제1 금속막으로 이루어진 데이터패드부에 데이터패드를 형성하고, 그리고 상기 게이트패드부에 게이트패드를 각각 형성하고,

상기 기판 결과물에 채널보호막을 형성하되, 상기 채널보호막은 소오스전극, 드레인전극 및 게이트패드 및 데이터패드를 노출시키고,

상기 게이트패드 및 화소전극으로부터 제 2금속막을 제거하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 6

제 5항에 있어서, 상기 활성층은 비정질실리콘층과 고농도의 불순물이 도핑된 비정질실리콘층을 차례로 적층하여 형성하는 것을 특징으로 하는 액정표시소자의 박막 트랜지스터 제조방법.

청구항 7

제 5항에 있어서, 상기 투명 도전막은 인듐-틴-옥사이드 및 인듐-징크-옥사이드 중 적어도 어느 하나로 형성하는 것을 특징으로 하는 액정표시소자의 박막 트랜지스터 제조방법.

청구항 8

제 5항에 있어서, 상기 채널 보호막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 액정표시소자의 박막 트랜지스터 제조방법.

청구항 9

제 8항에 있어서, 상기 채널 보호막은 200~500Å 두께로 형성하는 것을 특징으로 하는 액정표시소자의 박막 트랜지스터 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0004] 본 발명은 액정표시소자의 제조방법에 관한 것으로서, 보다 구체적으로는 마스크 수를 절감하여 제조공정을 단순화할 수 있는 액정표시소자의 제조방법에 관한 것이다.
- [0005] 일반적으로 알려진 바와 같이, 액정표시소자는 스위칭 소자로써 박막 트랜지스터가 배열되는 박막 트랜지스터 어레이기판(이하, 절연 기판이라 칭함)과 영상을 컬러로 표시하기 위한 컬러필터 기판이 서로 대향하여 형성되며, 상기 컬러필터 기판과 박막 트랜지스터 어레이 기판 사이에 형성되는 공간에 액정층이 충전되어 있다. 그 중 박막 트랜지스터 어레이기판 제조 공정은 액정표시장치의 성능을 결정하는 중요한 소자로써 많은 공정을 수반한다. 이하에서는, 박막 트랜지스터 어레이기판을 제조하는 공정에 대해 알아보기로 한다.
- [0006] 도 1a 내지 도 1d는 4마스크를 사용하여 종래 액정표시소자를 제조하는 것을 보인 것이다.
- [0007] 도 1a에 도시된 바와 같이, 채널영역, 저장영역, 게이트 패드부 및 데이터 패드부가 각각 정의된 절연 기판(1)을 제공한다. 상기 절연 기판(1)은 유리 등의 투명 기판일 수 있다. 상기 절연 기판(1) 상에 제 1금속막을 형성한다. 제 1마스크 공정으로 상기 제 1금속막을 패터닝하여 게이트 배선(미도시) 및 스토리지 전극(3P2)을 각각 형성한다. 상기 게이트 배선은 기판 상에 일방향으로 연장되되, 일 끝단에는 게이트 패드(3P1a)를, 그리고 채널영역에는 게이트 전극(3P1b)을 포함한다.
- [0008] 도 1b에 도시된 바와 같이, 상기 게이트배선을 가진 기판 상에 게이트 절연막(5), 실리콘층 및 제 2금속막을 차례로 형성한다. 상기 제 2금속막은 상기 제 1금속막과 식각선택비가 서로 다른 금속을 이용할 수 있다. 제 2마스크 공정으로 상기 제 2금속막 및 실리콘층을 선택적으로 식각하여 데이터 배선(미도시) 및 활성층(7)을 형성한다. 상기 데이터 배선은 상기 게이트 배선과 수직하게 교차하여 화소영역을 정의하며, 데이터 패드부에 데이터 패드(9Pa)를, 그리고 채널영역에 소오스/드레인전극(11Pb)(11Pc)을 포함한다.
- [0009] 도 1c에 도시된 바와 같이, 상기 데이터 배선을 가진 기판 상에 보호막을 형성한다. 제 3마스크 공정으로 상기 보호막 및 게이트절연막을 식각하여 상기 데이터 패드(9Pa)를 노출하는 제 1콘택(13H1) 및 게이트패드(3P1a)를 노출하는 제2콘택(13H2) 및 드레인전극(11Pc)를 노출하는 제 3콘택(13H3)을 형성한다.
- [0010] 도 1d에 도시된 바와 같이, 상기 제 1콘택(13H1), 제 2콘택(13H2) 및 제 3콘택(13H3)을 가진 기판 상에 투명 도전막을 형성한다. 제 4마스크 공정으로 상기 투명 도전막을 패터닝하여 상기 데이터 패드(9Pa)와 연결되는 제 1

배선패턴(15P1), 상기 게이트 패드(3P1a)와 연결되는 제 2배선패턴(15P2), 그리고 상기 드레인전극과 연결되는 제 3배선패턴(15P3)을 형성한다. 상기 제 3배선패턴(15P3)은 화소전극일 수 있다.

[0011] 그러나, 이와 같은 종래 액정표시소자를 제조하기 위해서는 게이트전극을 형성하기 위한 제 1마스크, 활성층 및 소오스/드레인전극을 형성하기 위한 제 2마스크, 보호막에 콘택들을 형성하기 위한 제 3마스크, 및 화소전극 형성하기 위한 제 4마스크 등 총 4개의 마스크를 필요로 한다. 그러므로, 상술한 종래 액정표시소자를 제조하기 위해서는 다수의 공정이 요구되며, 또한 공정 수가 증가할수록 재료비 등의 공정비용이 상승하는 문제점이 있다.

[0012] 따라서, 마스크 수를 절감하여 공정을 단순화할 수 있는 새로운 액정 표시소자의 제조 공정이 요구된다.

발명이 이루고자 하는 기술적 과제

[0013] 본 발명의 과제는 기존의 4마스크에서 3마스크로 마스크 수를 절감하여 공정을 단순화할 수 있는 액정표시소자의 제조방법을 제공하려는 것이다.

발명의 구성 및 작용

[0014] 상기 과제를 달성하고자, 본 발명은 액정표시소자의 박막 트랜지스터 제조방법을 제공한다. 상기 방법은 채널영역이 정의되며, 상면에 게이트전극을 가진 절연기판을 제공하고; 기판 상에 상기 게이트전극을 덮는 액티브층을 형성하고; 액티브층을 가진 기판 상에 소오스/드레인전극용 금속막, 화소전극용 투명금속막 및 소정의 마스크를 차례로 형성하되, 상기 마스크는 상기 채널영역을 노출시키고; 마스크를 이용하여 상기 투명금속막 및 금속막을 선택적으로 식각하여 채널영역을 노출함과 동시에 소오스/드레인전극 및 화소전극을 형성하고; 마스크에 의해 노출된 기판 상에 상기 채널영역을 덮는 채널보호막을 형성하고; 및 마스크를 제거하는 것을 포함한다.

[0015] 상기 액티브층을 형성하는 것은 상기 기판 상에 비정질실리콘층과 고농도의 불순물이 도핑된 비정질실리콘층이 차례로 적층된 실리콘층을 차례로 형성하고; 실리콘층을 선택 식각하여 액티브층을 형성하고; 고농도의 불순물이 도핑된 비정질실리콘층을 식각하여 채널영역을 노출하는 것을 포함한다.

[0016] 본 발명은 액정표시소자의 제조방법을 제공한다. 상기 방법은 박막 트랜지스터부, 저장부, 게이트패드부 및 데이터패드부가 각각 정의된 기판을 제공하고; 기판의 박막 트랜지스터부에 게이트전극을, 상기 저장부에 스토리지전극을, 그리고 상기 게이트패드부에 게이트패드를 형성하고; 기판 상에 상기 게이트전극을 덮는 활성층을 형성하는 동시에 상기 게이트패드를 오픈하고; 활성층을 가진 기판 상에 제 1금속막, 투명도전막 및 제 2금속막을 차례로 형성하고; 제 2금속막, 투명도전막 및 제 1금속막을 패터닝하여 상기 박막 트랜지스터부에 소오스전극, 드레인전극 및 드레인전극과 연결되는 화소전극을, 상기 데이터패드부에 데이터패드를, 그리고 상기 게이트패드부에 게이트패드를 각각 형성하고; 기판 결과물에 채널보호막을 형성하되, 상기 채널보호막은 소오스전극, 드레인전극 및 게이트패드 및 데이터패드를 노출시키고; 게이트패드로부터 제 2금속막을 제거한다.

[0017] 상기 실리콘층은 비정질실리콘층과 고농도의 불순물이 도핑된 비정질실리콘층을 차례로 적층하여 형성하는 것이 바람직하다.

[0018] 상기 투명 도전막은 인듐-틴-옥사이드 및 인듐-징크-옥사이드 중 적어도 어느 하나로 형성하는 것이 바람직하다.

[0019] (실시예)

[0020] 이하, 첨부된 도면을 참고로 하여 본 발명에 따른 액정 표시소자의 제조방법을 상세히 설명하기로 한다.

[0021] 도 2는 본 발명에 따른 액정표시소자의 평면도이다. 또한, 도 3a 내지 도 3h는 도 2의 I-I', II-II' 및 III-III'의 절단면을 보인 공정별 단면도이다. 이하에서는 도 2 및 도 3a 내지 도 3h를 참고로 하여 본 발명에 따른 액정 표시소자의 제조방법을 설명한다.

[0022] 도 2 및 도 3a에 도시된 바와 같이, 채널영역, 저장영역, 게이트 패드부 및 데이터 패드부가 각각 정의된 절연 기판(51)을 제공한다. 상기 절연 기판(51)은 유리 등의 투명 기판일 수 있다. 상기 절연 기판(51) 상에 제 1금속막(53)을 형성한다. 상기 제 1금속막(53)은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr) 등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상일 수 있다. 상기 제 1금속막(53)은 스퍼터링(sputtering) 방법으로 형성할 수 있다. 상기 제 1금속막(53) 위에 소정의 제 1마스크(81)를 형성한다. 상기 제 1마스크(81)는 포토레지스트 패턴일 수 있다. 상기 제 1마스크(81)는 이후의 공정에서 게이트 배선 및 스토

리지 전극을 형성하기 위한 것이다.

[0023] 도 2 및 도 3b에 도시된 바와 같이, 상기 제 1마스크를 이용하여 상기 제 1금속막을 패터닝하여 채널영역 및 게이트 패드부에 게이트 배선(53P1)을, 그리고 저장영역에 스토리지 전극(53P2)을 각각 형성한다. 상기 게이트 배선(53P1)은 기판(51) 상에 일방향으로 연장되고, 일 끝단에는 게이트 패드(53P1a)를, 그리고 채널영역에는 게이트 전극(53P1b)을 포함한다. 이어, 제 1마스크를 제거한다.

다음으로, 도 3c에 도시된 바와 같이, 상기 제 1마스크가 제거된 기판 상에 게이트 절연막(55) 및 실리콘층(60)을 차례로 형성한다. 상기 게이트 절연막(55)은 실리콘 산화막 또는 실리콘 질화막을 이용할 수 있다. 상기 비정질 실리콘층(60)은 비정질실리콘층(amorphous silicon layer)(57)과 고농도의 불순물이 도핑된 비정질실리콘층(59)을 차례로 적층하여 형성할 수 있다. 상기 실리콘층(60)을 가진 기판 상에 소정의 제 2마스크(83)를 형성한다. 상기 제 2마스크(83)는 두께가 서로 다른 회절마스크일 수 있다. 상기 제 2마스크(83)는 상기 채널영역을 덮되 적어도 소오스전극 및 드레인전극이 형성될 부위가 상대적으로 두껍게 형성되고, 상기 저장영역 및 데이터패드부를 덮고, 상기 게이트패드부를 노출시키도록 패터닝된다.

[0024] 도 2 및 도 3d에 도시된 바와 같이, 상기 제 2마스크를 에칭하여 상기 채널영역을 덮되 상기 게이트전극(53P1b)과 대응된 부위의 실리콘층을 노출하는 제 2마스크 패턴(83P)을 형성한다. 상기 제 2마스크 패턴(83P)을 이용하여 상기 실리콘층을 식각한다. 그 결과, 채널영역에는 활성층(60P)이 형성되고, 상기 게이트 패드부에는 상기 게이트패드(53P1a)를 노출하는 제 1콘택(55H)이 형성된다.

이후, 도시되어 있지는 않지만 제2 마스크패턴(83P)을 제거한다.

다음으로, 도 2 및 도 3e에 도시된 바와 같이, 상기 활성층(60P)을 가진 기판 상에 도전막(66)을 형성한다. 상기 도전막(66)은 소오스전극 및 드레인전극 형성을 위한 제 2금속막(61), 화소전극용 투명금속막(63) 및 제 3금속막(65)을 차례로 증착하여 형성할 수 있다. 상기 제 2금속막(61)은 폴리브텐막일 수 있다. 상기 화소전극용 투명금속막(63)은 인듐-틴-옥사이드(Indium Tin Oxide) 또는 인듐-징크-옥사이드(Indium Zinc Oxide) 중 어느 하나일 수 있다. 상기 제 3금속막(65)은 폴리브텐막일 수 있다. 이어, 상기 도전막(66)을 가진 기판 상에 소정의 제 3마스크(85)를 형성한다. 상기 제 3마스크(85)는 데이터패드부를 덮고 채널이 형성될 부위를 노출하도록 패터닝되어 있다. 상기 제 3마스크(85)는 두께가 서로 다른 감광막 패턴일 수 있다.

[0025] 삭제

[0026] 도 2 및 도 3f에 도시된 바와 같이, 상기 제 3마스크(85)를 이용하여 상기 도전막을 식각하여 데이터배선(61Pa)을 형성한다. 상기 데이터 배선(61Pa)은 상기 게이트 배선(53P1)과 수직하게 교차하여 화소영역을 정의하며, 채널영역에 소오스전극 및 드레인전극(61P1b)(61P1c)을, 그리고 데이터 패드부에 데이터 패드(61P1a)를 포함한다.

[0027] 도 2 및 도 3g에 도시된 바와 같이, 상기 제 3마스크(85)를 가진 기판 상에 채널 보호막(67)을 형성한다. 상기 채널 보호막(67)은 실리콘 질화막일 수 있다. 상기 채널 보호막(67)은 제 3마스크(85)에 의해 노출된 부위에 형성될 수 있다. 상기 채널 보호막(67)은 200~500Å, 바람직하게는 300Å 두께로 형성될 수 있다.

[0028] 도 2, 도 3h 및 도 3i에 도시된 바와 같이, 상기 제 3마스크를 에칭하여 제 3마스크 패턴(85D)을 형성한다. 상기 게이트패드(53P1a)로부터 잔류된 제 3금속막을 제거한다.

[0029] 도 2 및 도 3j에 도시된 바와 같이, 상기 제 3마스크 패턴(85D)을 제거한다.

발명의 효과

[0030] 본 발명에 따르면, 3마스크 공정을 통해 액정표시소자를 제조할 수 있다. 따라서, 기존의 4마스크 공정에 비해 공정이 단순화되며, 이로써 생산효율이 증대되는 이점이 있다. 한편, 본 발명의 3마스크 공정을 적용하게 되면, 마스크 형성을 위한 포토 공정, 스트립 공정, 세정공정 등을 생략할 수 있다. 그 결과, 제조 원가가 절감되는 이점이 있다.

도면의 간단한 설명

[0001] 도 1은 종래 기술에 따른 액정표시소자의 평면도.

[0002]

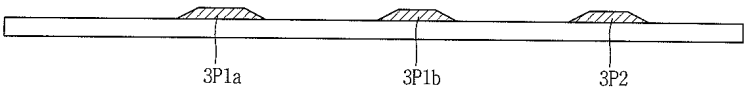
도 2는 본 발명에 따른 액정표시소자의 평면도.

[0003]

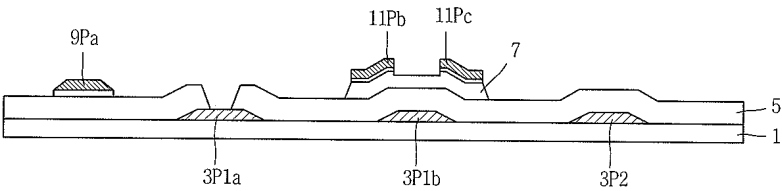
도 3a 내지 도 3h는 도 2의 I-I', II-II' 및 III-III'의 절단면을 보인 공정별 단면도.

도면

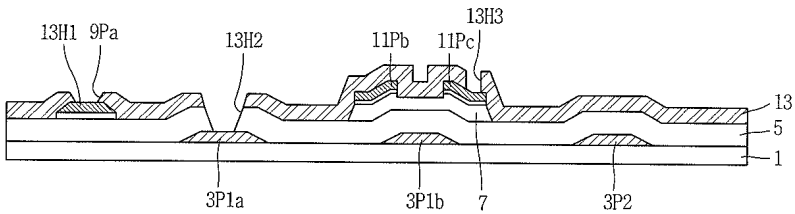
도면1a



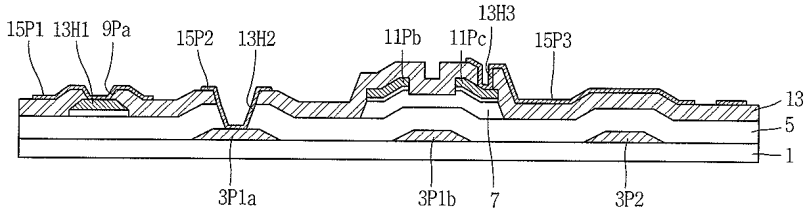
도면1b



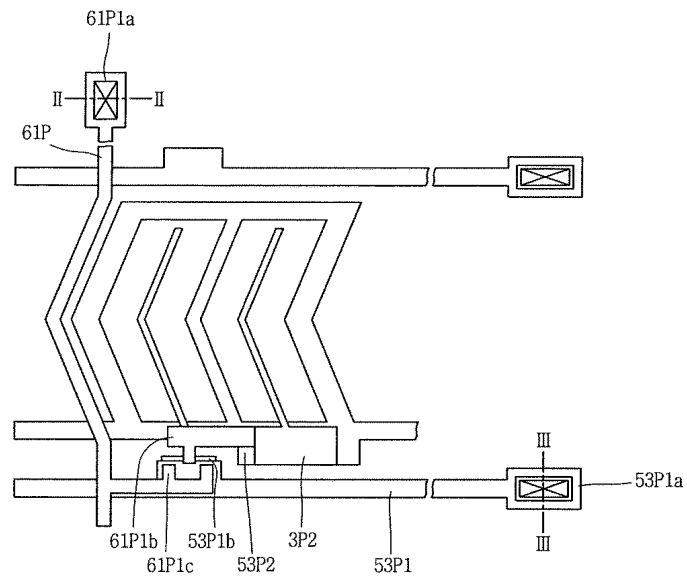
도면1c



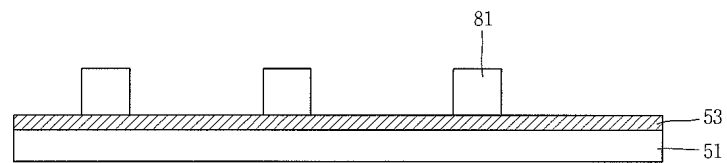
도면1d



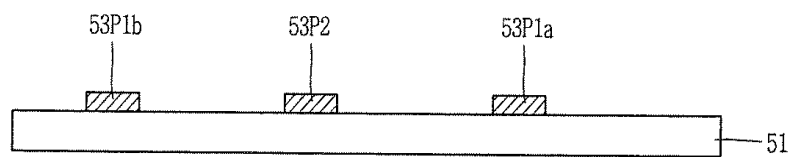
도면2



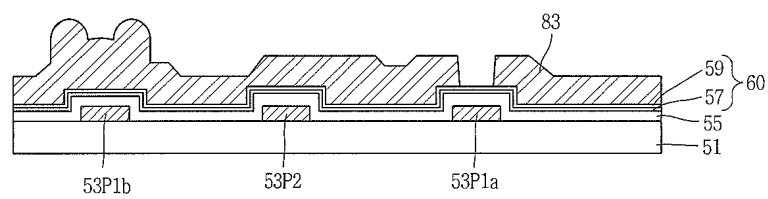
도면3a



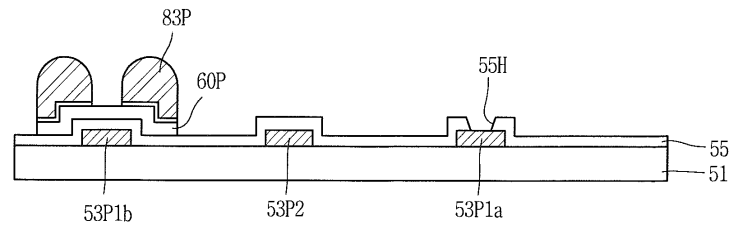
도면3b



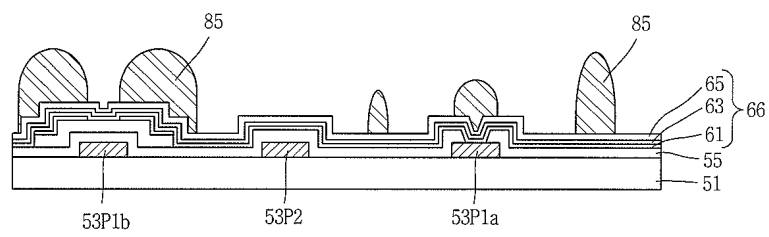
도면3c



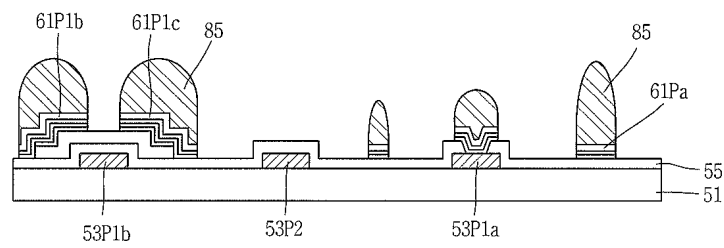
도면3d



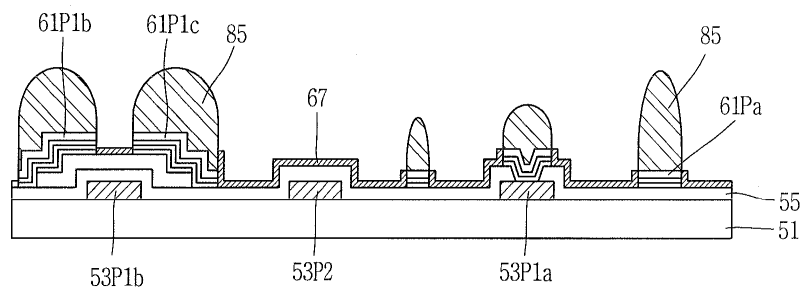
도면3e



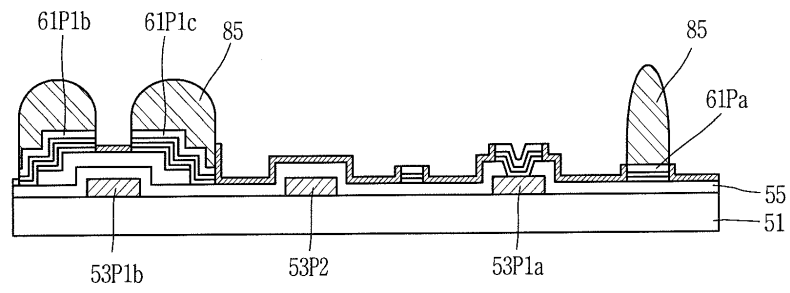
도면3f



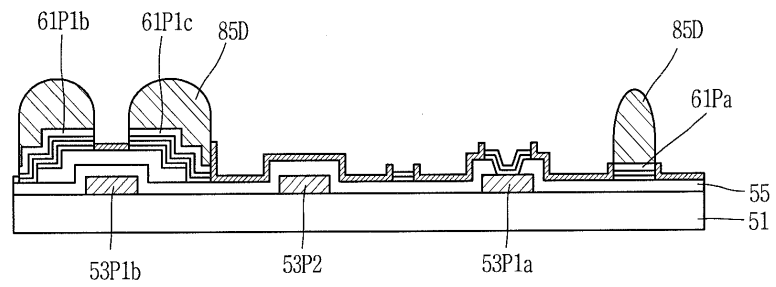
도면3g



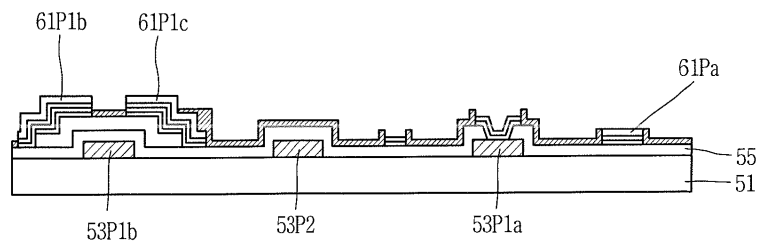
도면3h



도면3i



도면3j



专利名称(译)	标题：液晶显示装置的制造方法		
公开(公告)号	KR101416902B1	公开(公告)日	2014-07-09
申请号	KR1020060061662	申请日	2006-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH JAE YOUNG		
发明人	OH, JAE YOUNG		
IPC分类号	G02F1/136		
CPC分类号	G02F1/136 G02F2001/136231 H01L29/786 H01L51/56		
代理人(译)	PARK, JANG WON		
其他公开文献	KR1020080003121A		
外部链接	Espacenet		

摘要(译)

提供一种制造LCD的方法，以通过制造LCD至3掩模工艺来降低制造成本，从而省略光刻工艺，剥离工艺和用于掩模形成的清洗工艺。沟道区域限定在绝缘基板（51）中，并且绝缘基板包括顶表面上的栅电极（53P1b）。覆盖栅电极的有源层形成在衬底上。在包括有源层的基板上依次形成用于源/漏电极的金属层，用于像素电极的透明金属层和预定掩模，并且掩模暴露沟道区域。通过使用掩模选择性地蚀刻透明金属层和金属层以暴露沟道区域并形成源/漏电极（61P1b / 61P1c）和像素电极。覆盖沟道区的沟道钝化层形成在由掩模暴露的衬底上。面具被删除。

