



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년12월23일
(11) 등록번호 10-0933449
(24) 등록일자 2009년12월15일

(51) Int. Cl.

G09G 3/36 (2006.01)

(21) 출원번호 10-2003-0041126

(22) 출원일자 2003년06월24일

심사청구일자 2008년03월25일

(65) 공개번호 10-2005-0000657

(43) 공개일자 2005년01월06일

(56) 선행기술조사문헌

JP06273720 A*

KR1020020057227 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

홍진철

경상북도구미시오태동대동3차아파트102동1805호

김상래

경상북도포항시북구학잠동학잠동아아파트107동202호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 10 항

심사관 : 이성현

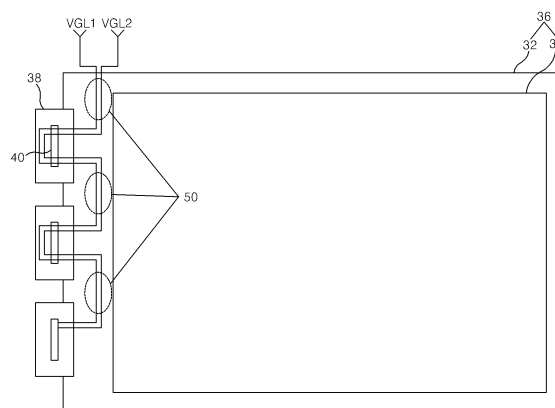
(54) 액정 표시 패널의 구동 방법 및 장치

(57) 요약

본 발명은 게이트 로우 전압의 변동으로 인한 화질 저하를 최소화할 수 있는 액정 표시 패널의 구동 장치 및 방법에 관한 것이다.

본 발명의 한 특징에 따른 액정 표시 패널의 구동 장치는 게이트 라인들과 데이터 라인들의 교차로 정의된 액정 셀 매트릭스를 구비하는 액정 표시 패널의 구동 장치에 있어서, 상기 게이트 라인들 각각에 해당 제1 기간에서 게이트 하이 전압을 공급하고, 그 다음 제2 기간에서 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을, 그 다음 제3 기간에서 다른 게이트 라인들과 중속되는 제2 게이트 로우 전압을 공급하는 게이트 구동부를 구비한다.

대표도 - 도4



특허청구의 범위

청구항 1

게이트 라인들과 데이터 라인들의 교차로 정의된 액정셀 매트릭스를 구비하는 액정 표시 패널의 구동 장치에 있어서,

상기 게이트 라인들 각각에 해당 제1 기간에서 게이트 하이 전압을 공급하고, 그 다음 제2 기간에서 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을, 그 다음 제3 기간에서 다른 게이트 라인들과 종속되는 제2 게이트 로우 전압을 공급하는 다수의 게이트 구동부와;

상기 게이트 하이 전압과, 상기 제1 및 제2 게이트 로우 전압을 생성하여 상기 게이트 구동부로 공급하는 전원부를 구비하고;

상기 전원부로부터의 상기 게이트 하이 전압과 상기 제1 및 제2 게이트 로우 전압은 서로 다른 라인 온 글래스형 신호 라인을 경유하여 상기 다수의 게이트 구동부에 공통으로 공급되며;

상기 다른 게이트 라인들과 독립된 상기 제1 게이트 로우 전압이 상기 각 게이트 라인에 공급되는 상기 제2 기간은, 다른 게이트 라인의 제2 기간과 서로 중첩되지 않는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

게이트 라인들과 데이터 라인들의 교차로 정의된 액정셀 매트릭스를 구비하는 액정 표시 패널의 구동 장치에 있어서,

상기 액정셀들 각각은 그의 화소 전극과 전단 게이트 라인과의 중첩부에 형성된 스토리지 캐패시터를 구비하고;

상기 게이트 라인들 각각에 해당 제1 기간에서 게이트 하이 전압을 공급하고, 상기 스토리지 캐패시터의 스토리지 전압이 결정되는 제2 기간에서 상기 전단 게이트 라인에 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을, 그 다음 제3 기간에서 다른 게이트 라인들과 종속되는 제2 게이트 로우 전압을 공급하는 다수의 게이트 구동부와;

상기 게이트 하이 전압과, 상기 제1 및 제2 게이트 로우 전압을 생성하여 상기 게이트 구동부로 공급하는 전원부를 구비하고;

상기 전원부로부터의 상기 게이트 하이 전압과 상기 제1 및 제2 게이트 로우 전압은 서로 다른 라인 온 글래스형 신호 라인을 경유하여 상기 다수의 게이트 구동부에 공통으로 공급되며;

상기 다른 게이트 라인들과 독립된 상기 제1 게이트 로우 전압이 상기 각 게이트 라인에 공급되는 상기 제2 기간은, 다른 게이트 라인의 제2 기간과 서로 중첩되지 않는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 10

삭제

청구항 11

제1항 및 제9항 중 어느 한 항에 있어서,

상기 전원부는 게이트 로우 전압을 생성하여서, 상기 서로 다른 라인 온 글래스형 신호 라인과 각각 접속된 제1 및 제2 전송 라인 각각을 통해, 동일 레벨의 상기 제1 및 제2 게이트 로우 전압으로 공급하는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 12

제1항 및 제9항 중 어느 한 항에 있어서,

상기 전원부는 기본 게이트 로우 전압을 생성하고 분압하여서, 상기 서로 다른 라인 온 글래스형 신호 라인과 각각 접속된 제1 및 제2 전송 라인 각각을 통해, 서로 다른 레벨의 상기 제1 및 제2 게이트 로우 전압으로 공급하는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 13

삭제

청구항 14

제1항 및 제9항 중 어느 한 항에 있어서,

상기 게이트 구동부는

상기 제1 게이트 로우 전압을 상기 게이트 하이 전압이 공급된 다음의 한 수평 기간에 해당 게이트 라인에만 공급하는 것을 특징으로 하는 액정 표시 패널의 구동 장치.

청구항 15

게이트 라인들과 데이터 라인들의 교차로 정의된 액정셀 매트릭스를 구비하는 액정 표시 패널의 구동 방법에 있어서,

상기 게이트 라인들 각각에 해당 제1 기간에서 게이트 하이 전압을 공급하는 단계와;

그 다음 이어지는 제2 기간에서 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을 공급하는 단계와;

그 다음 이어지는 제3 기간에서 다른 게이트 라인들과 중첩되는 제2 게이트 로우 전압을 공급하는 단계를 포함하고;

상기 게이트 하이 전압과 상기 제1 및 제2 게이트 로우 전압은 서로 다른 라인 온 글래스형 신호 라인을 경유하여 다수의 게이트 구동부에 공통으로 공급되며;

상기 다른 게이트 라인들과 독립된 상기 제1 게이트 로우 전압이 상기 각 게이트 라인에 공급되는 상기 제2 기간은, 다른 게이트 라인의 제2 기간과 서로 중첩되지 않는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

게이트 라인들과 데이터 라인들의 교차로 정의된 액정셀 매트릭스를 구비하는 액정 표시 패널의 구동 방법에 있어서,

상기 액정셀들 각각은 그의 화소 전극과 전단 게이트 라인과의 중첩부에 형성된 스토리지 캐패시터를 구비하고;

상기 전단 게이트 라인에 해당 스캔 기간인 제1 기간에서 게이트 하이 전압을 공급하는 단계와;

상기 스토리지 캐패시터의 스토리지 전압이 결정되는 제2 기간에서 상기 전단 게이트 라인에 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을 공급하는 단계와;

상기 게이트 하이 전압과 제1 게이트 로우 전압이 공급되는 기간을 제외한 나머지 제3 기간에서 다른 게이트 라인들과 종속되는 제2 게이트 로우 전압을 공급하는 단계를 포함하고;

상기 게이트 하이 전압과 상기 제1 및 제2 게이트 로우 전압은 서로 다른 라인 온 글래스형 신호 라인을 경유하여 다수의 게이트 구동부에 공통으로 공급되며;

상기 다른 게이트 라인들과 독립된 상기 제1 게이트 로우 전압이 상기 각 게이트 라인에 공급되는 상기 제2 기간은, 다른 게이트 라인의 제2 기간과 서로 중첩되지 않는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 23

삭제

청구항 24

제15항 및 제22항 중 어느 한 항에 있어서,

상기 게이트 하이 전압을 생성하여 상기 다수의 게이트 구동부에 공급하는 단계와;

게이트 로우 전압을 생성하여서, 상기 서로 다른 라인 온 글래스형 신호 라인과 각각 접속된 제1 및 제2 전송 라인 각각을 통해, 동일 레벨의 상기 제1 및 제2 게이트 로우 전압으로 상기 다수의 게이트 구동부에 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 25

제15항 및 제22항 중 어느 한 항에 있어서,

상기 게이트 하이 전압을 생성하여 상기 다수의 게이트 구동부에 공급하는 단계와;

기본 게이트 로우 전압을 생성하고 분압하여서, 상기 서로 다른 라인 온 글래스형 신호 라인과 각각 접속된 제1 및 제2 전송 라인 각각을 통해, 서로 다른 레벨의 상기 제1 및 제2 게이트 로우 전압으로 상기 다수의 게이트 구동부에 공급하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

청구항 26

삭제

청구항 27

제15항 및 제22항 중 어느 한 항에 있어서,

상기 제1 게이트 로우 전압은 상기 게이트 하이 전압이 공급된 다음의 한 수평 기간에 해당 게이트 라인에만 공급하는 것을 특징으로 하는 액정 표시 패널의 구동 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <15> 본 발명은 액정 표시 장치에 관한 것으로, 특히 게이트 로우 전압의 변동으로 인한 화질 저하를 최소화할 수 있는 액정 표시 패널의 구동 장치 및 방법에 관한 것이다.
- <16> 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 액정 표시 장치는 화상을 표시하는 액정 표시 패널과, 액정 표시 패널을 구동하기 위한 구동 회로를 구비한다.
- <17> 액정 표시 패널은 매트릭스형으로 배열된 액정셀들이 화소 신호에 따라 광투과율을 조절함으로써 화상을 표시하게 된다.
- <18> 구동 회로는 액정 표시 패널의 게이트 라인들을 구동하는 게이트 드라이버와, 데이터 라인들을 구동하는 데이터 드라이버와, 게이트 드라이버 및 데이터 드라이버의 구동 타이밍을 제어하는 타이밍 제어부와, 상기 액정 표시 패널과 상기 구동 회로의 구동에 필요한 전원 신호들을 공급하는 전원부를 구비한다.
- <19> 데이터 드라이버와 게이트 드라이버는 다수개의 집적회로(Integrated Circuit; 이하, IC)들로 분리된다. 집적화된 드라이브 IC들 각각은 TCP(Tape Carrier Package) 상에서 오픈된 IC 영역에 실장되거나 COF(Chip On Film) 방식으로 TCP의 베이스 필름 상에 실장되어, TAB(Tape Automated Bonding) 방식으로 액정 표시 패널과 전기적으로 접속된다. 다른 방법으로 드라이브 IC는 COG(Chip On Glass) 방식으로 액정 표시 패널 상에 직접 실장되기도 한다. 타이밍 제어부와 전원부는 메인 PCB(Printed Circuit Board) 상에 실장된다.
- <20> TAB 방식으로 액정 표시 패널과 접속된 드라이브 IC들은 TCP 및 서브 PCB(게이트 PCB, 데이터 PCB)와 FPC를 통해 메인 PCB 상의 타이밍 제어부 및 전원부와 접속된다.
- <21> COG 방식으로 액정 표시 패널에 실장되는 드라이브 IC들은 FPC(Flexible Printed Circuit)와 액정 표시 패널에 형성되는 라인 온 글래스(Line On Glass; 이하 LOG)형 신호 라인들을 통해 메인 PCB 상의 타이밍 제어부 및 전원부와 접속된다.
- <22> 최근에는 드라이브 IC들이 TCP를 통해 액정 표시 패널과 접속되는 경우에도 LOG형 신호 라인들을 채택하여 PCB의 수를 줄임으로써 액정 표시 장치가 더욱 박형화되게 하고 있다. 특히, 상대적으로 적은 신호를 전달하는 게이트 PCB를 제거하고 게이트 드라이브 IC들에 게이트 제어 신호들 및 전원 신호들을 공급하는 다수의 신호 라인들을 LOG형으로 액정 표시 패널 상에 형성하고 있다. 이에 따라, TCP에 실장된 게이트 드라이브 IC들은 메인 PCB→FPC→데이터 PCB→데이터 TCP→LOG형 신호 라인→게이트 TCP를 경유하여 타이밍 제어부로부터의 게이트 제어 신호들과 전원부로부터의 전원 신호들을 공급받게 된다. 이 경우, 게이트 드라이브 IC에 공급되는 게이트 제어 신호들과 게이트 전원 신호들이 LOG형 신호 라인들의 라인 저항에 의해 왜곡됨으로써 액정 표시 패널에 표시되는 화상의 품질이 저하되는 문제가 발생하게 된다.
- <23> 구체적으로, 게이트 PCB가 제거된 LOG형 액정 표시 장치는 도 1에 도시된 바와 같이 데이터 PCB(16)와, 데이터 구동 IC(14)를 실장하여 데이터 PCB(16)와 액정 표시 패널(6) 사이에 접속된 데이터 TCP(12)와, 게이트 구동 IC(10)를 실장하여 액정 표시 패널(6)에 접속된 게이트 TCP(8)를 구비한다.

- <24> 액정 표시 패널(6)은 박막 트랜지스터 어레이 기관(2)과, 칼러 필터 어레이 기관(4)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(6)은 게이트 라인(GL)과 데이터 라인(DL)의 교차로 정의된 액정셀들을 구비하고, 액정셀들 각각은 스위치 소자인 박막 트랜지스터를 구비한다. 박막 트랜지스터는 게이트 라인(GL)으로부터의 스캔 신호에 응답하여 데이터 라인(DL)으로부터의 화소 신호를 액정셀에 공급한다.
- <25> 데이터 드라이브 IC(14)는 데이터 TCP(12) 및 액정 표시 패널(6)의 데이터 패드를 경유하여 데이터 라인(DL)과 접속된다. 데이터 드라이브 IC(14)는 디지털 화소 데이터를 아날로그 화소 신호로 변환하여 데이터 라인(DL)에 공급한다. 이를 위하여, 데이터 드라이브 IC(14)는 데이터 PCB(16)를 통해 타이밍 제어부(미도시)로부터의 데이터 제어 신호 및 화소 데이터와, 전원부(미도시)로부터의 전원 신호를 공급받는다.
- <26> 게이트 드라이브 IC(10)는 게이트 TCP(8) 및 액정 표시 패널(6)의 게이트 패드부를 경유하여 게이트 라인(GL)과 접속된다. 게이트 드라이브 IC(10)는 게이트 하이 전압(VGH)의 스캔 신호를 게이트 라인들(GL)에 순차적으로 공급한다. 또한 게이트 드라이브 IC(10)는 게이트 하이 전압(VGH)이 공급된 기간을 제외한 나머지 기간에 게이트 로우 전압(VGL)을 게이트 라인들(GL)에 공급한다.
- <27> 이를 위하여, 타이밍 제어부(미도시)로부터의 게이트 제어 신호들과 전원부(미도시)로부터의 전원 신호들은 데이터 PCB(16)를 경유하여 데이터 TCP(12)에 공급된다. 데이터 TCP(12)를 통해 공급되는 게이트 제어 신호들과 전원 신호들은 박막 트랜지스터 어레이 기관(2)의 가장자리 영역에 형성된 LOG형 신호 라인군(20)을 통해 게이트 TCP(8)에 공급된다. 게이트 TCP(12)에 공급된 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 입력 단자들을 통해 게이트 드라이브 IC(10) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(10)의 출력 단자들을 통해 출력되어 게이트 TCP(8)와 LOG 신호 라인군(26)을 경유하여 다음 게이트 TCP(8)에 실장된 게이트 드라이브 IC(10)로 공급된다.
- <28> LOG형 신호라인군(20)은 통상 게이트 로우 전압(VGL), 게이트 하이 전압 (VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부(24)로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부(22)로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다.
- <29> LOG형 신호 라인군(20)은 박막 트랜지스터 어레이 기관(2)의 한정된 패드 영역에 게이트 라인들과 동일한 게이트 금속층을 이용하여 미세 패턴으로 형성된다. 이에 따라, LOG형 신호 라인군(20)은 기존 게이트 PCB 상의 신호 라인들 보다 큰 라인 저항을 가지게 된다. 이러한 라인 저항으로 인하여 LOG 신호 라인군(26)을 통해 전송되는 게이트 제어 신호들(GSP, GSC, GOE)과 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 왜곡됨으로써 가로선(즉, Gate Dim)(32), 도트 패턴의 크로스토크(Crosstalk), 그리니쉬(Greenish) 등과 같은 화질 저하 현상이 발생된다.
- <30> 도 2는 LOG형 신호 라인군(20)으로 인한 가로선 현상을 설명하기 위한 도면이다.
- <31> 도 2에 도시된 LOG형 신호 라인군(20)은 제1 게이트 TCP(8)의 입력단에 접속된 제1 LOG형 신호 라인군(LOG1)과, 게이트 TCP들(8) 사이 각각에 접속되는 제2 내지 제4 LOG 신호 라인군(LOG2 내지 LOG4)으로 구성된다. 제1 내지 제4 LOG 신호 라인군(LOG1 내지 LOG4) 각각은 그 라인길이에 비례하는 라인 저항($a\Omega$, $b\Omega$, $c\Omega$, $d\Omega$)을 갖고 게이트 TCP(8)와 게이트 드라이브 IC(10)를 경유하여 직렬로 연결된다.
- <32> 이에 따라, 제1 게이트 드라이브 IC(10)에는 제1 LOG 신호 라인군(LOG1)의 라인 저항($a\Omega$)에 의해, 제2 게이트 드라이브 IC(10)에는 제1 및 제2 LOG 신호 라인군(LOG1, LOG2)의 라인 저항($a\Omega+b\Omega$)에 의해, 제3 게이트 드라이브 IC(10)에는 제1 내지 제3 LOG 신호 라인군(LOG1 내지 LOG3)의 라인 저항($a\Omega+b\Omega+c\Omega$)에 의해, 제4 게이트 드라이브 IC(10)에는 제1 내지 제4 LOG 신호 라인군(LOG1 내지 LOG4)의 라인 저항($a\Omega+b\Omega+c\Omega+d\Omega$)에 의해 전압 강하된 게이트 제어 신호들(GSP, GSC, GOE) 및 전원 신호들(VGH, VGL, VCC, GND, VCOM)이 공급된다.
- <33> 이로 인하여, 서로 다른 게이트 드라이브 IC(10)에 의해 구동되는 제1 내지 제4 수평 블록(A 내지 D)의 게이트 라인들에 공급되는 게이트 신호들(VG1 내지 VG4) 간에 전압 차이가 발생함으로써 제1 내지 제4 수평 라인 블록들(A 내지 D) 간에 가로선(32)이 발생된다.
- <34> 도 3은 도 1에 도시된 액정 표시 패널(2)에 포함되는 임의의 게이트 라인(GLi)에 공급되는 게이트 신호 파형을 도시한 것이다.
- <35> 임의의 게이트 라인(GLi)은 스캔 순서가 되어 게이트 하이 전압(VGH)가 공급되는 수평기간(Hi)을 제외하고는 게이트 로우 전압(VGL)을 유지하여야 한다. 그러나, 게이트 절연막을 사이에 두고 교차하는 게이트 라인(GLi)과

데이터 라인(DL)간의 기생 캐패시터로 인하여 게이트 라인(GLi)에 공급된 게이트 로우 전압(VGL)은 데이터 라인(DL)에 공급되는 화소 신호에 따라 스윙함으로써 불안정해진다. 예를 들면, 도트 인버전 방식에 응답하여 정극성과 부극성을 교번하면서 한 수평라인에 공급되는 화소신호들의 평균치에 따라 게이트 로우 전압(VGL)은 도 3과 같이 수평기간마다 정극성 및 부극성 쪽으로 교번하면서 스윙한다. 이러한 게이트 로우 전압(VGL)의 스윙 현상은 게이트 드라이브 IC와 LOG형 신호 라인을 통해 그 게이트 로우 전압(VGL)이 공통으로 공급되는 다른 게이트 라인들에서도 동일하게 발생하게 된다.

<36> 이렇게 기생 캐패시터로 인하여 불안정해진 게이트 로우 전압은 그에 걸리는 부하량(캐패시터, 저항)이 작을수록 빨리 안정화될 수 있다. 그러나, 게이트 로우 전압(VGL)이 다른 게이트 라인들에도 공통으로 공급됨에 따라 게이트 로우 전압(VGL)에 걸리는 기생 캐패시터 용량이 크고, LOG 저항이 크므로 불안정한 게이트 로우 전압은 빨리 안정화될 수 없게 된다.

<37> 이에 따라, 불안정한 게이트 로우 전압(VGL)은 화소전극과 전단 게이트 라인간에 형성된 스토리지 캐패시터(Cst)를 통해 화소 전압을 변동시키게 된다. 이 결과, 도트 인버전 방식으로 특정 도트 패턴을 표시하는 경우 인접한 적색(R) 및 청색(B) 화소와 상반된 극성을 갖는 녹색(G) 화소가 상대적으로 밝게 보이는 그리니쉬(Greenish) 현상이 발생하여 화질이 저하되는 문제점이 있다. 또한, 도트 인버전 방식으로 윈도우 패턴을 표시하는 경우 윈도우 패턴과 수평방향으로 인접한 주변영역이 상대적으로 밝게 보이는 수평 크로스토크 현상이 발생하여 화질이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<38> 따라서, 본 발명의 목적은 게이트 로우 전압의 변동으로 인한 화질 저하를 최소화할 수 있는 액정 표시 패널의 구동 장치 및 방법을 제공하는 것이다.

<39> 본 발명의 다른 목적은 LOG형 신호 라인의 저항 성분으로 인한 화질 저하를 최소화할 수 있는 액정 표시 패널의 구동 장치 및 방법을 제공하는 것이다.

발명의 구성 및 작용

<40> 상기 목적을 달성하기 위하여, 본 발명의 한 특징에 따른 액정 표시 패널의 구동 장치는 게이트 라인들과 데이터 라인들의 교차로 정의된 액정셀 매트릭스를 구비하는 액정 표시 패널의 구동 장치에 있어서, 상기 게이트 라인들 각각에 해당 제1 기간에서 게이트 하이 전압을 공급하고, 그 다음 제2 기간에서 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을, 그 다음 제3 기간에서 다른 게이트 라인들과 중속되는 제2 게이트 로우 전압을 공급하는 게이트 구동부를 구비한다.

<41> 그리고, 본 발명은 상기 게이트 하이 전압을 생성하여 공급하고, 게이트 로우 전압을 생성하여 병렬 접속된 제1 및 제2 전송 라인 각각을 통해 상기 제1 및 제2 게이트 로우 전압으로 공급하는 전원부를 추가로 구비한다.

<42> 상기 제1 및 제2 게이트 로우 전압은 동일 레벨로 설정된다.

<43> 다른 한편, 본 발명은 상기 게이트 하이 전압을 생성하여 공급하고, 기본 게이트 로우 전압을 생성하고 분압하여 제1 및 제2 전송 라인 각각을 통해 상기 제1 및 제2 게이트 로우 전압으로 공급하는 전원부를 추가로 구비한다.

<44> 상기 제1 게이트 로우 전압은 상기 제2 게이트 로우 전압 보다 크거나 작게 설정된다.

<45> 상기 게이트 구동부는 상기 제1 게이트 로우 전압은 상기 게이트 하이 전압이 공급된 다음의 적어도 한 수평 기간에 해당 게이트 라인에만 공급한다.

<46> 상기 제1 및 제2 게이트 로우 전압은 상기 액정 표시 패널 상에 형성된 서로 다른 라인 온 글래스형 신호 라인들을 경유하여 상기 게이트 구동부로 공급된다.

<47> 상기 액정셀들 각각은 그에 포함되는 화소 전극과 전단 게이트 라인과의 중첩부에 스토리지 캐패시터를 추가로 구비한다.

<48> 본 발명의 다른 특징에 따른 액정 표시 패널의 구동 장치는 게이트 라인들과 데이터 라인들의 교차로 정의된 액

정셀 매트릭스를 구비하는 액정 표시 패널의 구동 장치에 있어서, 상기 액정셀들 각각은 그의 화소 전극과 전단 게이트 라인과의 중첩부에 형성된 스토리지 캐패시터를 구비하고, 상기 스토리지 캐패시터의 스토리지 전압이 결정되는 기간에서 상기 전단 게이트 라인에 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을 공급하는 게이트 구동부를 구비한다.

- <49> 상기 게이트 구동부는 상기 전단 게이트 라인으로 해당 스캔 기간에서는 게이트 하이 전압을 공급하고, 상기 게이트 하이 전압과 제1 게이트 로우 전압이 공급되는 기간을 제외한 나머지 기간에서는 다른 게이트 라인들과 종속되는 제2 게이트 로우 전압을 공급한다.
- <50> 상기 스토리지 캐패시터의 스토리지 전압이 결정되는 기간은 해당 액정셀에 화소 전압이 충전되는 기간이다.
- <51> 본 발명의 한 특징에 따른 액정 표시 패널의 구동 방법은 게이트 라인들과 데이터 라인들의 교차로 정의된 액정셀 매트릭스를 구비하는 액정 표시 패널의 구동 방법에 있어서, 상기 게이트 라인들 각각에 해당 제1 기간에서 게이트 하이 전압을 공급하는 단계와, 그 다음 이어지는 제2 기간에서 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을 공급하는 단계와, 그 다음 이어지는 제3 기간에서 다른 게이트 라인들과 종속되는 제2 게이트 로우 전압을 공급하는 단계를 포함한다.
- <52> 그리고, 본 발명은 상기 게이트 하이 전압을 생성하여 공급하는 단계와; 게이트 로우 전압을 생성하여 병렬 접속된 제1 및 제2 전송 라인 각각을 통해 상기 제1 및 제2 게이트 로우 전압으로 공급하는 단계를 추가로 포함한다.
- <53> 한편, 본 발명은 상기 게이트 하이 전압을 생성하여 공급하는 단계와; 기본 게이트 로우 전압을 생성하고 분압하여 제1 및 제2 전송 라인 각각을 통해 상기 제1 및 제2 게이트 로우 전압으로 공급하는 단계를 추가로 포함한다.
- <54> 본 발명의 다른 특징에 따른 액정 표시 패널의 구동 방법은 게이트 라인들과 데이터 라인들의 교차로 정의된 액정셀 매트릭스를 구비하는 액정 표시 패널의 구동 방법에 있어서, 상기 액정셀들 각각은 그의 화소 전극과 전단 게이트 라인과의 중첩부에 형성된 스토리지 캐패시터를 구비하고, 상기 스토리지 캐패시터의 스토리지 전압이 결정되는 기간에서 상기 전단 게이트 라인에 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을 공급하는 단계를 포함한다.
- <55> 그리고, 본 발명은 상기 전단 게이트 라인으로 해당 스캔 기간에서는 게이트 하이 전압을 공급하는 단계와; 상기 게이트 하이 전압과 제1 게이트 로우 전압이 공급되는 기간을 제외한 나머지 기간에서는 다른 게이트 라인들과 종속되는 제2 게이트 로우 전압을 공급하는 단계를 추가로 포함한다.
- <56> 상기 스토리지 캐패시터의 스토리지 전압이 결정되는 기간은 해당 액정셀에 화소 전압이 충전되는 기간인 것을 특징으로 한다.
- <57> 상기 목적 외에 본 발명의 다른 목적 및 이점들은 첨부한 도면들을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <58> 발명의 실시예들에 대한 설명에 앞서서, 본 발명이 도출되게 된 기술적 사상을 먼저 살펴보기로 한다.
- <59> 액정 표시 패널에서 액정셀들 각각에 형성된 스토리지 캐패시터는 박막 트랜지스터를 통해 화소 전극에 충전된 화소 신호가 다음 화소 신호가 공급될 때까지 안정적으로 유지되게 한다. 이를 위하여, 스토리지 온 게이트(Storage on Gate) 구조의 스토리지 캐패시터는 화소 전극과 전단 게이트 라인과의 중첩 부분에 형성된다. 이러한 스토리지 캐패시터에 충전되는 스토리지 전압은 화소 전극에 화소 신호가 충전되는 기간에 결정된다. 다시 말하여, 스토리지 전압은 화소 신호가 해당 화소 전극에 충전되는 한 수평기간에서 그 화소 전극에 충전된 화소 신호와 전단 게이트 라인에 공급되는 게이트 로우 전압(VGL)과의 차전압으로 결정된다. 이에 따라, 스토리지 전압이 결정되는 기간에서 게이트 라인과 데이터 라인과의 기생 캐패시터 및 LOG 저항으로 인하여 게이트 로우 전압(VGL)이 불안정한 경우 스토리지 전압이 변동하고, 그 스토리지 전압의 변동으로 화소 전극에 충전된 전압이 변동함을 알 수 있다. 따라서, 본 발명은 스토리지 전압이 결정되는 기간에서 게이트 로우 전압(VGL)을 안정화시켜 불안정한 게이트 로우 전압(VGL)으로 인한 화소 충전 전압의 변동을 최소화하고자 한다.
- <60> 이하, 스토리지 전압이 결정되는 기간에서 게이트 로우 전압(VGL)을 안정화시킬 수 있는 본 발명의 바람직한 실시예들을 첨부된 도 4 내지 도 7을 참조하여 상세히 설명하기로 한다.
- <61> 도 4는 본 발명의 제1 실시예에 따른 액정 표시 패널의 구동 장치를 개략적으로 도시한 것이다.

- <62> 도 4에 도시된 액정 표시 패널의 구동 장치는 액정 표시 패널(36)의 게이트 라인들과 TCP(38)를 통해 접속된 게이트 드라이브 IC(40)를 구비한다.
- <63> 액정 표시 패널(36)은 박막 트랜지스터 어레이 기관(32)과, 칼러 필터 어레이 기관(34)이 액정을 사이에 두고 접합되어 형성된다. 이러한 액정 표시 패널(36)은 게이트 라인과 데이터 라인의 교차로 정의된 액정셀들을 구비하고, 액정셀들 각각은 스위치 소자인 박막 트랜지스터를 구비한다. 박막 트랜지스터는 게이트 라인으로부터의 스캔 신호에 응답하여 데이터 라인으로부터의 화소 신호를 액정셀에 공급한다.
- <64> 게이트 드라이브 IC(40)는 게이트 TCP(38)를 경유하여 액정 표시 패널(36)의 게이트 라인과 접속된다. 게이트 드라이브 IC(40)에는 타이밍 제어부(미도시)로부터의 게이트 제어 신호들과 전원부(미도시)로부터의 전원 신호들이 공급된다. 구체적으로, 외부로부터의 게이트 제어 신호들 및 전원 신호들은 박막 트랜지스터 어레이 기관(32)의 가장자리 영역에 형성된 LOG형 신호 라인군(50) 및 게이트 TCP(38)를 경유하여 게이트 드라이브 IC(40) 내로 입력되어 이용된다. 그리고, 게이트 제어 신호들 및 전원 신호들은 게이트 드라이브 IC(40)의 출력 단자들을 통해 출력되어 게이트 TCP(38)와 LOG 신호 라인군(50)을 경유하여 다음 게이트 TCP(38)에 실장된 게이트 드라이브 IC(40)로 공급되어 이용된다.
- <65> LOG형 신호 라인군(50)은 도 5와 같이 제1 및 제2 게이트 로우 전압(VGL1, VGL2), 게이트 하이 전압(VGH), 공통 전압(VCOM), 그라운드 전압(GND), 베이스 구동 전압(VCC)과 같이 전원부로부터 공급되는 직류 구동 전압들과; 게이트 스타트 펄스(GSP), 게이트 쉬프트 클럭 신호(GSC), 게이트 이네이블 신호(GOE)와 같이 타이밍 제어부로부터 공급되는 게이트 제어 신호들 각각을 공급하는 신호 라인들로 구성된다. 특히, LOG형 신호 라인군(50)은 도 4 및 도 5와 같이 제1 및 제2 게이트 로우 전압(VGL1, VGL2)을 서로 다른 LOG형 신호 라인을 통해 공급한다.
- <66> 게이트 드라이브 IC(40)는 쉬프트 레지스터와 레벨 쉬프터를 구비한다. 쉬프트 레지스터는 게이트 스타트 펄스(GSP)를 게이트 쉬프트 클럭 신호(GSC)에 따라 순차적으로 쉬프트시켜 출력한다. 레벨 쉬프터는 쉬프트 레지스터의 출력 신호에 응답하여 해당 스캔 기간에서는 게이트 하이 전압(VGH)을, 그 이외의 기간에서는 순차적으로 제1 및 제2 게이트 로우 전압(VGH1, VGH2)을 해당 게이트 라인에 출력한다. 이 경우, 게이트 출력 이네이블 신호(GOE)에 의해 레벨 쉬프터를 통해 게이트 하이 전압(VGH)이 출력되는 기간이 제어된다.
- <67> 구체적으로, 게이트 드라이브 IC(40)에서 제i 게이트 라인(GLi)에 공급되는 게이트 신호는 도 6에 도시된 바와 같다. 도 6을 참조하면, 게이트 드라이브 IC(40)는 제i 게이트 라인(GLi)으로 제i 수평 기간(Hi)에서 게이트 하이 전압(VGH)을 공급한다. 그리고, 이어지는 제i+1 수평 기간(Hi+1)에서 다른 게이트 라인들과 독립적으로 제1 게이트 로우 전압(VGL1)을 공급하고, 그 다음 제i+2 수평 기간(Hi+2)부터 다음 게이트 하이 전압(VGH)이 공급될 때까지의 기간에는 다른 게이트 라인들과 공통으로 제2 게이트 로우 전압(VGL2)을 공급한다.
- <68> 이렇게, 제i+1 수평 기간(Hi+1)에서 제1 게이트 로우 전압(VGL1)은 제i 게이트 라인(GLi)에 독립적으로 공급되므로, 그 제1 게이트 로우 전압(VGL1)에 걸리는 기생 캐패시터(게이트 라인과 데이터 라인간의 기생 캐패시터) 값이 현저하게 줄어들게 된다. 이에 따라, LOG 저항이 있더라도 제1 게이트 로우 전압(VGL1)은 데이터 라인에 공급되는 화소 신호의 영향을 거의 받지 않게 됨으로써 제i 게이트 라인(GLi)에 안정적으로 공급될 수 있게 된다. 따라서, 제i+1 수평 기간(Hi+1)에서 화소 전압이 충전됨과 아울러 스토리지 캐패시터의 스토리지 전압이 결정되는 제i+1 수평 라인의 액정셀들에는 안정된 제1 게이트 로우 전압(VGL1)에 따라 안정된 스토리지 전압을 충전할 수 있게 된다. 이 결과, 스토리지 캐패시터는 안정된 스토리지 전압 공급으로 화소 전압 변동을 최소화함으로써 그리니쉬, 수평 크로스토크 등과 같은 화질 저하를 최소화할 수 있게 된다.
- <69> 그리고, 제i+2 수평기간(Hi+2)부터 다음 게이트 하이 전압(VGH)이 공급될 때까지 다른 게이트 라인들과 공통으로 공급되는 불안정한 제2 게이트 로우 전압(VGL2)은 스토리지 전압에 거의 영향을 미치지 않게 되므로 불안정한 제2 게이트 로우 전압(VGL2)으로 인한 화질 저하를 최소화할 수 있게 된다.
- <70> 한편, 도 4에 도시된 액정 표시 패널로 공급되는 제1 및 제2 게이트 로우 전압(VGL1, VGL2)은 서로 동일한 레벨로 설정되거나, 서로 다른 레벨로 설정된다.
- <71> 서로 동일한 레벨로 설정된 제1 및 제2 게이트 로우 전압(VGL1, VGL2)은 도 7과 같은 게이트 로우 전압(VGL) 생성부(70)를 통해 공급된다. 도 7에 도시된 게이트 로우 전압(VGL) 생성부(70)는 게이트 로우 전압(VGL)을 생성하여 출력한다. 출력된 게이트 로우 전압(VGL)은 게이트 로우 전압(VGL) 생성부(70)의 출력단에서 병렬로 분리된 제1 및 제2 전송 라인 각각을 경유하여 도 4에 도시된 액정 표시 패널에 제1 및 제2 게이트 로우 전압(VGL1, VGL2)으로 공급된다.

<72> 서로 다른 레벨로 설정된 제1 및 제2 게이트 로우 전압(VGL1, VGL2)은 도 8과 같은 게이트 로우 전압(VGL) 생성부(80)를 통해 공급된다. 도 8에 도시된 게이트 로우 전압(VGL) 생성부(80)는 기본 게이트 로우 전압(VGL)을 생성하여 출력한다. 출력된 기본 게이트 로우 전압(VGL)은 게이트 로우 전압(VGL) 생성부(80)의 출력단에서 분압되어 제1 및 제2 전송 라인 각각을 경유하여 도 4에 도시된 액정 표시 패널에 제1 및 제2 게이트 로우 전압(VGL1, VGL2)으로 공급된다. 예를 들면, 제1 및 제2 게이트 로우 전압(VGL1, VGL2)은 기본 게이트 로우 전압(VGL)이 공급되는 출력단과 직렬 접속된 제1 내지 제3 저항들(R1 내지 R3) 사이의 분압점들을 통해 생성된다. 즉, 제1 및 제2 저항(R1, R2) 사이의 분압점을 통해 제1 게이트 로우 전압(VGL1)이 생성되고, 제2 및 제3 저항(R2, R3) 사이의 분압점을 통해 제2 게이트 로우 전압(VGL2)이 생성된다. 또는 제1 및 제2 저항(R1, R2) 사이의 분압점을 통해 제2 게이트 로우 전압(VGL2)이 생성되고, 제2 및 제3 저항(R2, R3) 사이의 분압점을 통해 제1 게이트 로우 전압(VGL1)이 생성된다. 이러한 제1 및 제2 게이트 로우 전압(VGL1, VGL2)은 다음 수학적식1과 같이 결정된다.

수학적식 1

<73> $VGL1(\text{또는 } VGL2) = VGL * (R2 + R3) / (R1 + R2 + R3) * VGL$

<74> $VGL2(\text{또는 } VGL1) = VGL2 * R3 / (R1 + R2 + R3)$

<75> 이러한 수학적식 1을 통해 제1 게이트 로우 전압(VGL1)은 제1 게이트 로우 전압(VGL2)과 크거나 작게 설정됨을 알 수 있다.

발명의 효과

<76> 상술한 바와 같이, 본 발명에 따른 액정 표시 장치의 구동 장치 및 방법은 스토리지 전압이 결정되는 기간에서는 전단 게이트 라인으로 다른 게이트 라인들과 독립되는 제1 게이트 로우 전압을 공급함으로써 스토리지 캐패시터가 안정된 스토리지 전압을 충전할 수 있게 한다. 이에 따라, 스토리지 캐패시터의 안정된 스토리지 전압 공급으로 액정셀에서의 화소 전압 변동을 최소화함으로써 LOG형 신호 라인을 채용하면서도 가로선, 그리니쉬, 수평 크로스토크 등과 같은 화질 저하 문제를 최소화할 수 있게 된다.

<77> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

<1> 도 1은 라인 온 글래스형 액정 표시 장치를 개략적으로 도시한 도면.

<2> 도 2는 도 1에 도시된 액정 표시 패널에서의 가로선 현상을 설명하기 위한 도면.

<3> 도 3은 도 1에 도시된 임의의 게이트 라인에 공급되는 게이트 신호 파형도.

<4> 도 4는 본 발명의 실시 예에 따른 액정 표시 장치를 개략적으로 도시한 도면.

<5> 도 5는 도 4에 도시된 라인 온 글래스형 신호 라인군의 구성을 구체적으로 도시한 도면.

<6> 도 6은 도 4에 도시된 액정 표시 패널의 임의의 게이트 라인에 공급되는 게이트 신호 파형도.

<7> 도 7은 도 4에 도시된 제1 및 제2 게이트 로우 전압을 공급하는 게이트 로우 전압 생성부를 도시한 도면.

<8> 도 8은 도 4에 도시된 제1 및 제2 게이트 로우 전압을 공급하는 다른 게이트 로우 전압 생성부를 도시한 도면.

<9> <도면의 주요부분에 대한 설명>

<10> 2, 32 : 박막 트랜지스터 어레이 기관 4, 34 : 칼라 필터 어레이 기관

<11> 6, 36 : 액정 표시 패널 8, 38 : 게이트 TCP

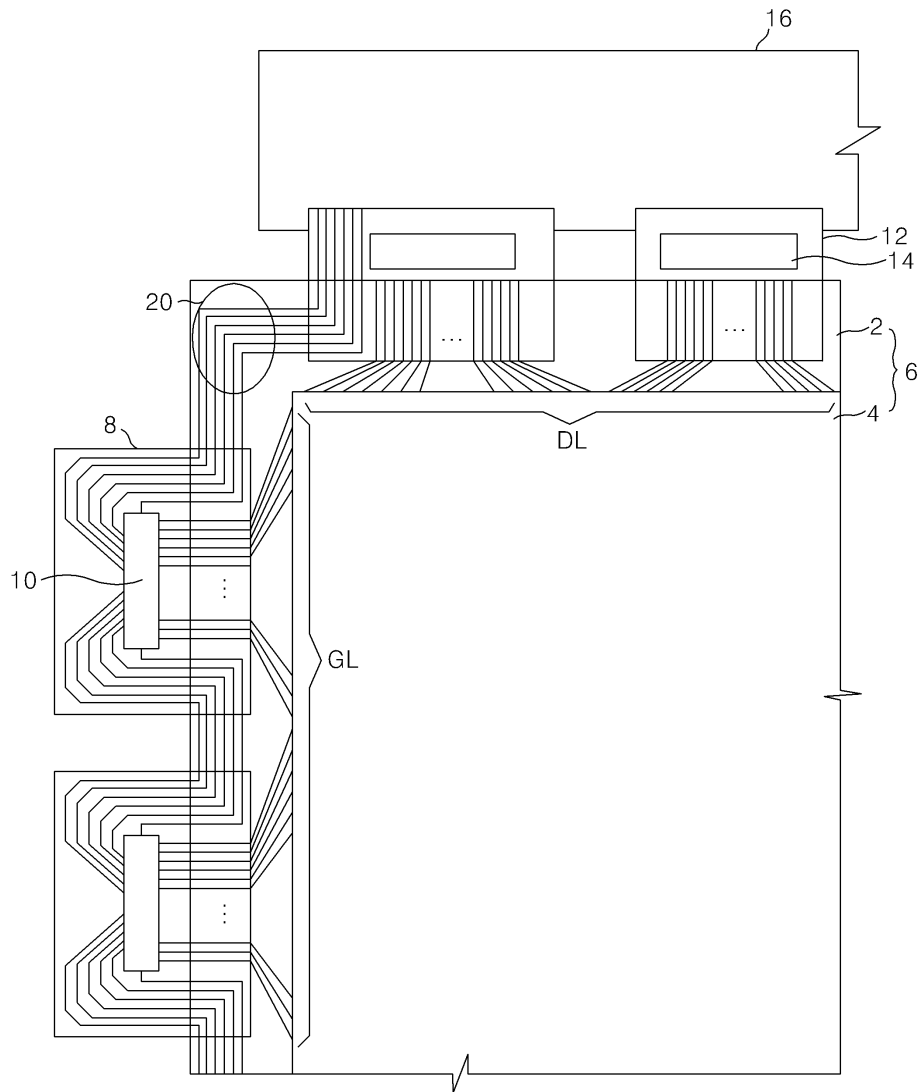
<12> 10, 40 : 게이트 구동 IC 12 : 데이터 TCP

<13> 14 : 데이터 구동 IC 16 : 데이터 PCB

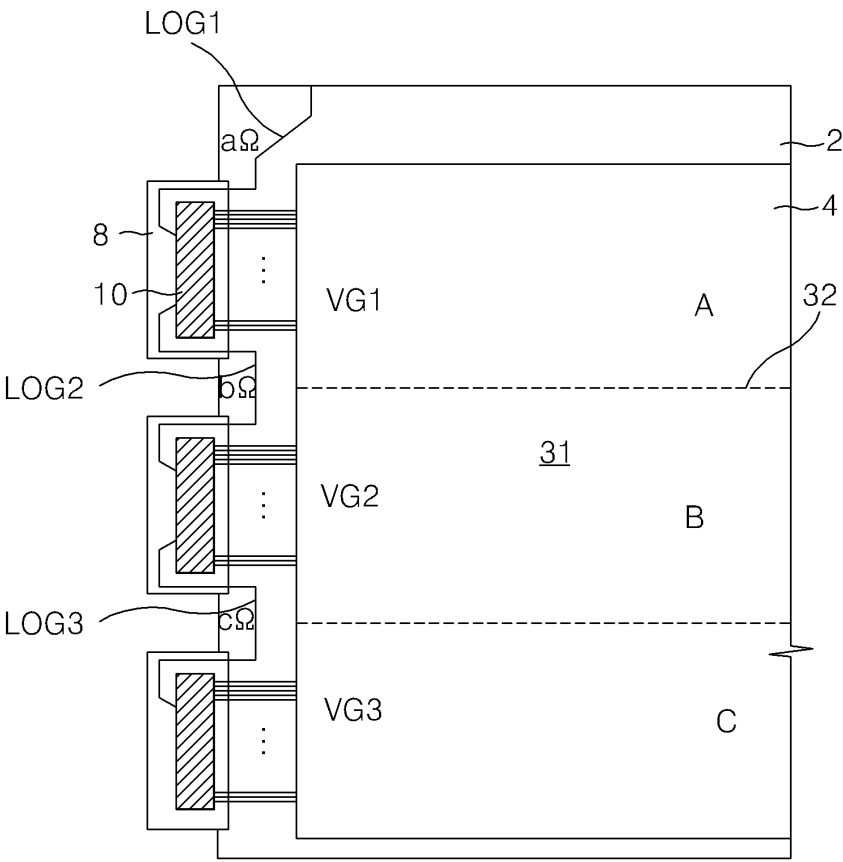
<14> 20, 50 : LOG 신호 라인군 70, 80 : 게이트 로우 전압 생성부

도면

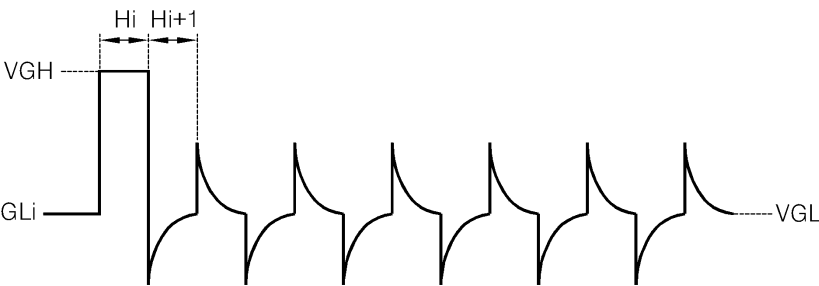
도면1



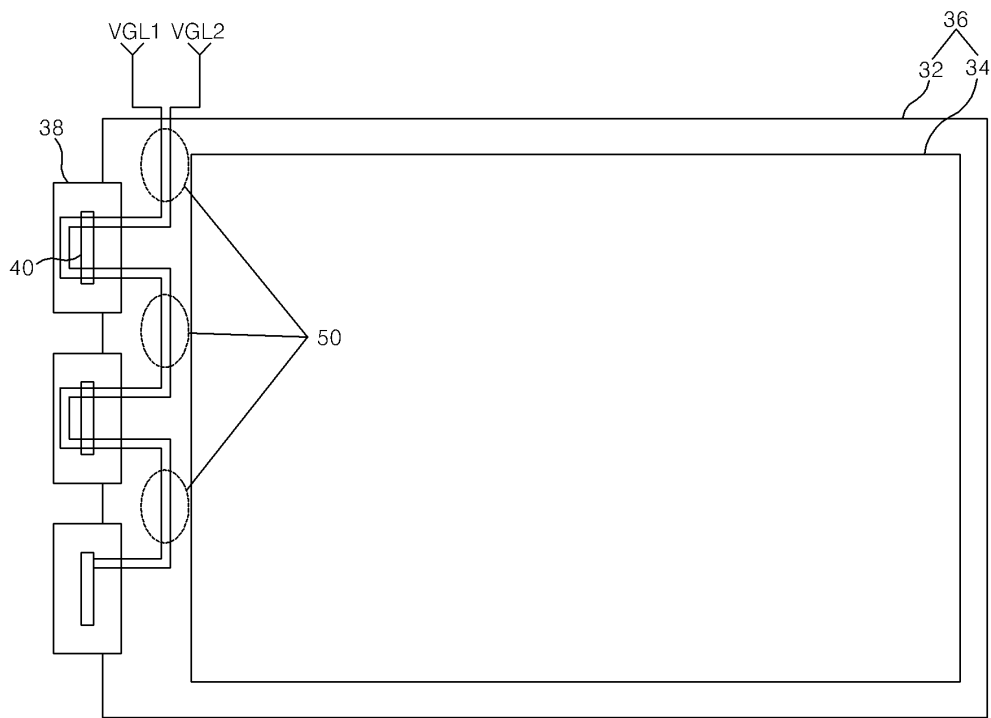
도면2



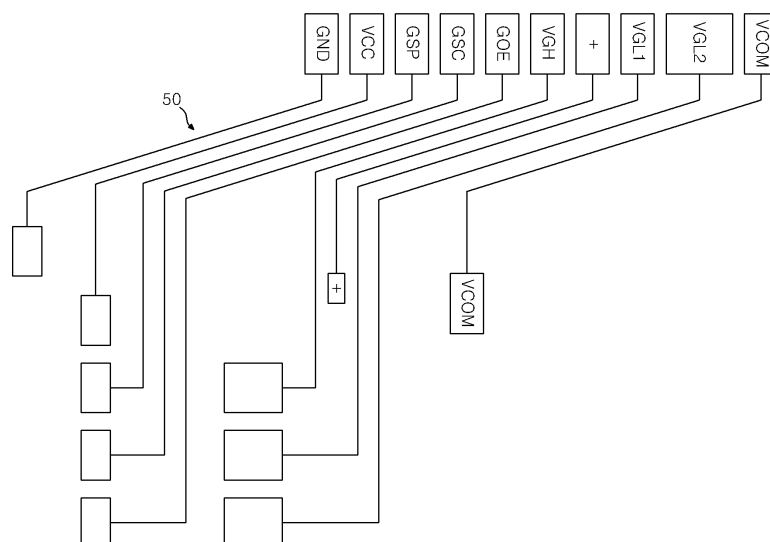
도면3



도면4



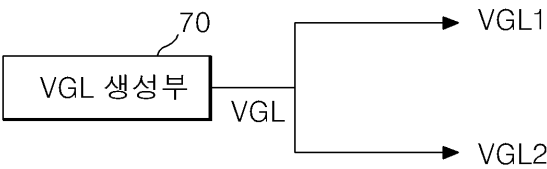
도면5



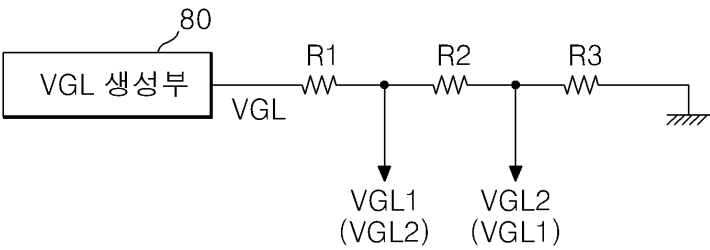
도면6



도면7



도면8



专利名称(译)	用于驱动液晶显示板的方法和设备		
公开(公告)号	KR100933449B1	公开(公告)日	2009-12-23
申请号	KR1020030041126	申请日	2003-06-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG JINCHEOL 홍진철 KIM SANGRAE 김상래		
发明人	홍진철 김상래		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3677 G09G2320/0223 G09G2300/0426		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020050000657A		
外部链接	Espacenet		

摘要(译)

用于驱动液晶显示板的方法和设备导致最小化由栅极低电压的变化引起的图像质量的劣化。液晶单元矩阵由栅极线和数据线之间的交叉点限定。在该装置中，栅极驱动器在相应的第一周期中将栅极高电压施加到栅极线，在下一个第二周期中将与栅极线的其他栅极线独立的第一栅极低电压和取决于的第二栅极低电压施加到栅极线。在下一个第三周期中到栅极线的其他栅极线。

