



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G09G 3/36 (2006.01) G09G 3/20 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년03월23일 10-0698951 2007년03월16일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자 번역문 제출일자	10-2004-7008162 2004년05월28일 2004년06월02일 2004년05월28일	(65) 공개번호 (43) 공개일자	10-2004-0071691 2004년08월12일
(86) 국제출원번호 국제출원일자	PCT/JP2002/012139 2002년11월20일	(87) 국제공개번호 국제공개일자	WO 2004/047067 2004년06월03일

(73) 특허권자 미쓰비시덴키 가부시키키가이샤
일본국 도쿄도 지요다쿠 마루노우치 2초메 7반 3고

(72) 발명자 도비타유이치
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키 가부
시키키가이샤 나이

(74) 대리인 권태복
이화익

심사관 : 이병우

전체 청구항 수 : 총 3 항

(54) 화상표시장치

(57) 요약

이 컬러액정 표시장치의 계조전위 발생회로(24)는, 제1 및 제2 노드(N30, N31) 사이에 인가되어 있는 전압(VH-VL)을 분압하여 64의 계조전위(V1d~V64d)를 생성하는 직렬접속된 65의 저항소자(R1~R65)와, 데이터선(6)의 프리차지전위(VPC)보다도 높은 계조전위(V33d~V64d)의 각각에 대응하여 설치되고, 충전능력이 방전능력보다도 높은 제1 전류증폭회로(31)와, 프리차지전위(VPC)보다도 낮은 계조전위(V1d~V32d)의 각각에 대응하여 설치되며, 방전능력이 충전능력보다도 높은 제2 전류증폭회로(32)를 구비한 것이다.

대표도

도 1

특허청구의 범위

청구항 1.

화상신호에 따라 화상을 표시하는 화상표시장치에 있어서,

복수행 복수열로 배치되고, 각각이 인가된 계조전위에 따른 계조표시를 행하는 복수의 화소표시소자와,

각각 상기 복수행에 대응하여 설치된 복수의 주사선,

각각 상기 복수열에 대응하여 설치된 복수의 데이터선,

상기 복수의 주사선을 소정시간씩 순차 선택하고, 선택한 주사선에 대응하는 각 화소표시소자를 활성화시키는 수직주사회로 및,

상기 화상신호에 따라, 상기 수직주사회로에 의해 활성화된 각 화소표시소자에 계조전위를 공급하는 수평주사회로를 구비하고,

상기 수평주사회로는,

각 데이터선을 미리 정해진 프리차지전위로 하는 프리차지회로와,

서로 다른 복수의 계조전위를 발생하는 전위발생회로,

상기 복수의 계조전위 중의 상기 프리차지전위보다도 높은 각 계조전위에 대응하여 설치되고, 대응한 계조전위와 같은 전위를 출력하는, 충전능력이 방전능력보다도 높은 제1 전류증폭회로,

상기 제1 전류증폭회로의 오프셋 전압을 검출하고, 검출결과에 기초하여 상기 제1 전류증폭회로의 오프셋 전압을 소거하는 제1 오프셋 보상회로,

상기 복수의 계조전위 중의 상기 프리차지전위보다도 낮은 각 계조전위에 대응하여 설치되고, 대응한 계조전위와 같은 전위를 출력하는, 방전능력이 충전능력보다도 높은 제2 전류증폭회로,

상기 제2 전류증폭회로의 오프셋 전압을 검출하고, 검출결과에 기초하여 상기 제2 전류증폭회로의 오프셋 전압을 소거하는 제2 오프셋 보상회로 및,

상기 화상신호에 따라, 상기 복수의 계조전위 중 어느 하나의 계조전위를 선택하고, 선택한 계조전위에 대응하는 상기 제1 또는 제2 전류증폭회로의 출력전위를 각 데이터선을 통해 활성화된 각 화소표시소자에 공급하는 선택회로를 포함한 것을 특징으로 하는 화상표시장치.

청구항 2.

제 1 항에 있어서,

상기 제1 전류증폭회로는,

제1 전원전위의 라인과 제1 출력노드와의 사이에 접속되고, 상기 제1 출력노드에 전류를 유입시키는 제1 트랜지스터와,

상기 제1 출력노드와 제2 전원전위의 라인과의 사이에 접속되고, 상기 제1 트랜지스터의 전류구동능력보다도 작은 전류구동능력을 가지며, 상기 제1 출력노드로부터 전류를 유출시키는 제1 정전류회로 및,

상기 제1 출력노드의 전위는 대응한 계조전위에 일치하도록 상기 제1 트랜지스터의 게이트전위를 제어하는 제1 차동증폭회로를 포함하고,

상기 제2 전류증폭회로는,

제3 전원전위의 라인과 제2 출력노드와의 사이에 접속되고, 상기 제2 출력노드에 전류를 유입시키는 제2 정전류회로와, 상기 제2 출력노드와 제4 전원전위의 라인과 사이에 접속되고, 상기 제2 정전류회로의 전류구동능력보다도 큰 전류구동능력을 가지며, 상기 제2 출력노드로부터 전류를 유출시키는 제2 트랜지스터 및,

상기 제2 출력노드의 전위가 대응한 계조전위에 일치하도록 상기 제2 트랜지스터의 게이트전위를 제어하는 제2 차동증폭회로를 포함한 것을 특징으로 하는 화상표시장치.

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

제 1 항에 있어서,

상기 제1 및 제2 전류증폭회로의 각각은,

제1 전원전위의 라인과 출력노드와의 사이에 접속되고, 상기 출력노드에 전류를 유입시키는 제1 트랜지스터와,

상기 출력노드와 제2 전원전위의 라인과 사이에 접속되고, 상기 출력노드로부터 전류를 유출시키는 제2 트랜지스터 및,

상기 출력노드의 전위가 대응한 계조전위에 일치하도록 상기 제1 및 제2 트랜지스터의 각각의 게이트전위를 제어하는 차동증폭회로를 포함하고,

상기 제1 전류증폭회로에서는, 상기 제1 트랜지스터의 전류구동능력은 상기 제2 트랜지스터의 전류구동능력보다도 크며,

상기 제2 전류증폭회로에서는, 상기 제2 트랜지스터의 전류구동능력은 상기 제1 트랜지스터의 전류구동능력보다도 큰 것을 특징으로 하는 화상표시장치.

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.

삭제

청구항 20.

삭제

명세서

기술분야

본 발명은 화상표시장치에 관한 것으로, 특히, 화상신호에 따라 화상을 표시하는 화상표시장치에 관한 것이다.

배경기술

종래로부터, 액정표시장치에서는, 액정셀의 구동전압을 변화시켜 액정셀의 광투과율을 변화시키는 전압변조법이 채용되고 있다. 예를 들면 64계조의 표시를 행하는 경우는, 영상신호에 따라 64의 계조전압 중 어느 하나의 전압을 선택하고, 선택한 전압을 액정셀에 인가한다.

도 37은, 그와 같은 액정표시장치에 있어서 64의 계조전위(V1d~V64d)를 생성하는 계조전위 발생회로(200)의 구성을 나타내는 회로도이다. 도 37에서, 이 계조전위 발생회로(200)는, 저항소자(R1~R65) 및 전류증폭회로(201.1~201.64)를 포함한다.

저항소자(R1~R65)는, 노드 N201과 N200의 사이에 직렬접속되고, 노드 N201, N200 사이의 전압을 분압하여 64의 계조전위(V1d~V64d)를 생성한다. 노드 N200, N201에 인가되는 전위는, 액정셀의 열화를 방지하기 위해, 소정주기로 교대로 전환된다. 도 37에서는, 노드 N200, N201에 각각 고전위 VH 및 저전위 VL이 인가되어 있는 상태가 나타나 있다.

전류증폭회로(201.1~201.64)의 각각은, 풀업트랜지스터 및 풀다운트랜지스터를 포함한다. 풀업트랜지스터 및 풀다운트랜지스터는, 모두 큰 전류구동능력을 갖는다. 전류증폭회로(201.1~201.64)는, 각각, 저항소자(R1~R65)에서 생성된 계조전위(V1d~V64d)와 같은 레벨의 전위(V1d~V64d)를 출력한다.

그러나, 이러한 계조전위 발생회로(200)에서는, 전류증폭회로(201.1~201.64)의 트랜지스터의 임계치전압이 변동한 경우, 입력전위에 의해서는 풀업트랜지스터와 풀다운트랜지스터의 양쪽이 동시에 도통하고, 큰 관통전류가 흐른다는 문제가 있었다. 이러한 큰 관통전류가 흐르면, 액정표시장치의 소비전력이 증대한다.

또한, 도 38은, 종래의 전류증폭회로(210)의 구성을 나타내는 회로도이다. 이러한 전류증폭회로(210)는, 예를 들면 일본 특허공개 2002-123326호 공보에 개시되어 있다. 도 38에서, 이 전류증폭회로(210)는, 저항소자(211~213), 풀형 구동회로(214) 및 푸시형 구동회로(215)를 포함한다. 저항소자(211~213)는, 노드 N210과 N213의 사이에 직렬접속되고, 노드 N210, N213 사이의 전압 VH-VL을 분압하여 상한전위 V211 및 하한전위 V212를 생성한다. 풀형 구동회로(214)는, 풀다운용의 N형 트랜지스터를 포함하고, 출력노드 N215의 전위 VO가 상한전위 V211보다도 높은 경우에, 출력노드 N215로부터 전류를 유출시킨다. 푸시형 구동회로(215)는, 풀업용의 P형 트랜지스터를 포함하고, 출력노드 N215의 전위 VO가 하한전위 V212보다도 낮은 경우에, 출력노드 N215에 전류를 유입시킨다. 따라서, 출력전위 VO는, 상한전위 V211과 하한전위 V212의 사이에 유지된다.

그러나, 이 전류증폭회로(210)에서도, 구동회로 214, 215 내의 트랜지스터의 임계치전압이 변동하고 있는 경우, 풀업용의 N형 트랜지스터와 풀다운용의 P형 트랜지스터가 동시에 도통해 버리는 경우가 있고, 그 때 큰 관통전류가 흐른다고 하는 문제가 있었다.

(발명의 개시)

따라서, 본 발명의 주된 목적은, 저소비전력의 화상표시장치를 제공하는 것이다.

본 발명에 관한 화상표시장치는, 화상신호에 따라 화상을 표시하는 화상표시장치에 있어서, 복수행 복수열에 배치되고, 각각이 인가된 계조전위에 따른 계조표시를 행하는 복수의 화소표시소자와, 각각 복수행에 대응하여 설치된 복수의 주사선과, 각각 복수열에 대응하여 설치된 복수의 데이터선과, 복수의 주사선을 소정시간씩 순차 선택하고, 선택한 주사선에 대응하는 각 화소표시소자를 활성화시키는 수직주사회로와, 화상신호에 따라, 수직주사회로에 의해 활성화된 각 화소표시소자에 계조전위를 공급하는 수평주사회로를 구비한 것이다. 여기서, 수평주사회로는, 각 데이터선을 미리 정해진 프리차지전위로 하는 프리차지회로와, 서로 다른 복수의 계조전위를 발생하는 전위발생회로와, 복수의 계조전위 중의 프리차지전위보다도 높은 각 계조전위에 대응하여 설치되고, 대응한 계조전위와 같은 전위를 출력하는, 충전능력이 방전능력보다도 높은 제1 전류증폭회로와, 복수의 계조전위 중의 프리차지전위보다도 낮은 각 계조전위에 대응하여 설치되고, 대응한 계조전위와 같은 전위를 출력하는, 방전능력이 충전능력보다도 높은 제2 전류증폭회로와, 화상신호에 따라, 복수의 계조전위 중의 어느 하나의 계조전위를 선택하여, 선택한 계조전위에 대응하는 제1 또는 제2 전류증폭회로의 출력전위를 각 데이터선을 통해 활성화된 각 화소표시소자에 공급하는 선택회로를 포함한다. 따라서, 충전능력이 방전능력보다도 높은 제1 전류증폭회로와, 방전능력이 충전능력보다도 높은 제2 전류증폭회로를 사용하기 때문에, 충전능력과 방전능력이 모두 높은 전류증폭회로를 사용하고 있었던 종래에 비해, 각 전류증폭회로에서의 관통전류가 작아져, 소비전력의 감소화를 도모할 수 있다.

실시예

(실시예 1)

도 1은, 본 발명의 실시예 1에 의한 컬러액정 표시장치의 구성을 나타내는 블록도이다. 도 1에서, 이 컬러액정 표시장치는, 액정패널(1), 수직주사회로(7) 및 수평주사회로(8)를 구비하고, 예를 들면 휴대전화기에 설치된다.

액정패널(1)은, 복수행 복수열에 배열된 복수의 액정셀(2)과, 각 행에 대응하여 설치된 주사선(4) 및 공통전위선(5)과, 각 열에 대응하여 설치된 데이터선(6)을 포함한다.

액정셀(2)은, 각 행에 있어서 3개씩 미리 그룹화되어 있다. 각 그룹의 3개의 액정셀(2)에는, 각각 R, G, B의 컬러필터가 설치되어 있다. 각 그룹의 3개의 액정셀(2)은, 하나의 화소(3)를 구성하고 있다. 각 액정셀(2)에는, 도 2에 나타내는 바와 같이, 액정구동회로(10)가 설치된다. 액정구동회로(10)는, N형 전계효과 트랜지스터(이하, N형 트랜지스터라 칭함)(11) 및 커패시터(12)를 포함한다. N형 트랜지스터(11)는, 데이터선(6)과 액정셀(2)의 한쪽 전극(2a)과의 사이에 접속되고, 그 게이트는 주사선(4)에 접속된다. 커패시터(12)는, 액정셀(2)의 한쪽 전극(2a)과 공통전위선(5)과의 사이에 접속된다. 액정셀(2)의 다른쪽 전극에는 구동전위 VDDL이 공급되고, 공통전위선(5)에는 공통전위 VSS가 공급된다.

도 1로 되돌아가, 수직주사회로(7)는, 화상신호에 따라, 복수의 주사선(4)을 소정 시간씩 순차 선택하여, 선택한 주사선(4)을 선택레벨의 「H」 레벨로 한다. 주사선(4)이 선택레벨의 「H」 레벨로 되면, 도 2의 N형 트랜지스터(11)가 도통하고, 그 주사선(4)에 대응하는 각 액정셀(2)의 한쪽 전극(2a)과 그 액정셀(2)에 대응하는 데이터선(6)이 결합된다.

수평주사회로(8)는, 화상신호에 따라, 수직주사회로(7)에 의해 1개의 주사선(4)이 선택되어 있는 동안에 복수의 데이터선(6)을 예를 들면 12개씩 순차 선택하고, 선택한 각 데이터선(6)에 계조전위를 공급한다. 액정셀(2)의 광투과율은, 계조전위의 레벨에 따라 변화된다.

수직주사회로(7) 및 수평주사회로(8)에 의해 액정패널(1)의 전체 액정셀(2)이 주사되면, 액정패널(1)에는 하나의 화상이 표시된다.

도 3은, 도 1에 나타난 수평주사회로(8)의 구성을 나타내는 블록도이다. 도 3에서, 수평주사회로(8)는, 시프트 레지스터(21), 데이터 래치회로(22, 23), 계조전위 발생회로(24), 멀티플렉서(25) 및 이퀄라이저+ 프리차지회로(26)를 구비한다.

시프트 레지스터(21)는, 클럭신호 CLK에 동기하여 데이터 래치회로(22)를 제어한다. 영상신호는, 클럭신호 CLK에 동기하여 직렬로 입력되는 6비트의 데이터신호(D0~D5)를 포함한다. 이에 따라, 각 화소(3)에 있어서 26만색의 표시가 가능하게 되어 있다. 데이터 래치회로(22)는, 시프트 레지스터(21)에 의해 제어되고, 영상신호에 포함되는 6비트의 데이터신호(D0~D5)를 순차 도입한다. 데이터 래치회로(23)는, 래치신호 Φ LT에 응답하여, 데이터 래치회로(22)에 도입된 1라인분의 영상신호를 1도로 도입한다.

계조전위 발생회로(24)는, $64(=2^6)$ 의 계조전위(V1d~V64d)를 생성한다. 이퀄라이저+ 프리차지회로(26)는, 이퀄라이즈 신호 Φ EQ에 응답하여 복수의 데이터선(6) 사이를 접속하고, 복수의 데이터선(6)의 전위를 이퀄라이즈함과 동시에, 프리차지신호 Φ PC에 응답하여 각 데이터선(6)을 프리차지전위 VPC로 프리차지한다. 멀티플렉서(25)는, 각 데이터선(6)에 대응하여, 데이터 래치회로(23)로부터의 6비트의 데이터신호(D0~D5)에 따라 계조전위 발생회로(24)로부터의 64의 계조전위(V1d~V64d) 중 어느 하나의 전위를 선택하고, 선택한 전위를 그 데이터선(6)에 공급한다.

도 4는, 도 3에 나타난 계조전위 발생회로(24)의 구성을 나타내는 회로블록도이다. 도 4에서, 이 계조전위 발생회로(24)는, 저항소자(R1~R65) 및 전류증폭회로(30.1~30.64)를 구비한다.

저항소자(R1~R65)는, 노드 N31과 N30의 사이에 직렬접속되고, 노드 N31, N30 사이에 전압을 분압하여 64의 계조전위(V1d~V64d)를 생성한다. 저항소자(R1~R65)는, 레더저항회로를 구성한다. 통상, 액정구동전압과 액정셀(2)의 광투과율과는 비선형인 관계에 있으므로, 저항소자(R1~R65)의 저항값은 서로 같은 값으로는 되지 않는다.

액정셀(2)은, 소정주기(1라인 주기, 1프레임 주기 등)로 교류구동될 필요가 있으므로, 노드 N30의 전위와 노드 N31의 전위와는 소정주기로 교대로 전환된다. 도 2의 구동전위 VDDL은, 노드 N31의 전위와 같은 전위로 된다. 도 4에서는, 노드 N30에 고전위 VH가 공급되고, 노드 N31에 저전위 VL이 공급되고 있는 상태가 표시된다.

전류증폭회로(30.1~30.64)는, 각각 64의 계조전위(V1d~V64d)와 같은 레벨의 전위(V1d~V64d)를 출력한다. 전류증폭회로 30.1은, 푸시형 구동회로 31, 풀형 구동회로 32 및 스위치 S1, S2를 포함한다. 푸시형 구동회로 31은, 도 5에 나타내는 바와 같이, 차동증폭회로 40, 스위치 S3, P형 전계효과 트랜지스터(이하, P형 트랜지스터라 칭함) 46 및 정전류회로 47을 포함한다. 스위치 S3의 한쪽 단자는 전원전위 VDD를 받는다. 스위치 S3은, 노드 N30, N31의 전위 VH, VL에 동기하여 온/오프제어된다.

차동증폭회로(40)는, P형 트랜지스터(41, 42), N형 트랜지스터(43, 44) 및 정전류회로(45)를 포함한다. P형 트랜지스터(41, 42)는, 스위치 S3의 다른쪽 단자와 노드 N41, N42와의 사이에 각각 접속되고, 그것들의 게이트는 모두 노드 N42에 접속된다. P형 트랜지스터(41, 42)는, 커런트 미러회로를 구성한다. N형 트랜지스터(43, 44)는, 각각 노드 N41, N42와 노드 N43과의 사이에 접속되고, 그것들의 게이트가 각각 입력노드 N45의 전위 VI(V1d) 및 출력노드 N46의 전위 VO를 받는다. 정전류회로(45)는, 노드 N43으로부터 접지전위 GND의 라인에 소정값의 정전류(I1)를 유출시킨다. P형 트랜지스터 46은, 스위치 S3의 다른쪽 단자와 출력노드 N46과의 사이에 접속되고, 그 게이트는 노드 N41의 전위 V41을 받는다. 정전류회로 47은, 출력노드 N46으로부터 접지전위 GND의 라인에 소정값의 정전류 I2를 유출시킨다. 정전류 I2의 값은 충분히 작게 설정되어 있고, 이에 따라 구동회로(31)에서의 관통전류는 작게 억제되어 있다.

스위치 S3이 오프상태로 되어 있는 경우는, 푸시형 구동회로(31)에 전원전위 VDD는 공급되지 않고, 푸시형 구동회로(31)에서 전력은 소비되지 않는다. 스위치 S3이 온상태로 되면, 푸시형 구동회로(31)에 전원전위 VDD가 공급되어 푸시형 구동회로(31)가 활성화된다. N형 트랜지스터(43, 44)에는, 각각 입력전위 VI 및 출력전위 VO에 따른 값의 전류가 흐른다. N형 트랜지스터 44와 P형 트랜지스터 42는 직렬접속되고, P형 트랜지스터 41과 42는 커런트 미러회로를 구성하고 있으므로, P형 트랜지스터 41에는 출력전위 VO에 따른 값의 전류가 흐른다.

출력전위 VO가 입력전위 VI보다도 높은 경우는, P형 트랜지스터 41에 흐르는 전류가 N형 트랜지스터 43에 흐르는 전류보다도 커져 노드 N41의 전위 V41이 상승하고, P형 트랜지스터 46에 흐르는 전류가 감소하여 출력전위 VO가 저하한다. 출력전위 VO가 입력전위 VI보다도 낮은 경우는, P형 트랜지스터 41에 흐르는 전류가 N형 트랜지스터 43에 흐르는 전류보다도 작아져 노드 N41의 전위 V41이 저하하고, P형 트랜지스터 46에 흐르는 전류가 증가하여 출력전위 VO가 상승한다. 따라서, VO=VI가 된다.

풀형 구동회로 32는, 도 6에 나타내는 바와 같이, 차동증폭회로(50), 스위치(S4), 정전류회로(56) 및 N형 트랜지스터(57)를 포함한다. 스위치 S4의 한쪽 단자는 전원전위 VDD를 받는다. 스위치 S4는, 노드 N30, N31의 전위 VH, VL로 동기하여 온/오프제어된다.

차동증폭회로 50은, 정전류회로(51), P형 트랜지스터(52, 53) 및 N형 트랜지스터(54, 55)를 포함한다. 정전류회로 51은, 스위치 S4의 다른쪽 단자로부터 노드 N51에 소정값의 정전류 I1을 유입시킨다. P형 트랜지스터 52, 53은, 각각 노드 N51과 노드 N52, N53과의 사이에 접속되고, 그것들의 게이트는 각각 입력노드 N55의 전위 VI(V1d) 및 출력노드 N56의 전위 VO를 받는다. N형 트랜지스터 54, 55는, 각각 노드 N52, N53과 접지전위 GND의 라인과의 사이에 접속되고, 그것들의 게이트는 모두 노드 N53에 접속된다. N형 트랜지스터 54와 55는, 커런트 미러회로를 구성한다. 정전류회로 56은, 스위치 S4의 다른쪽 단자로부터 출력노드 N56에 소정값의 정전류 I2를 유입시킨다. N형 트랜지스터 57은, 출력노드 N56과 접지전위 GND의 라인과의 사이에 접속되고, 그 게이트는 노드 N52의 전위 V52를 받는다. 정전류 I2의 값은 충분히 작게 설정되어 있고, 이것에 의해, 구동회로(32)에서의 관통전류는 작게 억제되어 있다.

스위치 S4가 오프상태로 되어 있는 경우는, 풀형 구동회로(32)에 전원전위 VDD는 공급되지 않고, 풀형 구동회로(32)로 전력은 소비되지 않는다. 스위치 S4가 온상태로 되면, 풀형 구동회로(32)에 전원전위 VDD가 공급되어 풀형 구동회로(32)가 활성화된다. P형 트랜지스터(52, 53)에는, 각각 입력전위 VI 및 출력전위 VO에 따른 값의 전류가 흐른다. P형 트랜지스터 53과 N형 트랜지스터 55는 직렬접속되고, N형 트랜지스터 54와 55는 커런트 미러회로를 구성하고 있으므로, N형 트랜지스터 54에는 출력전위 VO에 따른 값의 전류가 흐른다.

출력전위 VO가 입력전위 VI보다도 높은 경우는, N형 트랜지스터 54에 흐르는 전류가 P형 트랜지스터 52에 흐르는 전류보다도 작아져 노드 N52의 전위 V52가 상승하고, N형 트랜지스터 57에 흐르는 전류가 증가하여 출력전위 VO가 저하한다. 출력전위 VO가 입력전위 VI보다도 낮은 경우는, N형 트랜지스터 54에 흐르는 전류가 P형 트랜지스터 52에 흐르는 전류보다도 커져 노드 N52의 전위 V52가 저하하고, N형 트랜지스터 57에 흐르는 전류가 감소하여 출력전위 VO가 상승한다. 따라서, VO=VI가 된다.

도 4로 되돌아가, 구동회로(31, 32)의 입력노드 N45, N55는 모두 계조전위 V1d를 받고, 그것들의 출력노드 N46, N56은 각각 스위치 S1, S2의 한쪽 단자에 접속된다. 스위치 S1, S2의 다른쪽 단자는, 모두 전류증폭회로 30.1의 출력노드에 접속된다. 스위치 S1, S2는, 각각 스위치 S3, S4와 동시에 온/오프된다. 다른 전류증폭회로 30.2~30.64도 전류증폭회로 30.1과 같은 구성이다.

후술하지만, 계조전위(V1d~V64d) 중 어느 하나의 전위를 데이터선(6)에 인가하기 전에, 데이터선(6)은 고전위 VH 및 저전위 VL의 중간의 전위 VPC=(VH+ VL)/2로 프리차지된다. 프리차지전위 VPC는, V32d와 V33d의 사이의 전위이다.

노드 N30, N31에 각각 고전위 VH 및 저전위 VL이 인가되는 기간은, 전류증폭회로 30.1~30.32의 스위치 S2, S4가 온상태로 되고, 전류증폭회로 30.1~30.32의 출력노드가 각각 계조전위 V1d~V32d로 낮아짐과 동시에, 전류증폭회로 30.33~30.64의 스위치 S1, S3이 온상태로 되고, 전류증폭회로 30.33~30.64의 출력노드가 각각 계조전위 V33d~V64d로 인상된다. 이 경우, V64d>VPC>V1d로 되어 있다.

노드 N30, N31에 각각 저전위 VL 및 고전위 VH가 인가되는 기간은, 전류증폭회로 30.1~30.32의 스위치 S1, S3이 온상태로 되고, 전류증폭회로 30.1~30.32의 출력노드가 각각 계조전위 V1d~V32d로 인상됨과 동시에, 전류증폭회로 30.33~30.64의 스위치 S2, S4가 온상태로 되며, 전류증폭회로 30.33~30.64의 출력노드가 각각 계조전위 V33d~V64d로 인하된다. 이 경우, V64d<VPC<V1d로 되어 있다.

도 7은, 도 3에 나타낸 이퀄라이저+ 프리차지회로(26)의 구성을 나타내는 회로도이다. 도 7에서, 이퀄라이저+ 프리차지회로(26)는, 각 데이터선(6)에 대하여 설치된 스위치 S5와, 각 인접하는 2개의 데이터선(6)에 대응하여 설치된 스위치 S6을 포함한다. 스위치 S5의 한쪽 단자는 프리차지전위 VPC=(VH+ VL)/2를 받고, 그 다른쪽 단자는 대응한 데이터선(6)에 접속된다. 프리차지전위 VPC는, 외부로부터 도입해도 되고, 내부에서 생성해도 된다. 스위치 S5는, 프리차지신호 ΦPC가 활성화레벨의 「H」 레벨로 된 것에 따라 온상태로 된다. 스위치 S5가 온상태로 되면, 각 데이터선 6은 프리차지전위 VPC로 된다. 스위치 S6은, 2개의 데이터선(6) 사이에 접속되고, 이퀄라이즈신호 ΦEQ가 활성화레벨의 「H」 레벨로 된 것에 따라 온상태로 된다. 스위치 S6이 온상태로 되면, n개(단, n은 2 이상의 정수임)의 데이터선(6)의 전위 VG1~VGn은 평균화된다.

도 8은, 도 1~도 7에 나타낸 컬러액정 표시장치의 동작을 나타내는 타임차트이다. 도 8에서, 초기 상태로서는, 이퀄라이즈신호 ΦEQ 및 프리차지신호 ΦPC는 비활성화레벨의 「L」 레벨로 되어 있고, 스위치 S1~S6은 오프상태로 되어 있다. 이때, n개의 데이터선(6)의 전위 VG1~VGn의 각각은, 이전의 사이클로 기록할 수 있는 전위로 되어 있고, V1d~V64d 중 어느 하나의 전위로 되어 있다. 또한, 주사선(4)의 전위 VS는 「L」 레벨로 되어 있고, N형 트랜지스터(11)는 비도통상태로 되어 있다.

우선 시간 t0에서, 이퀄라이즈신호 ΦEQ가 활성화레벨의 「H」 레벨로 되면, 각 스위치 S6이 온상태로 되어 n개의 데이터선(6)이 서로 단락된다. 이에 따라, n개의 데이터선(6)의 전위 VG1~VGn이 평균화된다. 이때의 각 데이터선(6)의 전위는, 시간 t0에서의 n개의 데이터선(6)의 전위 VG1~VGn에 의해 결정되고, 일정값으로는 되지 않는다. 시간 t1에서, 이퀄라이즈신호 ΦEQ가 비활성화레벨의 「L」 레벨로 되면, 각 스위치 S6이 오프상태로 되어 n개의 데이터선(6)은 서로 전기적으로 절연된다.

다음에, 시간 t2에서, 프리차지신호 ΦPC가 활성화레벨의 「H」 레벨로 되면, 각 스위치 S5가 온상태로 되어 각 데이터선(6)이 프리차지전위 VPC로 된다. 시간 t3에서, 프리차지신호 ΦP1이 활성화레벨의 「L」 레벨로 되면, 각 스위치 S5가 오프상태로 되어 n개의 데이터선(6)은 서로 전기적으로 절연된다.

다음에, 시간 t4에서, 예를 들면 노드 N30, N31에 각각 고전위 VH 및 저전위 VL이 인가되고, 전류증폭회로 30.33~30.64의 스위치 S1, S3이 온상태로 됨과 동시에 전류증폭회로 30.1~30.32의 스위치 S2, S4가 온상태로 되어, n개의 데이터선(6)의 전위 VG1~VGn의 각각이, 멀티플렉서(25)에 의해 접속된 구동회로 31 또는 32의 출력전위로 향하여 변화된다.

이때, 전류증폭회로 30.33~30.64 중 어느 하나에 접속된 데이터선(6)은 푸시형 구동회로(31)의 P형 트랜지스터 46에 의해 신속히 충전되고, 전류증폭회로 30.1~30.32 중 어느 하나에 접속된 데이터선 6은 풀형 구동회로(32)의 N형 트랜지스터 57에 의해 신속히 방전된다.

다음에 시간 t5에서, 1개의 주사선(4)의 전위 VS가 선택레벨의 「H」 레벨로 상승된다. 이에 따라, 도 7의 각 N형 트랜지스터(11)가 도통하고, 각 데이터선(6)의 전위 VG가 N형 트랜지스터(11)를 통해 액정셀(2)에 공급된다. 주사선(4)의 전위 VG가 「L」 레벨로 강하되면, N형 트랜지스터(11)가 비도통이 되어, 액정셀(2)의 전극 사이 전압은 커패시터(12)에 의해 유지된다. 액정셀(2)은, 그 전극 사이 전압에 따른 값의 광투과율을 나타낸다.

이 실시예 1에서는, 전류증폭회로(30.1~30.64)의 각각에 푸시형 구동회로(31), 풀형 구동회로(32) 및 스위치(S1, S2)를 설치해 놓고, 프리차지전위 VPC보다도 높은 전위를 출력하는 전류증폭회로(도 4에서는 30.33~30.64)에서는 스위치 S1을 온상태로 하여 푸시형 구동회로(31)만을 사용하고, 프리차지전위 VPC보다도 낮은 전위를 출력하는 전류증폭회로(도 4에서는 30.1~30.32)에서는 스위치 S2를 온상태로 하여 풀형 구동회로(32)만을 사용한다. 또한, 데이터선(6)에 접속되지 않은 구동회로 31, 32에서는, 스위치 S3, S4가 오프상태로 되어 전원전위 VDD의 공급이 정지된다. 따라서, 전류증폭회로(30.1~30.64)에서의 관통전류를 최소한으로 억제할 수 있어, 소비전력의 감소를 도모할 수 있다.

이때, 전계효과 트랜지스터 11.41~44, 46, 52~55, 57의 각각은, MOS 트랜지스터이어도 되고, 박막트랜지스터(TFT)이어도 된다. 박막트랜지스터는, 폴리실리콘박막, 비결정질 실리콘박막 등과 같은 반도체박막으로 형성된 것이어도 되고, 수지기판, 유리기판 등과 같은 절연기판 상에 형성된 것이어도 된다.

또한 도 9는, 실시예 1의 변경예에 의한 컬러액정 표시장치의 계조전위 발생회로의 구성을 나타내는 회로도에 있어서, 도 4와 대비되는 도면이다. 도 9에서, 이 계조전위 발생회로는, 2쌍의 레더저항회로 60, 61과 64의 전류증폭회로 63.1~63.64를 포함한다. 레더저항회로 60은, 노드 N61과 N60의 사이에 직렬접속된 저항소자(R1~R65)를 포함한다. 노드 N60, N61에는, 각각 고전위 VH 및 저전위 VL이 상시 인가된다. 레더저항회로 60에 의해, 64의 계조전위 V1a~V64a (V64a>V1a)가 생성된다. 레더저항회로 61은, 노드 N63과 N62의 사이에 직렬접속된 저항소자(R1~R65)를 포함한다. 노드 N62, N63에는, 각각 저전위 VL 및 고전위 VH가 상시 인가된다. 레더저항회로 61에 의해, 64의 계조전위 V1b~V64b (V64b<V1b)가 생성된다.

전류증폭회로 63.1~63.64의 각각은, 도 4~도 6에서 나타낸 푸시형 구동회로(31), 풀형 구동회로(32) 및 스위치(S1, S2)를 포함한다. 전류증폭회로 63.33~63.64의 푸시형 구동회로(31)의 입력노드는 각각 레더저항회로 60의 출력전위 V33a~V64a를 받고, 전류증폭회로 63.1~63.32의 풀형 구동회로(32)의 입력노드는 레더저항회로 60의 출력전위 V1a~V32a를 받는다. 전류증폭회로 63.33~63.64의 풀형 구동회로(32)의 입력노드는 각각 레더저항회로 61의 출력전위 V33b~V64b를 받고, 전류증폭회로 63.1~63.32의 푸시형 구동회로(31)의 입력노드는 레더저항회로 61의 출력전위 V1b~V32b를 받는다. 각 푸시형 구동회로(31)의 출력노드는 스위치 S1을 통해 대응한 전류증폭회로의 출력노드에 접속되고, 각 풀형 구동회로(32)의 출력노드는 스위치 S2를 통해 대응한 전류증폭회로의 출력노드에 접속된다.

스위치 S1~S4는, 도 4~도 6에서 설명한 타이밍으로 동작한다. 어떤 사이클에서는, 도 9에 나타내는 바와 같이, 전류증폭회로 63.33~63.64의 스위치 S1, S3이 온상태로 됨과 동시에 전류증폭회로 63.1~63.32의 스위치 S2, S4가 온상태로 되고, V64d>VPC>V1d가 된다. 다음 사이클에서는, 전류증폭회로 63.33~63.64의 스위치 S2, S4가 온상태로 됨과 동시에 전류증폭회로 63.1~63.32의 스위치 S1, S3이 온상태로 되고, V1d>VPC>V64d가 된다. 이 변경예에서도, 실시예 1과 같은 효과를 얻을 수 있다.

도 10은, 이 실시예 1의 변경예에 의한 화상표시장치의 주요부를 나타내는 회로도로서, 도 2와 대비되는 도면이다. 도 10에서, 이 변경예는, 도 2의 액정셀(2)을 P형 트랜지스터(65) 및 EL(일렉트로 루미네센스) 소자(66)로 치환한 것이다. P형 트랜지스터 65 및 EL 소자 66은 전원전위 VDD의 라인과 공통전위선(5)과의 사이에 직렬접속되고, P형 트랜지스터 65의 게이트는 N형 트랜지스터(11) 및 커패시터(12)의 사이의 노드 N11에 접속된다. 노드 N11에 계조전위가 공급되면, P형 트랜지스터 65에는 그 계조전위에 따른 값의 전류가 흐르고, 그 전류값에 따른 광강도로 EL 소자 66이 발광한다. EL 소자 66에서는, 액정셀(2)과 같이 인가전압의 극성을 전환할 필요가 없다. 따라서, 도 4의 계조전위 발생회로(24)에서는, 노드 N30, N31은 각각 고전위 VH 및 저전위 VL에 고정되고, 전류증폭회로 30.1~30.32의 풀형 구동회로(32)만을 포함하고, 전류증폭회로 30.33~30.64는 푸시형 구동회로(31)만을 포함한다. 이 변경예에서도, 실시예 1과 같은 효과를 얻을 수 있다.

(실시예 2)

도 5의 푸시형 구동회로(31)에서는, 출력전위 VO가 차동증폭회로(40)에 직접 피드백되어 있고, 또한 부하용량이 크기 때문에, 발진현상이 생겨 버린다는 문제가 있었다. 이 실시예 2에서는, 이 문제의 해결이 도모된다.

도 11은, 본 발명의 실시예 2에 의한 푸시형 구동회로(70)의 구성을 나타내는 회로도이다. 도 11에서, 이 푸시형 구동회로(70)는, 도 5의 푸시형 구동회로 31의 P형 트랜지스터 46을 P형 트랜지스터 71, N형 트랜지스터 72, 73 및 정전류회로 74로 치환한 것이다. 이때, 도면 및 설명의 간단화를 위해, 이것 이후, 구동회로에 전원공급을 행하기 위한 스위치 S3, S4는 생략되어 있다.

P형 트랜지스터 71, N형 트랜지스터 72 및 정전류회로 74는, 전원전위 VDD의 라인과 접지전위 GND의 라인과 사이에 직렬접속된다. P형 트랜지스터 71의 게이트는, 차동증폭회로 40의 출력노드 N41의 전위 V41을 받는다. N형 트랜지스터 72의 게이트는, 그 드레인에 접속된다. N형 트랜지스터 72는, 다이오드소자를 구성한다. N형 트랜지스터 72의 소스(노드 N72)의 전위 VM은, N형 트랜지스터 44의 게이트에 공급된다. 정전류회로 74는, 노드 N72로부터 접지전위 GND의 라인에 소정값의 정전류 I3을 유출시킨다. N형 트랜지스터 73은, 전원전위 VDD의 라인과 출력노드 N46과의 사이에 접속되고, 그 게이트는 트랜지스터 71과 72의 사이의 노드 N71의 전위 VC를 받는다.

다음에, 이 구동회로(70)의 동작에 대하여 설명한다. 이 구동회로(70)에서는, 차동증폭회로(40)의 동작에 의해, 노드 N72의 전위 VM은 입력노드 N45의 전위 VI와 같아진다. 즉, N형 트랜지스터 44와 P형 트랜지스터 42는 직렬접속되고, P형 트랜지스터 41과 42는 커런트 미러회로를 구성하고 있으므로, P형 트랜지스터 41에는 모니터전위 VM에 따른 값의 전류가 흐른다.

모니터전위 VM이 입력전위 VI보다도 높은 경우는, P형 트랜지스터 41에 흐르는 전류가 N형 트랜지스터 43에 흐르는 전류보다도 커져 노드 N41의 전위 V41이 상승한다. 이에 따라, P형 트랜지스터 71에 흐르는 전류가 작아져 모니터전위 VM이 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮은 경우는, P형 트랜지스터 41에 흐르는 전류가 N형 트랜지스터 43에 흐르는 전류보다도 작아져 노드 N41의 전위 V41이 저하한다. 이에 따라, P형 트랜지스터 71에 흐르는 전류가 커져 모니터전위 VM이 상승한다. 따라서, $VM=VI$ 가 된다.

정전류회로 74의 전류 I3은 작은 값으로 설정되어 있으므로, 노드 N71의 전위 VC는 $VC=VM+VTN$ 이 된다. 여기서, VTN은 N형 트랜지스터의 임계치전압이다. 또한, N형 트랜지스터 73의 전류구동능력을 정전류회로 47의 전류구동능력보다도 충분히 크게 하면, N형 트랜지스터 73이 소스폴로어 동작을 하고, 출력노드 N46의 전위 VO는 $VO=VC-VTN=VM=VI$ 가 된다. 따라서, 입력전위 VI와 같은 출력전위 VO를 얻을 수 있다.

이 실시예 2에서는, 차동증폭회로(40)로의 피드백 루프의 용량이 N형 트랜지스터(44, 72, 73)의 게이트용량이 되므로, 차동증폭회로(40)에 부하용량이 직접접속되는 도 5의 구동회로(31)에 비해, 차동증폭회로(40)로의 피드백 루프의 용량이 충분히 작아진다. 따라서, 구동회로(70)에서 발진현상이 생기지 않는다.

또한, 도 12a~12c의 각각은, 도 11에 나타난 정전류회로 74의 구성을 예시하는 회로도이다. 도 12a에서는, 정전류회로 74는, 저항소자 75 및 N형 트랜지스터 76, 77을 포함한다. 저항소자 75 및 N형 트랜지스터 76은 전원전위 VDD의 라인과 접지전위 GND의 라인과 사이에 직렬접속되고, N형 트랜지스터 77은 노드 N72와 접지전위 GND의 라인과 사이에 접속된다. N형 트랜지스터 76, 77의 게이트는, 모두 N형 트랜지스터 76의 드레인에 접속된다. N형 트랜지스터 76과 77은, 커런트 미러회로를 구성하는 저항소자 75 및 N형 트랜지스터 76에는, 저항소자 75의 저항값에 따른 값의 일정전류가 흐른다. N형 트랜지스터 77에는, N형 트랜지스터 76에 흐르는 전류에 따른 값의 일정전류 I3이 흐른다.

도 12b에서는, 정전류회로 74는 N형 트랜지스터 78을 포함한다. N형 트랜지스터 78은, 노드 N72와 접지전위 GND의 라인과 사이에 접속되고, 그 게이트는 일정한 바이어스전위 VBN을 받는다. 바이어스전위 VBN은, N형 트랜지스터 78이 포화영역에서 동작하는 소정의 레벨로 설정된다. 이에 따라, N형 트랜지스터 78에는, 일정한 전류 I3이 흐른다.

도 12c에서는, 정전류회로 74는, 디플리션형의 N형 트랜지스터 79를 포함한다. N형 트랜지스터 79는, 노드 N72와 접지전위 GND와의 라인과 사이에 접속되고, 그 게이트는 접지전위 GND의 라인에 접속된다. N형 트랜지스터 79는, 게이트-소스 사이 전압이 0V일 때라도 일정한 전류 I3을 흐르게 하도록 형성되어 있다. 또한, 노드 N72와 접지전위 GND의 라인과 사이에 접속된 저항소자로 정전류회로 74를 구성해도 된다. 정전류회로 45, 47의 각각을, 정전류회로 74와 같은 구성으로 해도 된다.

또한, 도 13의 구동회로(80)에서는, P형 트랜지스터 41, 42의 소스와 P형 트랜지스터 71의 소스와 N형 트랜지스터 73의 드레인에 각각 서로 다른 전원전위 V1, V2, V3이 공급된다. 또한, 정전류회로 45, 74, 47의 저전위측 단자가 각각 서로 다른 전원전위 V4, V5, V6에 접속된다. 이 변경예에서도, 도 11의 구동회로(70)와 같은 효과를 얻을 수 있다.

또한, 도 14의 구동회로 81은, 도 11의 구동회로 70의 차동증폭회로 40을 차동증폭회로 82로 치환한 것이다. 차동증폭회로 82는, 차동증폭회로 40의 P형 트랜지스터 41, 42를 각각 저항소자 83, 84로 치환한 것이다. 저항소자 83, 84는, 각각 전원전위 VDD의 라인과 노드 N41, N42와의 사이에 접속된다.

N형 트랜지스터 43에 흐르는 전류와 N형 트랜지스터 44에 흐르는 전류와의, 합계는, 정전류회로 45에 흐르는 전류 I1과 같아진다. 모니터전위 VM이 입력전위 VI와 같은 경우는, N형 트랜지스터 43에 흐르는 전류와 N형 트랜지스터 44에 흐르는 전류가 같게 되어 있다. 모니터 전위 VM이 입력전위 VI보다도 높아지면, N형 트랜지스터 44의 전류가 증가함과 동시에 N형 트랜지스터 43의 전류가 감소하고, 노드 N41의 전위 V41이 상승하여 P형 트랜지스터 71의 전류가 감소하며, 모니터전위 VM이 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮아지면, N형 트랜지스터 44의 전류가 감소함과 동시에 N형 트랜지스터 43의 전류가 증가하고, 노드 N41의 전위 V41이 저하하여 P형 트랜지스터 71의 전류가 증가하며, 모니터전위 VM이 상승한다. 따라서, 모니터전위 VM은 입력전위 VI와 같은 레벨로 유지되어, $VO=VI$ 가 된다. 이 변경예에서도, 도 11의 구동회로(70)와 같은 효과를 얻을 수 있다.

(실시예 3)

도 15는, 본 발명의 실시예 3에 의한 푸시형 구동회로(85)의 구성을 나타내는 회로도이다. 도 15에서, 이 구동회로(85)는, 도 11의 구동회로(80)의 차동증폭회로 40을 도 6의 차동증폭회로 50으로 치환하고, 또한 P형 트랜지스터 71 및 정전류회로 74를 정전류회로 86 및 N형 트랜지스터 87로 각각 치환한 것이다. 정전류회로 86은, 전원전위 VDD의 라인과 노드 N71과의 사이에 접속되고, 전원전위 VDD의 라인으로부터 노드 N71에 소정값의 정전류 I3을 유입시킨다. N형 트랜지스터 87은, 노드 N72와 접지전위 GND의 라인과의 사이에 접속되고, 그 게이트는 차동증폭회로 50의 출력노드 N52의 전위 V52를 받는다.

다음에, 이 구동회로(85)의 동작에 대하여 설명한다. 이 구동회로(85)에서는, 차동증폭회로(50)의 동작에 의해, 모니터전위 VM은 입력전위 VI와 같아진다. 즉, P형 트랜지스터 53과 N형 트랜지스터 55는 직렬접속되고, N형 트랜지스터 54와 55는 커런트 미러회로를 구성하고 있으므로, N형 트랜지스터 54에는 모니터전위 VM에 따른 값의 전류가 흐른다.

모니터전위 VM이 입력전위 VI보다도 높은 경우는, N형 트랜지스터 54에 흐르는 전류가 P형 트랜지스터 52에 흐르는 전류보다도 작아져 노드 N52의 전위 V52가 상승한다. 이에 따라, N형 트랜지스터 87에 흐르는 전류가 커져 모니터전위 VM이 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮은 경우는, N형 트랜지스터 54에 흐르는 전류가 P형 트랜지스터 52에 흐르는 전류보다도 커져 노드 N52의 전위 V52가 저하한다. 이에 따라, N형 트랜지스터 87에 흐르는 전류가 작아져 모니터전위 VM이 상승한다. 따라서, VM=VI가 된다.

정전류회로 86의 전류 I3은 충분히 작은 값으로 설정되어 있으므로, 노드 N71의 전위 VC는 $VC=VM+VTN$ 이 된다. 또한, N형 트랜지스터 73의 전류구동능력을 정전류회로 47의 전류구동능력보다도 충분히 크게 하면, N형 트랜지스터 73이 소스폴로어 동작을 하고, 출력노드 N46의 전위 VO는 $VO=VC-VTN=VM=VI$ 가 된다. 따라서, 입력전위 VI와 같은 레벨의 출력전위 VO를 얻을 수 있다.

이 실시예 3에서는, 차동증폭회로(50)로의 피드백 루프의 용량이 트랜지스터 53, 72, 73의 게이트용량이 되므로, 부하용량이 차동증폭회로 40에 직접접속되어 있는 도 5의 구동회로(31)에 비해, 차동증폭회로 50으로의 피드백 루프의 용량이 충분히 작아진다. 따라서, 구동회로(85)에서 발진현상이 생기지 않는다.

또한, 도 16a~16c의 각각은, 도 15에 나타난 정전류회로 86의 구성을 예시하는 회로도이다. 도 16a에서는, 정전류회로 86은, P형 트랜지스터 88, 89 및 저항소자 90을 포함한다. P형 트랜지스터 88 및 저항소자 90은 전원전위 VDD의 라인과 접지전위 GND의 라인과의 사이에 직렬접속되고, P형 트랜지스터 89는 전원전위 VDD의 라인과 노드 N71과의 사이에 접속된다. P형 트랜지스터 88, 89의 게이트는, 모두 P형 트랜지스터 88의 드레인에 접속된다. P형 트랜지스터 88과 89는, 커런트 미러회로를 구성한다. P형 트랜지스터 88 및 저항소자 89에는, 저항소자 90의 저항값에 따른 값의 일정전류가 흐른다. P형 트랜지스터 89에는, P형 트랜지스터 88에 흐르는 전류에 따른 값의 일정전류 I3이 흐른다.

도 16b에서는, 정전류회로 86은 P형 트랜지스터 91을 포함한다. P형 트랜지스터 91은, 전원전위 VDD의 라인과 노드 N71과의 사이에 접속되고, 그 게이트는 일정한 바이어스전위 VBP를 받는다. 바이어스전위 VBP는, P형 트랜지스터 91이 포화영역에서 동작하는 소정의 레벨로 설정된다. 이에 따라, P형 트랜지스터 91에는, 일정전류 I3이 흐른다.

도 16c에서는, 정전류회로 86은, 디플리션형의 P형 트랜지스터 92를 포함한다. P형 트랜지스터 92는, 전원전위 VDD의 라인과 노드 N71과의 사이에 접속되고, 그 게이트가 전원전위 VDD의 라인에 접속된다. P형 트랜지스터 92는, 게이트-소스 사이전압이 0V일 때에도 일정전류 I3을 흐르게 하도록 형성되어 있다. 또한, 전원전위 VDD의 라인과 노드 N71과의 사이에 접속된 저항소자로 정전류회로 86을 구성해도 된다. 정전류회로 51을, 정전류회로 86과 동일한 구성으로 해도 된다.

또한, 도 17의 구동회로 95는, 도 15의 구동회로 85의 차동증폭회로 50을 차동증폭회로 96으로 치환한 것이다. 차동증폭회로 96은, 차동증폭회로 50의 N형 트랜지스터 54, 55를 저항소자 97, 98로 치환한 것이다. 저항소자 97, 98은, 각각 노드 N52, N53과 접지전위 GND의 라인과의 사이에 접속된다. P형 트랜지스터 52에 흐르는 전류와 P형 트랜지스터 53에 흐르는 전류와의 합계는, 정전류회로 51에 흐르는 전류 I1과 같아진다. 모니터전위 VM이 입력전위 VI와 같은 경우는, P형 트랜지스터 52의 전류와 P형 트랜지스터 53의 전류는 같게 되어 있다. 모니터전위 VM이 입력전위 VI보다도 높아지면, P형 트랜지스터 53의 전류가 감소함과 동시에 P형 트랜지스터 52의 전류가 증가하고, 노드 N52의 전위 V52가 상승하여 N형 트랜지스터 87의 전류가 증가하며, 모니터전위 VM이 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮아지면, P형 트랜

지스터 53의 전류가 증가함과 동시에 P형 트랜지스터 52의 전류가 감소하고, 노드 N52의 전위 V52가 저하하여 N형 트랜지스터 87의 전류가 감소하며, 모니터전위 VM이 상승한다. 따라서, 모니터전위 VM은 입력전위 VI로 유지되고, VO=VI가 된다. 이 변경예에서도, 도 15의 구동회로(85)와 같은 효과를 얻을 수 있다.

또한, 도 18의 구동회로(100)는, 도 15의 구동회로 85의 차동증폭회로 50을 도 5의 차동증폭회로 40으로 치환한 것이다. N형 트랜지스터 87의 게이트는 노드 N41의 전위 V41을 받고, N형 트랜지스터 44의 게이트는 모니터전위 VM을 받는다. 모니터전위 VM이 입력전위 VI보다도 높은 경우는, P형 트랜지스터 41에 흐르는 전류가 N형 트랜지스터 43에 흐르는 전류보다도 커져 노드 N41의 전위 V41이 상승하고, N형 트랜지스터 87의 전류가 증가하여 모니터전위 VM은 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮은 경우는, P형 트랜지스터 41에 흐르는 전류가 N형 트랜지스터 43에 흐르는 전류보다도 작아져 노드 N41의 전위 V41이 저하하고, N형 트랜지스터 87의 전류가 감소하여 모니터전위 VM이 상승한다. 따라서, VM=VI가 되고, VO=VI가 된다. 이 변경예에서도, 도 15의 구동회로(85)와 같은 효과를 얻을 수 있다.

(실시예 4)

도 19는, 본 발명의 실시예 4에 의한 풀형 구동회로(105)의 구성을 나타내는 회로도에 있어서, 도 6과 대비되는 도면이다. 도 19에서, 이 구동회로(105)는, 도 6의 구동회로(32)의 N형 트랜지스터 57을 P형 트랜지스터 106~108 및 정전류회로 109로 치환한 것이다. 이때, 전술한대로, 전원공급용의 스위치 S4는, 도면 및 설명의 간단화를 위해 생략되어 있다.

P형 트랜지스터 106, 107 및 정전류회로 109는, 전원전위 VDD의 라인과 접지전위 GND의 라인과 사이에 직렬접속된다. P형 트랜지스터 106의 게이트는 노드 N52의 전위 V52를 받는다. P형 트랜지스터 53의 게이트는, P형 트랜지스터 106과 107의 사이의 노드 N106의 전위 VM을 받는다. P형 트랜지스터 107의 게이트는, 그 드레인(노드 N107)에 접속된다. P형 트랜지스터 107은, 다이오드소자를 구성한다. 정전류회로 109는, 노드 N107로부터 접지전위 GND의 라인에 소정값의 정전류 I3을 유출시킨다. P형 트랜지스터 108은, 출력노드 N56과 접지전위 GND의 라인과 사이에 접속되고, 그 게이트는 노드 N107의 전위 VC를 받는다.

모니터전위 VM은, 차동증폭회로 50의 동작에 의해 입력전위 VI로 유지된다. 즉, 모니터전위 VM이 입력전위 VI보다도 높은 경우는, N형 트랜지스터 54의 전류가 P형 트랜지스터 52의 전류보다도 작아져 노드 N52의 전위 V52가 상승하고, P형 트랜지스터 106을 흐르는 전류가 감소하여 모니터전위 VM이 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮은 경우는, N형 트랜지스터 54의 전류가 P형 트랜지스터 52의 전류보다도 커져 노드 N52의 전위 V52가 저하하고, P형 트랜지스터 106을 흐르는 전류가 증가하여 모니터전위 VM이 상승한다. 따라서, VM=VI가 된다.

정전류회로 109의 정전류 I3에 비해 P형 트랜지스터 107의 전류구동능력을 충분히 크게 하면, 노드 N107의 전위 VC는 $VC=VM - |VTP|$ 가 된다. 여기서, VTP는 P형 트랜지스터의 임계치전압이다. 정전류회로 56의 정전류 I2에 비해 P형 트랜지스터 108의 전류구동능력을 충분히 크게 하면, 출력전위 VO는 $VO=VC + |VTP| = VM - |VTM| + |VTP| = VM=VI$ 가 된다.

이 실시예 4에서는, 차동증폭회로(50)로의 피드백 루프의 용량이 트랜지스터(53, 107, 108)의 게이트용량이 되므로, 부하용량이 차동증폭회로(50)에 직접접속되어 있던 도 6의 구동회로(32)에 비해, 차동증폭회로(50)로의 피드백 루프의 용량이 충분히 작아진다. 따라서, 구동회로(105)에서 발진현상이 생기지 않는다.

도 20의 구동회로 110은, 도 19의 구동회로 105의 P형 트랜지스터 106 및 정전류회로 109를 각각 정전류회로 111 및 N형 트랜지스터 112로 치환한 것이다. 정전류회로 111은, 전원전위 VDD의 라인으로부터 노드 N106에 소정값의 정전류 I3을 유입시킨다. N형 트랜지스터 112는, 노드 N107과 접지전위 GND의 라인과 사이에 접속되고, 그 게이트는 노드 N52의 전위 V52를 받는다. 모니터전위 VM이 입력전위 VI보다도 높아지면, 노드 N52의 전위 V52가 상승하여 N형 트랜지스터 112에 흐르는 전류가 증가하고, 모니터전위 VM이 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮아지면, 노드 N52의 전위 V52가 저하하여 N형 트랜지스터 112에 흐르는 전류가 감소하고, 모니터전위 VM이 상승한다. 따라서, VM=VI가 되고, VO=VI가 된다. 이 변경예에서도, 도 19의 구동회로 105와 같은 효과를 얻을 수 있다.

도 21의 구동회로 115는, 도 19의 구동회로 105의 차동증폭회로 50을 도 5의 차동증폭회로 40으로 치환한 것이다. 모니터전위 VM이 입력전위 VI보다도 높아지면, 노드 N41의 전위 V41이 상승하여 P형 트랜지스터 106에 흐르는 전류가 감소하고, 모니터전위 VM이 저하한다. 모니터전위 VM이 입력전위 VI보다도 낮아지면, 노드 N41의 전위 V41이 저하하여 P형 트랜지스터 106에 흐르는 전류가 증가하고, 모니터전위 VM이 상승한다. 따라서, VM=VI가 되고, VO=VI가 된다. 이 변경예에서도, 도 19의 구동회로 105와 같은 효과를 얻을 수 있다.

(실시예 5)

도 22는, 본 발명의 실시예 5에 의한 푸시풀형 구동회로(120)의 구성을 나타내는 회로도이다. 도 22에서, 이 구동회로 120은, 도 11의 푸시형 구동회로 70과 도 20의 풀형 구동회로 110을 조합한 것이다. 푸시형 구동회로 70의 입력노드 N45와 풀형 구동회로 110의 입력노드가 서로 접속되고, 푸시형 구동회로 70의 출력노드 N46과 풀형 구동회로 110의 출력노드가 서로 접속된다.

출력전위 VO가 입력전위 VI보다도 높은 경우는, N형 트랜지스터 73의 게이트-소스 사이 전압이 N형 트랜지스터 73의 임계치전압 VTN보다도 작아져 N형 트랜지스터 73이 비도통이 됨과 동시에, P형 트랜지스터 108의 소스-게이트 사이 전압이 P형 트랜지스터 108의 임계치전압 VTP의 절대치보다도 커져 P형 트랜지스터 108이 도통되고, 출력전위 VO가 저하한다.

출력전위 VO가 입력전위 VI보다도 낮은 경우는, P형 트랜지스터 108의 소스-게이트 사이 전압이 P형 트랜지스터 108의 임계치전압 VTP의 절대치보다도 작아져 P형 트랜지스터 108이 비도통으로 됨과 동시에, N형 트랜지스터 73의 게이트-소스 사이 전압이 N형 트랜지스터 73의 임계치전압 VTN보다도 커져 N형 트랜지스터 73이 도통하고, 출력전위 VO가 상승한다. 따라서, VO=VI가 된다.

이 구동회로(120)는, 도 4 및 도 5의 푸시형 구동회로(31) 또는 풀형 구동회로(32)로서 사용된다. 구동회로 120이 푸시형 구동회로 31로서 사용되는 경우는, 방전용의 P형 트랜지스터 108의 전류구동능력은 충전용의 N형 트랜지스터 73의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 구동회로 120이 풀형 구동회로 32로서 사용되는 경우는, 충전용의 N형 트랜지스터 73의 전류구동능력은 방전용의 P형 트랜지스터 108의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 따라서, 구동회로 31, 32에서의 관통전류를 작게 할 수 있어, 소비전력의 감소화를 도모할 수 있다.

이 실시예 5에서는, 실시예 2와 같은 효과를 얻을 수 있는 것 외에, 소비전력의 감소화를 도모할 수 있다.

이하, 여러가지의 변경예에 대하여 설명한다. 도 23의 푸시풀형 구동회로(125)는, 도 15의 푸시형 구동회로(85)와 도 21의 풀형 구동회로(115)를 조합한 것이다. 푸시형 구동회로 85의 입력노드 N45와 풀형 구동회로 115의 입력노드는 서로 접속되고, 푸시형 구동회로 85의 출력노드 N46과 풀형 구동회로 115의 출력노드는 서로 접속된다. 이 변경예에서도, 도 22의 구동회로 120과 같은 효과를 얻을 수 있다.

도 24의 푸시풀형 구동회로(130)는, 도 11의 푸시형 구동회로(70)와 도 21의 풀형 구동회로(115)를 조합한 것이다. 도 25의 푸시풀형 구동회로(131)는, 도 15의 푸시형 구동회로(85)와 도 20의 풀형 구동회로(110)를 조합한 것이다. 이들 변경예에서도, 도 22의 구동회로(120)와 같은 효과를 얻을 수 있다. 이때, 푸시풀형 구동회로 120, 125, 130, 131 중 어느 하나에 있어서도, 정전류회로 47, 56 중 어느 한쪽, 또는 양쪽을 생략하는 것도 가능하다.

(실시예 6)

도 26은, 본 발명의 실시예 6에 의한 푸시풀형 구동회로(135)의 구성을 나타내는 회로도이다. 도 26을 참조하여, 이 구동회로 135는, 도 11의 푸시형 구동회로 70에 P형 트랜지스터 136, 137을 추가한 것이다. P형 트랜지스터 136 및 정전류회로 74는 노드 N72와 접지전위 GND의 라인과의 사이에 직렬접속되고, P형 트랜지스터 136의 게이트는 그 드레인(노드 N136)에 접속된다. P형 트랜지스터 136은 다이오드소자를 구성한다. P형 트랜지스터 137은, 출력노드 N46과 접지전위 GND의 라인과의 사이에 접속되고, 그 게이트는 노드 N136의 전위 VC1을 받는다.

차동증폭회로(40)의 동작에 의해, 노드 N72의 전위 VM은 VM=VI가 된다. 따라서, 노드 N71의 전위 VC는 VC=VI+VTN이 되고, 노드 N136의 전위 VC1은 VC1=VI-|VTP|가 된다. 출력전위 VO가 입력전위, VI보다도 높은 경우는, N형 트랜지스터 73이 비도통이 됨과 동시에 P형 트랜지스터 137이 도통한다. 출력전위 VO가 입력전위 VI보다도 낮은 경우는, P형 트랜지스터 137이 비도통이 됨과 동시에 N형 트랜지스터 73이 도통된다. 따라서, VO=VI가 된다.

이 실시예 6에서는, 실시예 5와 같은 효과를 얻을 수 있는 것 외에, 차동증폭회로를 1개로 했으므로, 레이아웃면적이 작게 끝난다.

이때, 정전류회로 47은 생략하는 것도 가능하다.

(실시예 7)

도 27은, 본 발명의 실시예 7에 의한 푸시풀형 구동회로(140)의 구성을 나타내는 회로도이다. 도 27을 참조하여, 이 구동회로 140은, 도 20의 풀형 구동회로 110에 N형 트랜지스터 141, 142를 추가한 것이다. 정전류회로 111 및 N형 트랜지스터 141은 전원전위 VDD의 라인과 노드 N106과의 사이에 직렬접속되고, N형 트랜지스터 141의 게이트는 그 드레인(노드 N111)에 접속된다. N형 트랜지스터 141은, 다이오드소자를 구성한다. N형 트랜지스터 142는, 전원전위 VDD의 라인과 출력노드 N56과의 사이에 접속되고, 그 게이트는 노드 N111의 전위 VC1을 받는다.

차동증폭회로(50)의 동작에 의해, 노드 N106의 전위 VM은 $VM=VI$ 가 된다. 따라서, 노드 N111의 전위 VC1은 $VC1=VI+VTN$ 이 되고, 노드 N107의 전위 VC는 $VC=VI-|VTP|$ 가 된다. 출력전위 VO가 입력전위 VI보다도 높은 경우는, N형 트랜지스터 142가 비도통이 됨과 동시에, P형 트랜지스터 108이 도통된다. 출력전위 VO가 입력전위 VI보다도 낮은 경우는, P형 트랜지스터 108이 비도통이 됨과 동시에 N형 트랜지스터 142가 도통된다. 따라서, $VO=VI$ 가 된다.

이 실시예 7에서도, 실시예 6과 같은 효과를 얻을 수 있다.

이때, 정전류회로 56은 생략하는 것도 가능하다.

(실시예 8)

도 28은, 본 발명의 실시예 8에 의한 푸시형 구동회로(150)의 구성을 나타내는 회로도이다. 도 28에서, 이 구동회로 150은, 레벨시프트회로 151, 풀업회로 155 및 정전류회로 158을 포함한다.

레벨시프트회로 151은, 전원전위 V11(15V)의 노드와 접지전위 GND의 노드와의 사이에 직렬접속된 정전류회로 152, N형 트랜지스터 153 및 P형 트랜지스터 154를 포함한다. N형 트랜지스터 153의 게이트는, 그 드레인(노드 N152)에 접속되어 있다. N형 트랜지스터 153은, 다이오드소자를 구성한다. P형 트랜지스터 154의 게이트는, 입력노드 N45의 전위 VI를 받는다. 정전류회로 152의 전류구동능력은, 트랜지스터 153, 154의 전류구동능력보다도 충분히 작은 레벨로 설정되어 있다.

P형 트랜지스터 154의 소스(노드 N153)의 전위 V153은 $V153=VI+|VTP|$ 가 되고, N형 트랜지스터 153의 드레인(노드 N152)의 전위 V152는 $V152=VI+|VTP|+VTN$ 이 된다. 따라서, 레벨시프트회로 151은, 입력전위 VI를 $|VTP|+VTN$ 만큼 레벨시프트시킨 전위 V152를 출력한다.

풀업회로 155는, 전원전위 V12(15V)의 노드와 출력노드 N46과의 사이에 직렬접속된 N형 트랜지스터 156 및 P형 트랜지스터 157을 포함한다. 정전류회로 158은, 출력노드 N46과 접지전위 GND의 라인과 사이에 접속된다. N형 트랜지스터 156의 게이트는, 레벨시프트회로 151의 출력전위 V152를 받는다. P형 트랜지스터 157의 게이트는, 그 드레인에 접속되어 있다. P형 트랜지스터 157은, 다이오드소자를 구성한다. N형 트랜지스터 156은 포화영역에서 동작하도록 전원전위 V12가 설정되어 있으므로, N형 트랜지스터 156은 소위 소스 폴로어동작을 행한다. 정전류회로 158의 전류구동능력은, 트랜지스터 156, 157의 전류구동능력보다도 충분히 작은 레벨로 설정되어 있다.

N형 트랜지스터 156의 소스(노드 N156)의 전위 V156은 $V156=V152-VTN=VI+|VTP|$ 가 된다. 출력노드 N46의 전위 VO는, $VO=V156-|VTP|=VI$ 가 된다.

이 실시예 8에서는, 출력전위 VO를 완전히 피드백하지 않기 때문에, 구동회로 150에서 발진현상이 생기지 않는다.

(실시예 9)

도 29는, 본 발명의 실시예 9에 의한 풀형 구동회로(160)의 구성을 나타내는 회로도이다. 도 29에서, 이 구동회로 160은, 레벨시프트회로 161, 정전류회로 165 및 풀다운회로 166을 포함한다.

레벨시프트회로 161은, 전원전위 V13(5V)의 노드와 전원전위 V14(-10V)의 노드와의 사이에 직렬접속된 N형 트랜지스터 162, P형 트랜지스터 163 및 정전류회로 164를 포함한다. N형 트랜지스터 162의 게이트는, 입력노드 N55의 전위를

받는다. P형 트랜지스터 163의 게이트는, 그 드레인(노드 N163)에 접속된다. P형 트랜지스터 163은, 다이오드소자를 구성한다. 정전류회로 164의 전류구동능력은, 트랜지스터 162, 163 전류구동능력보다도 충분히 작은 레벨로 설정되어 있다.

N형 트랜지스터 162의 소스(노드 N162)의 전위 V_{162} 는 $V_{162}=V_I-V_{TN}$ 이 된다. P형 트랜지스터 163의 드레인(노드 N163)의 전위 V_{163} 은, $V_{163}=V_I-V_{TN}-|V_{TP}|$ 가 된다. 따라서, 레벨시프트회로 161은, 입력전위 V_I 를 $-V_{TN}-|V_{TP}|$ 만큼 레벨시프트시킨 전위 V_{163} 을 출력한다.

정전류회로 165는, 전원전위 V_{13} 의 노드와 출력노드 N56과의 사이에 접속된다. 풀다운회로 166은, 전원전위 V_{15} (110V)의 노드와 출력노드 N166과의 사이에 직렬접속된 P형 트랜지스터 168 및 N형 트랜지스터 167을 포함한다. P형 트랜지스터 168의 게이트는, 레벨시프트회로 161의 출력전위 V_{163} 을 받는다. N형 트랜지스터 167의 게이트는, 그 드레인에 접속되어 있다. N형 트랜지스터 167은, 다이오드소자를 구성한다. P형 트랜지스터 168은 포화영역에서 동작하도록 전원전위 V_{15} 가 설정되어 있으므로, P형 트랜지스터 168은 소위 소스 폴로어동작을 행한다. 정전류회로 165의 전류구동능력은, 트랜지스터 167, 168의 전류구동능력보다도 충분히 작은 레벨로 설정되어 있다.

P형 트랜지스터 168의 소스(노드 N167)의 전위 V_{167} 은, $V_{167}=V_{163}+|V_{TP}|=V_I-V_{TN}$ 이 된다. 출력노드 N56의 전위 V_O 는, $V_O=V_{167}+V_{TN}=V_I$ 가 된다.

이 실시예 9에서도, 실시예 8과 같은 효과를 얻을 수 있다.

(실시예 10)

도 30은, 본 발명의 실시예 10에 의한 푸시풀형 구동회로(170)의 구성을 나타내는 회로도이다. 도 30에서, 이 구동회로 170은, 도 28의 푸시형 구동회로 150과, 도 29의 풀형 구동회로 160을 조합한 것이다. 레벨시프트회로 151의 P형 트랜지스터 154의 게이트 및 레벨시프트회로 161의 N형 트랜지스터 162의 게이트는, 입력노드 N171의 전위 V_I 를 받는다. 풀업회로 155의 P형 트랜지스터 157의 드레인 및 풀다운회로 166의 N형 트랜지스터 167의 드레인은, 모두 출력노드 N172에 접속된다.

출력전위 V_O 가 입력전위 V_I 보다도 높은 경우는, 풀업회로 155의 트랜지스터 156, 157이 비도통이 됨과 동시에, 풀다운회로 166의 트랜지스터 167, 168이 도통되고, 출력전위 V_O 가 저하한다. 출력전위 V_O 가 입력전위 V_I 보다도 낮은 경우는, 풀다운회로 166의 트랜지스터 167, 168이 비도통이 됨과 동시에, 풀업회로 155의 트랜지스터 156, 157이 도통되고, 출력전위 V_O 가 상승한다. 따라서, $V_O=V_I$ 가 된다.

이 구동회로 170은, 도 4 및 도 5의 푸시형 구동회로(31) 또는 풀형 구동회로(32)로서 사용된다. 구동회로 170이 푸시형 구동회로 31로서 사용되는 경우는, 풀다운회로 166의 트랜지스터 167, 168의 전류구동능력이 풀업회로 155의 트랜지스터 156, 157의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 구동회로 170이 풀형 구동회로 32로서 사용되는 경우는, 풀업회로 155의 트랜지스터 156, 157의 전류구동능력이 풀다운회로 166의 트랜지스터 167, 168의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 따라서, 구동회로 31, 32에서의 관통전류를 작게 할 수 있어, 소비전력의 감소화를 도모할 수 있다.

이 실시예 10에서는, 실시예 8과 같은 효과를 얻을 수 있는 것 외에, 소비전력의 감소화를 도모할 수 있다.

도 31은, 이 실시예 10의 변경예에 의한 푸시풀형 구동회로(175)의 구성을 나타내는 회로도이다. 도 31에서, 이 푸시풀형 구동회로 175는, 도 30의 푸시풀형 구동회로 170의 레벨시프트회로 151, 152를 각각 레벨시프트회로 176, 178로 치환한 것이다. 레벨시프트회로 176은, 레벨시프트회로 151의 정전류회로 152를 저항소자 177로 치환한 것이다. 레벨시프트회로 178은, 레벨시프트회로 161의 정전류회로 164를 저항소자 179로 치환한 것이다. 저항소자 177, 179의 저항값은, 저항소자 177, 179가 정전류회로 152, 164와 같은 정도의 전류를 흐르게 하는 값으로 설정되어 있다. 이 변경예에서도, 도 30의 푸시풀형 구동회로 170과 같은 효과를 얻을 수 있다.

이때, 푸시풀형 구동회로 170, 175 중 어느 하나에 있어서도, 정전류회로 158, 165 중 어느 한쪽, 또는 양쪽을 생략하는 것도 가능하다.

(실시예 11)

도 32는, 본 발명의 실시예 11에 의한 오프셋 보상기능의 푸시형 구동회로(180)의 구성을 나타내는 회로도이다. 도 32에서, 이 오프셋 보상기능의 푸시형 구동회로 180은, 구동회로 70, 커패시터 181 및 스위치 S11~S13을 포함한다. 구동회로 70은, 도 11에서 나타낸 것과 동일하다. 커패시터 181 및 스위치 S11~S13은, 구동회로 70의 트랜지스터의 임계치전압의 변동 등에 의해 구동회로 70의 입력전위 VI 및 출력전위 VO의 사이에 전위차 즉 오프셋전압 VOF가 생긴 경우에, 이 오프셋전압 VOF를 보상하기 위한 오프셋 보상회로를 구성한다.

즉, 스위치 S11은, 입력노드 N45와 N형 트랜지스터 43의 게이트와의 사이에 접속된다. 커패시터 181 및 스위치 S12는, N형 트랜지스터 43의 게이트와 출력노드 N45와의 사이에 직렬접속되고, 스위치 S13은, 입력노드 N45와 커패시터 181 및 스위치 S12 사이의 노드와의 사이에 접속된다. 스위치 S11~S13의 각각은, P형 트랜지스터이어도 되고, N형 트랜지스터이어도 되며, P형 트랜지스터 및 N형 트랜지스터를 병렬접속한 것이어도 된다. 스위치 S11~S13의 각각은, 제어신호(도시하지 않음)에 의해 온/오프제어된다.

이제, 구동회로 1의 출력전위 VO가 입력전위 VI보다도 오프셋전압 VOF만큼 낮은 경우에 대하여 설명한다. 도 33을 참조하여, 초기 상태에서는, 모든 스위치 S11~S13은 오프상태로 되어 있다. 어떤 시간 t1에서 스위치 S11, S12가 온상태로 되면, 출력전위 VO는 $VO=VI-VOF$ 가 되고, 커패시터 181은 오프셋전압 VOF로 충전된다.

다음에, 시간 t2에서 스위치 S11, S12가 오프상태로 되면, 오프셋전압 VOF는 커패시터 181에 유지된다. 이어서 시간 t3에서 스위치 S13이 온상태로 되면, N형 트랜지스터 43의 게이트전위 V43은 $VI+VOF$ 가 된다. 이 결과, 구동회로 70의 출력전위 VO는 $VO=VI+VOF-VOF=VI$ 가 되어, 구동회로 70의 오프셋전압 VOF는 소거된 것으로 된다.

이 실시예 11에서는, 구동회로 70의 오프셋전압 VOF를 소거할 수 있어, 출력전위 VO와 입력전위 VI를 정밀도 좋게 일치시킬 수 있다.

이때, 이 실시예 11에서는, 구동회로 70의 오프셋전압 VOF를 소거하는 경우에 대하여 설명하였지만, 같은 방법에 의해 구동회로 31, 32, 80, 81, 85, 95, 100, 105, 110, 115, 135, 140, 150, 160의 오프셋전압 VOF를 소거할 수 있는 것은 말할 필요도 없다.

또한, 오프셋전압 VOF를 보상하는 동작은, 도 34에 나타내는 바와 같이, i(단, i는 1 이상의 정수임)번째의 주사선 4의 전위 VSi를 「H」 레벨로부터 「L」 레벨로 강하하고 나서 i+1번째의 주사선 4의 전위 VSi+1을 「L」 레벨로부터 「H」 레벨로 상승하기까지의 블랭킹기간에 행하면 된다. 또는, 오프셋전압 VOF를 보상하는 동작은, 2개의 프레임의 사이의 블랭킹기간에 행하면 된다. 오프셋전압 VOF를 보상하는 동작을 블랭킹기간에 행하면, 이 동작에 의해 화상표시 주파수가 저하하지 않는다.

(실시예 12)

도 35는, 본 발명의 실시예 12에 의한 오프셋 보상기능의 푸시풀형 구동회로(185)의 구성을 나타내는 회로도이다. 도 35에서, 이 구동회로 185는, 도 22의 구동회로 120과, 커패시터 186a, 186b와, 스위치 311a~S14a, S11b~S14b를 구비한다.

스위치 S11a, S11b는, 각각 입력노드 N45와 구동회로 70, 115의 N형 트랜지스터 43, 52의 게이트와의 사이에 접속된다. 커패시터 186a 및 스위치 S12a는, 구동회로 70의 N형 트랜지스터 43의 게이트와 N형 트랜지스터 73의 소스(노드 N73)와의 사이에 직렬접속된다. 커패시터 186b 및 스위치 S12b는, 구동회로 110의 P형 트랜지스터 52의 게이트와 P형 트랜지스터 108의 소스(노드 N56)와의 사이에 직렬접속된다. 스위치 S13a는, 입력노드 N45와 커패시터 186a 및 스위치 S12a 사이의 노드와의 사이에 접속된다. 스위치 S13b는, 입력노드 N45와 커패시터 186b 및 스위치 S12b 사이의 노드와의 사이에 접속된다. 스위치 S14a, S14b는, 각각노드 N73, N56과 출력노드 N46과의 사이에 접속된다.

다음에, 이 구동회로 185의 동작에 관해서 설명한다. 초기 상태에서는, 모든 스위치 S11a~S14a, S11b~S14b는 오프상태로 되어 있다. 어떤 시간에서 스위치 S11a, S12a, S11b, S12b가 온상태로 되면, 노드 N73, N56의 전위 V73, V56이 각각 $V73=VI-VOFa$, $V56=VI-VOFb$ 가 되고, 커패시터 186a, 186b는 각각 오프셋전압 VOFa, VOFb로 충전된다.

다음에, 스위치 S11a, S12a, S11b, S12b가 오프상태로 되면, 오프셋전압 VOFa, VOFb가 각각 커패시터 186a, 186b에 유지된다. 이어서 스위치 S13a, S13b가 온상태로 되면, 구동회로 70, 110의 N형 트랜지스터 43, 52의 게이트전위가 각각

VI+VOFa, VI+VOFb가 된다. 이 결과, 구동회로70, 110의 출력전위 V73, V56이 각각 $V73=VI+VOFa-VOFa=VI$, $V56=VI+VOFb-VOFb=VI$ 가 되고, 구동회로 70, 110의 오프셋전압 VOFa, VOFb는 소거된 것으로 된다. 마지막으로 스위치 S14a, S14b가 온상태로 되어, $VO=VI$ 가 된다.

이 구동회로 185는, 도 4 및 도 5의 푸시형 구동회로(31) 또는 풀형 구동회로(32)로서 사용된다. 구동회로 185가 푸시형 구동회로 31로서 사용되는 경우는, 방전용의 P형 트랜지스터 108의 전류구동능력은 충전용의 N형 트랜지스터 73의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 구동회로 185가 풀형 구동회로 32로서 사용되는 경우는, 충전용의 N형 트랜지스터 73의 전류구동능력은 방전용의 P형 트랜지스터 108의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 따라서, 구동회로 31, 32에서의 관통전류를 작게 할 수 있어, 소비전력의 감소화를 도모할 수 있다.

이 실시예 12에서는, 오프셋전압이 없고, 또한 소비전력이 작은 구동회로 185를 얻을 수 있다.

(실시예 13)

도 36은, 본 발명의 실시예 13에 의한 오프셋 보상기능의 구동회로(190)의 구성을 나타내는 회로블록도이다. 도 36에서, 이 오프셋 보상기능의 구동회로 190은, 도 30의 구동회로 170에 커패시터 191a, 191b 및 스위치 S11a~S14a, S11b~S14b를 추가한 것이다.

스위치 S11a, S11b는, 각각 입력노드 N190과 트랜지스터 154, 162의 게이트(노드 N171a, N171b)와의 사이에 접속된다. 스위치 S14a, S14b는, 각각 출력노드 N191과 트랜지스터 157, 167의 드레인(노드 N172a, N172b)과의 사이에 접속된다. 커패시터 191a 및 스위치 S12a는, 노드 N171a와 N172a의 사이에 직렬접속된다. 커패시터 191b 및 스위치 S12b는, 노드 N171b와 N172b의 사이에 직렬접속된다. 스위치 S13a는, 입력노드 N190과 커패시터 191a 및 스위치 S12a 사이의 노드 N191a와의 사이에 접속된다. 스위치 S13b는, 입력노드 N190과 커패시터 191b 및 스위치 S12b 사이의 노드 N191b와의 사이에 접속된다.

다음에, 이 구동회로 190의 동작에 대하여 설명한다. 초기 상태에서는, 모든 스위치 S11a~S14a, S11b~S14b는 오프상태로 되어 있다. 어떤 시간에서 스위치 S11a, S12a, S11b, S12b가 온상태로 되면, 노드 N172a, N172b의 전위 V172a, V172b가 각각 $V172a=VI-VOFa$, $V172b=VI-VOFb$ 가 되고, 커패시터 191a, 191b는 각각 오프셋전압 VOFa, VOFb로 충전된다.

다음에, 스위치 S11a, S12a, S11b, S12b가 오프상태로 되면, 오프셋전압 VOFa, VOFb가 각각 커패시터 191a, 191b로 유지된다. 이어서 스위치 S13a, S13b가 온상태로 되면, 트랜지스터 154, 162의 게이트전위가 각각 VI+VOFa, VI+VOFb가 된다. 이 결과, 노드 N172a, N172b의 전위 V172a, V172b가 각각 $V172a=VI+VOFa-VOFa=VI$, $V172b=VI+VOFb-VOFb=VI$ 가 되고, 구동회로 170의 오프셋전압 VOFa, VOFb는 소거된 것으로 된다. 마지막으로 스위치 S14a, S14b가 온상태로 되어, $VO=VI$ 가 된다.

이 구동회로 190은, 도 4 및 도 5의 푸시형 구동회로(31) 또는 풀형 구동회로(32)로서 사용된다. 구동회로 190이 푸시형 구동회로(31)로서 사용되는 경우는, 트랜지스터 167, 168의 전류구동능력이 트랜지스터 156, 157의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 구동회로 190이 풀형 구동회로 32로서 사용되는 경우는, 트랜지스터 156, 157의 전류구동능력이 트랜지스터 167, 168의 전류구동능력에 비해 충분히 작은 레벨로 설정된다. 따라서, 구동회로 31, 32에서의 관통전류를 작게 할 수 있어, 소비전력의 감소화를 도모할 수 있다.

이 실시예 13에서는, 오프셋전압이 없고, 또한 소비전력이 작은 구동회로(190)를 얻을 수 있다.

이번 개시된 실시예는 모든 점에서 예시로서 제한적인 것은 아니라 생각되어야 할 것이다. 본 발명의 범위는 상기 한 설명이 아니며 특허청구의 범위에 의해 표시되고, 특허청구의 범위와 균등의 의미 및 범위 내에서의 모든 변경이 포함되는 것이 의도된다.

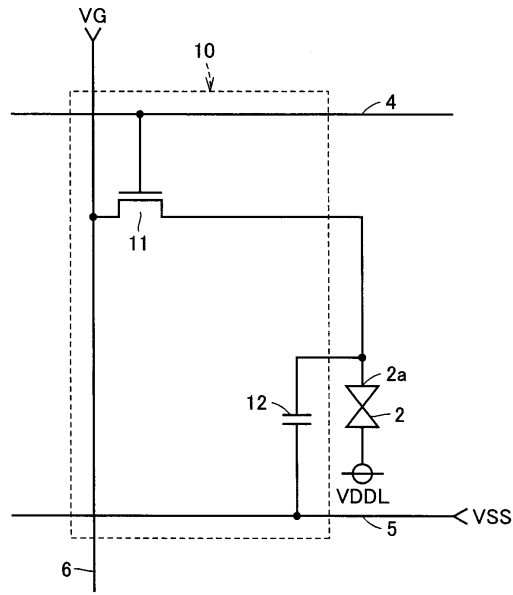
도면의 간단한 설명

도 1은, 본 발명의 실시예 1에 의한 컬러액정 표시장치의 전체구성을 나타내는 블록도이다.

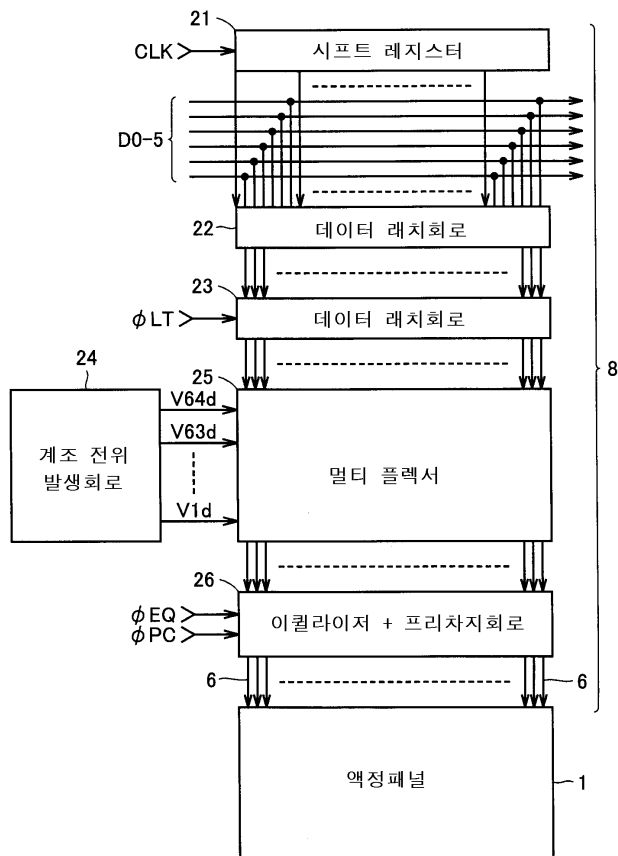
도 2는, 도 1에 나타난 액정셀에 대응하여 설치되는 액정구동회로의 구성을 나타내는 회로도이다.

- 도 3은, 도 1에 나타난 수평주사회로의 구성을 나타내는 블록도이다.
- 도 4는, 도 3에 나타난 계조전위 발생회로의 구성을 나타내는 회로도이다.
- 도 5는, 도 4에 나타난 푸시형 구동회로의 구성을 나타내는 회로도이다.
- 도 6은, 도 4에 나타난 풀형 구동회로의 구성을 나타내는 회로도이다.
- 도 7은, 도 3에 나타난 이퀄라이저+ 프리차지회로의 구성을 나타내는 회로도이다.
- 도 8은, 도 1~도 7에 나타난 컬러액정 표시장치의 동작을 나타내는 회로도이다.
- 도 9는, 실시예 1의 변경예를 나타내는 회로도이다.
- 도 10은, 실시예 1의 다른 변경예를 나타내는 회로도이다.
- 도 11은, 본 발명의 실시예 2에 의한 푸시형 구동회로의 구성을 나타내는 회로도이다.
- 도 12a~12c의 각각은, 도 11에 나타난 정전류회로의 구성을 예시하는 회로도이다.
- 도 13은, 실시예 2의 변경예를 나타내는 회로도이다.
- 도 14는, 실시예 2의 다른 변경예를 나타내는 회로도이다.
- 도 15는, 본 발명의 실시예 3에 의한 푸시형 구동회로의 구성을 나타내는 회로도이다.
- 도 16a~16c의 각각은, 도 15에 나타난 정전류회로의 구성을 예시하는 회로도이다.
- 도 17은, 실시예 3의 변경예를 나타내는 회로도이다.
- 도 18은, 실시예 3의 다른 변경예를 나타내는 회로도이다.
- 도 19는, 본 발명의 실시예 4에 의한 풀형 구동회로의 구성을 나타내는 회로도이다.
- 도 20은, 실시예 4의 변경예를 나타내는 회로도이다.
- 도 21은, 실시예 4의 다른 변경예를 나타내는 회로도이다.
- 도 22는, 본 발명의 실시예 5에 의한 푸시풀형 구동회로의 구성을 나타내는 회로도이다.
- 도 23은, 실시예 5의 변경예를 나타내는 회로도이다.
- 도 24는, 실시예 5의 다른 변경예를 나타내는 회로도이다.
- 도 25는, 실시예 5의 또 다른 변경예를 나타내는 회로도이다.
- 도 26은, 본 발명의 실시예 6에 의한 푸시풀형 구동회로의 구성을 나타내는 회로도이다.
- 도 27은, 본 발명의 실시예 7에 의한 푸시풀형 구동회로의 구성을 나타내는 회로도이다.
- 도 28은, 본 발명의 실시예 8에 의한 푸시형 구동회로의 구성을 나타내는 회로도이다.
- 도 29는, 본 발명의 실시예 9에 의한 풀형 구동회로의 구성을 나타내는 회로도이다.

도면2

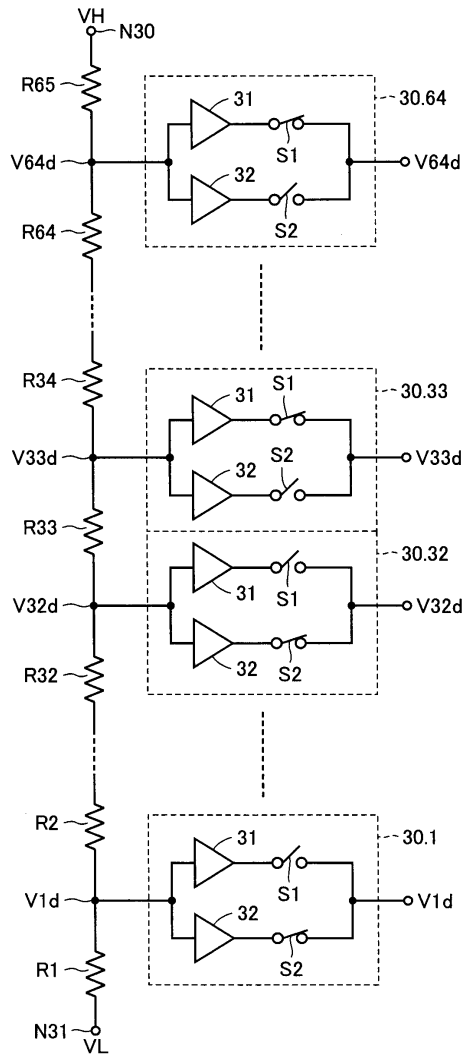


도면3



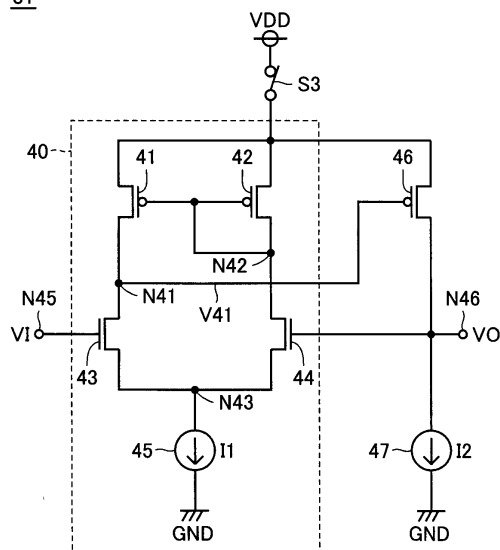
도면4

24

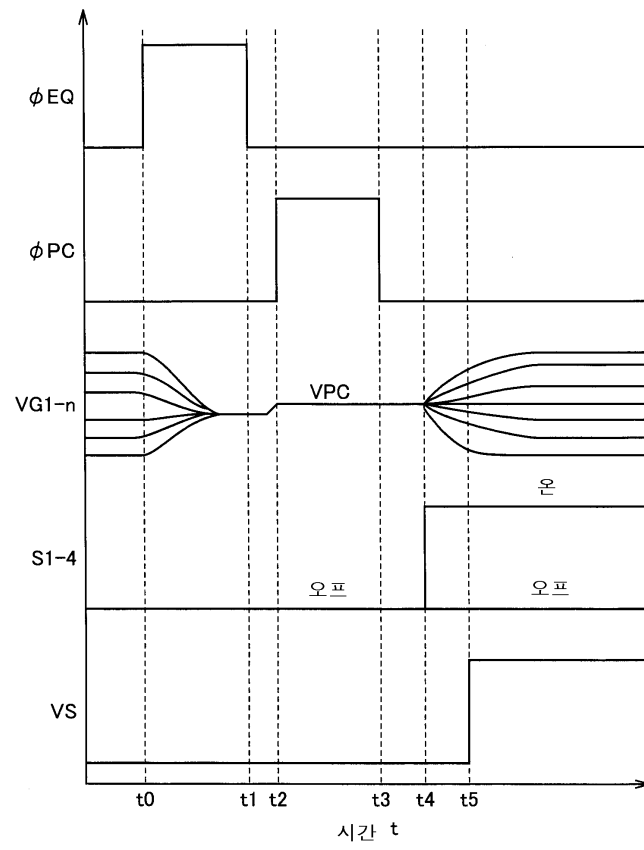


도면5

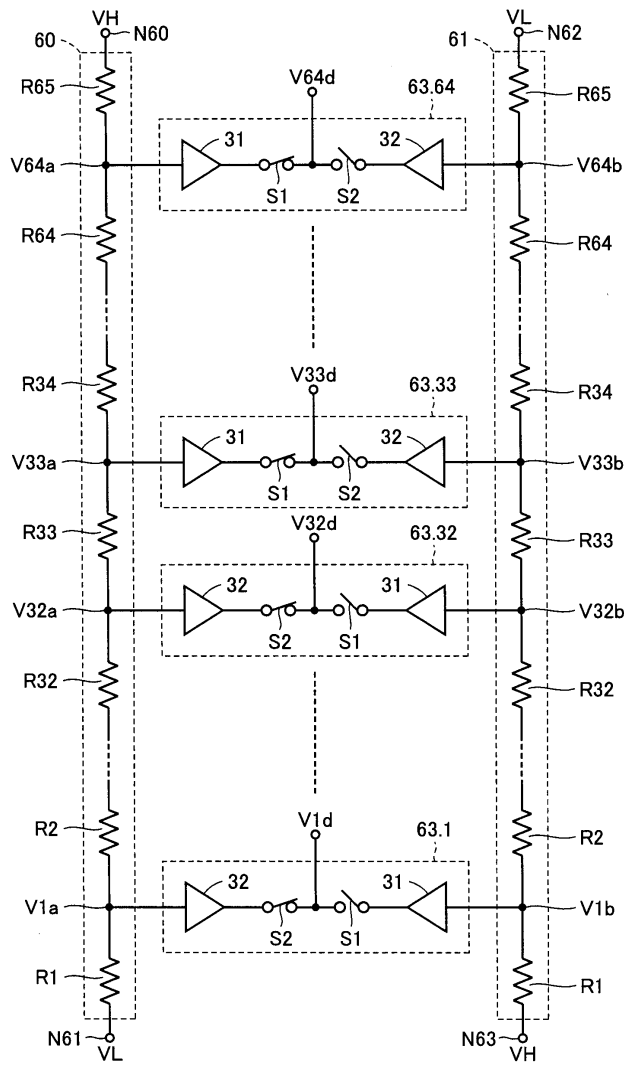
31



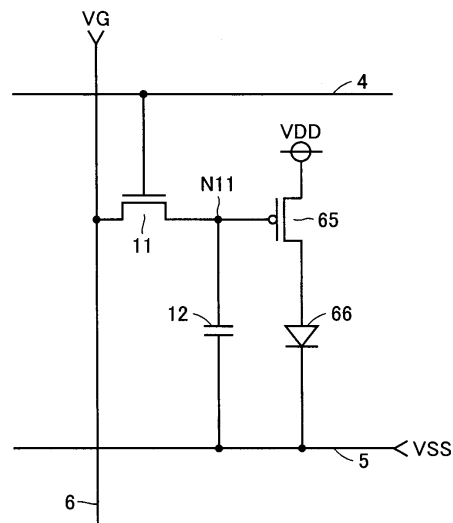
도면8



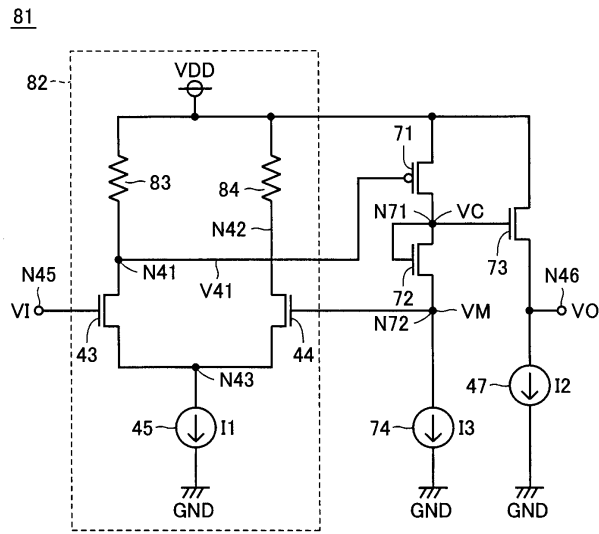
도면9



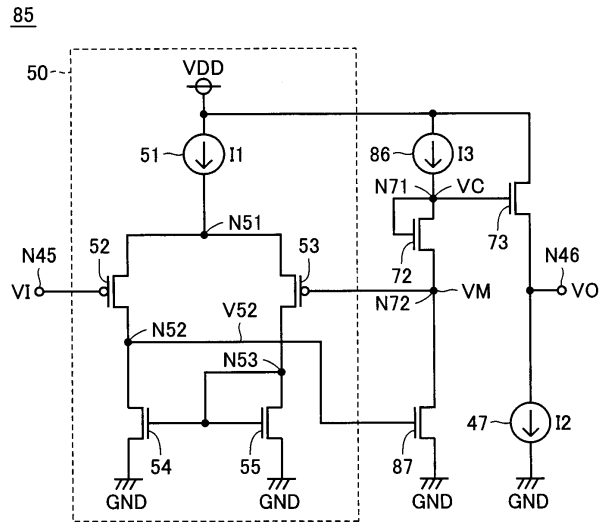
도면10



도면14



도면15

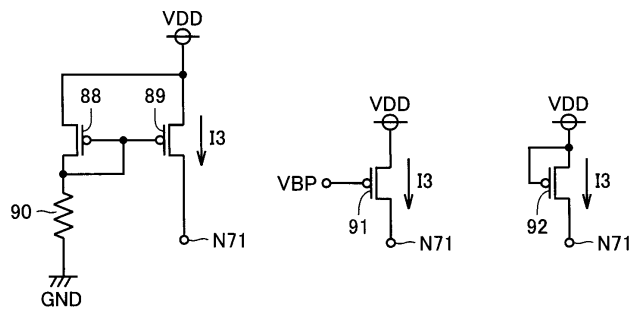


도면16

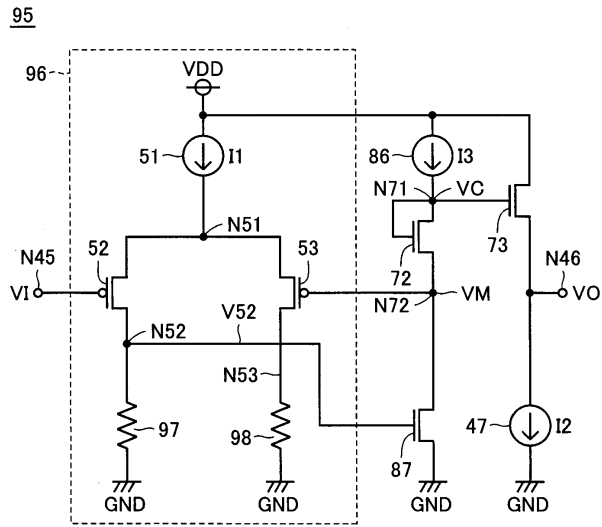
(a)

(b)

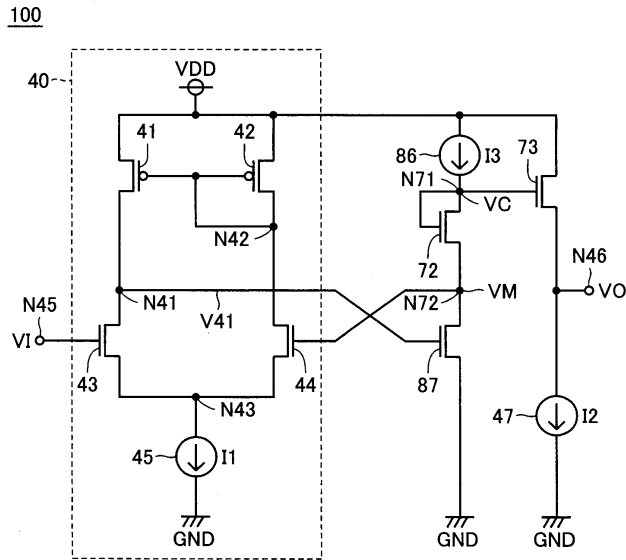
(c)



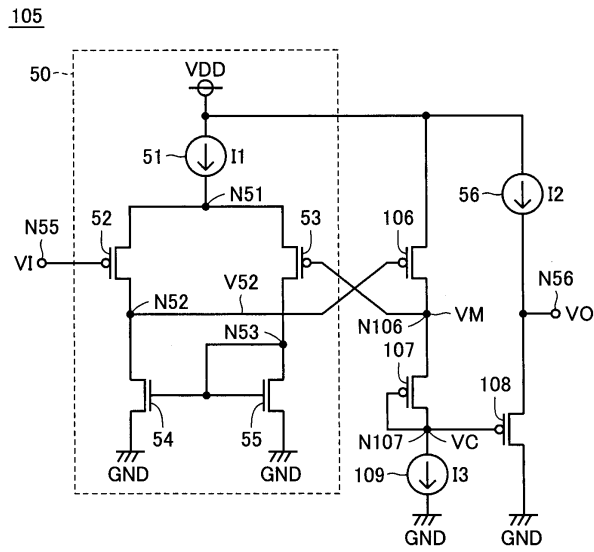
도면17



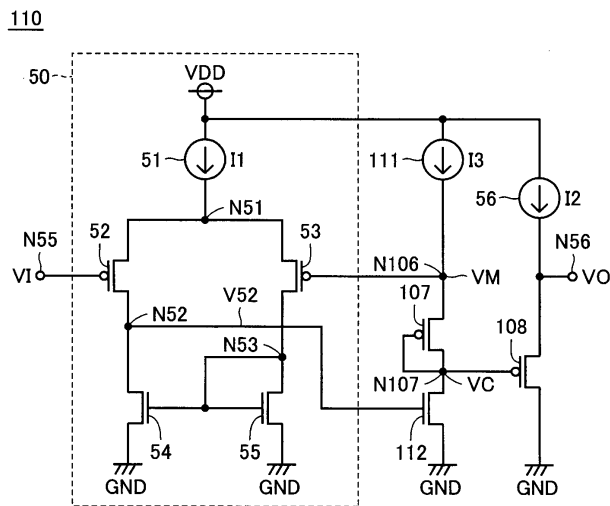
도면18



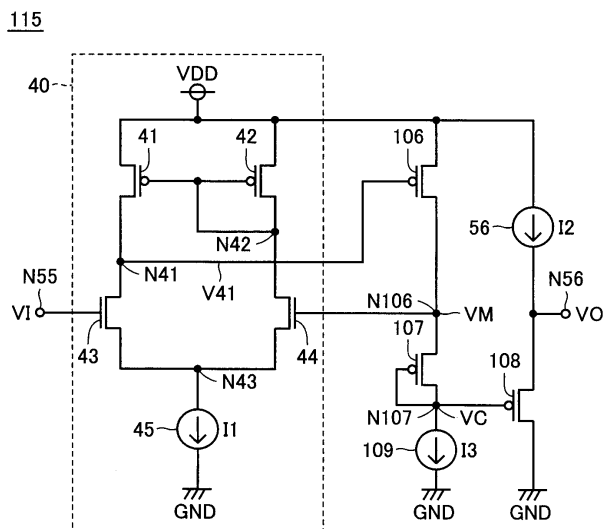
도면19



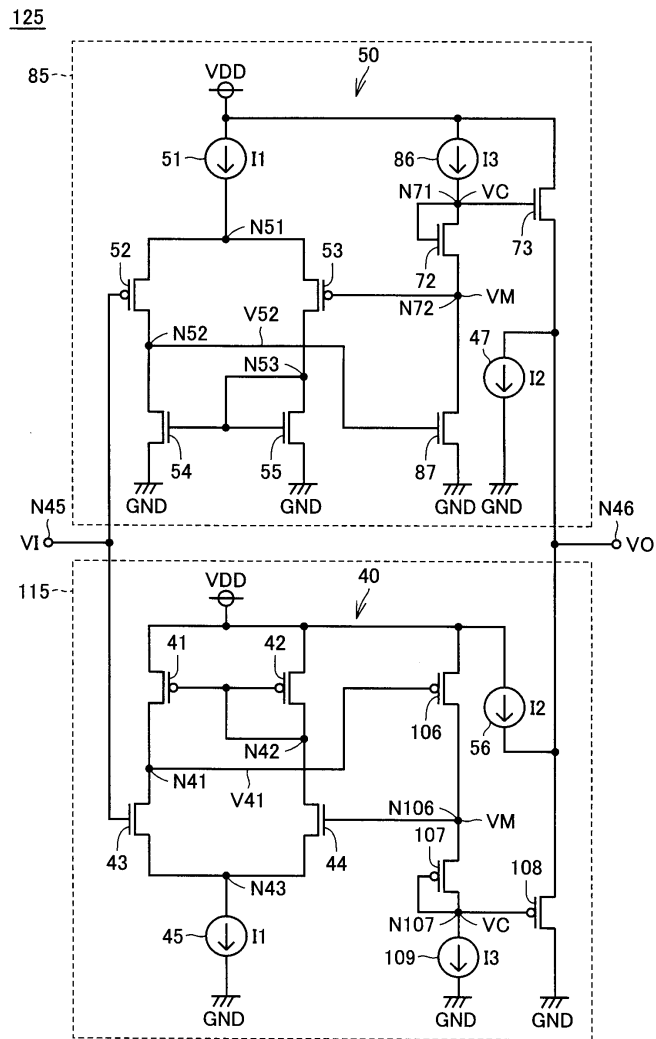
도면20



도면21

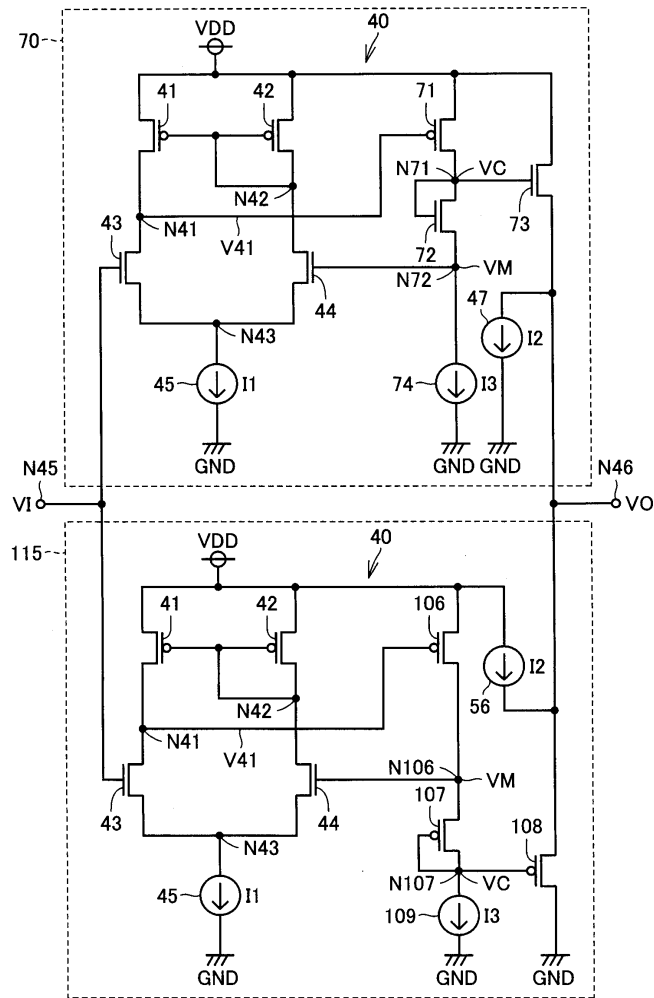


도면23



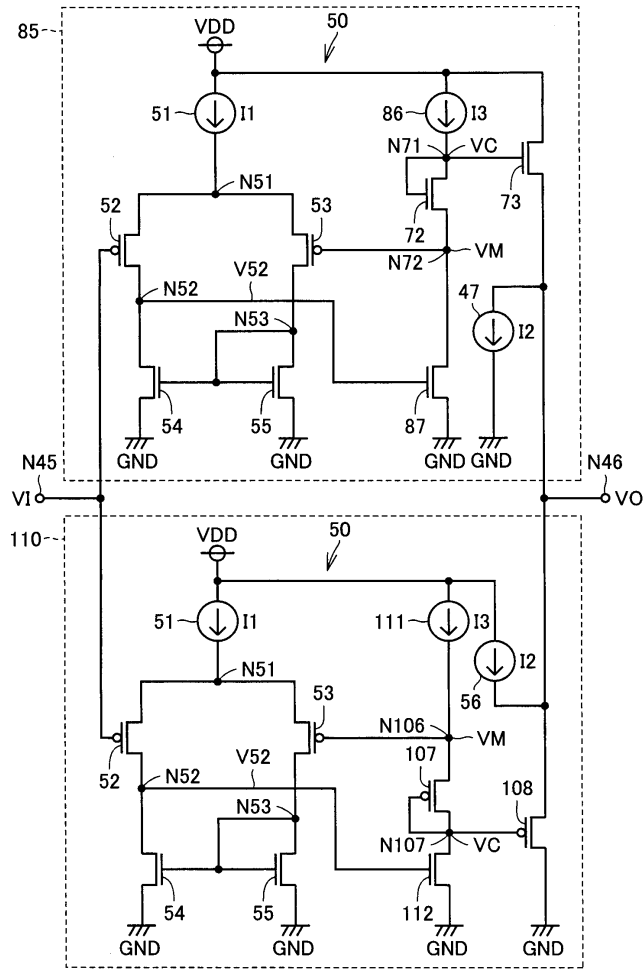
도면24

130



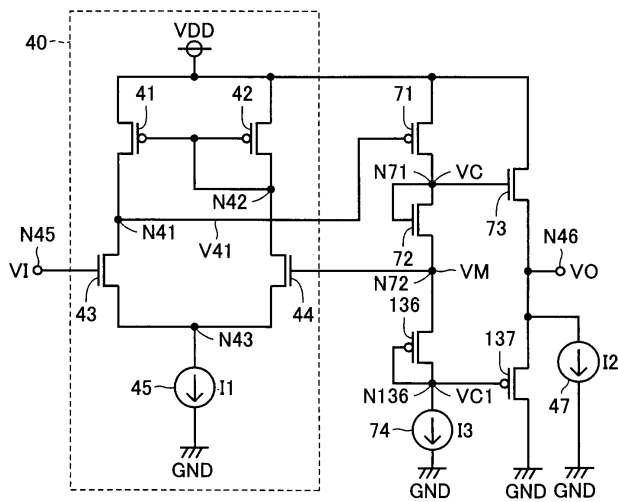
도면25

131



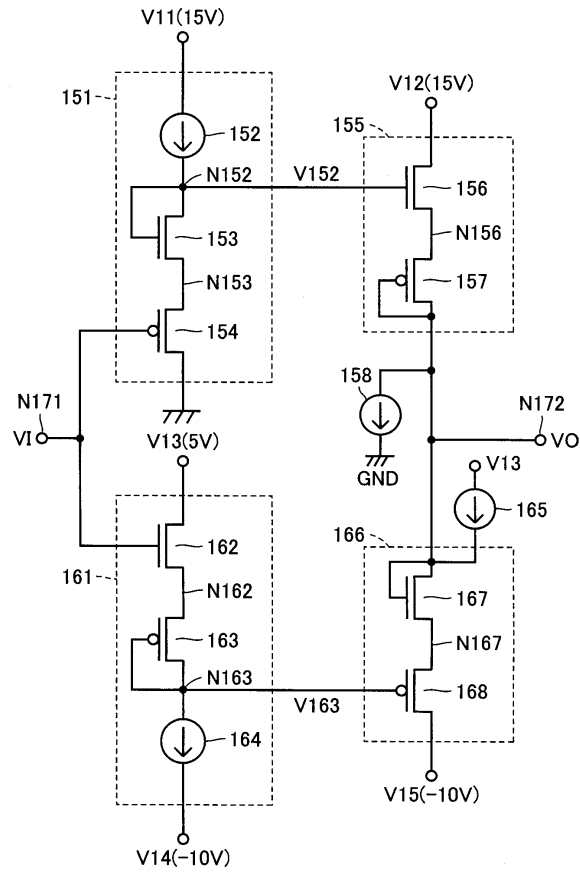
도면26

135

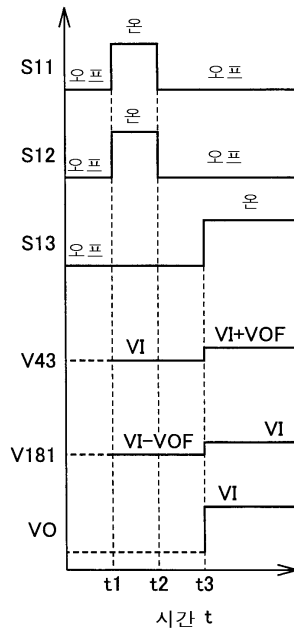


도면30

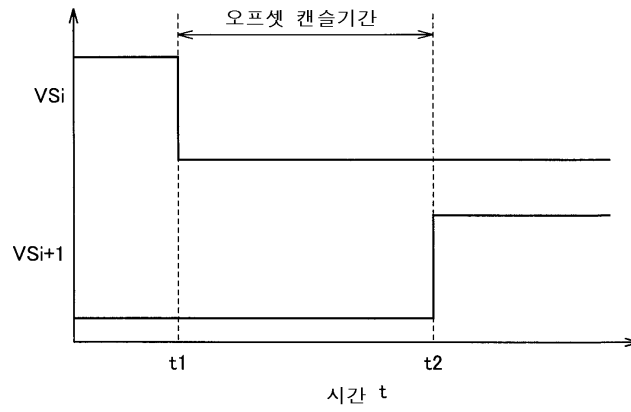
170



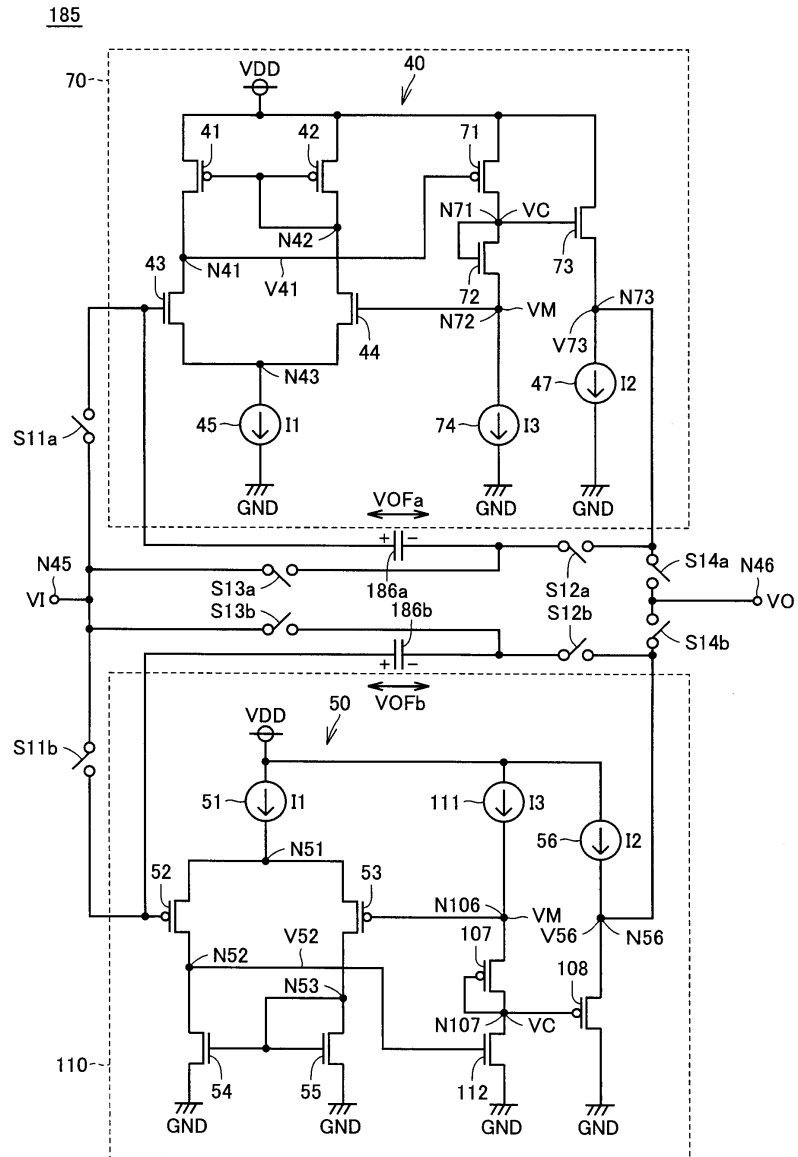
도면33



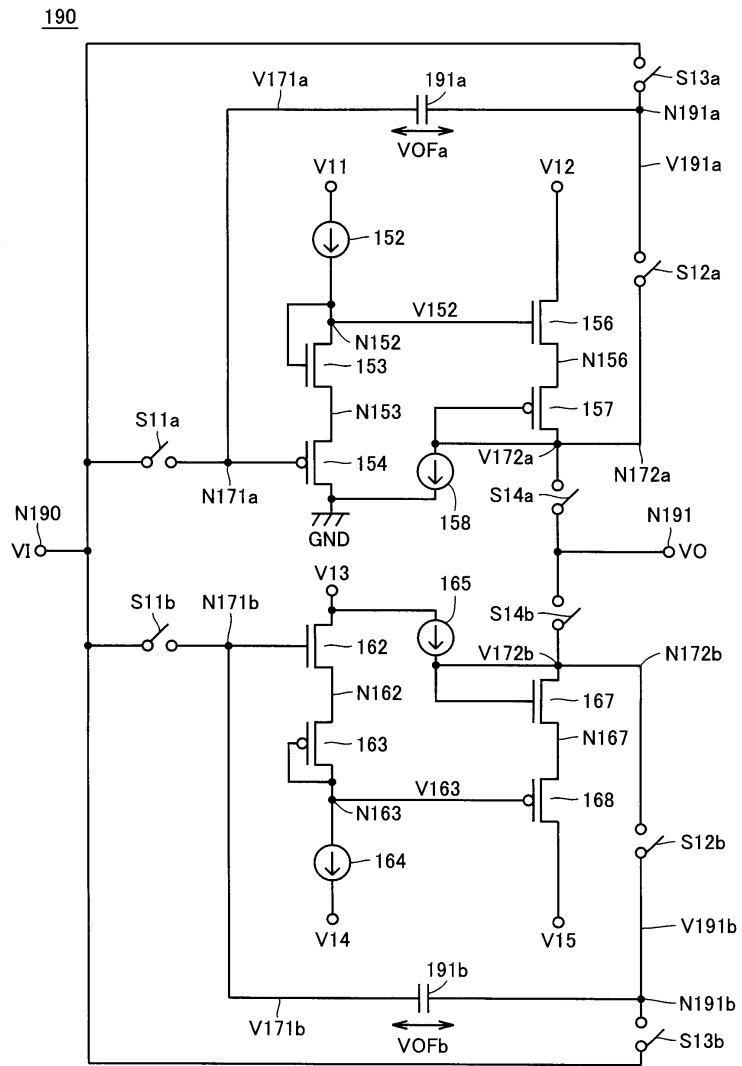
도면34



도면35

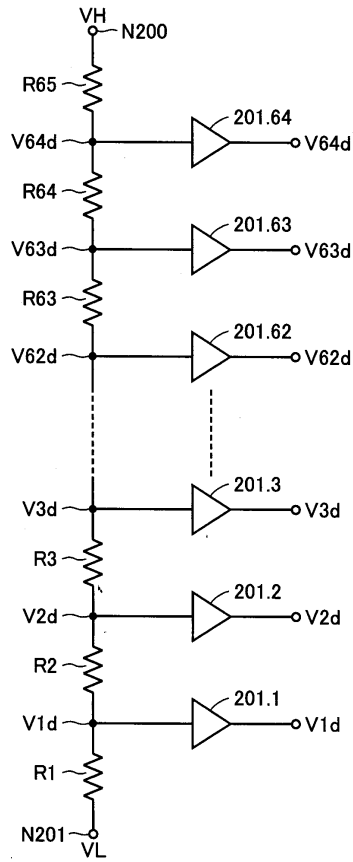


도면36



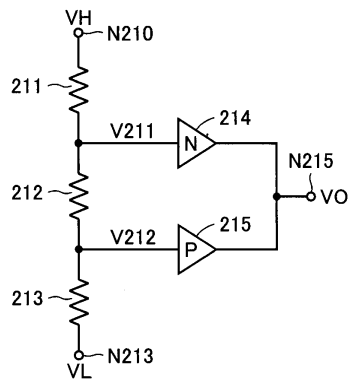
도면37

200



도면38

210



专利名称(译)	图像显示装置		
公开(公告)号	KR100698951B1	公开(公告)日	2007-03-23
申请号	KR1020047008162	申请日	2002-11-20
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机有限公司		
当前申请(专利权)人(译)	三菱电机有限公司		
[标]发明人	TOBITA YOUICHI		
发明人	TOBITA, YOUICHI		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3291 G09G3/3688 G09G2330/021 G09G3/3233 G09G2330/028 G09G3/20 G09G3/3696 G09G2310/0297 G09G2310/0248		
代理人(译)	权泰BOK LEE HWA我		
其他公开文献	KR1020040071691A		
外部链接	Espacenet		

摘要(译)

彩色液晶显示装置中的灰度电位产生电路包括65个串联连接的电阻元件，并将施加在第一和第二节点之间的电压分压以产生64个灰度电位；第一电流放大器电路，对应于每个灰度电位高于数据线的预充电电位，并具有高于放电能力的充电能力；第二电流放大器电路对应于低于预充电电位的每个灰度电位，并具有高于充电能力的放电能力。

