

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
G02F 1/1343

(45) 공고일자 2005년09월02일
(11) 등록번호 10-0511817
(24) 등록일자 2005년08월25일

(21) 출원번호 10-2003-0002415
(22) 출원일자 2003년01월14일

(65) 공개번호 10-2003-0061683
(43) 공개일자 2003년07월22일

(30) 우선권주장 JP-P-2002-00006101 2002년01월15일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자 오노기꾸오
일본지바켄모바라시하야노3300반지가부시킴가이샤히타치세이사쿠쇼
디스플레이그룹내

오께류따로
일본지바켄모바라시하야노3300반지가부시킴가이샤히타치세이사쿠쇼
디스플레이그룹내

오찌아이다까히로
일본지바켄모바라시하야노3300반지가부시킴가이샤히타치세이사쿠쇼
디스플레이그룹내

(74) 대리인 주성민
구영창

심사관 : 박진우

(54) 액정 표시 장치

요약

액티브 매트릭스형 액정 표시 장치에서, 제1 기판에 형성된 박막 트랜지스터의 반도체층과, 상기 반도체층 위에 형성된 제1 절연막과, 제1 절연막 위에 형성된 제2 절연막과, 제2 절연막 위에 형성된 공통 배선을 형성하고, 상기 제2 절연막은 상기 반도체층 형성 영역에 포지셔닝된 제거 영역을 형성하며, 해당 제거 영역에서 상기 공통 배선으로부터 공급되는 공통 전위와, 상기 반도체층으로 형성되는 화소 전위에 의해 유지 용량을 형성한다.

대표도

도 1

색인어

반도체층 형성 영역, 제거 영역, 공통 배선, 화소 전위

명세서

도면의 간단한 설명

- 도 1은 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 화소의 주요부 평면도.
- 도 2는 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 2-2'선을 따른 화소의 주요부 단면도.
- 도 3은 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 3-3'선을 따른 화소의 주요부 단면도.
- 도 4는 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 4-4'선을 따른 화소의 주요부 단면도.
- 도 5는 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 TFT 기관의 제1 포토 공정 후까지의 제조 방법을 설명하기 위한 단면도.
- 도 6은 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 TFT 기관의 제2 포토 공정 후까지의 제조 방법을 설명하기 위한 단면도.
- 도 7은 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 TFT 기관의 제3 포토 공정 후까지의 제조 방법을 설명하기 위한 단면도.
- 도 8은 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 TFT 기관의 제4 포토 공정 후까지의 제조 방법을 설명하기 위한 단면도.
- 도 9는 본 발명의 일 실시예에 따른 TFT 액정 표시 장치의 TFT 기관의 제5 포토 공정 후까지의 제조 방법을 설명하기 위한 단면도.
- 도 10은 TFT 유리 기관과 CF 유리 기관을 붙여 정합한 LCD 셀의 전체 평면도.
- 도 11은 LCD 셀에 PCB 기관과 TAB를 접속한 전체 평면도.
- 도 12는 LCD 셀의 TAB와 드레인층 인출 단자부 부근의 단면도.
- 도 13은 TFT-LCD의 개략의 등가 회로를 도시한 평면도.
- 도 14는 TFT-LCD의 화소의 구동 파형을 도시한 타이밍차트.
- 도 15는 본 발명의 모듈 구성의 일례를 도시한 설명도.
- 도 16은 본 발명의 일 실시예에 따른 편광판과 초기 배향 방향의 관계를 설명하는 도면.
- 도 17은 본 발명의 다른 실시예에 따른 TFT 액정 표시 장치의 화소의 평면도.
- 도 18은 본 발명의 다른 실시예에서의 인접하는 드레인선 사이를 가로지르는, 도 17의 18-18'에 따른 주요부 단면도.
- 도 19는 본 발명의 다른 실시예에서의 인접하는 드레인선 사이를 가로지르는, 도 17의 18-18'에 따른 주요부 단면도.
- 도 20은 본 발명의 다른 실시예에 따른 TFT 액정 표시 장치의 화소의 평면도.
- 도 21은 본 발명의 다른 실시예에서의 도 20의 21-21'에 따른 주요부 단면도.

<도면의 주요 부분에 대한 부호의 설명>

CJ : 커넥터부

CLT : 투명 공통 전극 배선

CPAD : 검사 패드

CNT1 : 드레인 배선과 Si 아일랜드를 연결하는 콘택트홀

CNT2 : 금속 전극과 Si 아일랜드를 연결하는 콘택트홀

CNT3 : 금속 전극과 투명 화소 전극을 연결하는 콘택트홀

CNT4 : 유지 용량 전극과 투명 공통 전극 배선을 연결하는 콘택트홀

CNT5 : Si에 개공된 콘택트홀

CNT6 : Si와 투명 화소 전극을 접속하는 콘택트홀

CNT7 : 유기 절연막에 개방된 유지 용량용 콘택트홀

Cstg : 유지 용량

DDC : 유리 기판 위의 드레인 분할 회로

DL : 드레인 배선

EPX : 에폭시 수지

CF : 컬러 필터층

FIL : 컬러 필터층

FPAS : 유기 보호막

SPT : 투명 화소 전극

STM : 유지 용량 전극

LCB : 도광판

RM : 반사판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 박막 트랜지스터(TFT) 방식 등의 액티브 매트릭스형 액정 표시 장치 및 그 제조 방법에 관한 것이다.

액정 표시 장치는 박형, 경량, 저소비 전력이라는 특징을 살려, 퍼스널 컴퓨터로 대표되는 정보 기기나 휴대형의 정보 단말기나 휴대 전화, 디지털 카메라나 카메라 일체형 VTR 기기 등의 비주얼 기기의 화상 정보, 문자 정보의 표시 기기로서 널리 이용되고 있다. 최근, DVD의 등장, 대용량 자기 드라이브의 급속한 진화에 따른 대용량 미디어의 보급이나 BS 디지털 방송의 개시에 따라, 퍼스널 컴퓨터와 영상 디지털 미디어의 융합이 진행되고 있으며, 이러한 용도에 대응할 수 있는 고 화질의 화상 표시 장치에의 요구가 강해지고 있다. 액정의 상하 기관 사이의 액정 간극(갭)에 횡전계를 인가하는 인플레인 스위칭(IPS) 모드의 액정 디스플레이는, 이러한 높은 화질에 대한 요구를 충족시킬 수 있는 표시 방식인 것이 인정되고 있으며, 그 화질의 또 다른 개선을 위해 다양한 개량이 이루어져 왔다.

한편, 휴대 전화, 휴대 정보 단말기의 보급에 수반하여, 소비 전력이 매우 작은 중소형 액정 표시 장치에 대한 요구로부터, 벽걸이 텔레비전을 비롯한 대형 디스플레이까지의 다양한 요구가 강해지고 있다.

IPS 모드의 액정 표시 장치에서는, 일본 특개평7-36058호에 개시되어 있는 바와 같은, 절연막을 사이에 둔 2층의 금속 전극 사이에 발생하는 횡전계에 의해 액정을 스위칭하는 방식이 가장 일반적이지만, 이러한 구조의 결점으로서 통상의 TN 방식의 표시 장치와 비교하여, 화소 개구율을 크게 하는 것이 곤란하여, 광 이용 효율이 낮다는 결점이 있다. 이것을 보완하기 위해, 백 라이트 휘도를 증대시켜야하므로, LCD 모듈 전체적으로 노트북 타입의 퍼스널 컴퓨터나 휴대 단말기에 요구되는 저소비 전력화는 곤란하였다.

이러한 문제를 해결하기 위해, 일본 특개평9-230378호에서는, 유기계의 수지상에 화소 전극 및 공통 전극을 상기 수지에 개구한 관통 홀을 통하여 배치시키는 방식이 제안되고 있다.

또한 스위칭시키기 위한 능동 소자로서, 비정질 실리콘을 이용한 TFT 외에, 폴리실리콘을 이용한 TFT가 알려져 있다.

발명이 이루고자 하는 기술적 과제

IPS형 액정 표시 장치에서는 개구율이 낮아, 고개구율화 즉 고투과율화가 필요하다는 과제가 있다. 본원은 그것을 해결하기 위한 것으로, 그 목적의 몇개를 상세히 기재하면, 제1 목적은 저온 폴리실리콘 TFT를 화소 TFT에 이용한 IPS 방식의 액정 표시 장치로서, 종래 게이트 배선과 평행하게 1 화소 영역에 배치되어 있던 금속의 공통 전극 배선을 삭제하고, 개구율(투과율)을 향상시킨 경우에 있어서, 백 라이트로부터의 광이 폴리실리콘에 조사된 경우의 액정 전위의 저하를 방지하는 유지 용량을 확보하는 것에 있다. 또한 제2 목적은, 유지 용량을 구성하는 전극과 드레인 배선간의 쇼트에 따른 결함을 방지하는 것에 있다. 본원의 다른 목적 및 해결하는 과제는, 본원 명세서에서 분명해질 것이다.

발명의 구성 및 작용

본 발명에 따른 과제를 해결하기 위한 수단의 주된 예를 들면, 이하와 같다.

(수단1)

제1 기관과 제2 기관 사이에 끼워진 액정층과 컬러 필터층을 갖고,

상기 제1 기관 위에는 복수의 게이트 배선과, 상기 복수의 게이트 배선과 매트릭스 형상으로 교차하는 복수의 드레인 배선과, 상기 게이트 배선과 드레인 배선의 각각의 교점에 대응하여 형성된 박막 트랜지스터를 갖고, 인접하는 게이트 배선과 드레인 배선으로 둘러싸인 영역에서 화소가 구성된 액정 표시 장치로서,

상기 제1 기관은 상기 박막 트랜지스터의 반도체층과, 상기 반도체층 위에 형성된 제1 절연막과, 제1 절연막 위에 형성된 제2 절연막과, 제2 절연막 위에 형성된 공통 배선을 갖고,

상기 제2 절연막은 상기 반도체층 형성 영역에 포지셔닝된 제거 영역을 갖고, 해당 제거 영역에서 상기 공통 배선으로부터 공급되는 공통 전위와, 상기 반도체층으로 형성되는 화소 전위에 의해 형성되는 유지 용량을 갖는 구성으로 한다.

(수단2)

제1 기관과 제2 기관 사이에 끼워진 액정층과 컬러 필터층을 갖고,

상기 제1 기관 위에는 복수의 게이트 배선과, 상기 복수의 게이트 배선과 매트릭스 형상으로 교차하는 복수의 드레인 배선과, 상기 게이트 배선과 드레인 배선의 각각의 교점에 대응하여 형성된 박막 트랜지스터를 갖고, 인접하는 게이트 배선과 드레인 배선으로 둘러싸인 영역에서 화소가 구성된 액정 표시 장치로서,

상기 제1 기관 위에 동층에서 형성된 공통 전극과 화소 전극을 갖고, 해당 공통 전극과 화소 전극이 상기 게이트 배선 위에서 절연막을 개재하여 서로 이격되고 또한 대향하여 배치되는 구성으로 한다.

(수단3)

제1 기관과 제2 기관 사이에 끼워진 액정층과 컬러 필터층을 갖고,

상기 제1 기관 위에는 복수의 게이트 배선과, 상기 복수의 게이트 배선과 매트릭스 형상으로 교차하는 복수의 드레인 배선과, 상기 게이트 배선과 드레인 배선의 각각의 교점에 대응하여 형성된 박막 트랜지스터를 갖고, 인접하는 게이트 배선과 드레인 배선으로 둘러싸인 영역에서 화소가 구성되고, 각각의 화소는 상기 제1 기관 위에 형성된 공통 전극과 화소 전극을 갖는 횡전계형 액정 표시 장치로서,

상기 박막 트랜지스터의 소스 전극은 상기 공통 전극 혹은 공통 전극 배선을 걸치지 않고 해당 박막 트랜지스터가 형성된 게이트 배선과는 다른 인접하는 게이트 배선 위까지 연장되며, 한쪽 전극을 전단의 게이트 배선, 다른 쪽의 전극을 소스 전극으로 하여 유지 용량을 구성한다.

본 발명의 또 다른 수단은, 이하의 발명의 실시 형태로부터 분명해질 것이다.

본 발명의 특징을 나타내는 대표적인 구조를, 이하 실시예에 의해 설명한다.

(실시예1)

도 1~도 5는 본 발명의 일 실시예의 액정 표시 장치에 따른 화소의 평면 및 단면도이다. 도 2, 도 3, 도 4는 각각 도 1에서의 2-2', 3-3', 4-4'로서 일점쇄선으로 된 부분을 절단하여 도시한 단면도이다. 도면에서는 절단부를 알기 쉽게 하기 위해, ○안의 숫자는 절단부를 나타내고 있다. 또한 도면은 설명용으로 주요부를 기재한 것으로, 배향막은 도면에서 생략하는 경우도 있다. 또한 대향 기관측 구성도 생략하는 경우도 있다. 이하, 순서대로 도시한다.

도 1은 화소의 모식 평면 패턴을 도시한다. 인접하는 게이트 배선 GL, 인접하는 드레인 배선 DL에 둘러싸여 1 화소를 구성한다. 게이트 배선 GL은 반도체층이 폴리실리콘 PSI로 구성된 TFT의 게이트 전극으로서도 작용하여, TFT를 온/오프시키는 전압을 공급한다. 드레인선은 폴리실리콘 PSI에의 전류를 공급하는데, 즉 상기 게이트 전압 GL이 온 전압을 공급한 타이밍에서 인가된 영상 전압(드레인 전압)을 1 화소의 액정 용량, 유지 용량에 급전하여, 결과적으로 화소의 중앙부까지 인출된 저온 폴리실리콘 PSI, 패드 전극 PAD 및 이것에 연결된 투명 화소 전극 SPT의 전위가 영상 전위로 된다.

상기 전류의 흐름은 드레인 배선 DL로부터 제1 컨택트홀 CNT1을 통하여 폴리실리콘 PSI에 연결되며, 이 폴리실리콘 내의 전류는, 화소 중앙부의 제2 컨택트홀 CNT2를 통하여, 패드 전극 PAD에 흐른다. 또한 패드 전극 PAD로부터 제3 컨택트홀 CNT3을 통하여, 절연막 위의 투명 화소 전극 SPT에 이른다. 투명 화소 전극 SPT는 일레로서 H형 배치로 되어 있다.

화소 전극과 함께 액정 용량 혹은 유지 용량을 구성하는 다른 한쪽 전극의 공통 전극 전위는 이하의 경로로 인가된다. 게이트 배선 GL 및 드레인 배선 DL 위를 저유전율의 절연막을 개재하여 그 상부에 상기 배선을 실드하도록 투명 공통 전극 배선 CLT를 배치한다. 투명 공통 전극 배선 CLT는 화소내에 분기하여, 화소 전극 SPT와 함께 액정을 구동하는 공통 전극의 역할을 한다. 이와 같이, 투명 공통 전극 배선 CLT는, 게이트 배선 GL, 드레인 배선 DL을 피복하도록, 메쉬 형상으로 배치되고, 화면 주변 영역에서 금속의 저저항의 배선과 접속 결선되어 있다. 이 저저항 배선은 공통 전위의 버스 라인으로서 기능하는 것이다.

IPS 액정 표시 장치에서는 도 1의 투명 공통 전극 CLT와 투명 화소 전극 SPT 사이의 횡전계로 규정되는 값이 액정 용량이기 때문에, 그 값은 대향하는 상하 기관 사이 각각에 배치된 전극 사이에서 액정 용량을 규정하는 TN 방식 등의 종전계 방식의 액정 표시 장치와 비교하여 절반 이하이다. 이 때문에, 한쪽 기관에 공통 전극과 화소 전극의 쌍방을 갖는 횡전계

방식에 대해서만, 투명 공통 전극 배선 CLT의 배선 저항 사양은, 인듐 주석 산화물(ITO)과 같은 저항값이 높은 투명 전극 재료를 이용해도 배선 지연을 작게 할 수 있어, 양질의 화질이 선택된다. 물론, 투명 전극 재료이면 인듐 아연 산화물(IZO), 인듐 주석 아연 산화물(ITZO) 등이라도 무방하다.

이 공통 전극 및 공통 전극 배선의 전위는, 예를 들면 프레임마다 교류화되는 화소 전위의 거의 중점 전위가 설정된다(도 14에서 재차 상세한 설명을 행함). 이 화소 전극 전위와 공통 전극 전위에 의해 액정 용량 혹은 유지 용량이 구성됨과 함께, 이 전위 사이의 전위차에 의해 전계를 액정층 내에 발생시키며, 상기 드레인 배선 DL로부터 공급된 영상 전압과 상기 공통 전압에 의해 영상을 표시한다. 도 1에서의 주된 투과부는 2-2'선을 따른 4개의 개구부이다.

액정 표시 장치에서 TFT는 그 대부분이 OFF 상태이고, 매우 단시간만 ON 상태가 된다. 예를 들면 XGA에서는 768개의 게이트 배선 GL을 1개씩 선택적으로 순차 ON 상태로 하고, 다른 767개는 OFF 상태이므로, 1개의 게이트 배선 GL에 있어서는 767/768의 시간이 OFF 상태이다. 그리고 이 OFF 상태에서 액정 용량의 전압 감쇠를 억제하는 것이 고화질의 액정 표시 장치에는 불가결하다. 이 때문에, 종래부터 TFT를 이용한 액정 표시 장치에는 유지 용량을 반드시 구성하였다. 이때, 공통 전극의 전위의 전용 배선을 화소 내에 형성하여 유지 용량을 구성하는 방식과, 인접하는 다른 화소의 게이트 배선 GL을 이용하여 유지 용량을 구성하는 방식이 알려져 있다. 전자와 후자는, 전자를 Cstg, 후자를 Cadd로서 구별하는 경우도 있다. 그러나 어떤 경우든, 유지 용량을 안정화시키기 위해서는 전자에서는 전용 배선, 후자에서는 게이트 배선 GL의 전위가 안정화되는 것이 필요하여, 저저항을 실현할 수 있는 금속을 이용하는 것이었다.

또한 전자는, 후자가 게이트 신호가 공급되어 있기 때문에 신호가 복잡하게 변화해야 하는 것에 비하여, 보다 안정화된 전위로 할 수 있기 때문에, 안정화에 매우 유리하다는 것이 알려져 있다. 그러나 전자에 따른 유지 용량, 즉 Cstg는, 종래에는 게이트 배선 GL과 동일한 공정, 재료로 구성된 공통 전극 배선과 절연막을 개재하여 화소 전극 혹은 소스 전극을 적층하여 형성되었다. 이 때문에, 단락 방지를 위해 게이트 배선과 일정한 거리를 유지하여 배치해야만 하고, 해당 공통 전극 배선이 금속인 것에 의해, 해당 공통 전극 배선만큼 개구율이 저하하여, 투과율이 저하하였다.

이러한 과제를 해결하기 위해, 본 실시예에서는 저온 폴리실리콘 PSI와, 드레인 배선 DL과 동일 공정, 재료로 구성된 유지 용량 전극 STM 간에 유지 용량을 구성한다. 즉, 게이트 배선 GL 및 유지 용량 전극 STM을 피복하는 절연막에 컨택홀 CNT4를 형성하고, 이에 따라 투명 공통 전극 배선 CLT로부터 유지 용량 전극 STM으로 공통 전위를 공급한다. 그리고 공통 전위인 유지 용량 전극 STM과 화소 전위인 저온 폴리실리콘 PSI를 절연막을 개재하여 단면 구조적으로 대향시킴으로써, 유지 용량 Cstg가 실현된다. 이로써, 금속의 공통 전극 배선을 이용하지 않고 유지 용량 Cstg이 형성 가능해져, 해당 금속의 공통 전극 배선이 불필요해짐에 따라 투과율과 개구율의 향상이 실현된다. 또한 유지 용량 전극 STM과 저온 폴리실리콘 PSI는 단면 구조로 볼 때 절연막을 사이에 둔 상태에서 게이트 배선 GL과는 분리되어 있다. 그 점에서, 게이트 배선 GL과 평면적으로 근접한 위치에 유지 용량을 배치할 수 있어, 투과율과 개구율을 더 향상시킬 수 있다.

본 구조의 더 교묘한 점은, 저온 폴리실리콘 PSI를 이용하고 있는 것이다. 또, 본 명세서에서의 저온 폴리실리콘이란, 예를 들면 도 3에 도시한 바와 같이 반도체층에 대한 이온 도핑에 의해 형성된 n^+ 층이 게이트 배선 GL의 형성 영역을 초과하여 형성되어 있는 구조를 도시한 것이다. 따라서, 특별히 성막 시의 온도를 한정하는 것이 아니며, 또한 결정 상태를 제한하는 것도 아니다. 따라서, 소위 고온 폴리실리콘, CGS, 연속 결정 실리콘 등도 포함하는 것이다.

저온 폴리실리콘을 이용함에 따라, 유지 용량의 한쪽 전극이 되는 저온 폴리실리콘은 이온 도핑에 의해 n^+ 상태, 즉 도전성이 높은 상태로 되어 있다. 이 때문에, 금속과 등가로 취급할 수 있기 때문에, 특별한 전용 배선층을 증가시킬 필요없이 금속의 공통 전극 배선을 이용하지 않은 Cstg의 실현이 가능해진다. 유지 상태, 즉 TFT의 OFF 상태에서는 화소 내의 전위는 누설을 제외하면 안정 상태이기 때문에, 저온 폴리실리콘에 의해 용량의 한쪽 전극을 형성해도 충분히 전극으로서 기능할 수 있는 것이다.

투명 공통 전극 CLT는 인접하는 상하 좌우의 화소에 의해 일체로 매트릭스 형상으로 구성된다. 따라서, 공통 전극의 전위는 매우 안정되어 변동에 강한 것으로 된다. 이것은, 상술한 횡전계 방식에서는 공통 전극과 화소 전극 사이의 액정 용량이 적기 때문에, 해당 투명 공통 전극에 대한 부하가 가볍기 때문에, 안정화를 더 꾀할 수 있다. 이들이 복합적으로 기여함으로써, 해당 투명 공통 전극을, 금속보다 저항이 높은 투명 전극이면서, Cstg에 공통 전위를 공급하는 배선으로서 이용하는 것이 가능해진다.

이하, 각 부의 구성을 단면도를 이용하여 상세히 설명한다. 도 2는 도 1의 2-2'선을 따른 단면도로서, 인접하는 드레인선 DL 사이의 1 화소 영역을 가로지르는 부분이다. 왜곡점 약 670℃의 무알칼리 TFT 유리 기판 GLS1 위에 막 두께 50nm의

Si_3N_4 막과 막 두께 120nm의 SiO_2 막으로 이루어지는 기초 절연막 ULS가 형성되어 있다. 기초 절연막 ULS는 TFT 유리 기판 GLS1로부터의 Na 등의 불순물의 확산을 방지하는 역할을 한다. 기초 절연막 ULS 위에는, SiO_2 로 이루어지는 게이트 절연막 GI가 성막되어 있다. 게이트 절연막 위에는 화소 전위를 급전하는 저온 폴리실리콘 PSI가 배치되어 있다.

상기와 같이 SiO_2 로 이루어지는 층간 절연막 ILI가 형성되고, 층간 절연막 ILI 위에는 Ti/Al/Ti와 같이 3층 금속막으로 이루어지는 드레인 배선 DL이 형성되어 있다.

그 상층에는 막 두께 200nm의 Si_3N_4 로 이루어지는 보호 절연막 PAS와 막 두께 $2\mu\text{m}$ 의 아크릴계 수지를 주성분으로 하는 유기 보호막 FPAS에 의해 피복되어 있다. 유기 보호막 FPAS 위에서는, 우선 드레인 배선 DL의 폭보다 넓고, 인듐-주석 산화물(ITO)로 이루어지는 투명 공통 전극 배선 CLT가 형성되어 있다. 동일 공정, 동일 재료로 제작된 ITO로 이루어지는 투명 화소 전극 SPT도 상기 유기 절연막 FPAS 위에 형성되어 있다.

상기 설명 중 배선 재료는 특별히 한정하는 것은 아니다.

주된 투과 영역은 (1) 드레인선 DL 위의 투명 공통 전극 CLT와, 도 1의 평면도에서 저온 폴리실리콘 PSI를 피복하도록 배치된 투명 화소 전극 SPT 사이, (2) 상기 투명 화소 전극 SPT와 게이트 배선 GL 상측으로부터 상하로 연장된 투명 공통 전극 배선 CLT의 사이, (3) 상기 투명 공통 전극 CLT와 투명 화소 전극 SPT 사이, (4) 상기 투명 화소 전극 SPT와 드레인 배선 DL 위의 투명 공통 전극 배선 CLT 사이의 4개의 영역이다. 상기 투명 화소 전극 SPT, 투명 공통 전극 CLT가 액정을 구동하는 전극이다.

한편, 액정 LC을 밀봉하는 대향의 기판은 컬러 필터(CF) 기판 GLS2이다. CF 유리 기판 GLS2는 액정층에 색깔 표시를 행하는 안료를 분산한 유기막 재료로 구성된 색 필터(FIL)가 그 화소마다 할당된 색깔에 따라, 청(B), 적(R), 녹(G)의 투과광을 표현하는 색 필터(적으로는 FIL(R))로 되어 있다. 그 내측에는 유기 재료로 이루어지는 오버코팅막 OC 막이 형성되어 있다. OC 막은 없어도 되지만, 평탄성을 향상시킬 목적으로는 있는 편이 바람직하다. CF 기판 GLS2 및 TFT 기판 GLS1의 액정 LC에 대하여 접하고 있는 면에는 배향막 OLI가 인쇄되고 소정의 러빙이 실시되어, 초기 배향 방향을 제어하고 있다. 또 상기 CF 유리 기판 GLS2 및 TFT 유리 기판 GLS1의 외측면에는 각각 편광판 POL이 접촉된다. 이 편광판은 서로의 유리 기판 사이에서 편향축이 직교하는 소위 크로스니콜 상태가 형성되어 있다.

러빙 방향과 편광판의 각도 관계를 도 16에 도시한다. 편광축의 한쪽 PD2는 GL과 같은 방향으로, 다른 쪽 PD1은 GL과 직교 방향으로 하고 있다. 또한 러빙 방향 RD는 상하 기판 모두 GL과 직교하는 방향으로 하였다. 이에 따라 노멀 블랙 모드의 배치로 되고, 또한 도 1과 같은 굴곡 형상의 화소 패턴에 의해 멀티 도메인화를 행하고 있다. 물론, 비멀티 도메인인 경우도 본원의 범위에 포함되는 것으로, 그 경우에도 편광판 배치가 크로스니콜이 되도록 하는 것이 필요하다.

본 단면의 CF 기판 GLS2에는, 소위 블랙 매트릭스 BM이 형성되어 있지 않다. 컬러 필터 FIL의 색깔의 연속은, 드레인 배선 DL을 피복하도록 배치된 투명 공통 전극 배선 CLT 위에서 행한다.

드레인 배선 DL을 피복하는 투명 공통 전극 배선 CLT 폭은 드레인 배선 폭의 적어도 2배 이상 필요한데, 이것은 IPS 액정 표시 장치가 기본적으로 액정에 공통 전극 전위와 화소 전위 이외의 전계가 추가되면 오동작하기 때문에, 그 실드가 필요하기 때문이다. 한편, 그 밖의 부분의 투명 전극 폭은 상기한 바와 같은 규정은 없다.

단, 포지티브형의 액정 재료를 이용한 IPS 액정 표시 장치에서는 투명 전극 위에서도 광이 투과하지 않는다. 이것은 폭이 넓은 전극 위에서는 횡전계가 걸리지 않아 액정 분자가 회전하지 않기 때문이다. 투명 전극의 단부로부터 그 폭의 내부를 향하여 $1.5\mu\text{m}$ 영역은 프린지의 횡전계가 걸려 투과한다.

도 3은 도 1의 3-3'의 선을 따른 단면도이다. 본 단면도는 도 1에서, 저온 폴리실리콘 PSI의 TFT와 유지 용량의 단면을 도시한다. 도 3의 단면도의 좌측은 TFT의 단면이다. 드레인 배선 DL, 금속 화소 전극 SPM을 소위 드레인 전극, 소스 전극으로 하고, 게이트 배선 GL을 게이트 전극으로 하여, 게이트 절연막 GI를 갖는 소위 MOS형 TFT이다. ULS 위에 폴리실리콘층 PSI가 있고, 드레인 배선 DL은 게이트 절연막 GI 및 층간 절연막 ILI에 개구된 제1 컨택트홀 CNT1, 저온 폴리실리콘 PSI의 인이 불순물로서 도핑된 고농도 n형층 $\text{PSI}(n^+)$ 에 접속되어 있다. 해당 고농도 n형층 $\text{PSI}(n^+)$ 는 도전성이 높아, 의사적으로 배선부로서 기능한다. 한쪽 GL 아래의 PSI는 붕소가 불순물로서 도핑된 p형층 $\text{PSI}(p)$ 로 되며, 소위 반도체층으로서 기능하고, GL에 ON 전위로 도통 상태, OFF 전위로 비도통 상태로 되는 스위칭 동작을 보인다. 게이트 배선 GL에 온

전압이 인가된 경우, 게이트 배선 GL 하부이고 게이트 절연막 GI 하부로서, 붕소가 불순물로서 도핑된 p형층 PSI(p)의 게이트 절연막 GI 계면의 전위가 반전하여 채널층이 형성되고, n형화되어 TFT에 온 전류가 흘러, 결과적으로 금속 화소 전극 SPM으로 전류가 흘러 액정 용량 및 유지 용량이 충전된다.

유지 용량 Cstg는 도 3에 도시한 바와 같이 고농도 n형 폴리실리콘층 PSI(n⁺)을 한쪽의 전극, 절연막으로서 게이트 절연막 GI와 층간 절연막 ILI의 적층막, 다른 쪽의 전극을 유지 용량 전극 STM으로서 형성하고 있다. 유지 용량 전극 STM은 드레인 배선 DL과 동일 공정, 동일 재료로 구성되어 있다. n형 폴리실리콘층 PSI(n⁺)는 드레인 배선 DL로부터 TFT를 거쳐 급전된 화소 전위를, 유지 용량 전극 STM은 투명 공통 전극 배선 CLT로부터 보호막 PAS 및 유기 보호막 FPAS에 개구된 제4 콘택트 CNT4를 통하여 공통 전위를 급전한다. 상기 n형 폴리실리콘층 PSI(n⁺) 및 유지 용량 전극 STM은, 각각 게이트 절연막 GI 혹은 층간 절연막 ILI에서 게이트 배선과 분리되어 있다. 이 때문에, 도 1에 도시한 바와 같이 유지 용량 Cstg를 게이트 배선 GL과 거의 평행하게 그 간격을 좁혀 배치할 수 있으므로 개구율을 향상시킬 수 있어 투과율이 높아 밝은 액정 표시 장치를 제공할 수 있다.

유지 용량 Cstg는, 도 3의 TFT의 폴리실리콘 PSI에 대하여 TFT 유리 기판 GLS1측으로부터의 표시의 백 라이트에 의한 광 조사로 발생하는 전자, 정공의 페어로 증가하는 누설 전류에 대하여 액정 용량으로 결정되는 화상 표시 기간(유지 기간) 내의 전위를 유지하기 위해 설정되어 있다. 이 값을 크게 설정할 수 있으면, 표시 화면 상의 균일성을 매우 양호하게 유지할 수 있다.

도 4는 도 1의 4-4'의 선을 따른 단면도이다. 본 단면도는 주로, 도 1의 제1 콘택트홀 CNT1로부터의 화소 전위가 저온 폴리실리콘 PSI를 거쳐, 화소 중앙부의 제2 및 제3 콘택트홀 CNT2, CNT3을 거쳐 화소 전위가 투명 화소 전극 SPT로 급전되는 경로 중에서, 인접하는 드레인 배선 DL과 그 중앙부에 있는 제2 및 제3 콘택트홀 CNT2, CNT3을 가로지르는 단면도이다.

화소 전위가 공급된 저온 폴리실리콘층 PSI(n⁺)는 그 상부의 게이트 절연막 GI 및 층간 절연막 ILI에 개구된 제2 콘택트홀 CNT2를 통하여, 패드 전극 PAD에 전해진다. 패드 전극 PAD는 드레인 배선 DL과 동일 공정, 동일 재료로 구성되어 있다. 상기 패드 전극 PAD 위에 피복된 보호막 PAS 및 유기 보호막 FPAS에 개구된 제3 콘택트홀 CNT3을 통하여, 투명 화소 전극 SPT로 급전된다.

본 실시예에서는, 종래와 같은 게이트 배선 GL과 평행하게 배치된 금속의 공통 전극 배선이 형성되어 있지 않다. 따라서, 이 화소 중앙부의 콘택트 영역에도 투과 영역이 형성되어 있다. 이것은 도 4에서, 투명 화소 전극 SPT와 드레인 배선 DL을 피복하도록 배치된 투명 공통 전극 배선 CLT 사이에 있는 2개의 투과 영역이다. 이와 같이, 본 실시예에서는 투과 영역이 많이 생겨 밝은 액정 표시 장치를 제공할 수 있다.

이어서, 도 3에 도시한 바와 같은 NMOS형 TFT의 제조 공정을 도 5~도 9 및 도 3을 이용하여 설명한다.

두께 0.7mm, 사이즈 730mm×920mm의 왜곡점 약 670℃에서의 무알칼리 TFT 유리 기판 GLS1을 세정한 후, SiH₄와 NH₃과 N₂의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 50nm의 Si₃N₄막, 계속해서 테트라에톡시 실란과 O₂의 혼합 가스를 이용한 플라즈마 CVD법에 의해, 막 두께 120nm의 SiO₂막이 적층된 기초 절연막 ULS를 형성한다. 본 절연막 ULS는 다결정 실리콘막에의 TFT 유리 기판 GLS1로부터의 Na 확산을 방지하기 위해서이다. Si₃N₄, SiO₂ 모두 형성 온도는 400℃이다. 또, 본원에서는 반도체층으로서 다결정 실리콘으로 대표되지만, 거대 결정 실리콘, 연속 입계 실리콘, 비정질 실리콘이라도 무방하다.

이어서, 상부에 SiH₄, Ar의 혼합 가스를 이용한 플라즈마 CVD법에 의해 거의 진성의 수소화 비정질 실리콘막을 50nm 형성한다. 성막 온도는 400℃이고, 성막 직후 수소량은 약 5at%이다. 이어서 기판을 450℃에서 약 30분 어닐링함으로써, 수소화 비정질 실리콘막 내의 수소를 방출시킨다. 어닐링 후의 수소량은 약 1at%이다.

이어서, 파장 308nm의 엑시머 레이저광 LASER을 상기 비정질 실리콘막에 플루언스 400mJ/cm²로 조사하고, 비정질 실리콘막을 용융 재결정화시켜, 거의 진성의 다결정 실리콘막을 얻는다. 이 때 레이저 빔은 폭 0.3mm, 길이 200mm의 세선형의 형상이며, 빔의 길이 방향과 거의 수직인 방향으로 기판을 10μm 피치로 이동시키면서 조사하였다. 조사 시에는 질소 분위기 하였다.

통상의 포토리소그래피법에 의해 소정의 레지스트 패턴을 다결정 실리콘막 위에 형성하여 CF_4 와 O_2 의 혼합 가스를 이용하거나 액티브 이온 에칭법에 의해 다결정 실리콘막 PSI를 소정의 형상으로 가공한다(도 5).

이어서, 테트라에톡시 실란과 산소의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 100nm의 SiO_2 를 형성하여 게이트 절연막 GI를 얻는다. 이 때의 테트라에톡시 실란과 O_2 의 혼합비는 1 : 50, 형성 온도는 400°C 이다. 계속해서 이온 주입법에 의해 B 이온을 가속 전압 33KeV, 도우즈량 $1\text{E}12(\text{cm}^{-2})$ 로 주입하여, n형 TFT의 채널 영역의 폴리실리콘막 PSI(p)를 형성한다.

이어서 스퍼터링법에 의해, 금속 배선, 예를 들면 Mo 혹은 MoW 막을 200nm 형성 후, 통상의 포토리소그래피법에 의해 소정의 레지스트 패턴을 Mo막 위에 형성하고, 혼합산을 이용한 웨트 에칭법에 의해 Mo 막을 소정의 형상으로 가공하여 주사 배선 GL을 얻는다.

에칭에 이용한 레지스트 패턴을 남긴 상태에서, 이온 주입법에 의해 P 이온을 가속 전압 60KeV, 도우즈량 $1\text{E}15(\text{cm}^{-2})$ 로 주입하여, n형 TFT의 소스, 드레인 영역 $\text{PSI}(\text{n}^+)$ 를 형성한다(도 6). 상기에서 n형 TFT의 소스, 드레인이 n^+ 형의 저온 폴리실리콘막 $\text{PSI}(\text{n}^+)$ 및 p형의 채널 영역의 폴리실리콘막 $\text{PSI}(\text{p})$ 가 완성되지만, 이하와 같이 p형과 n^+ 형 사이에 P 이온 농도가 n^+ 형보다 적은 n형의 LDD 영역을 만들어, TFT의 누설 전류를 저감시킬 수 있다(도시하지 않음). 즉, 에칭에 이용한 레지스트 패턴을 제거한 후, 재차 이온 주입법에 의해 P 이온을 가속 전압 65KeV, 도우즈량 $2\text{E}13(\text{cm}^{-2})$ 로 주입하여, n형 TFT의 LDD 영역을 형성한다. LDD 영역의 길이는 Mo를 웨트 에칭했을 때의 사이드 에칭량에 의해 정해진다. 본 실시예의 경우, 약 $0.8\mu\text{m}$ 이다. 이 길이는 Mo의 오버 에칭 시간을 변화시킴으로써 제어할 수 있다.

이어서, 기관에 엑시머 램프 또는 메탈할로겐 램프의 광을 조사하는 래피드 서멀 어닐링(RAT)법에 의해 주입한 불순물을 활성화한다. 엑시머 램프 또는 메탈할로겐 램프 등의 자외광을 많이 포함하는 광을 이용하여 어닐링함으로써, 다결정 실리콘층 PSI만을 선택적으로 가열할 수 있어, 유리 기관이 가열됨에 따른 손상을 회피할 수 있다. 불순물의 활성화는, 기관 수축이나 굴곡 변형 등이 문제가 되지 않은 범위에서, 450°C 정도 이상의 온도에서의 열 처리에 의해서도 가능하다(도 6).

이어서, 테트라에톡시 실란과 산소의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 500nm의 SiO_2 를 형성하여 층간 절연막 ILI를 얻는다. 이 때의 테트라에톡시 실란과 O_2 의 혼합비는 1 : 5, 형성 온도는 350°C 이다.

이어서, 소정의 레지스트 패턴을 형성한 후, 혼합산을 이용한 웨트 에칭법에 의해, 상기 층간 절연막에 제1 컨택트홀 CNT1 및 도 1의 평면도의 제2 컨택트홀 CNT2를 개공한다(도 7).

이어서, 스퍼터링법에 의해, Ti를 50nm, Al-Si 합금을 500nm, Ti를 50nm 순차적으로 적층 형성한 후에 소정의 레지스트 패턴을 형성하고, 그 후 BCl_3 과 Cl_2 의 혼합 가스를 이용하거나 액티브 이온 에칭법에 의해 일괄 에칭하여, 드레인 배선 DL, 유지 용량 전극 STM, 도 1의 평면도의 패드 전극 PAD를 얻는다(도 8).

SiH_4 와 NH_3 과 N_2 의 혼합 가스를 이용한 플라즈마 CVD법에 의해 막 두께 300nm의 Si_3N_4 막인 보호막 PAS를 형성하고, 또한 스핀 도포법에 의해 아크릴계 감광성 수지를 약 $3.5\mu\text{m}$ 의 막 두께로 도포하며, 소정의 마스크를 이용하여 노광, 현상하여 상기 아크릴계 수지에 관통 홀을 형성한다. 이어서 230°C 에서 20분 베이킹함으로써, 아크릴 수지를 소성하여, 막 두께 $2.0\mu\text{m}$ 의 평탄화 유기 보호막 FPAS를 얻는다. 계속해서, 상기 유기 보호막 FPAS에 형성한 관통 홀 패턴을 마스크로 하여 하층의 Si_3N_4 막을 CF_4 를 이용하거나 액티브 이온 에칭법에 의해 가공하여, Si_3N_4 막에 제5 컨택트홀 CNT5 및 도 1의 평면도의 제3 컨택트홀 CNT3을 형성한다(도 9).

이와 같이 유기 보호막 FPAS를 마스크로 이용하여 하층의 절연막을 가공함으로써, 일회의 포토리소그래피 공정으로 2층의 막을 패터닝할 수 있어, 공정을 간략화할 수 있게 된다.

마지막으로 스퍼터링법에 의해 ITO막 등의 투명 도전막을 70nm 형성하고, 혼합산을 이용한 웨트 에칭에 의해 소정의 형상으로 가공하여 투명 공통 전극 배선 CLT 및 투명 화소 전극 SPT를 형성하여 액티브 매트릭스 기관이 완성된다(도 3). 이상 6회의 포토리소그래피 공정으로 다결정 실리콘 TFT가 형성된다.

이어서 액정 패널의 개관의 평면 구조에 대하여 설명한다. 도 10은 상하의 유리 기판 GLS1, GLS2를 포함하는 표시 패널의 매트릭스(AR) 주변의 주요부 평면을 도시한 도면이다. 이 패널의 제조에서는, 작은 사이즈인 경우 처리량 향상을 위해 1매의 유리 기판으로 복수개분의 디바이스를 동시에 가공하고나서 분할하며, 큰 사이즈인 경우 제조 설비의 공용을 위해 어떤 품종이라도 표준화된 크기의 유리 기판을 가공하고나서 각 품종에 맞는 사이즈로 작게 하며, 어떤 경우든 한차례의 공정을 거치고나서 유리를 절단한다.

도 10은 후자의 예를 도시한 것으로, 상하 기판 GLS1, GLS2의 절단 후를 도시하고 있다. 어떤 경우든, 완성 상태에서는 외부 접속 단자군 Tg, Td가 존재하는 (도면에서 상변) 부분은 이들을 노출시키도록 상측 기판 GLS2의 크기가 하측 기판 GLS1보다도 내측으로 제한되어 있다. 단자군 Tg, Td는 각각 후술하는 TFT 유리 기판 GLS1 위에서 표시부 AR 좌우에 배치된 저온 폴리실리콘 TFT의 주사 회로 GSCL에 공급하는 전원 및 타이밍 데이터에 관한 접속 단자이고, 표시 영역 AR의 상부에서 TFT 유리 기판 GLS1 위에 저온 폴리실리콘 TFT의 영상 신호 회로 DDC에의 영상 데이터 혹은 전원 데이터를 공급하기 위한 단자이다. 인출 배선부를 집적 회로 칩 CHI가 탑재된 테이프 캐리어 패키지 TCP(도 11)의 단위로 복수 라인 통합하여 명명한 것이다. 각 군의 매트릭스부로부터 영상 신호 회로 DDC를 거쳐 외부 접속 단자부에 이르기까지의 인출 배선은, 양단에 근접함에 따라 경사져 있다. 이것은, 패키지 TCP의 배열 피치 및 각 패키지 TCP에서의 접속 단자 피치에 표시 패널의 영상 신호 단자 Td를 맞추기 위해서이다.

투명 유리 기판 GLS1, GLS2 사이에는 그 모서리를 따라, 액정 봉입구 INJ를 제외하고, 액정 LC를 밀봉하도록 시일 패턴 SL이 형성된다. 시일재는 예를 들면 에폭시 수지로 이루어진다.

도 2의 단면 구조로 도시한 배향막 ORI 층은, 시일 패턴 SL의 내측에 형성된다. 액정 LC는 액정 분자의 방향을 설정하는 하부 배향막 ORI와 상부 배향막 ORI 사이에서 시일 패턴 SL로 구획된 영역에 봉입되어 있다.

이 액정 표시 장치는, 하부 투명 TFT 유리 기판 GLS1측, 상부 투명 CF 유리 기판 GLS2측에서 별개로 다양한 층을 겹쳐 쌓고, 시일 패턴 SL을 기판 GLS2측에 형성하고, 하부 투명 유리 기판 SUB1과 상부 투명 유리 기판 GLS2를 중첩하며, 시일재 SL의 개구부 INJ로부터 액정 LC를 주입하고, 주입구 INJ를 에폭시 수지등으로 밀봉하여, 상하 기판을 절단함으로써 조립된다.

도 11은, 도 10에 도시한 표시 패널에 영상 신호 구동 IC를 탑재한 TCP와 TFT 기판 GLS1 위에 저온 폴리실리콘 TFT로 형성한 신호 회로 DDC와의 접속 및 TFT 기판 GLS1에 저온 폴리실리콘 TFT로 형성한 주사 회로 GSCL과 외부를 접속한 상태를 도시한 상면도이다.

TCP는 구동용 IC 칩이 테이프 오토메이티드 본딩법(TAB)에 의해 실장된 테이프 캐리어 패키지, PCB1은 상기 TCP나 컨트롤 IC인 TCON, 기타 전원용 증폭기, 저항, 컨덴서 등이 실장된 구동 회로 기판이다. CJ는 퍼스널 컴퓨터 등으로부터의 신호나 전원을 도입하는 커넥터 접속 부분이다.

도 12는 테이프 캐리어 패키지 TCP를 액정 표시 패널의, 신호 회로용 단자 Td에 접속한 상태를 도시한 주요부 단면도이다. 테이프 캐리어 패키지 TCP는 이방성 도전막 ACF에 의해 액정 표시 패널 접속된다. 패키지 TCP는 전기적으로는 그 선단부가 패널측의 접속 단자 Td와 접속되면 되지만, 실제로는 TFT의 보호막 PAS, 유기 보호막 FPAS의 개구부를 피복하도록 형성된, 투명 공통 전극 배선 CLT와 동일 공정으로 형성된 투명 전극 ITO와 접속되어 있다. 시일 패턴 SL 외측의 상하 유리 기판의 간극은 세정 후 에폭시 수지 EPX 등에 의해 보호되고, 패키지 TCP와 상측 CF 기판 GLS2 사이에는 실리콘 수지가 더 충전되어 보호가 다중화되어 있다(도시하지 않음). 또한 상하의 유리 기판 GLS2, GLS1의 액정 LC에 대한 겹은 유기막으로 형성된 지주 SPC 혹은 파이버로 그 높이가 결정되어 있다.

표시 매트릭스부의 등가 회로와 그 주변 회로의 결선도를 도 13에 도시한다. 도면 중, DL은 드레인선을 의미하는 것으로, DL1, DL2, DL3으로 그 숫자가 화면 좌측으로부터의 화면 내의 드레인 배선(영상 신호선)을 의미하는, 첨자 R, G 및 B가 각각 적, 녹 및 청 화소에 대응하여 부가되어 있다. GL은 게이트 배선 GL을 의미하는 것으로, GL1, GL2, GL3으로 그 숫자가 화면 상부로부터의 화면 내의 게이트선을 의미한다. 첨자 1, 2는 주사 타이밍의 순서에 따라 부가되어 있다. CLX 및 CLY는 공통 전극 배선 CLT를 의미하는 것으로, CLX1, CLX2로 그 숫자가 화면 상부로부터의 화면 내의 가로 방향의 공통 전극 배선을 의미한다. 한편, CLY는 세로 방향의 공통 전극 배선을 의미하는 것으로, CLY1, CLY2로 그 숫자가 화면 상부로부터의 화면 내의 세로 방향의 공통 전극 배선을 의미한다. CLX, CLY는 실제로는 1 화소 영역에서 드레인 배선 DL 및 게이트 배선 GL을 피복하도록 메쉬 형상으로 배치되어 있다.

게이트 배선 GL(첨자 생략)은 유리 기판 위의 주사 회로 GSCL에 연결되고, 그 주사 회로에의 전원 혹은 타이밍 신호는 유리 기판 외부의 PCB 위에 형성된 전원 및 타이밍 회로 SCC로부터 공급된다. 상기에서 저온 폴리실리콘 TFT로 구성된 유리 기판 위의 주사 회로는, 용장성을 높이기 위해 하나의 게이트선(주사선)에 대하여 좌우 양측으로부터 급전되어 있지만, 화면 사이즈 등에 따라 편측으로부터 급전해도 된다.

한편, 드레인 배선 DL에의 급전은 유리 기판 위의 저온 폴리실리콘 TFT로 구성된 신호 회로 DDC로부터 급전된다. 신호 회로 DDC는 유리 기판의 영상 신호 회로 IC로 구성된 회로로부터의 영상 데이터를 R, G, B의 색 데이터에 따라 분배하는 기능을 갖는다. 따라서, 유리 기판 위의 신호 회로로부터의 접속 단자 수는 화면 내의 드레인 배선 수의 3분의 1이다.

또한, 공통 전극 배선은 본 실시예에서는 투명 공통 전극 배선 CLT이다. 이 공통 배선은, 도 1에서 도시한 바와 같이, 메쉬 형상의 화소 내에서 결선으로 되어 있다. CLX, CLY는 화면의 좌우, 혹은 상하로 인출되고, 통합하여 임피던스가 낮은 공통 전극 모선 CBL에 결선되며, 전원 및 타이밍 회로 IC의 SCC에 결선된다. 이 공통 전극은, 화면 내의 화소의 공통 전위를 공급한다.

화면 내의 저온 폴리실리콘 TFT은, n형의 TFT이고, 게이트 배선 GL에 게이트 전압을 인가하여, 그 타이밍에서 드레인 선 DL에 급전된 드레인 전압(데이터)을 공통 전극 배선 CLT과의 사이의 액정 용량 Clc에 급전함으로써 표시를 행한다. 액정 용량 Clc의 전위를 표시 기간 내에 유지하는 능력을 향상시키기 위해, 유지 용량 Cstg를 형성한다. CC는 드레인 배선 DL의 단선을 검사하는 저온 폴리실리콘 TFT로 형성한 검사 회로이며, CPAD는 검사 단자이다.

도 14에 본 발명의 액정 표시 장치의 구동 파형을 도시한다. 공통 전극 전압 Vcom을 직류 전압으로 한 경우의 예를 도시한다. 게이트 전압 Vg는 1 게이트선마다 순차적으로 주사하고, 드레인 전위 Vd에 대하여, 화소의 저온 폴리실리콘 TFT의 임계 전압을 더 가산한 전압이 인가되었을 때에 화소 TFT가 온 상태가 되어, 도 13에 도시한 액정 용량 Clc에 충전된다. 상기 공통 전극 전압 Vcom, 게이트 전압 Vg, 드레인 전압 Vd는 각각, 도 13의 메쉬 형상의 공통 전극 배선을 구성하는 공통 전극 배선 CLT, 게이트 배선 GL, 드레인 배선 DL에 인가된다. 본 실시예에서는, 드레인 전압 Vd는, 예를 들면 노멀 블랙 모드에서의 액정 표시로 백 표시를 행하는 경우를 도시하고 있으며, 게이트선은 1 라인마다 선택되고, 그 라인마다 공통 전극 전압 Vcom에 대하여 플러스, 마이너스의 극성 반전된다. 화소 전위 Vp는 TFT를 통하여 액정 용량 Clc에 충전되는데, 홀수, 짝수 프레임에서 공통 전극 전위 Vcom에 대하여 반전된다. 특정한 어드레스의 TFT의 게이트 배선 GL에 대하여, 게이트 배선이 선택되고 Vg가 Vd보다 커지면 액정 용량 Clc에 화상에 대응하는 전위가 충전되는데, 상기한 바와 같이 다음 프레임이 되고, 공통 전극 전위 Vcom에 대하여 반전된 Vd가 인가될 때까지 액정 용량 Clc의 전위는 유지되어야 한다. 이 유지율은 TFT의 오프(누설) 전류가 커지면 저하한다. 이것을 방지하기 위해서는, 도 13의 등가 회로의 유지 용량 Cstg를 크게 설정할 필요가 있다.

도 15는 액정 표시 모듈 MDL의 각 구성 부품을 도시한 분해 사시도이다. SHD는 금속판으로 이루어지는 틀형 실드 케이스(메탈 프레임), LCW는 그 표시창, PNL은 액정 표시 패널, SPB는 광 확산판, LCB는 도광체, RM은 반사판, BL은 백 라이트 형광관, LCA는 백 라이트 케이스이고, 도 15에 도시한 바와 같은 상하의 배치 관계로 각 부재가 중첩되어 모듈 MDL이 조립된다.

모듈 MDL은 실드 케이스 SHD에 형성된 갈고리와 홀에 의해 전체가 고정되도록 되어 있다. 백 라이트 케이스 LCA는 백 라이트 형광관 BL, 광 확산판 SPB, 도광체 LCB, 반사판 RM을 수납하는 형상으로 되어 있으며, 도광체 LCB의 측면에 배치된 백 라이트 형광관 BL의 광을, 도광체 LCB, 반사판 RM, 광 확산판 SPB에 의해 표시면에서 똑같은 백 라이트로 하여, 액정 표시 패널 PNL측으로 출사한다. 백 라이트 형광관 BL에는 인버터 회로 기판 PCB2가 접속되어 있고, 백 라이트 형광관 BL의 전원으로 되어 있다.

(실시예2)

도 17은 본 발명의 제2 실시예를 도시한 화소의 평면도이고, 도 18, 도 19는 그 도 17에서의 18-18', 19-19'로서 일점쇄선으로 된 부분을 절단하여 도시한 단면도이다. 도면에서는 절단부를 알기 쉽게 하기 위해, ○안의 숫자는 절단부를 나타내고 있다.

도 17은 실시예1과 마찬가지로 드레인 배선 DL을 가로지르는 방향으로 주된 투과부를 4개 갖는 IPS 방식의 화소 패턴이다. 구성은 실시예1에 대한 큰 특징은, 게이트 배선 GL 근방에 배치되어 있던 유지 용량의 구성에 있다. 또한 저온 폴리실리콘 PSI와 투명 화소 전극 SPT와의 접속 부분의 컨택트홀의 구성에 있다.

유지 용량 CStg는 이하와 같은 구성으로 되어 있다. 우선, 유지 용량의 하부 전극은 n형의 폴리실리콘 PSI 층이고, 이것은 실시예1과 동일하다. 한편, 유지 용량의 상부 전극은 제7 콘택트홀에 매립된 투명 공통 전극 배선 CLT이다. 이 구성에서는, 실시예1과 같이 드레인 배선 DL과 동일 공정, 동일 재료로 구성된 유지 용량 전극이 형성되어 있지 않다. 따라서, 이 구성에서는, 드레인 배선 DL과 동층에 있는 금속 전극이 없으므로, 쇼트할 전극 자체가 없어서, 점 결함 등의 표시 결함이 크게 저감될 수 있다.

한편, 드레인 배선 DL로부터 제1 콘택트홀 CNT1을 거쳐 그 화소 전위를 저온 폴리실리콘 PSI로 전달하고, 이것은 화소 중앙부의 제5 및 제6 콘택트홀 CNT5, CNT6을 거쳐 투명 화소 전극 SPT에 이른다. 여기서, 제5 콘택트홀 CNT5보다 제6 콘택트홀은 크고, 또한 그보다 폭 넓게 투명 화소 전극 SPT가 배치되어 있다.

도 17의 18-18' 절단선에서의 단면도가 도 18이다. 도 17의 좌측은 TFT의 단면도이고, 드레인 배선 DL로부터의 영상 전압은 TFT의 게이트 배선 GL에 온 전압이 인가되면 p형의 폴리실리콘층 PSI(p)가 저저항화되고, 그 전위가 화소 전위로써 액정 용량이나 유지 용량 CStg에 충전된다. 유지 용량 Cstg의 하부 전극은 n^+ 형 폴리실리콘 PSI(n^+)이고, 상부 전극은 유기 보호막 FPAS를 개구하여, 그 개구부에 피복 매설된 투명 공통 전극 배선 CLT이다. 유지 용량 Cstg의 절연막은 실시예1과 마찬가지로 게이트 절연막 GI와 층간 절연막 ILI의 적층막이다. 본 실시예에서는, 유지 용량의 전극으로서 게이트 배선 GL이나 드레인 배선 DL의 전극 재료를 이용하고 있지 않다. 이에 따라, 이들 전극과 드레인 배선 DL과의 쇼트에 따른 결함이 전혀 발생할 가능성이 없다.

도 19는 저온 폴리실리콘 PSI와 투명 화소 전극 SPT의 접속 부분의 단면이다. 화소 전위를 급전하는 저온 폴리실리콘층 PSI는 제5 콘택트홀 CNT5의 내측으로 개구된 제6 콘택트홀 CNT6을 통해 직접 투명 화소 전극 SPT와 접속되어 있다. 본 접속 부분에는, 실시예1과 같은, 금속 패드 전극이 없기 때문에, 드레인 배선 DL과 이들 전극의 쇼트에 따른 결함이 발생하지 않는다.

상기한 바와 같이, 본 실시예에서는 도 17의 평면도, 도 18 및 도 19에 도시한 바와 같이, 게이트 배선 GL 및 드레인 배선 DL을 제외하고 금속 전극이 사용되고 있지 않다. 이것은 도 16의 화소를 정면으로부터 관찰했을 때에 반사가 매우 적어, 액정 표시 장치를 보는 관찰자의 얼굴이 잘 투영되지 않는 액정 표시 장치를 실현할 수 있어, 더 양호한 화질의 액정 표시 장치를 제공할 수 있다는 새로운 특징도 얻을 수 있다.

(실시예3)

도 20은 본 발명의 제3 실시예를 도시한 화소의 평면도이고, 도 21은 그 도 20에서의 21-21'로서 일점쇄선으로 된 부분을 절단하여 도시한 단면도이다. 도면에서는 절단부를 알기 쉽게 하기 위해, ○안의 숫자는 절단부를 나타내고 있다.

도 20은 실시예2와 같이 드레인 배선 DL을 가로지르는 방향으로 주된 투과부를 4개 갖는 IPS 방식의 화소 패턴이다. 화소 전위와 공통 전위의 급전 경로를 도시한다. 화소 전위는 TFT가 형성된 게이트 배선 GL에 대하여, 드레인 배선 DL로부터 제1 콘택트홀 CNT1로부터 저온 폴리실리콘 PSI를 거쳐 제2 콘택트홀 CNT2를 지나 금속 화소 전극 SPM으로 전달된다. 금속 화소 전극 SPM에 전해진 화소 전위는 제3 콘택트홀 근방에서 둘로 분리된다. 한쪽은, 제3 콘택트홀로부터 1 화소 내에서 절첩한 형상의 평면 배치의 투명 화소 전극 SPT에 전해진다. 다른 한쪽의 경로에서는, 금속 화소 전극 SPM은 전단의 게이트 배선 GL 위로 올라 앉아, 전단의 게이트 배선과 유지 용량을 구성한다.

본 실시예의 최대 특징은, 종래의 IPS 액정 표시 장치에서 알 수 있듯이, 공통 전극 배선을 화소 전극 혹은 소스 전극이 교차하는 구성을 화소 내에서 전혀 취하지 않음으로써 매우 높은 개구율을 실현한 점에 있다.

도 21은 드레인 배선 DL의 제1 콘택트홀 CNT1로부터 저온 폴리실리콘 PSI의 TFT로부터 금속 화소 전극 SPM, 또한 이것이 전단의 게이트 배선 GL을 타고 유지 용량 Cstg을 구성하는 부분의 단면도이다.

제2 콘택트홀 CNT2에서 저온 폴리실리콘 PSI에 접속된 금속 화소 전극 SPM은 층간 절연막 ILI를 피복한 전단의 게이트 배선 GL을 타고 유지 용량을 구성한다. 이 금속 화소 전극 SPM은 종래의 IPS 표시 장치와 달리 게이트 배선 GL과 동일 공정, 재료로 구성한 공통 전극 배선이 없기 때문에 단차가 적어 단선이 적다. 물론, 개구율도 향상되어 밝은 액정 표시 장치를 제공할 수 있다. 따라서, 상기 유지 용량은, 전단의 게이트 배선 GL을 한쪽의 전극, 절연막이 층간 절연막, 다른 쪽의 전극이 금속 화소 전극 SPM으로 구성되어 있다. 화소 전위는 제3 콘택트홀 CNT3을 통하여, 유기 보호막 위에 배치된 투명 화소 전극 SPT에 급전되어, 투명 공통 전극 배선 CLT와의 공통 전위로 액정을 구동한다.

본 실시예의 유지 용량 Cstg는 소위 Cadd 방식으로 분류되는 구성이 된다.

또한 본 실시예에서는, 게이트 배선 위에서 투명 화소 전극 SPT와 투명 공통 배선 CLT를 요철 위에 다르게 감합시킴으로써, 실질적으로 게이트 배선 GL 위의 넓은 영역이 최상층의 투명 전극으로 피복되도록 구성하며, 게이트 배선 GL로부터의 누설 전계를 실드한 구성으로 되어 있다. 이에 따라, 투명 공통 배선 CLT와 투명 화소 전극 SPT의 단락을 방지하면서, 전계 실드를 실현하고 있다.

또한, 게이트 배선 GL 위에 생기는 투명 공통 배선 CLT와 투명 화소 전극 SPT 사이의 간극 중 적어도 일부를 피복하도록, 금속 화소 전극 SPM을 배치해도 된다. 도 20에 개시한 구조이다. 이에 따라, 유지 용량의 증대와 함께, 투명 공통 배선 CLT와 투명 화소 전극 SPT 사이로부터 누설하는 전계를 금속 화소 전극 SPM에 의해 실드하는 것이 가능하게 되어, 유지 용량의 증대와 누설 전계의 저감을 동시에 달성하는 것이 실현된다.

물론, 해당 금속 화소 전극 SPM은 투명 공통 배선 CLT로부터 투명 화소 전극 SPT 사이에 이르는 간극의 연장 방향에서, 해당 간극을 완전하게 피복하도록 형성해도 된다. 누설 전계 방지의 효과가 한층 더 향상될 수 있기 때문이다.

상기한 바와 같이, 본 실시예에서는 전단의 게이트 배선 위에서 유지 용량을 형성하기 때문에, 더 높은 개구율을 얻을 수 있어 밝은 IPS형 액정 표시 장치를 제공할 수 있다.

발명의 효과

이상 상술한 바와 같이, 본 발명의 주로 저온 폴리실리콘 TFT로 구성된 IPS 표시 방식의 액정 표시 장치에 의해, 수율이 높고, 밝은 고품질의 액정 표시 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1.

제1 기판과 제2 기판 사이에 끼워진 액정층과 컬러 필터층을 갖고,

상기 제1 기판 위에는 복수의 게이트 배선과, 상기 복수의 게이트 배선과 매트릭스 형상으로 교차하는 복수의 드레인 배선과, 상기 게이트 배선과 드레인 배선의 각각의 교점에 대응하여 형성된 박막 트랜지스터를 갖고, 인접하는 게이트 배선과 드레인 배선으로 둘러싸인 영역에서 화소가 구성된 액정 표시 장치로서,

상기 제1 기판은 반도체층과, 상기 반도체층 위에 형성된 제1 절연막과, 상기 제1 절연막 위에 형성된 제2 절연막과, 상기 제2 절연막 위에 형성된 공통 배선과, 상기 박막 트랜지스터에 전기적으로 접속된 화소전극을 갖고,

상기 반도체층의 n+ 층에 중첩하는 영역에, 상기 제1 절연막과 상기 제2 절연막 중 상기 제2 절연막만 제거된 제거영역을 갖고, 상기 제거영역에서 상기 공통배선과 전기적으로 접속된 일방의 전극과, 상기 반도체층의 n+ 층에 형성되는 타방의 전극으로 유지 용량이 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 2.

제1항에 있어서,

상기 공통 배선이 상하 방향으로 인접하는 화소 사이 및 좌우 방향으로 인접하는 화소 사이에서 공유되며 매트릭스 형상으로 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 3.

제2항에 있어서,

상기 액티브 매트릭스형 액정 표시 장치는 횡전계형이며, 상기 제1 기관 위에 상기 공통 배선과의 사이에 횡전계를 형성하는 화소 전극을 갖는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 4.

제3항에 있어서,

상기 제2 절연막이 유기막인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 5.

제4항에 있어서,

상기 공통 배선과 상기 화소 전극이 상기 유기막 위의 동일층으로서 형성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 6.

제4항에 있어서,

상기 제2 절연막의 상기 반도체층 형성 영역에 포지셔닝된 제거 영역에 포지셔닝하여 상기 제1 절연막 위에 형성된 금속 전극을 갖고, 이 금속 전극에 상기 공통 배선으로부터의 공통 전위가 공급되는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 7.

제6항에 있어서,

상기 금속 전극은 드레인 배선과 동일 공정, 재료로 형성된 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 8.

제4항에 있어서,

상기 공통 배선은, 상기 게이트 배선 및 상기 유지 용량을 절연막을 개재하여 피복하고 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 9.

제4항에 있어서,

상기 공통 배선은 투명 공통 배선인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 10.

제5항에 있어서,

상기 공통 배선은, 투명 공통 배선인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 11.

제1항에 있어서,

상기 유지 용량을 구성하는 전극 사이에 끼워진 절연막은, 상기 박막 트랜지스터의 게이트 절연막과 상기 게이트 배선과 드레인 배선을 분리하는 층간 절연막의 적층막인 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

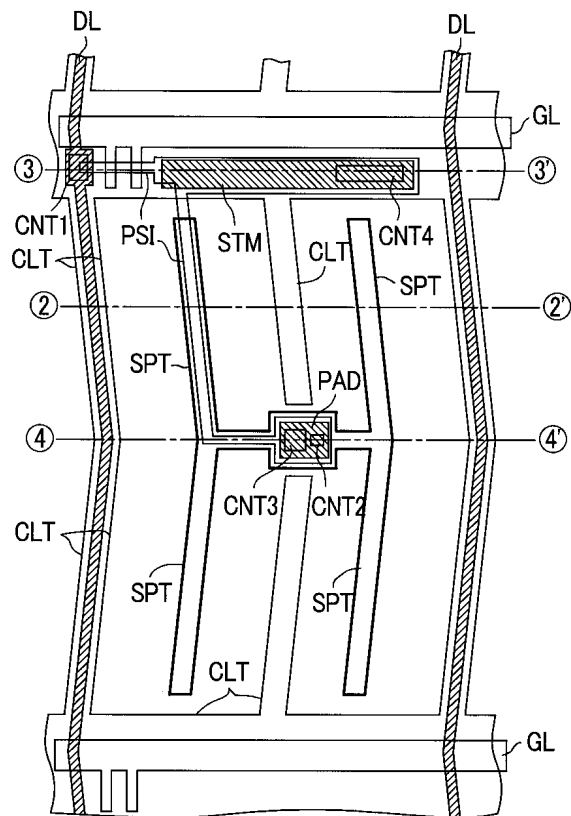
청구항 19.

제1항 내지 제11항 중 어느 하나의 항에 있어서,

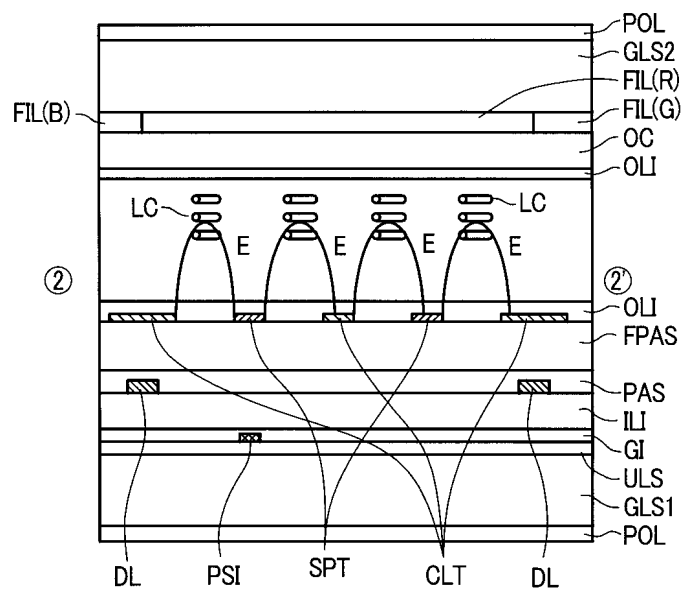
상기 박막 트랜지스터의 반도체층은 폴리실리콘으로 구성되어 있는 것을 특징으로 하는 액티브 매트릭스형 액정 표시 장치.

도면

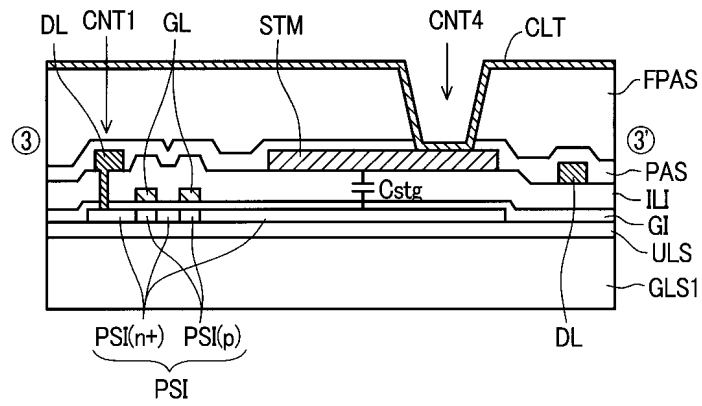
도면1



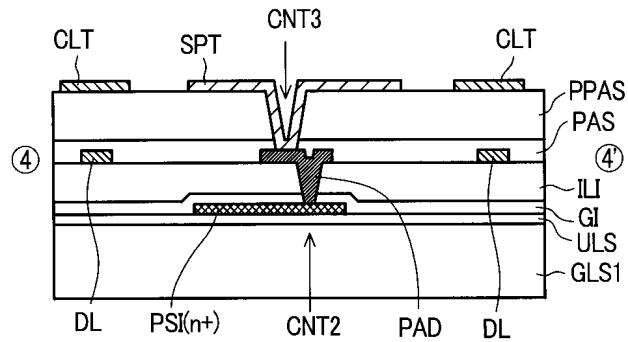
도면2



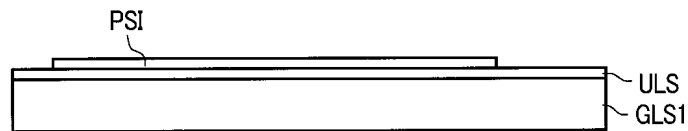
도면3



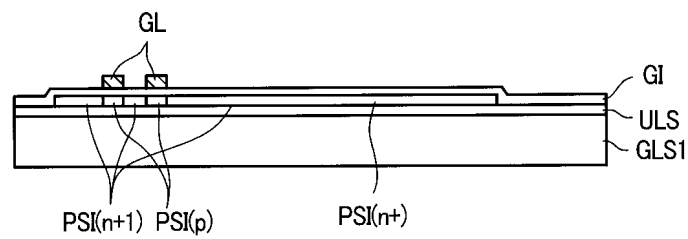
도면4



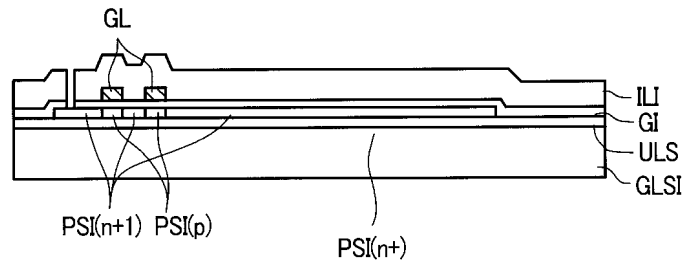
도면5



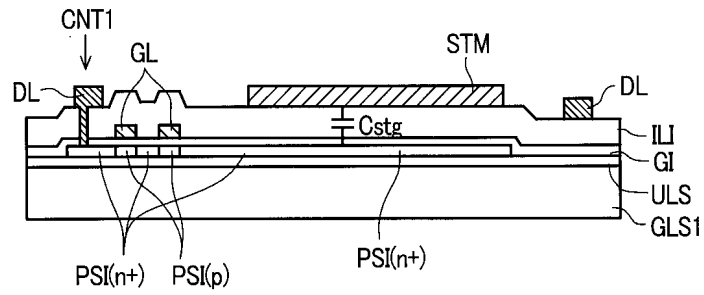
도면6



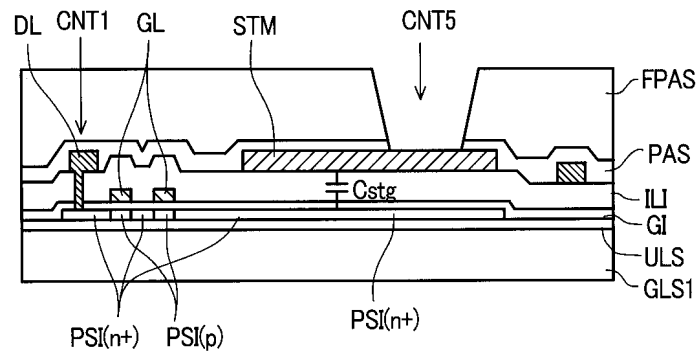
도면7



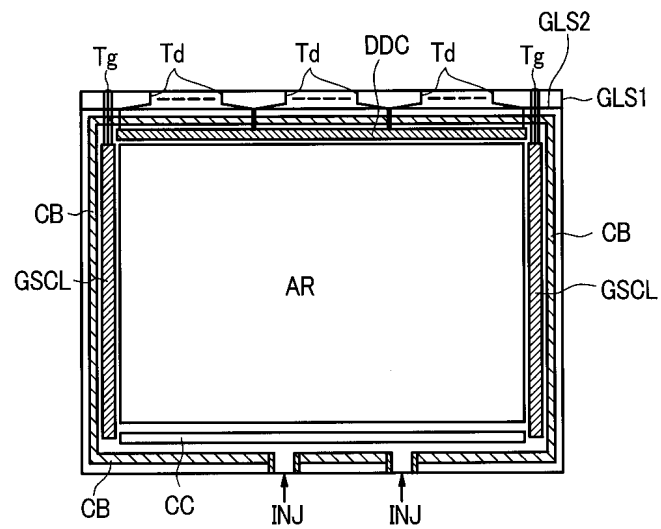
도면8



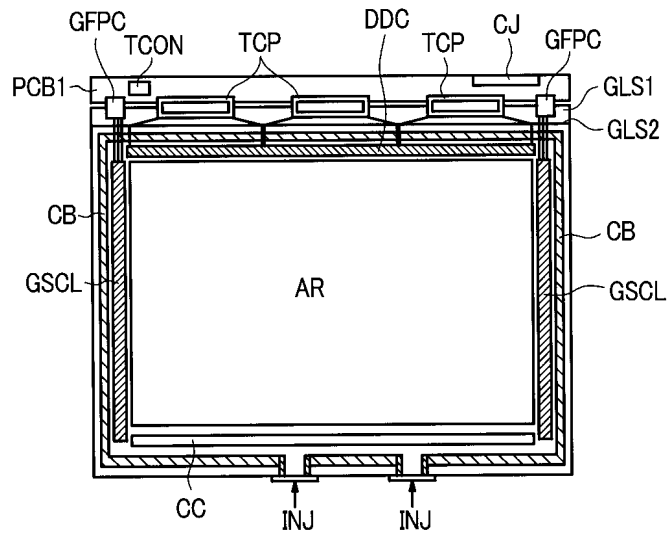
도면9



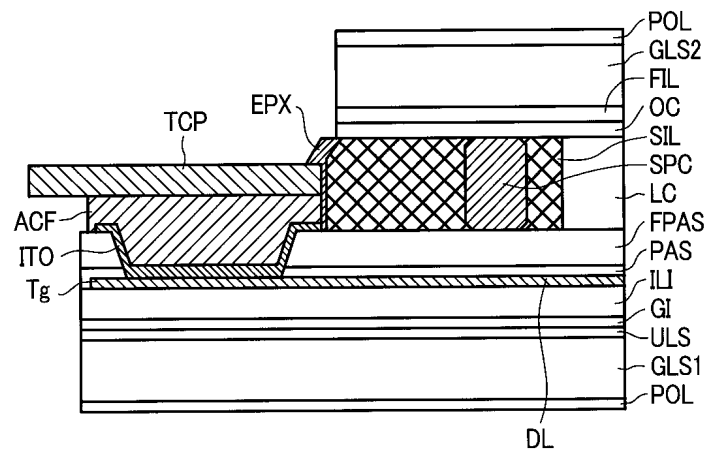
도면10



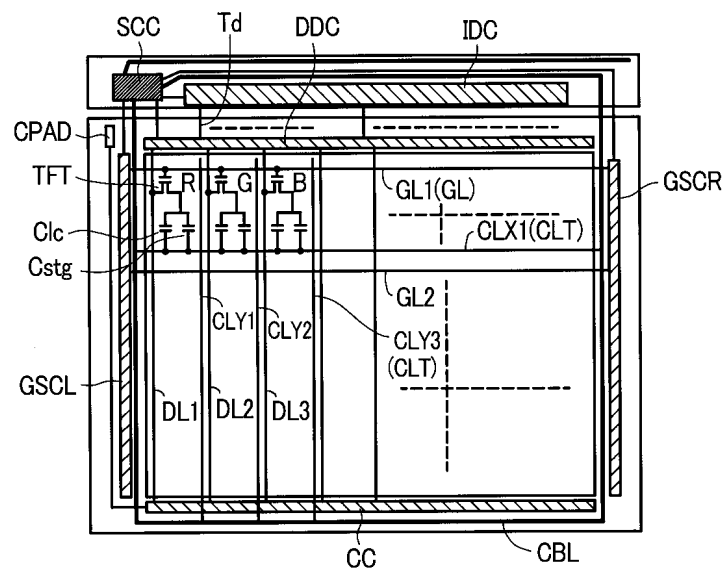
도면11



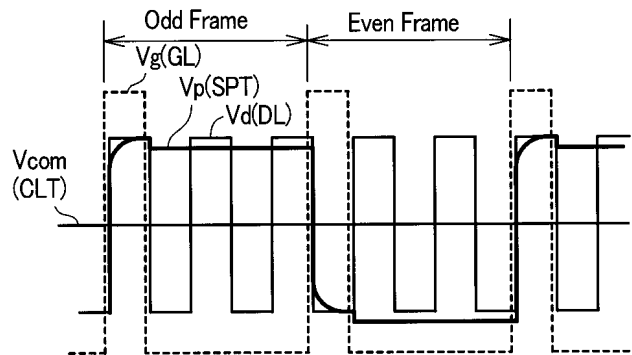
도면12



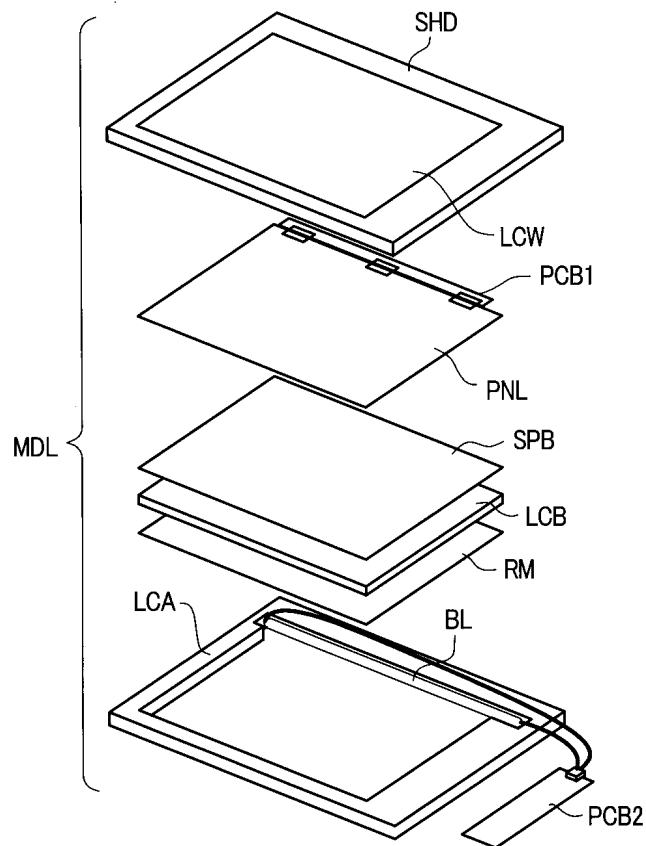
도면13



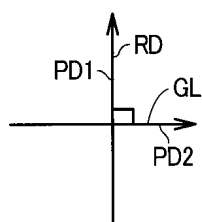
도면14



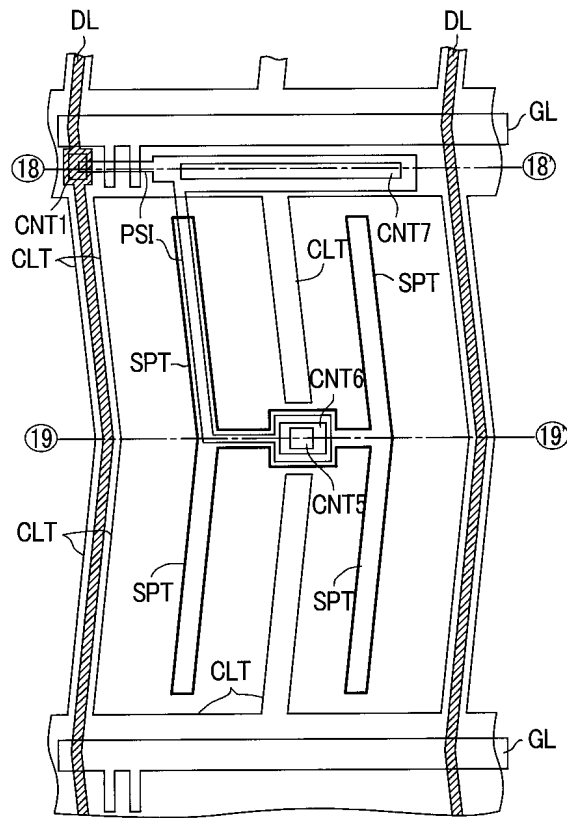
도면15



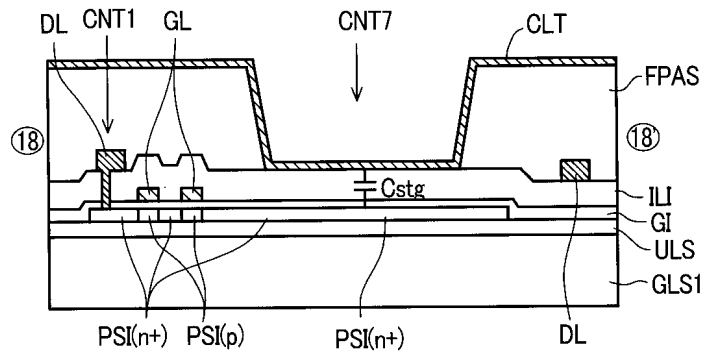
도면16



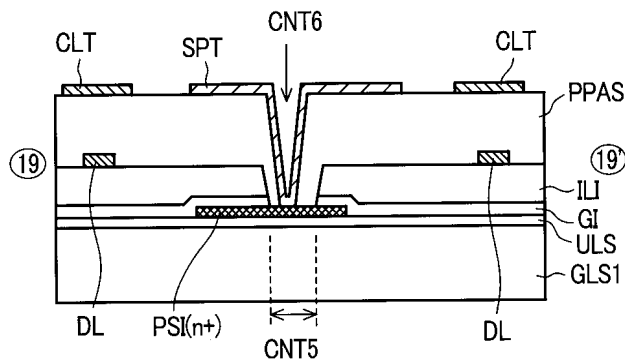
도면17



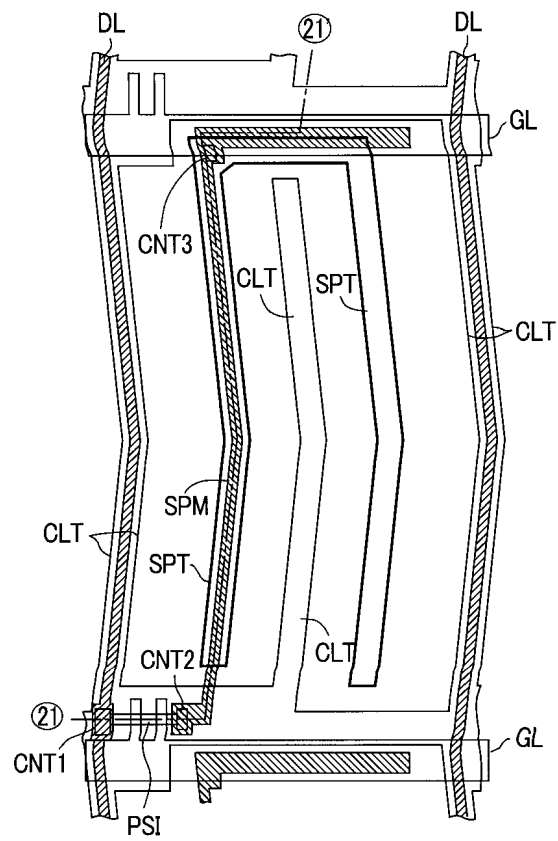
도면18



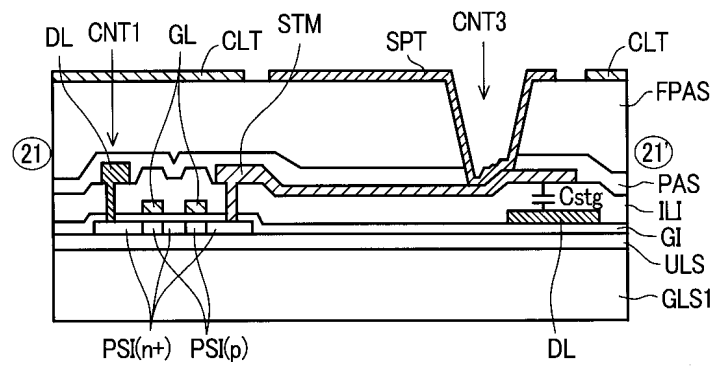
도면19



도면20



도면21



专利名称(译)	液晶显示器		
公开(公告)号	KR100511817B1	公开(公告)日	2005-09-02
申请号	KR1020030002415	申请日	2003-01-14
[标]申请(专利权)人(译)	日立HITACHI SEISAKUSHODBA		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	ONO KIKUO 오노기꾸오 OKE RYUTAROU 오께류따로 OCHIAI TAKAHIRO 오찌아이다까히로		
发明人	오노기꾸오 오께류따로 오찌아이다까히로		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/1362 G02F1/1343 G09F9/30 H01L29/786 G09F9/35		
CPC分类号	G02F1/136213 G02F1/134363		
代理人(译)	CHU, 晟敏		
优先权	2002006101 2002-01-15 JP		
其他公开文献	KR1020030061683A		
外部链接	Espacenet		

摘要(译)

第二绝缘层，形成在有源矩阵液晶显示器中的第一基板上的薄膜晶体管的半导体层和形成在上述半导体层和第二绝缘层上的第一绝缘层，形成在第一绝缘层上和形成在第二绝缘层上的公共线是通过公共电位的存储电容，其从公共线提供到相应的间隙区域，形成定位的间隙区域，并形成由上述半导体层形成的像素电位在上述半导体层形成区域中。半导体层形成区域，间隙区域，公共线，像素电位。

